(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/196398 A1

(51) 国際特許分類:
H02P 27/08 (2006.01) *H02P 21/22* (2016.01)
H02M 7/48 (2007.01)

(21) 国際出願番号： PCT/JP2020/012698

(22) 国際出願日： 2020年3月23日(23.03.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-057290 2019年3月25日(25.03.2019) JP

(71) 出願人: ミネベアミツミ株式会社(**MINEBEA MITSUMI INC.**) [JP/JP]; 〒3890293 長野県北佐久郡御代田町大字御代田４１０６－７３ Nagano (JP).

(72) 発明者: 大場 隆志(**OBA, Takashi**); 〒3890293 長野県北佐久郡御代田町大字御代田４１０６－７３ ミネベアミツミ株式会社内 Nagano (JP).

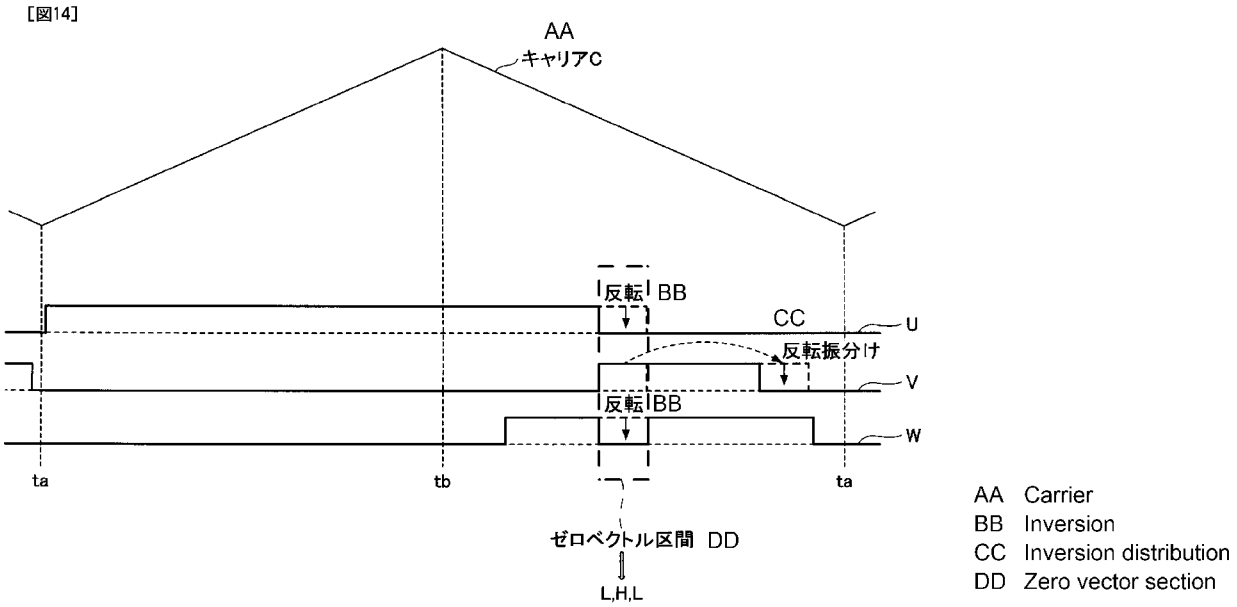
(74) 代理人: 伊東 忠重, 外(**ITOH, Tadashige** et al.); 〒1000005 東京都千代田区丸の内二丁目１番１号 丸の内ＭＹ ＰＬＡＺＡ （明治安田生命ビル） １６階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** MOTOR CONTROL DEVICE, MOTOR SYSTEM, AND MOTOR CONTROL METHOD

(54) 発明の名称： モータ制御装置、モータシステム及びモータ制御方法

[図14]



(57) **Abstract:** This motor control device 100-1 comprises an inverter, a current detector, a current detection unit, and a PWM signal generation unit. The PWM signal generation unit: extracts part of a zero vector section in each of a first PWM signal, a second PWM signal, and a third PWM signal when a first energization time having an energization width in which the current detection unit can detect a one-phase phase current, and a second energization time having an energization width in which the current detection unit can detect a two-phase phase current, are present; and allocates the energization width corresponding to the extracted zero vector section to a section other than the zero vector section in each of the first PWM signal, the second PWM signal, and the third PWM signal, thereby adjusting the second energization time to an

WO 2020/196398 A1

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

energization width in which the current detection unit can detect a two-phase phase current.

(57) 要約:モータ制御装置１００－１は、インバータと、電流検出器と、電流検出部と、ＰＷＭ信号生成部と、を備える。ＰＷＭ信号生成部は、電流検出部が１相の相電流を検出可能な通電幅の第１通電時間と、電流検出部が２相の相電流を検出困難な通電幅の第２通電時間とが存在する場合、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれのゼロベクトル区間の一部を抜き出し、抜き出したゼロベクトル区間に相当する通電幅を、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれのゼロベクトル区間以外の区間に割り当てることにより、第２通電時間を、電流検出部が２相の相電流を検出可能な通電幅に調整する。

明　細　書

発明の名称 ：

モータ制御装置、モータシステム及びモータ制御方法

技術分野

[0001] 本発明は、モータ制御装置、モータシステム及びモータ制御方法に関する。

背景技術

[0002] 特許文献１には、インバータ回路の直流部に挿入した１つのシャント抵抗を用いて、モータを制御するためのＵ，Ｖ，Ｗ各相の電流を検出する技術が開示されている。この方式で３相の全ての電流を検出するには、ＰＷＭ（Pulse Width Modulation，パルス幅変調）キャリアの１周期内において、２相以上の電流を検出できるように３相のＰＷＭ信号パターンを発生させる必要がある。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１５－８４６３２号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来の技術では、ＰＷＭ信号の位相が変化すると、それに応じて、直流母線に流れる電流に歪みが生じて、大きなノイズが重畳したような波形になる。この電流の歪みは、騒音の原因となり、モータに接続されるアプリケーションによっては、ユーザに不快感を与えると場合があるという課題がある。

[0005] 本発明は、上記に鑑みてなされたものであって、騒音を抑制できるモータ制御装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の実施の形態のモータ制御装置は、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号に基づいてモータを駆動するインバータ部と、前記検出信号を取得することによって、前記モータに流れる各相の相電流を検出する電流検出部と、前記各相の相電流の検出値に基づいて、前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号のデューティ比を設定するデューティ比設定部と、前記デューティ比の設定値を、レベルが周期的に増減するキャリアのレベルと比較することによって、前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号を生成するＰＷＭ信号生成部と、を備え、前記ＰＷＭ信号生成部は、前記電流検出部が前記モータに流れる各相の内少なくとも１相の相電流を検出可能な通電幅の第１通電時間と、前記電流検出部が前記第１通電時間で検出した相とは異なる相の相電流を検出困難な通電幅の第２通電時間とが存在する場合、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれの内、ゼロベクトル区間の一部を抜き出し、抜き出したゼロベクトル区間に相当する通電幅を、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれのゼロベクトル区間以外の区間に割り当てることにより、前記電流検出部が前記第１通電時間で検出した相とは異なる相の相電流を検出可能な通電幅に調整する。

発明の効果

[0007] 本発明に係るモータ制御装置は、騒音を抑制できる、という効果を奏する。

図面の簡単な説明

[0008] [図1]本発明の実施の形態１に係るモータシステム１－１の構成例を示す図。

[図2]図１に示されるキャリア発生部３７、ＰＷＭ信号生成部３２などの構成例を示す図。

[図3]各相の三角波キャリアを生成する原理を説明するための図。

[図4]複数のＰＷＭ信号Ｕ，Ｖ，Ｗの波形と、これらのＰＷＭ信号の一周期当たりのキャリアＣの波形と、各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕの波形とを示す図。

[図5]本発明の実施の形態１に係るパルス位相調整の動作を説明するための第１図。

[図6]本発明の実施の形態１に係るパルス位相調整の動作を説明するための第２図。

[図7]本発明の実施の形態１に係るパルス位相調整の動作を説明するための第３図。

[図8]本発明の実施の形態１に係るパルス位相調整の動作を説明するための第４図。

[図9]モータ制御装置１００－１の動作を示すフローチャート。

[図10]第１電流検出処理の一例を示すフローチャート。

[図11]第２電流検出処理の一例を示すフローチャート。

[図12]パルス位相調整処理の動作を説明するための第１フローチャート。

[図13]通電率が高い場合における、複数のＰＷＭ信号の波形と、これらのＰＷＭ信号の一周期当たりのキャリアＣの波形とを示す第１図。

[図14]通電率が高い場合における、複数のＰＷＭ信号の波形と、これらのＰＷＭ信号の一周期当たりのキャリアＣの波形とを示す第２図。

[図15]通電率が高い場合における、複数のＰＷＭ信号の波形と、これらのＰＷＭ信号の一周期当たりのキャリアＣの波形とを示す第３図。

[図16A]パルス位相調整処理の動作を説明するための第２フローチャートである。

[図16B]パルス位相調整処理の動作を説明するための第３フローチャートである。

発明を実施するための形態

[0009] 以下、図面を参照して、本発明の実施の形態に係るモータ制御装置、モータシステム及びモータ制御方法について詳細に説明する。

[0010] ［実施の形態１］

図１は本発明の実施の形態１に係るモータシステム１－１の構成例を示す図である。図２は図１に示されるキャリア発生部３７、ＰＷＭ信号生成部３

２などの構成例を示す図である。図１に示されるモータシステム１－１は、モータ４の回転動作を制御する。モータシステム１－１が搭載される機器は、例えば、コピー機、パーソナルコンピュータ、冷蔵庫等であるが、当該機器は、これらに限られない。モータシステム１－１は、モータ４と、モータ制御装置１００－１とを少なくとも備える。

[0011] モータ４は、複数のコイルを有する。モータ４は、例えば、Ｕ相コイルとＶ相コイルとW相コイルとを含む３相コイルを有する。モータ４の具体例として、３相のブラシレスモータなどが挙げられる。

[0012] モータ制御装置１００－１は、３相ブリッジ接続された複数のスイッチング素子を３相のＰＷＭ信号を含む通電パターンに従いオンオフ（ＯＮ、ＯＦＦ）制御することで、直流を３相交流に変換するインバータを介してモータを駆動する。モータ制御装置１００－１は、インバータ２３、電流検出部２７、電流検出タイミング調整部３４、駆動回路３３、通電パターン生成部３５、キャリア発生部３７、及びクロック発生部３６を備える。

[0013] インバータ部であるインバータ２３は、直流電源２１から供給される直流を複数のスイッチング素子のスイッチングによって３相交流に変換し、３相交流の駆動電流をモータ４に流すことによって、モータ４のロータを回転させる回路である。インバータ２３は、通電パターン生成部３５によって生成される複数の通電パターン（より具体的には、通電パターン生成部３５内のＰＷＭ信号生成部３２によって生成される３相のＰＷＭ信号）に基づいて、モータ４を駆動する。

[0014] インバータ２３は、３相ブリッジ接続された複数のスイッチング素子２５Ｕ＋，２５Ｖ＋，２５Ｗ＋，２５Ｕ－，２５Ｖ－，２５Ｗ－を有する。スイッチング素子２５Ｕ＋，２５Ｖ＋，２５Ｗ＋は、それぞれ、直流電源２１の正極側に正側母線２２ａを介して接続されるハイサイドスイッチング素子（上アーム）である。スイッチング素子２５Ｕ－，２５Ｖ－，２５Ｗ－は、それぞれ、直流電源２１の負極側（具体的には、グランド側）に接続されるローサイドスイッチング素子（下アーム）である。複数のスイッチング素子２

５Ｕ＋，２５Ｖ＋，２５Ｗ＋，２５Ｕ－，２５Ｖ－，２５Ｗ－は、それぞれ、上述の通電パターンに含まれるＰＷＭ信号に基づいて駆動回路３３から供給される複数の駆動信号のうち、対応する駆動信号に従って、オン又はオフとなる。以下では、複数のスイッチング素子２５Ｕ＋，２５Ｖ＋，２５Ｗ＋，２５Ｕ－，２５Ｖ－，２５Ｗ－を、特に区別しない場合には、単にスイッチング素子と称する場合がある。

[0015] スイッチング素子２５Ｕ＋とスイッチング素子２５Ｕ－との接続点は、モータ４のＵ相コイルの一端に接続される。スイッチング素子２５Ｖ＋とスイッチング素子２５Ｖ－との接続点は、モータ４のＶ相コイルの一端に接続される。スイッチング素子２５Ｗ＋とスイッチング素子２５Ｗ－との接続点は、モータ４のW相コイルの一端に接続される。Ｕ相コイルとＶ相コイルとＷ相コイルとのそれぞれの他端は、互いに接続されている。

[0016] スイッチング素子の具体例として、Ｎチャネル型のＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）やＩＧＢＴ（Insulated Gate Bipolar Transistor）などが挙げられる。しかしながら、スイッチング素子は、これらに限られない。

[0017] 電流検出器２４は、インバータ２３の直流側に流れる電流の電流値に対応する検出信号Ｓｄを出力する。図１に示される電流検出器２４は、負側母線２２ｂに流れる電流の電流値に対応する検出信号Ｓｄを発生させる。電流検出器２４は、例えば、負側母線２２ｂに配置される電流検出素子であり、より具体的には、負側母線２２ｂに挿入されるシャント抵抗である。シャント抵抗等の電流検出素子は、自身に流れる電流の電流値に対応する電圧信号を検出信号Ｓｄとして発生する。なお、電流検出器２４は、負側母線２２ｂに流れる電流の電流値に対応する検出信号を出力するものであればよく、ＣＴ（Current Transformer）等のセンサでもよい。

[0018] 電流検出部２７は、通電パターン生成部３５によって生成される複数の通電パターン（より具体的には、３相のＰＷＭ信号）に基づいて、検出信号Ｓｄを取得することによって、モータ４に流れるＵ，Ｖ，Ｗ各相の相電流Ｉｕ

，Ｉｖ，Ｉｗを検出する。より詳細には、電流検出部２７は、複数の通電パターン（より具体的には、３相のＰＷＭ信号）に同期する取得タイミングで検出信号Ｓｄを取得することによって、モータ４に流れるＵ，Ｖ，Ｗ各相の相電流Ｉｕ，Ｉｖ，Ｉｗを検出する。検出信号Ｓｄの取得タイミングは、電流検出タイミング調整部３４により設定される。

[0019] 例えば、電流検出部２７は、電流検出器２４で発生するアナログ電圧の検出信号Ｓｄを、電流検出タイミング調整部３４により設定される取得タイミングでＡＤ（Analog to Digital）変換器に取り込む。当該ＡＤ変換器は、電流検出部２７に設けられている。そして、電流検出部２７は、取り込んだアナログの検出信号Ｓｄをデジタルの検出信号ＳｄにＡＤ変換し、ＡＤ変換後のデジタルの検出信号Ｓｄをデジタル処理することによって、モータ４のＵ，Ｖ，Ｗ各相の相電流Ｉｕ，Ｉｖ，Ｉｗを検出する。電流検出部２７により検出された各相の相電流Ｉｕ，Ｉｖ，Ｉｗの検出値は、通電パターン生成部３５に供給される。クロック発生部３６は、内蔵する発振回路により所定周波数のクロックを生成し、生成したクロックをキャリア発生部３７へ出力する。なお、クロック発生部３６は、例えば、モータ制御装置１００－１の電源が投入されると同時に、動作を開始する。

[0020] 通電パターン生成部３５は、ベクトル制御部３０、デューティ比設定部３１及びＰＷＭ信号生成部３２を備える。通電パターン生成部３５は、電流検出部２７により検出されるモータ４の相電流Ｉｕ，Ｉｖ，Ｉｗの検出値に基づいて、モータ４のロータ位置を決定し、その決定したロータ位置にモータ４のロータが追従するように、インバータ２３を通電させるパターン（インバータ２３の通電パターン）を生成する。インバータ２３の通電パターンは、モータ４を通電させるパターン（モータ４の通電パターン）と言い換えてもよい。インバータ２３の通電パターンは、例えば、モータ４が回転するようにインバータ２３を通電させる３相のＰＷＭ信号を含む。

[0021] また、通電パターン生成部３５は、インバータ２３の通電パターンをベクトル制御により生成する場合には、デューティ比設定部３１及びＰＷＭ信号

生成部３２に加えて、ベクトル制御部３０を有する。なお、本実施の形態においてはベクトル制御によってインバータの通電パターンを生成しているが、これに限らず、ｖｆ制御等を用いて各相の相電圧を求めてもよい。

[0022] ベクトル制御部３０は、外部からモータ４の回転速度指令ωｒｅｆが与えられると、モータ４の回転速度の測定値又は推定値と、回転速度指令ωｒｅｆとの差分に基づいて、トルク電流指令Ｉｑｒｅｆと励磁電流指令Ｉｄｒｅｆを生成する。ベクトル制御部３０は、モータ４のＵ，Ｖ，Ｗ各相の相電流Ｉｕ，Ｉｖ，Ｉｗに基づいて、ロータ位置θを用いたベクトル制御演算により、トルク電流Ｉｑ及び励磁電流Ｉｄを算出する。ベクトル制御部３０は、トルク電流指令Ｉｑｒｅｆとトルク電流Ｉｑとの差分に対して例えばＰＩ制御演算を行い、電圧指令Ｖｑを生成する。ベクトル制御部３０は、励磁電流指令Ｉｄｒｅｆと励磁電流Ｉｄとの差分に対して例えばＰＩ制御演算を行い、電圧指令Ｖｄを生成する。ベクトル制御部３０は、電圧指令Ｖｑ，Ｖｄを上記のロータ位置θを用いてＵ，Ｖ，Ｗ各相の相電圧指令Ｖｕ*，Ｖｖ*，Ｖｗ*に変換する。各相の相電圧指令Ｖｕ*，Ｖｖ*，Ｖｗ*は、デューティ比設定部３１に供給される。

[0023] デューティ比設定部３１は、入力される各相の相電圧指令Ｖｕ*，Ｖｖ*，Ｖｗ*に基づいて、３相のＰＷＭ信号を生成するためのデューティ比（各相のデューティ比の設定値）Ｕｄｕ，Ｖｄｕ，Ｗｄｕを設定する。

[0024] 各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕの設定方法の具体例を説明する。各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕは、下記（１）～（３）式に示すように、変調率ｍｏｄＵ，ｍｏｄＶ及びｍｏｄＷに基づき設定される。下記（１）～（３）式に基づいて得られる各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕは、例えば１２０度ずつ位相が異なる正弦波状の波形となる。なお、各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｕｄの波形の例については後述する。

[0025] Ｕｄｕ＝ｍｏｄＵ×(キャリア上限値)・・・（１）

Ｖｄｕ＝ｍｏｄＶ×(キャリア上限値)・・・（２）

Ｗｄｕ＝ｍｏｄＷ×(キャリア上限値)・・・（３）

[0026] ＰＷＭ信号生成部３２は、デューティ比設定部３１により設定される各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕをキャリアｃのレベルと比較することによって、３相のＰＷＭ信号を含む通電パターンを生成する。キャリアＣは、レベルが周期的に増減する搬送波信号である。ＰＷＭ信号生成部３２は、各相のデューティ比の各設定値をキャリアＣのレベルと比較する。ＰＷＭ信号生成部３２は、この比較結果に基づき、ＰＷＭ信号のデューティ比の設定値がキャリアＣのレベルよりも大きい期間に、当該ＰＷＭ信号のレベルをハイレベルに設定する。一方、ＰＷＭ信号生成部３２は、この比較結果に基づき、ＰＷＭ信号のデューティ比の設定値がキャリアＣのレベルよりも小さい期間に、当該ＰＷＭ信号のレベルをローレベルに設定する。ＰＷＭ信号生成部３２は、上アーム駆動用の３相のＰＷＭ信号を反転させた下アーム駆動用のＰＷＭ信号も生成し、必要に応じてデッドタイムを付加した後、生成したＰＷＭ信号を含む通電パターンを駆動回路３３に出力する。

[0027] 駆動回路３３は、与えられたＰＷＭ信号を含む通電パターンに従い、インバータ２３に含まれる６つのスイッチング素子２５Ｕ＋，２５Ｖ＋，２５Ｗ＋，２５Ｕ－，２５Ｖ－，２５Ｗ－をスイッチングさせる駆動信号を出力する。これにより、３相交流の駆動電流がモータ４に供給され、モータ４のロータが回転する。

[0028] 電流検出タイミング調整部３４は、ＰＷＭ信号生成部３２から供給されるキャリアＣと、ＰＷＭ信号生成部３２により生成されるＰＷＭ信号とに基づいて、電流検出部２７がキャリアＣの１周期内で３相（３つの相）の相電流の内、２相（２つの相）の相電流を検出するための取得タイミングを決定する。

[0029] なお、電流検出部２７、通電パターン生成部３５及び電流検出タイミング調整部３４の各機能は、不図示の記憶装置に読み出し可能に記憶されるプログラムによってＣＰＵ（Central Processing Unit）が動作することにより実現される。例えば、これらの各機能は、ＣＰＵを含むマイクロコンピュータ

におけるハードウェアとソフトウェアとの協働により実現される。

[0030] 次に図２を用いてキャリア発生部３７及びＰＷＭ信号生成部３２の詳細を説明する。

[0031] キャリア発生部３７は、アップダウンカウンタ１２、比較器１３、比較器１４及びフリップフロップ１５を備える。

[0032] アップダウンカウンタ１２には、図１に示すクロック発生部３６から出力されるクロックと、計数開始信号及び計数初期値信号とが入力される。

[0033] アップダウンカウンタ１２は、計数開始信号が与えられると、クロックの計数を開始し、計数値の累加算（クロックが入力されるたびに１を加算）又は累減算（クロックが入力されるたびに１を減算）により、三角波キャリアであるキャリアＣを出力する。

[0034] また、アップダウンカウンタ１２には、計数の初期値が設定されており、この初期値は、前述した計数初期値信号により設定される。

[0035] 比較器１３は、アップダウンカウンタ１２の計数値と、予め決められた上限値とを比較し、計数値が上限値に達したことを検出して検出信号ＩＮＴ１を出力する。

[0036] 比較器１４は、アップダウンカウンタ１２の計数値と、予め決められた下限値とを比較し、計数値が下限値に達したことを検出して検出信号ＩＮＴ２を出力する。

[0037] フリップフロップ１５は、比較器１３からの出力によりアップダウンカウンタ１２に対して、ローレベルの「Ｌ」信号を出力し、比較器１４からの出力によりアップダウンカウンタ１２に対して、ハイレベルの「Ｈ」信号を出力する。

[0038] アップダウンカウンタ１２は、フリップフロップ１５から「Ｈ」信号が入力されると、クロックの計数値を累加算し、「Ｌ」信号が入力されると、クロックの計数値を累減算する。従って、フリップフロップ１５からの「Ｈ」信号は累加算を行うための加算指令であり、「Ｌ」信号は累減算を行うための減算指令である。

[0039] フリップフロップ１５には、初期指令値信号が与えられる。フリップフロップ１５の初期状態が「Ｈ」か「Ｌ」かは、上記初期指令値信号により設定される。

[0040] 比較器１３の検出出力、すなわち計数値が上限値に達したことを検出した信号は、上述したようにフリップフロップ１５へ与えられると同時に、検出信号ＩＮＴ１として出力される。

[0041] さらに、各相の比較器１４の検出出力、すなわち計数値が下限値に達したことを検出した信号は、上述したようにフリップフロップ１５へ与えられると同時に、検出信号ＩＮＴ２として出力される。これらの割込信号は、後述するように、各相の三角波キャリアの谷部における谷割込信号となる。

[0042] ＰＷＭ信号生成部３２は、３つの比較器１６，１７，１８と、ＰＷＭ回路１０８と、割込コントローラ１０９とを備える。

[0043] 比較器１６は、Ｕ相のデューティ比Ｕｄｕと、キャリアＣとの比較を行い、比較結果をパルスとして出力する。具体的には、比較器１６は、デューティ比Ｕｄｕの値とキャリアＣの振幅とを比較し、キャリアＣの振幅がデューティ比Ｕｄｕ以上である区間では「Ｈ」信号を出力し、キャリアＣの振幅がデューティ比Ｕｄｕ未満である区間では「Ｌ」信号を出力する。

[0044] 比較器１７は、Ｖ相のデューティ比Ｖｄｕと、キャリアＣとの比較を行い、比較結果をパルスとして出力する。具体的には、比較器１７は、デューティ比Ｖｄｕの値とキャリアＣの振幅とを比較し、キャリアＣの振幅がデューティ比Ｖｄｕ以上である区間では「Ｈ」信号を出力し、キャリアＣの振幅がデューティ比Ｖｄｕ未満である区間では「Ｌ」信号を出力する。

[0045] 比較器１８は、Ｗ相のデューティ比Ｗｄｕと、キャリアＣとの比較を行い、比較結果をパルスとして出力する。具体的には、比較器１８は、デューティ比Ｗｄｕの値とキャリアＣの振幅とを比較し、キャリアＣの振幅がデューティ比Ｗｄｕ以上である区間では「Ｈ」信号を出力し、キャリアＣの振幅がデューティ比Ｗｄｕ未満である区間では「Ｌ」信号を出力する。

[0046] ＰＷＭ回路１０８は、比較器１６，１７，１８からの出力に基づき、各相

の電圧指令の変化に応じたオンオフ区間をもつ６種類のＰＷＭ信号を出力する。６種類のＰＷＭ信号には、Ｕ相上アームのスイッチング素子を駆動するＰＷＭ信号、Ｕ相下アームのスイッチング素子を駆動するＰＷＭ信号、Ｖ相上アームのスイッチング素子を駆動するＰＷＭ信号、Ｖ相下アームのスイッチング素子を駆動するＰＷＭ信号、Ｗ相上アームのスイッチング素子を駆動するＰＷＭ信号、及びＷ相下アームのスイッチング素子を駆動するＰＷＭ信号が含まれる。６種類のＰＷＭ信号は、インバータ２３の各スイッチング素子のゲートへ与えられる。６種類のＰＷＭ信号により、各スイッチング素子のオンオフ動作が行われる。これによってインバータ２３からＵ相、Ｖ相、Ｗ相の各電圧が出力されて、モータ４に印加される。なお、具体的な通電方式については、実施の形態１においては三角波比較法を用いているが、三角波比較法に限らず、空間ベクトル法などのその他の方式を用いて各相の電圧を出力してもよい。

[0047] また、ＰＷＭ回路１０８は、例えば、ＰＷＭ信号の立ち上りのタイミングで割込信号を生成して、割込コントローラ１０９へ入力する。割込コントローラ１０９は、ＰＷＭ回路１０８からの割込信号を受けて、電流検出部２７に対してＡ／Ｄ変換の指令を与える。これにより、電流検出部２７は、割込信号が発生するタイミングで、検出信号ＳｄのＡ／Ｄ変換を行う。

[0048] 次に、図２及び図３を用いて、各相の三角波キャリアを生成する原理を説明する。図３は各相の三角波キャリアを生成する原理を説明するための図である。図３にはキャリアＣの波形が示される。

[0049] 図２において、アップダウンカウンタ１２に計数開始信号が入力されると、アップダウンカウンタ１２はクロック発生部３６からのクロックの計数を開始する。前述のように、アップダウンカウンタ１２には初期値が設定されており、この初期値は例えば０に設定されている。従って、アップダウンカウンタ１２は０から計数を開始する。また、アップダウンカウンタ１２に対して累加算、累減算を指令するフリップフロップ１５の出力は、初期状態において「Ｈ」に設定されている。初期状態は、初期指令値信号が与えられた

時点のフリップフロップ１５の出力状態である。従って、アップダウンカウンタ１２は計数を開始すると、計数値の累加算を行う。以上の結果、アップダウンカウンタ１２の出力は、図３に示すように、下限値（初期値）である０から、上限値Ｔに向って矢印ａ１のように時間とともに増加してゆく。

[0050] そして、計数値が上限値Ｔに達すると、比較器１３がこれを検出して、検出信号ＩＮＴ１をフリップフロップ１５に与える。フリップフロップ１５は、この信号により反転して「Ｌ」を出力する。従って、アップダウンカウンタ１２の動作は累加算から累減算に転じ、その出力は、図３に示すように、上限値Ｔから下限値０に向って、矢印ｂ１のように時間とともに減少してゆく。

[0051] そして、計数値が下限値０に達すると、比較器１４がこれを検出して、検出信号ＩＮＴ２をフリップフロップ１５に与える。フリップフロップ１５は、この信号により反転して「Ｈ」を出力する。従って、アップダウンカウンタ１２の動作は再び累加算に転じ、その出力は下限値０から上限値Ｔに向って矢印ｃ１のように増加してゆく。

[0052] このような累加算、累減算の動作を繰り返すことにより、アップダウンカウンタ１２からは、図３に示すような三角波のキャリアＣが出力される。

[0053] なお、実施の形態１では、キャリアＣを谷部（下限値）から発生させたが、キャリアＣを山部（上限値）から発生させてもよい。この場合、キャリアＣの初期値はＴ（上限値）、初期指令値は「Ｌ」であり、谷部から発生するキャリアに比べて位相は１／２周期ずれることになる。

[0054] なお、実施の形態１では、キャリアCを三角波によって出力を行ったが、アウトプットコンペアを利用したのこぎり波等での出力を行ってもよい。

[0055] 図４は複数のＰＷＭ信号Ｕ，Ｖ，Ｗの波形と、これらのＰＷＭ信号の一周期当たりのキャリアＣの波形と、各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕの波形とを示す図である。

[0056] 図４に示すように、各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕとキャリアとが一致するタイミングで、ハイレベルとローレベルとが反転するよう

に、複数のＰＷＭ信号Ｕ～Ｗが生成される。

[0057] ＰＷＭ信号Ｕは、Ｕ相の上下アームを構成する２つのスイッチング素子を駆動するためのＰＷＭ信号である。図４では、ＰＷＭ信号Ｕが「Ｕ相ＰＷＭ信号（Ｕ）」と表記される。ＰＷＭ信号Ｕがローレベルのとき、Ｕ相の下アームのスイッチング素子がオン（Ｕ相の上アームのスイッチング素子がオフ）となり、ＰＷＭ信号Ｕがハイレベルのとき、Ｕ相の下アームのスイッチング素子がオフ（Ｕ相の上アームのスイッチング素子がオン）となる。ＰＷＭ信号Ｕのレベルの変化に対して、Ｕ相の上下アームを構成する２つのスイッチング素子は相補的にオンオフ動作する。

[0058] ＰＷＭ信号Ｖは、Ｖ相の上下アームを構成する２つのスイッチング素子を駆動するためのＰＷＭ信号である。図４では、ＰＷＭ信号Ｖが「Ｖ相ＰＷＭ信号（Ｖ）」と表記される。ＰＷＭ信号Ｖがローレベルのとき、Ｖ相の下アームのスイッチング素子がオン（Ｖ相の上アームのスイッチング素子がオフ）となり、ＰＷＭ信号Ｖがハイレベルのとき、Ｖ相の下アームのスイッチング素子がオフ（Ｖ相の上アームのスイッチング素子がオン）となる。ＰＷＭ信号Ｖのレベルの変化に対して、Ｖ相の上下アームを構成する２つのスイッチング素子は相補的にオンオフ動作する。

[0059] ＰＷＭ信号Ｗは、Ｗ相の上下アームを構成する２つのスイッチング素子を駆動するためのＰＷＭ信号である。図４では、ＰＷＭ信号Ｗが「Ｗ相ＰＷＭ信号（Ｗ）」と表記される。ＰＷＭ信号Ｗがローレベルのとき、Ｗ相の下アームのスイッチング素子がオン（Ｗ相の上アームのスイッチング素子がオフ）となり、ＰＷＭ信号Ｗがハイレベルのとき、Ｗ相の下アームのスイッチング素子がオフ（Ｗ相の上アームのスイッチング素子がオン）となる。ＰＷＭ信号Ｗのレベルの変化に対して、Ｗ相の上下アームを構成する２つのスイッチング素子は相補的にオンオフ動作する。

[0060] なお、複数のＰＷＭ信号Ｕ～Ｗがローレベルからハイレベルに転じるタイミングは、各相のデューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕとキャリアとが一致するタイミングよりも若干遅れたタイミングとなる。上下アームの短絡防

止のためのデッドタイムが必要だからである。図４では、説明の便宜上デッドタイムの表記が省略される。以下では、複数のＰＷＭ信号Ｕ～Ｗのそれぞれを区別しない場合、「ＰＷＭ信号」と称する場合がある。

[0061] 図４に示すように、複数のＰＷＭ信号Ｕ～Ｗのそれぞれの１周期Ｔｐｗｍにおいて、複数のＰＷＭ信号Ｕ～Ｗのそれぞれの変化点（ｔ１～ｔ６）は以下の通り定義される。

[0062] 変化点ｔ１は、Ｗ相の下アームがオンからオフに転じるタイミング（Ｗ相の上アームがオフからオンに転じるタイミング）である。変化点ｔ２は、Ｖ相の下アームがオンからオフに転じるタイミング（Ｖ相の上アームがオフからオンに転じるタイミング）である。変化点ｔ３は、Ｕ相の下アームがオンからオフに転じるタイミング（Ｕ相の上アームがオフからオンに転じるタイミング）である。変化点ｔ４は、Ｕ相の下アームがオフからオンに転じるタイミング（Ｕ相の上アームがオンからオフに転じるタイミング）である。変化点ｔ５は、Ｖ相の下アームがオフからオンに転じるタイミング（Ｖ相の上アームがオンからオフに転じるタイミング）である。変化点ｔ６は、Ｗ相の下アームがオフからオンに転じるタイミング（Ｗ相の上アームがオンからオフに転じるタイミング）である。

[0063] 本実施の形態では、ｔ４～ｔ５までの期間が第１電流検出タイミングＴｍ１、ｔ５～ｔ６までの期間が第２電流検出タイミングＴｍ２と定義されるが、第１電流検出タイミングＴｍ１及び第２電流検出タイミングＴｍ２の期間は、これらに限定されるものではない。

[0064] インバータ２３がＰＷＭ変調された３相交流を出力している状態では、電流検出部２７は、上アーム側のスイッチング素子２５Ｕ＋，２５Ｖ＋，２５Ｗ＋に対する通電パターンに応じて、特定の相の電流を検出できる。あるいは、インバータ２３がＰＷＭ変調された３相交流を出力している状態では、電流検出部２７は、下アーム側のスイッチング素子２５Ｕ－，２５Ｖ－，２５Ｗに対する通電パターンに応じて、特定の相の電流を検出してもよい。

[0065] 例えば図４のように、通電時間Ｔ２１において、電流検出器２４の両端に

発生する電圧の電圧値は、正の相電流Ｉｕ＋の電流値に対応する。通電時間Ｔ２１は、ｔ４からｔ５までの時間である。通電時間Ｔ２１は、Ｕ相下アームのスイッチング素子がオン、Ｖ相下アームのスイッチング素子がオフ、及びW相下アームのスイッチング素子がオフの状態の期間に相当する。従って、電流検出部２７は、通電時間Ｔ２１内の第１電流検出タイミングＴｍ１で検出信号Ｓｄを取得することによって、正の相電流Ｉｕ＋の電流値を検出できる。

[0066] 電流検出タイミング調整部３４は、ＰＷＭ信号の内の１相が他の２相と異なる論理レベルに遷移する時（例えば、Ｕ相のＰＷＭ信号がＶ相及びW相と同じハイレベルから、Ｖ相及びW相と異なるローレベルに遷移するタイミング：ｔ４）から、所定の遅延時間ｔｄ経過時に、第１電流検出タイミングＴｍ１を設定する。このとき、電流検出タイミング調整部３４は、通電時間Ｔ２１内に、第１電流検出タイミングＴｍ１を設定する。

[0067] 遅延時間ｔｄは、下記（４）式により表される。Ｔdeadはデッドタイムである。Ｔringは、ＰＷＭ信号の変化時に伴い生じるリンギングが収束するまでに要する時間（リンギング収束時間）である。

[0068] ｔｄ＝Ｔdead＋Ｔring・・・（４）

[0069] また、例えば図４のように、通電時間Ｔ２２では、電流検出器２４の両端に発生する電圧の電圧値は、負の相電流Ｉｗ－の電流値に対応する。通電時間Ｔ２２は、ｔ５からｔ６までの時間である。通電時間Ｔ２２は、Ｕ相下アームのスイッチング素子がオン、Ｖ相下アームのスイッチング素子がオン、及びW相下アームのスイッチング素子がオフの状態の期間に相当する。従って、電流検出部２７は、通電時間Ｔ２２内の第２電流検出タイミングＴｍ２で検出信号Ｓｄを取得することによって、負の相電流Ｉｗ－の電流値を検出できる。

[0070] 電流検出タイミング調整部３４は、ＰＷＭ信号の内の１相が他の２相と異なる論理レベルに遷移する時（例えばＶ相のＰＷＭ信号がW相と同じハイレベルから、Ｕ相と同じローレベルに遷移したことで、W相がＵ相及びＶ相と

異なる論理レベルとなるタイミング：ｔ５）から所定の遅延時間ｔｄ経過時に第２電流検出タイミングＴｍ２を設定する。このとき、電流検出タイミング調整部３４は、通電時間Ｔ２２内に、第２電流検出タイミングＴｍ２を設定する。

[0071] 同様に、電流検出部２７は、他の相電流の電流値も検出できる。

[0072] このように、３相のＰＷＭ信号を含む通電パターンに応じて相電流Ｉｕ，Ｉｖ，Ｉｗのうち、２相の相電流を順次検出して記憶すれば、３相分の電流を時分割で検出することが可能となる。３相の相電流の総和が零であることから、電流検出部２７は、３相変調の場合、３相の相電流うち２相の相電流を検出できれば、残り１相の相電流も検出できる。

[0073] ここで、デューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕの大小関係が変化した場合、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれのオンデューティが変化する。デューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕの大小関係が変化する様子の具体例は後述する。第１ＰＷＭ信号は、例えばＵ相の下アームスイッチング素子を駆動するＰＷＭ信号である。第２ＰＷＭ信号は、例えばＶ相の下アームスイッチング素子を駆動するＰＷＭ信号である。第３ＰＷＭ信号は、例えばＷ相の下アームスイッチング素子を駆動するＰＷＭ信号である。

[0074] 実施の形態１に係るモータ制御装置１００－１は、デューティ比Ｕｄｕ，Ｖｄｕ，Ｗｄｕの大小関係が変化した場合でも、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれが変化するタイミングの時系列的な並び順は変えないように、パルス位相調整を行う点に特徴を有する。「第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれが変化するタイミング」は、例えば、図４に示されるＵ相ＰＷＭ信号のレベルが変化するタイミング（例えばｔ４）、図４に示されるＶ相ＰＷＭ信号のレベルが変化するタイミング（例えばｔ５）、図４に示されるＷ相ＰＷＭ信号のレベルが変化するタイミング（例えばｔ６）などである。パルス位相調整は、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれの位相をシフトするこ

とである。具体的には、パルス位相調整は、図４に示されるＵ相ＰＷＭ信号のレベルが変化するタイミング（例えばｔ４）、図４に示されるＶ相ＰＷＭ信号のレベルが変化するタイミング（例えばｔ５）、図４に示されるＷ相ＰＷＭ信号のレベルが変化するタイミング（例えばｔ６）を移動することである。図５～図７を用いてパルス位相調整の動作の具体例を説明する。

[0075] 図５は本発明の実施の形態１に係るパルス位相調整の動作を説明するための第１図である。図６は本発明の実施の形態１に係るパルス位相調整の動作を説明するための第２図である。図７は本発明の実施の形態１に係るパルス位相調整の動作を説明するための第３図である。図８は本発明の実施の形態１に係るパルス位相調整の動作を説明するための第４図である。

[0076] 図５に示されるデューティ比Ｕｄｕは、デューティ比Ｖｄｕよりも高い値である。図６に示されるデューティ比Ｕｄｕは、デューティ比Ｖｄｕよりも低い値である。このように、デューティ比Ｕｄｕとデューティ比Ｖｄｕとの大小関係が変化した場合、図６に示されるＵ相のＰＷＭ信号及びＶ相のＰＷＭ信号のそれぞれが変化するタイミングが、図５に示されるＵ相のＰＷＭ信号及びＶ相のＰＷＭ信号のそれぞれが変化するタイミングと異なることが分かる。図５では、変化点ｔ４でＵ相のＰＷＭ信号が変化し、変化点ｔ５でＶ相のＰＷＭ信号が変化しているのに対して、図６では、変化点ｔ４でＶ相のＰＷＭ信号が変化し、変化点ｔ５でＵ相のＰＷＭ信号が変化している。

[0077] この場合でも、通電時間Ｔ２１及び通電時間Ｔ２２が確保されるため、電流検出タイミング調整部３４は、通電時間Ｔ２１に第１電流検出タイミングＴｍ１を設定し、通電時間Ｔ２２に第２電流検出タイミングＴｍ２を設定する。従って、デューティ比Ｕｄｕとデューティ比Ｖｄｕとの大小関係が変化した場合でも、電流検出は可能である。

[0078] しかしながら、通電パターンの変化に伴い、図７に示すように、検出電流に歪みが生じる。これは、複数のＰＷＭ信号のそれぞれが変化するタイミングの、時系列的な並び順が変化することが原因である。具体的には、図５では、複数のＰＷＭ信号のレベルが変化する順が、Ｕ、Ｖ、Ｗの順であるのに

対して、図６では、デューティ比Ｕｄｕ，Ｖｄｕの大小関係が逆転しているため、複数のＰＷＭ信号のレベルが変化する順が、Ｖ、Ｕ、Ｗの順である。

[0079] 複数のＰＷＭ信号の変化するタイミング（位相）が変わると、それに応じて、直流母線（正側母線２２ａ、負側母線２２ｂ）に流れる電流に歪みが生じて、大きなノイズが重畳したような波形になる。この電流の歪みは、騒音の原因となり、モータ４に接続される機器によっては、ユーザに不快感を与えることになる。

[0080] このような電流の歪みの発生を抑制するため、本実施の形態に係るモータ制御装置１００－１は、デューティ比Ｕｄｕ，Ｖｄｕの大小関係が変化した場合でも、複数のＰＷＭ信号のそれぞれが変化するタイミングの、時系列的な並び順を、１つの配列順に固定するように、パルス位相調整を行う。

[0081] 図８には、複数のＰＷＭ信号に対してパルス位相調整を実施する様子が示される。図８の例では、Ｕ相のＰＷＭ信号の変化するタイミング（位相）が、進み側にシフトされる。また、Ｖ相のＰＷＭ信号の変化するタイミング（位相）が、遅れ側にシフトされる。さらに、シフトされたＵ相のＰＷＭ信号の位相から、Ｖ相のＰＷＭ信号の位相までの時間幅は、第１電流検出タイミングＴｍ１で検出信号Ｓｄを取得可能な幅に設定される。

[0082] 次にモータ制御装置１００－１の動作を説明する。図９は、モータ制御装置１００－１の動作を示すフローチャートである。本実施の形態では、キャリアＣのボトムの位相ｔａのタイミング毎に、図９に示すＰＷＭカウンタ割込み処理が発生する。

[0083] ステップＳ１０において、ＰＷＭ信号生成部３２は、パルス位相調整処理を行う。パルス位相調整処理の詳細は後述する。

[0084] ステップＳ１１において、電流検出部２７はＵ，Ｖ，Ｗ各相の相電流Ｉｕ，Ｉｖ，Ｉｗを検出する。電流検出部２７が検出信号Ｓｄを取得する電流検出割込み処理（例えば、検出信号ＳｄをＡＤ変換する割込み処理）は、図７に示す処理とは別に（図８、９参照）、キャリアＣの１周期Ｔｐｗｍ内で２回実行される。

[0085] 図１０は第１電流検出処理の一例を示すフローチャートである。電流検出タイミング調整部３４は、キャリアカウンタのカウント値が、ｔ４から遅延時間ｔｄ経過した時に相当する値に一致すると、第１電流検出タイミングＴｍ１の設定レジスタをアサートする。電流検出部２７は、第１電流検出タイミングＴｍ１の設定レジスタがアサートされると、検出信号ＳｄをＡＤ変換器により取得し（ステップＳ４１）、その検出信号Ｓｄの取得値を第１取得レジスタに格納する。

[0086] 図１１は第２電流検出処理の一例を示すフローチャートである。電流検出タイミング調整部３４は、アップダウンカウンタ１２のカウント値が、ｔ５から遅延時間ｔｄ経過した時に相当する値に一致すると、第２電流検出タイミングＴｍ２の設定レジスタをアサートする。電流検出部２７は、第２電流検出タイミングＴｍ２の設定レジスタがアサートされると、検出信号ＳｄをＡＤ変換器により取得し（ステップＳ５１）、その検出信号Ｓｄの取得値を第２取得レジスタに格納する。

[0087] 電流検出部２７は、第１取得レジスタ及び第２取得レジスタにそれぞれ格納された検出信号Ｓｄの設定値に基づいて、３相電流Ｉｕ，Ｉｖ，Ｉｗを検出する。

[0088] ベクトル制御部３０は、電流検出部２７により検出される３相電流Ｉｕ，Ｉｖ，Ｉｗの電流算出値に基づいて、ＰＩ制御等の電流制御を行い（ステップＳ１３）、各相の相電圧指令Ｖｕ*，Ｖｖ*，Ｖｗ*（制御量）を算出する（ステップＳ１４）。

[0089] ステップＳ１５にて、デューティ比設定部３１は、ステップＳ１４で算出された各相の相電圧指令Ｖｕ*，Ｖｖ*，Ｖｗ*に基づいて、各相のデューティ比を設定する。そして、ステップＳ１６にて、ＰＷＭ信号生成部３２は、デューティ比設定部３１により設定された各相のデューティ比に基づいて、複数の通電パターンのうちどの通電パターンによってインバータ２３の通電を制御するのかを判定する。

[0090] 次にパルス位相調整処理の動作を説明する。図１２はパルス位相調整処理

の動作を説明するための第１フローチャートである。ＰＷＭ信号生成部３２には、以下に示す複数のパルス条件が与えられているものとする。

[0091] 以下に示すパルス位相条件は、検出に係るパルスの変化タイミングをＵＶＷの順で検出するときの条件であり、検出に係るパルス変化タイミングが例えば、ＶＵＷ等で検出するとした場合には、その順の場合に位相を変更しないものと、それ以外の場合に位相をシフトするものとして読み替えることとする。

[0092] 第１パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各ＰＷＭ信号Ｕ，Ｖ，Ｗの配置が位相の進み側から順にＵ→Ｖ→Ｗの関係性を有する。

[0093] 第２パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各ＰＷＭ信号Ｕ，Ｖ，Ｗの配置が位相の進み側から順にＵ→Ｗ→Ｖの関係性を有する。

[0094] 第３パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各ＰＷＭ信号Ｕ，Ｖ，Ｗの配置が位相の進み側から順にＶ→Ｕ→Ｗの関係性を有する。

[0095] 第４パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各ＰＷＭ信号Ｕ，Ｖ，Ｗの配置が位相の進み側から順にＶ→Ｗ→Ｕの関係性を有する。

[0096] 第５パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各ＰＷＭ信号Ｕ，Ｖ，Ｗの配置が位相の進み側から順にＷ→Ｕ→Ｖの関係性を有する。

[0097] 第６パルス位相条件は、キャリアカウンタがダウンカウントのとき、かつ、各ＰＷＭ信号Ｕ，Ｖ，Ｗの配置が位相の進み側から順にＷ→Ｖ→Ｕの関係性を有する。

[0098] ステップＳ１００において、ＰＷＭ信号生成部３２は、第１パルス位相条件を満たすか否を判定する。

[0099] 第１パルス位相条件を満たしている場合（ステップＳ１００，Ｙｅｓ）、

アップダウンカウンタ１２のカウント値がダウンカウントのときのＵ相のＰＷＭ信号、Ｖ相のＰＷＭ信号、Ｗ相のＰＷＭ信号のそれぞれが変化するタイミングは、Ｕ、Ｖ、Ｗの順である。そのため、ＰＷＭ信号生成部３２は、Ｕ相のＰＷＭ信号、Ｖ相のＰＷＭ信号、Ｗ相のＰＷＭ信号のそれぞれの位相を変更することなく（ステップＳ１１０）、ステップＳ１１１において電流検出区間（通電時間Ｔ２１，Ｔ２２）を確保する処理を行い、その後、図９のステップＳ１１の処理を行う。

[0100] 第１パルス位相条件を満たしていない場合（ステップＳ１００，Ｎｏ）、ステップＳ１０１の処理が実行される。ステップＳ１０１においてＰＷＭ信号生成部３２は、第２パルス位相条件を満たすか否を判定する。

[0101] 第２パルス位相条件を満たしている場合（ステップＳ１０１，Ｙｅｓ）、アップダウンカウンタ１２のカウント値がダウンカウントのときのＵ相のＰＷＭ信号、Ｖ相のＰＷＭ信号、Ｗ相のＰＷＭ信号のそれぞれが変化するタイミングは、Ｕ、Ｗ、Ｖの順である。そのため、ＰＷＭ信号生成部３２は、Ｗ相のＰＷＭ信号、Ｖ相のＰＷＭ信号のそれぞれの位相を変更し（ステップＳ１２０）、ステップＳ１２１において電流検出区間（通電時間Ｔ２１，Ｔ２２）を確保する処理を行い、その後、図９のステップＳ１１の処理を行う。ステップＳ１２０では、例えば、Ｗ相のＰＷＭ信号の変化するタイミング（位相）が、遅れ側にシフトされる。また、Ｖ相のＰＷＭ信号の変化するタイミング（位相）が、進み側にシフトされる。

[0102] 第２パルス位相条件を満たしていない場合（ステップＳ１０１，Ｎｏ）、ステップＳ１０２の処理が実行される。ステップＳ１０２においてＰＷＭ信号生成部３２は、第３パルス位相条件を満たすか否を判定する。

[0103] 第３パルス位相条件を満たしている場合（ステップＳ１０２，Ｙｅｓ）、アップダウンカウンタ１２のカウント値がダウンカウントのときのＵ相のＰＷＭ信号、Ｖ相のＰＷＭ信号、Ｗ相のＰＷＭ信号のそれぞれが変化するタイミングは、Ｖ、Ｕ、Ｗの順である。そのため、ＰＷＭ信号生成部３２は、Ｖ相のＰＷＭ信号、Ｕ相のＰＷＭ信号のそれぞれの位相を変更し（ステップＳ

１３０）、ステップＳ１３１において電流検出区間（通電時間Ｔ２１，Ｔ２２）を確保する処理を行い、その後、ステップＳ１１の処理を行う。ステップＳ１３０では、例えば、Ｖ相のＰＷＭ信号の変化するタイミング（位相）が、遅れ側にシフトされる。また、Ｕ相のＰＷＭ信号の変化するタイミング（位相）が、進み側にシフトされる。

[0104] 第３パルス位相条件を満たしていない場合（ステップＳ１０２，Ｎｏ）、ステップＳ１０３の処理が実行される。ステップＳ１０３においてＰＷＭ信号生成部３２は、第４パルス位相条件を満たすか否を判定する。

[0105] 第４パルス位相条件を満たしている場合（ステップＳ１０３，Ｙｅｓ）、アップダウンカウンタ１２のカウント値がダウンカウントのときのＵ相のＰＷＭ信号、Ｖ相のＰＷＭ信号、Ｗ相のＰＷＭ信号のそれぞれが変化するタイミングは、Ｖ相のＰＷＭ信号、Ｗ相のＰＷＭ信号、Ｕ相のＰＷＭ信号の順である。そのため、ＰＷＭ信号生成部３２は、Ｖ相のＰＷＭ信号、Ｗ相のＰＷＭ信号、Ｕ相のＰＷＭ信号のそれぞれの位相を変更し（ステップＳ１４０）、ステップＳ１４１において電流検出区間（通電時間Ｔ２１，Ｔ２２）を確保する処理を行い、その後、図９のステップＳ１１の処理を行う。ステップＳ１４０では、例えば、Ｖ相のＰＷＭ信号の変化するタイミング（位相）が、遅れ側にシフトされる。またＷ相のＰＷＭ信号の変化するタイミング（位相）が、遅れ側にシフトされる。また、Ｕ相のＰＷＭ信号の変化するタイミング（位相）が、進み側にシフトされる。

[0106] 第４パルス位相条件を満たしていない場合（ステップＳ１０３，Ｎｏ）、ステップＳ１０４の処理が実行される。ステップＳ１０４においてＰＷＭ信号生成部３２は、第５パルス位相条件を満たすか否を判定する。

[0107] 第５パルス位相条件を満たしている場合（ステップＳ１０４，Ｙｅｓ）、アップダウンカウンタ１２のカウント値がダウンカウントのときのＵ相のＰＷＭ信号、Ｖ相のＰＷＭ信号、Ｗ相のＰＷＭ信号のそれぞれが変化するタイミングは、Ｗ、Ｕ、Ｖの順である。そのため、ＰＷＭ信号生成部３２は、それぞれのＰＷＭ信号の位相を変更し（ステップＳ１５０）、ステップＳ１５

１において電流検出区間（通電時間Ｔ２１，Ｔ２２）を確保する処理を行い、その後、図９のステップＳ１１の処理を行う。ステップＳ１５０では、例えば、W相のＰWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。またＵ相のＰWM信号の変化するタイミング（位相）が、進み側にシフトされる。また、Ｖ相のＰWM信号の変化するタイミング（位相）が、進み側にシフトされる。

[0108] 第５パルス位相条件を満たしていない場合（ステップＳ１０４，Ｎｏ）、ステップＳ１６０の処理が実行される。残りのパルス位相条件は、第６パルス位相条件、あるいは各相の内２以上の相で同一のパルス変化タイミングであるので、アップダウンカウンタ１２のカウント値がダウンカウントのときのＵ相のＰWM信号、Ｖ相のＰWM信号、W相のＰWM信号のそれぞれが変化するタイミングは、W、Ｖ、Ｕの順である。そのため、ＰWM信号生成部３２は、それぞれのＰWM信号の位相を変更し（ステップＳ１６０）、ステップＳ１６１において電流検出区間（通電時間Ｔ２１，Ｔ２２）を確保する処理を行い、その後、図９のステップＳ１１の処理を行う。ステップＳ１６０では、例えば、W相のＰWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。またＶ相のＰWM信号の変化するタイミング（位相）が、遅れ側にシフトされる。また、Ｕ相のＰWM信号の変化するタイミング（位相）が、進み側にシフトされるなど、検出順序がＵ、Ｖ、Wの順番となるようシフトされる。

[0109] なお、本実施の形態のＰWM信号生成部３２は、各相で共通の一つのキャリアＣを用いて、各相のＰWM信号を生成する。すなわち、本実施の形態は、各相のそれぞれに対応するキャリアＣを生成する態様ではない。さらに、本実施の形態では、位相ｔｂを中心とする左右対称の三角波をキャリアＣとしているため、各相のＰWM信号の波形生成の回路構成を簡素化できる。アップダウンカウンタ１２は、位相ｔａまでダウンカウント中であり、位相ｔａから位相ｔｂまでアップカウント中であり、位相ｔｂからダウンカウント中である。このように、カウントアップ期間とカウントダウン期間とが繰り

返される。

[0110] なお、本実施の形態では、第１ＰＷＭ信号がＵ相のＰＷＭ信号、第２ＰＷＭ信号がＶ相のＰＷＭ信号、第３ＰＷＭ信号がW相のＰＷＭ信号である場合の例について説明したが、第１ＰＷＭ信号、第２ＰＷＭ信号、第３ＰＷＭ信号の種類はこれらの相に限定されるものではない。

[0111] また、本実施の形態では、アップダウンカウンタ１２のカウント値がダウンカウントのときに、第１～第６パルス位相条件のそれぞれを満たす場合の動作例を説明したが、ＰＷＭ信号生成部３２は、アップダウンカウンタ１２のカウント値がアップカウントのときに、第１～第６パルス位相条件のそれぞれを満たすか否かを判定するように構成してもよい。

[0112] 以上に説明したように実施の形態１に係るモータ制御装置１００－１は、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号に基づいてモータを駆動するインバータと、前記検出信号を取得することによって、前記モータに流れる各相の相電流を検出する電流検出部と、前記各相の相電流の検出値に基づいて、前記第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のデューティ比を設定するデューティ比設定部と、前記デューティ比の設定値を、レベルが周期的に増減するキャリアのレベルと比較することによって、前記第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号を生成するＰＷＭ信号生成部と、を備え、前記ＰＷＭ信号生成部は、前記設定値が変化した場合、前記設定値が変化した後の前記第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号が変化するタイミングの時系列的な並び順を、前記設定値が変化する前の前記第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号が変化するタイミングの時系列的な並び順と同じ並び順に調整して、前記キャリアの半周期期間内の第１通電時間（例えばＴ２１）及び第２通電時間（例えばＴ２２）を確保するように構成されている。

[0113] この構成により、ＰＷＭ信号の位相のタイミングが変化することがなくなり、直流母線（正側母線２２ａ、負側母線２２ｂ）に流れる電流に歪みが生じることがない。従って、騒音の原因となるノイズが電流に重畳することな

く、騒音の発生を抑制できる。また、電流に歪みが生じることがなくなるため、高調波を抑制でき、力率も高く保つことができるため、モータ４の駆動時の電力損失が低減される。

[0114] 上記構成によって、デューティ比の設定値が変化した場合でも、常に２つの電流検出相が固定される形となるため、騒音の原因となるノイズが電流に重畳しなくなる。

[0115] ところが、高変調率領域では通電率が高くなるため、電流検出部２７が２相分の相電流を検出することが困難な場合がある。すなわち、通電率が高くなると、各相のＰＷＭ信号のオフレベル期間に対して、ハイレベル期間の比率が大きくなるため、電流検出部２７が相電流を検出可能な通電幅の２つの通電時間（例えば第１通電時間及び第２通電時間）の内、一方の通電時間が確保されても、他方の通電時間が確保されない場合がある。従って、常に２つの電流検出相が固定される場合、ＰＷＭ変調率の上限が例えば３０％程度となり、全変調率領域に適用することができず、電圧利用率が低くなる。

[0116] 以下では、騒音の原因となるノイズを抑制しながら、高変調率領域においても２つの通電時間を確保する構成例について説明する。

[0117] 図１３は通電率が高い場合における、複数のＰＷＭ信号の波形と、これらのＰＷＭ信号の一周期当たりのキャリアＣの波形とを示す第１図である。図１４は通電率が高い場合における、複数のＰＷＭ信号の波形と、これらのＰＷＭ信号の一周期当たりのキャリアＣの波形とを示す第２図である。図１５は通電率が高い場合における、複数のＰＷＭ信号の波形と、これらのＰＷＭ信号の一周期当たりのキャリアＣの波形とを示す第３図である。

[0118] 図１３には、通電率が高い場合における複数のＰＷＭ信号の波形のゼロベクトル区間が示される。ゼロベクトル区間は、Ｕ相～Ｗ相のそれぞれのＰＷＭ信号のレベルがハイレベルとなる期間に等しく、又はＵ相～Ｗ相のそれぞれのＰＷＭ信号のレベルがローレベルとなる期間に等しい。図１３では、Ｕ相～Ｗ相のそれぞれのＰＷＭ信号のレベルがハイレベルをゼロベクトル区間として例示される。

[0119] 通電率が高い場合、図１３に示されるように、複数のＰＷＭ信号のそれぞれのハイレベル期間がローレベル期間よりも広くなる。このように、通電率が高い場合でも、図１３に示されるように、Ｕ相のＰＷＭ信号のレベルがローレベルであり、Ｖ相のＰＷＭ信号のレベルがハイレベルであり、さらに、Ｗ相のＰＷＭ信号のレベルがハイレベルである区間では、電流検出部２７が相電流を検出可能な通電幅の通電時間Ｔｍ１（例えば４ｕｓ）を設定できる。

[0120] ところが、図１３に示されるＵ相～Ｗ相のそれぞれのＰＷＭ信号では、ハイレベルの期間が長いため、Ｖ相のＰＷＭ信号がハイレベルからローレベルに変化した時点から、Ｕ相のＰＷＭ信号がローレベルからハイレベルに変化する時点までの期間が短い。そのため、Ｕ相のＰＷＭ信号のレベルがローレベルであり、Ｖ相のＰＷＭ信号のレベルがローレベルであり、さらに、Ｗ相のＰＷＭ信号のレベルがハイレベルである区間を設定すること、すなわち、通電時間Ｔｍ２を設定することが、困難になる場合がある。

[0121] 本実施の形態に係るＰＷＭ信号生成部３２は、このように通電率が高くなり、通電時間Ｔｍ２を設定することが困難な場合、ゼロベクトル区間の一部を抜き出し、抜き出したゼロベクトル区間に相当する通電幅を、ゼロベクトル区間以外の区間（電流検出部２７が２相の相電流を検出困難な通電幅の通電時間）に割り当てる。これにより、相電流を検出困難な通電幅の通電時間は、電流検出部２７が２相の相電流を検出可能な通電幅の通電時間Ｔｍ２に調整される。

[0122] 図１４に示すように、ゼロベクトル区間（ハイレベル期間）の一部が抜き出され、抜き出した区間に相当する区間を各相のロー区間に反転して振り分けることにより、例えばＵ相～Ｗ相のそれぞれのＰＷＭ信号がハイレベルからローレベルに変化するタイミングが、進み側にシフトされる。これにより、図１５に示すように、Ｕ相のＰＷＭ信号のローレベルの期間が伸びるため、第１通電時間と第２通電時間とを設定することができる。なお、本実施の形態では、全相でハイレベルとなっている期間を全相でローレベルの期間に

反転しているが、これに限らず、全相でローレベルとなっている期間において全相をハイレベルに反転し、通電時間の調整を行ってもよい。

[0123] 図１５に示される第１通電時間は、例えばＵ相のＰＷＭ信号がハイレベルからローレベルに変化した時点から、Ｖ相のＰＷＭ信号がハイレベルからローレベルに変化する時点までの期間である。第２通電時間は、例えばＶ相のＰＷＭ信号がハイレベルからローレベルに変化した時点から、Ｗ相のＰＷＭ信号がハイレベルからローレベルに変化する時点までの期間である。

[0124] 図１６はパルス位相調整処理の動作を説明するための第２フローチャートである。

[0125] ステップＳ２１０において、ＰＷＭ信号生成部３２は、第１パルス位相条件を満たすか否を判定する。第１パルス位相条件は、アップダウンカウンタ１２のカウント値がダウンカウントのとき、かつ、デューティ比Ｕｄｕ，Ｖｄｕ，ＷｄｕがＵｄｕ＞Ｖｄｕ＞Ｗｄｕ＞の関係性を有する。

[0126] ＰＷＭ信号生成部３２は、第１パルス位相条件を満たしている場合（ステップＳ２１０，Ｙｅｓ）、第１通電時間と第２通電時間との一方が電流検出部２７による相電流の検出が困難な通電幅であるか否かを判定する（ステップＳ２１１）。当該判定は、例えば第１通電時間と遅延時間ｔｄを比較し、また第２通電時間と遅延時間ｔｄを比較することにより、第１通電時間と第２通電時間の一方が遅延時間ｔｄ以上である場合には、第１通電時間と第２通電時間は、電流検出部２７による相電流の検出が可能な通電幅の通電時間であると判定される。

[0127] 第１通電時間と第２通電時間の一方が遅延時間ｔｄ未満である場合には、第１通電時間と第２通電時間の一方は、電流検出部２７による相電流の検出が困難な通電幅の通電時間であると判定される。

[0128] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間が、電流検出部２７による相電流の検出が可能な通電幅の通電時間であると判定した場合（ステップＳ２１１，Ｎｏ）、ゼロベクトル区間の抜き出しと割り当てを行わない（ステップＳ２１２）。

[0129] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間の一方が、電流検出部２７による相電流の検出が困難な通電幅の通電時間であると判定した場合（ステップＳ２１１，Ｙｅｓ）、各相のＰＷＭ信号の時系列的な並び順を変えることなく、ゼロベクトル区間の抜き出しと割り当てを行う（ステップＳ２１３）。

[0130] ステップＳ２１３の処理により、第１パルス位相条件を満たすＵ相～Ｗ相のそれぞれのＰＷＭ信号を生成するための電圧指令の変調率が高い場合でも、電流検出部２７による相電流の検出が可能な通電幅の通電時間を２箇所設定することができる。

[0131] ＰＷＭ信号生成部３２は、第１パルス位相条件を満たしていない場合（ステップＳ２１０，Ｎｏ）、ステップＳ２２０の処理を行う。

[0132] ステップＳ２２０において、ＰＷＭ信号生成部３２は、第２パルス位相条件を満たすか否を判定する。第２パルス位相条件は、アップダウンカウンタ１２のカウント値がダウンカウントのとき、かつ、デューティ比Ｕｄｕ，Ｖｄｕ，ＷｄｕがＵｄｕ＞Ｗｄｕ＞Ｖｄｕ＞の関係性を有する。

[0133] ＰＷＭ信号生成部３２は、第２パルス位相条件を満たしている場合（ステップＳ２２０，Ｙｅｓ）、第１通電時間と第２通電時間との一方が電流検出部２７による相電流の検出が困難な通電幅であるか否かを判定する（ステップＳ２２１）。当該判定は、ステップＳ２１１の処理と同様に行われる。

[0134] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間が、電流検出部２７による相電流の検出が可能な通電幅の通電時間であると判定した場合（ステップＳ２２１，Ｎｏ）、ゼロベクトル区間の抜き出しと割り当てを行わない（ステップＳ２２２）。

[0135] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間の一方が、電流検出部２７による相電流の検出が困難な通電幅の通電時間であると判定した場合（ステップＳ２２１，Ｙｅｓ）、各相のＰＷＭ信号の時系列的な並び順を変えることなく、ゼロベクトル区間の抜き出しと割り当てを行なう（ステップＳ２２３）。

[0136] ステップＳ２２３の処理により、第２パルス位相条件を満たすＵ相～Ｗ相のそれぞれのＰＷＭ信号を生成するための電圧指令の変調率が高い場合でも、電流検出部２７による相電流の検出が可能な通電幅の通電時間を２箇所設定することができる。

[0137] ＰＷＭ信号生成部３２は、第２パルス位相条件を満たしていない場合（ステップＳ２２０，Ｎｏ）、ステップＳ２３０の処理を行う。

[0138] ステップＳ２３０において、ＰＷＭ信号生成部３２は、第３パルス位相条件を満たすか否を判定する。第３パルス位相条件は、アップダウンカウンタ１２のカウント値がダウンカウントのとき、かつ、デューティ比Ｕｄｕ，Ｖｄｕ，ＷｄｕがＶｄｕ＞Ｕｄｕ＞Ｗｄｕ＞の関係性を有する。

[0139] ＰＷＭ信号生成部３２は、第３パルス位相条件を満たしている場合（ステップＳ２３０，Ｙｅｓ）、第１通電時間と第２通電時間との一方が電流検出部２７による相電流の検出が困難な通電幅であるか否かを判定する（ステップＳ２３１）。当該判定は、ステップＳ２１１の処理と同様に行われる。

[0140] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間が、電流検出部２７による相電流の検出が可能な通電幅の通電時間であると判定した場合（ステップＳ２３１，Ｎｏ）、ゼロベクトル区間の抜き出しと割り当てを行わない（ステップＳ２３２）。

[0141] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間の一方が、電流検出部２７による相電流の検出が困難な通電幅の通電時間であると判定した場合（ステップＳ２３１，Ｙｅｓ）、各相のＰＷＭ信号の時系列的な並び順を変えることなく、ゼロベクトル区間の抜き出しと割り当てを行なう（ステップＳ２３３）。

[0142] ステップＳ２３３の処理により、第３パルス位相条件を満たすＵ相～Ｗ相のそれぞれのＰＷＭ信号を生成するための電圧指令の変調率が高い場合でも、電流検出部２７による相電流の検出が可能な通電幅の通電時間を２箇所設定することができる。

[0143] ＰＷＭ信号生成部３２は、第３パルス位相条件を満たしていない場合（ス

テップＳ２３０，Ｎｏ）、ステップＳ２４０の処理を行う。

[0144] ステップＳ２４０において、ＰＷＭ信号生成部３２は、第４パルス位相条件を満たすか否を判定する。第４パルス位相条件は、アップダウンカウンタ１２のカウント値がダウンカウントのとき、かつ、デューティ比Ｕｄｕ，Ｖｄｕ，ＷｄｕがＶｄｕ＞Ｗｄｕ＞Ｕｄｕ＞の関係性を有する。

[0145] ＰＷＭ信号生成部３２は、第４パルス位相条件を満たしている場合（ステップＳ２４０，Ｙｅｓ）、第１通電時間と第２通電時間との一方が電流検出部２７による相電流の検出が困難な通電幅であるか否かを判定する（ステップＳ２４１）。当該判定は、ステップＳ２１１の処理と同様に行われる。

[0146] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間が、電流検出部２７による相電流の検出が可能な通電幅の通電時間であると判定した場合（ステップＳ２４１，Ｎｏ）、ゼロベクトル区間の抜き出しと割り当てを行わない（ステップＳ２４２）。

[0147] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間の一方が、電流検出部２７による相電流の検出が困難な通電幅の通電時間であると判定した場合（ステップＳ２４１，Ｙｅｓ）、各相のＰＷＭ信号の時系列的な並び順を変えることなく、ゼロベクトル区間の抜き出しと割り当てを行なう（ステップＳ２４３）。

[0148] ステップＳ２４３の処理により、第４パルス位相条件を満たすＵ相～Ｗ相のそれぞれのＰＷＭ信号を生成するための電圧指令の変調率が高い場合でも、電流検出部２７による相電流の検出が可能な通電幅の通電時間を２箇所設定することができる。

[0149] ＰＷＭ信号生成部３２は、第４パルス位相条件を満たしていない場合（ステップＳ２４０，Ｎｏ）、ステップＳ２５０の処理を行う。

[0150] ステップＳ２５０において、ＰＷＭ信号生成部３２は、第５パルス位相条件を満たすか否を判定する。第５パルス位相条件は、アップダウンカウンタ１２のカウント値がダウンカウントのとき、かつ、デューティ比Ｕｄｕ，Ｖｄｕ，ＷｄｕがＷｄｕ＞Ｕｄｕ＞Ｖｄｕ＞の関係性を有する。

[0151] ＰＷＭ信号生成部３２は、第５パルス位相条件を満たしている場合（ステップＳ２５０，Ｙｅｓ）、第１通電時間と第２通電時間との一方が電流検出部２７による相電流の検出が困難な通電幅であるか否かを判定する（ステップＳ２５１）。当該判定は、ステップＳ２１１の処理と同様に行われる。

[0152] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間が、電流検出部２７による相電流の検出が可能な通電幅の通電時間であると判定した場合（ステップＳ２５１，Ｎｏ）、ゼロベクトル区間の抜き出しと割り当てを行わない（ステップＳ２５２）。

[0153] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間の一方が、電流検出部２７による相電流の検出が困難な通電幅の通電時間であると判定した場合（ステップＳ２５１，Ｙｅｓ）、各相のＰＷＭ信号の時系列的な並び順を変えることなく、ゼロベクトル区間の抜き出しと割り当てを行なう（ステップＳ２５３）。

[0154] ステップＳ２５３の処理により、第５パルス位相条件を満たすＵ相～Ｗ相のそれぞれのＰＷＭ信号を生成するための電圧指令の変調率が高い場合でも、電流検出部２７による相電流の検出が可能な通電幅の通電時間を２箇所設定することができる。

[0155] ＰＷＭ信号生成部３２は、第５パルス位相条件を満たしていない場合（ステップＳ２５０，Ｎｏ）、ステップＳ２６１の処理を行う。

[0156] 残りのパルス位相条件は、第６パルス位相条件であるので、ステップＳ２６１において、ＰＷＭ信号生成部３２は、第６パルス位相条件において、第１通電時間と第２通電時間との一方が電流検出部２７による相電流の検出が困難な通電幅であるか否かを判定する。第６パルス位相条件は、アップダウンカウンタ１２のカウント値がダウンカウントのとき、かつ、デューティ比Ｕｄｕ，Ｖｄｕ，ＷｄｕがＷｄｕ＞Ｖｄｕ＞Ｕｄｕ＞の関係性を有する。当該判定は、ステップＳ２１１の処理と同様に行われる。

[0157] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間が、電流検出部２７による相電流の検出が可能な通電幅の通電時間であると判定した場合（ス

テップＳ２６１，Ｎｏ）、ゼロベクトル区間の抜き出しと割り当てを行わない（ステップＳ２６２）。

[0158] ＰＷＭ信号生成部３２は、第１通電時間と第２通電時間の一方が、電流検出部２７による相電流の検出が困難な通電幅の通電時間であると判定した場合（ステップＳ２６１，Ｙｅｓ）、各相のＰＷＭ信号の時系列的な並び順を変えることなく、ゼロベクトル区間の抜き出しと割り当てを行なう（ステップＳ２６３）。

[0159] ステップＳ２６３の処理により、第６パルス位相条件を満たすＵ相～Ｗ相のそれぞれのＰＷＭ信号を生成するための電圧指令の変調率が高い場合でも、電流検出部２７による相電流の検出が可能な通電幅の通電時間を２箇所設定することができる。

[0160] 以上に説明したように、本実施の形態に係るモータ制御装置１００－１のＰＷＭ信号生成部は、電流検出部２７がモータに流れる各相の内少なくとも１相の相電流を検出可能な通電幅の第１通電時間と、電流検出部２７が第１通電時間で検出した相とは異なる相（例えば２相）の相電流を検出困難な通電幅の第２通電時間とが存在する場合、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号の内、それぞれのゼロベクトル区間の一部を抜き出し、抜き出したゼロベクトル区間に相当する通電幅を、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号のそれぞれのゼロベクトル区間以外の区間に割り当てることにより、第２通電時間を、電流検出部２７が第１通電時間で検出した相とは異なる相の相電流を検出可能な通電幅に調整するように構成されている。

[0161] この構成により、高変調領域においても、電流検出部２７による相電流の検出が可能な通電幅の通電時間を２箇所設定することができる。

[0162] 以上、モータ制御装置、モータシステム及びモータ制御方法を実施の形態により説明したが、本発明は上記の実施の形態に限定されるものではない。他の実施の形態の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

[0163] 本国際出願は、２０１９年３月２５日に出願した日本国特許出願第２０１９－０５７２９０号に基づく優先権を主張するものであり、日本国特許出願第２０１９－０５７２９０号の全内容を本国際出願に援用する。

符号の説明

[0164] １－１　モータシステム、４　モータ、１２　アップダウンカウンタ、１３　比較器、１４　比較器、１５　フリップフロップ、１６　比較器、１７　比較器、１８　比較器、２１　直流電源、２２ａ　正側母線、２２ｂ　負側母線、２３　インバータ、２４　電流検出器、２５Ｕ　スイッチング素子、２５Ｖ　スイッチング素子、２５Ｗ　スイッチング素子、２７　電流検出部、３０　ベクトル制御部、３１　デューティ比設定部、３２　ＰＷＭ信号生成部、３３　駆動回路、３４　電流検出タイミング調整部、３５　通電パターン生成部、３６　クロック発生部、３７　キャリア発生部、１００－１　モータ制御装置、１０８　ＰＷＭ回路、１０９　割込コントローラ。

請求の範囲

[請求項1] 第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号に基づいてモータを駆動するインバータ部と、

前記モータに流れる各相の相電流を検出する電流検出部と、

前記各相の相電流の検出値に基づいて、前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号のデューティ比を設定するデューティ比設定部と、

前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号を生成するＰＷＭ信号生成部と、

を備え、

前記ＰＷＭ信号生成部は、

前記電流検出部が前記モータに流れる各相の内少なくとも１相の相電流を検出可能な通電幅の第１通電時間と、前記電流検出部が前記第１通電時間で検出した相とは異なる相の相電流を検出困難な通電幅の第２通電時間とが存在する場合、

前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号の内、それぞれのゼロベクトル区間の一部を抜き出し、抜き出したゼロベクトル区間に相当する通電幅を、前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号のそれぞれのゼロベクトル区間以外の区間に割り当てることにより、前記第２通電時間を、前記電流検出部が前記第１通電時間で検出した相とは異なる相の相電流を検出可能な通電幅に調整するモータ制御装置。

[請求項2] 前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号のデューティ比を設定するデューティ比設定部を備え、

前記ＰＷＭ信号生成部は、

前記デューティ比設定部で設定された設定値が変化した場合、前記設定値が変化した後の前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号が変化するタイミングの時系列的な並び順を、前

記設定値が変化する前の前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号が変化するタイミングの時系列的な並び順と同じ並び順に調整して、レベルが周期的に増減するキャリアの半周期期間内の前記第１通電時間及び前記第２通電時間を確保する請求項１に記載のモータ制御装置。

[請求項3] 請求項１に記載のモータ制御装置と、

前記モータと、

を備えるモータシステム。

[請求項4] モータを制御するモータ制御装置で実行されるモータ制御方法であって、

１つの電流検出器を用いて、第１ＰＷＭ信号、第２ＰＷＭ信号及び第３ＰＷＭ信号に基づいてモータを駆動するインバータ部の直流側に流れる電流の電流値に対応する検出信号を出力するステップと、

前記モータに流れる各相の相電流を検出するステップと、

前記各相の相電流の検出値に基づいて、前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号のデューティ比を設定するステップと、

前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号を生成するステップと、

前記モータに流れる各相の相電流を検出する電流検出部が前記モータに流れる各相の内少なくとも１相の相電流を検出可能な通電幅の第１通電時間と、前記電流検出部が前記第１通電時間で検出した相とは異なる相の相電流を検出困難な通電幅の第２通電時間とが存在する場合、前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号のそれぞれの内、ゼロベクトル区間の一部を抜き出し、抜き出したゼロベクトル区間に相当する通電幅を、前記第１ＰＷＭ信号、前記第２ＰＷＭ信号及び前記第３ＰＷＭ信号のそれぞれのゼロベクトル区間以外の区間に割り当てることにより、前記第２通電時間を、前記電流

検出部が前記第１通電時間で検出した相とは異なる相の相電流を検出可能な通電幅に調整するステップと、

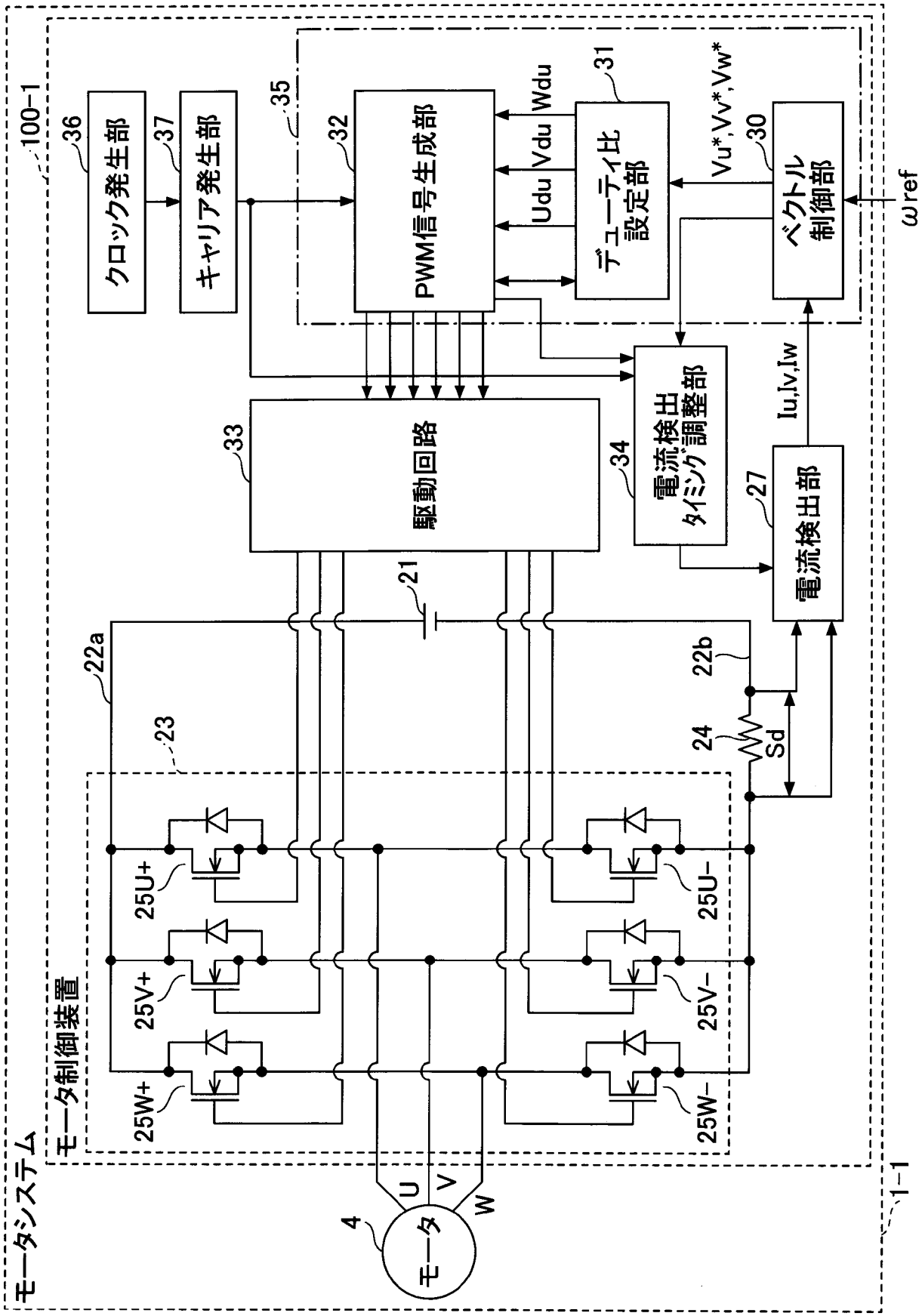
を含むモータ制御方法。

[請求項5] 請求項２に記載のモータ制御装置と、

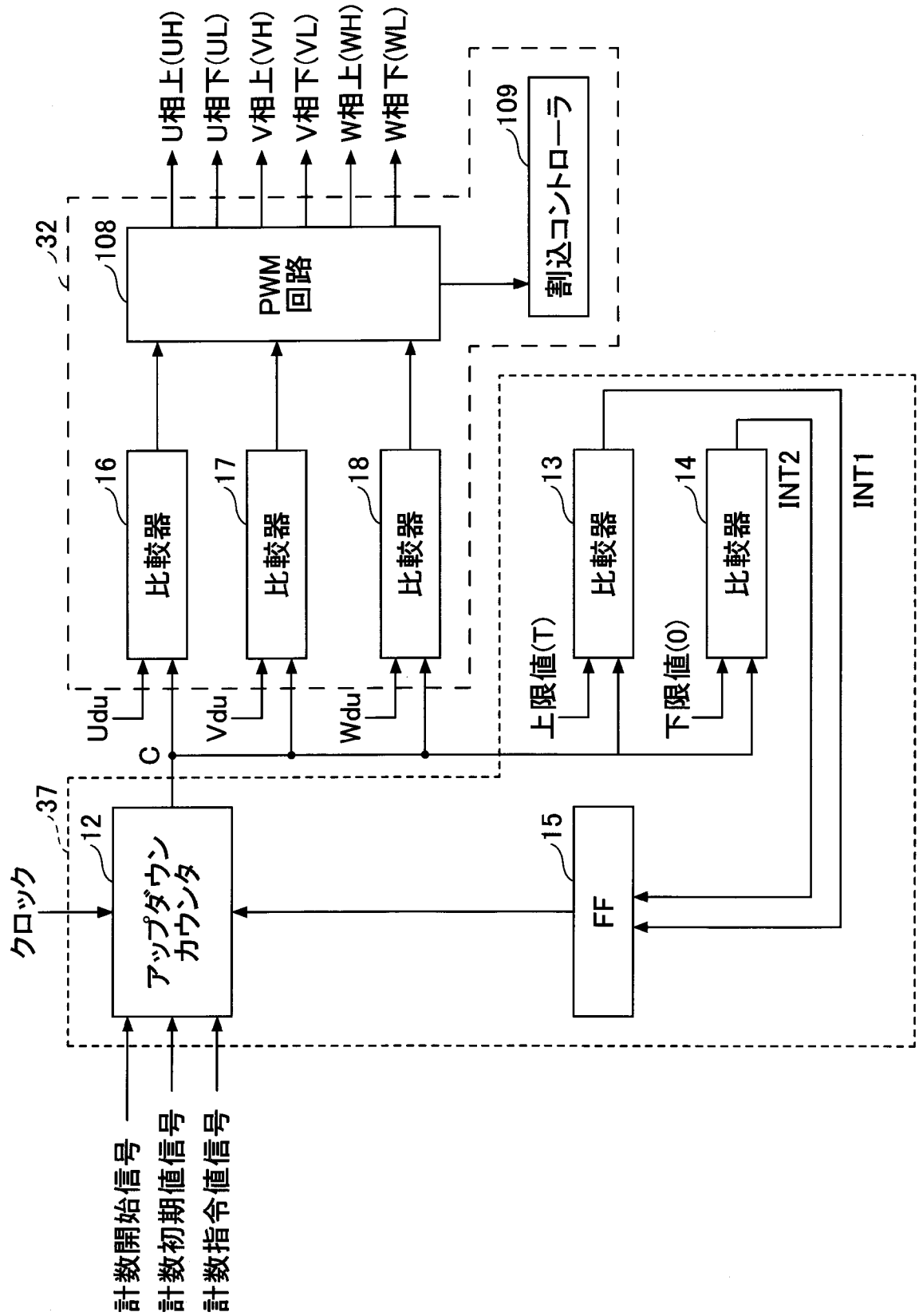
前記モータと、

を備えるモータシステム。

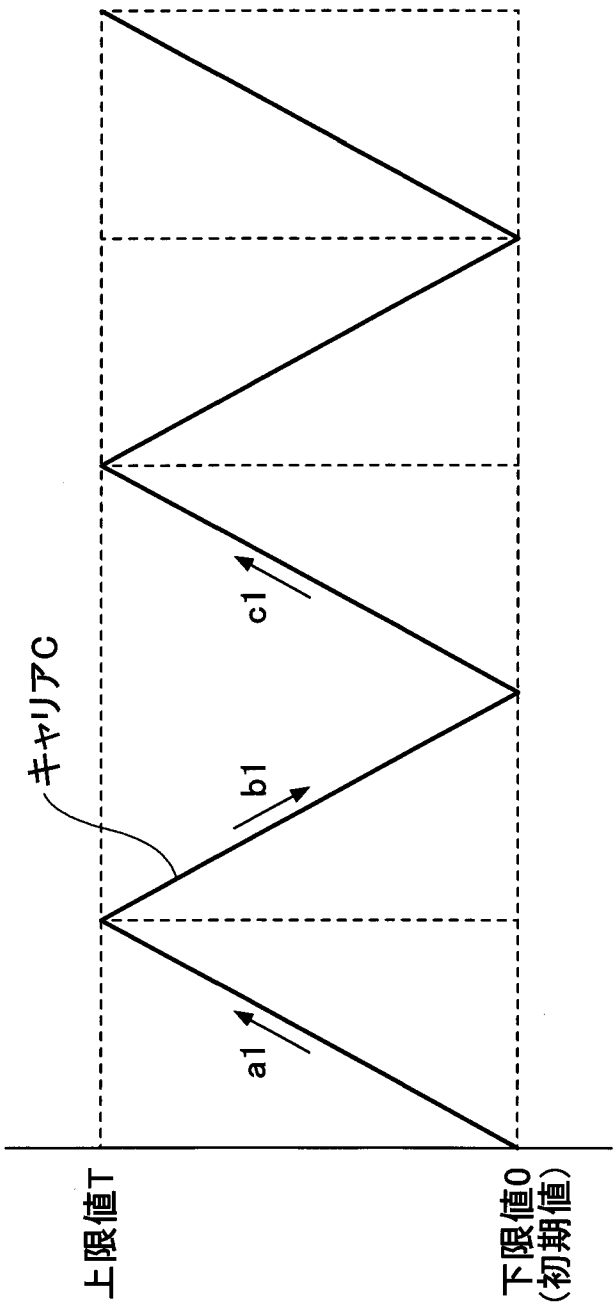
[図1]


モータシステム
100-1
モータ制御装置
クロック発生部
36
キャリア発生部
37
35
PWM信号生成部
32
Wdu
Vdu
Udu
デューティ比
設定部
31
Vu*,Vv*,Vw*
ベクトル
制御部
30
ωref
駆動回路
33
電流検出
タイミング調整部
34
電流検出部
27
Iu,Iv,Iw
21
22a
22b
23
24
Sd
25U+
25V+
25W+
25U-
25V-
25W-
U
V
W
4
モータ
1-1

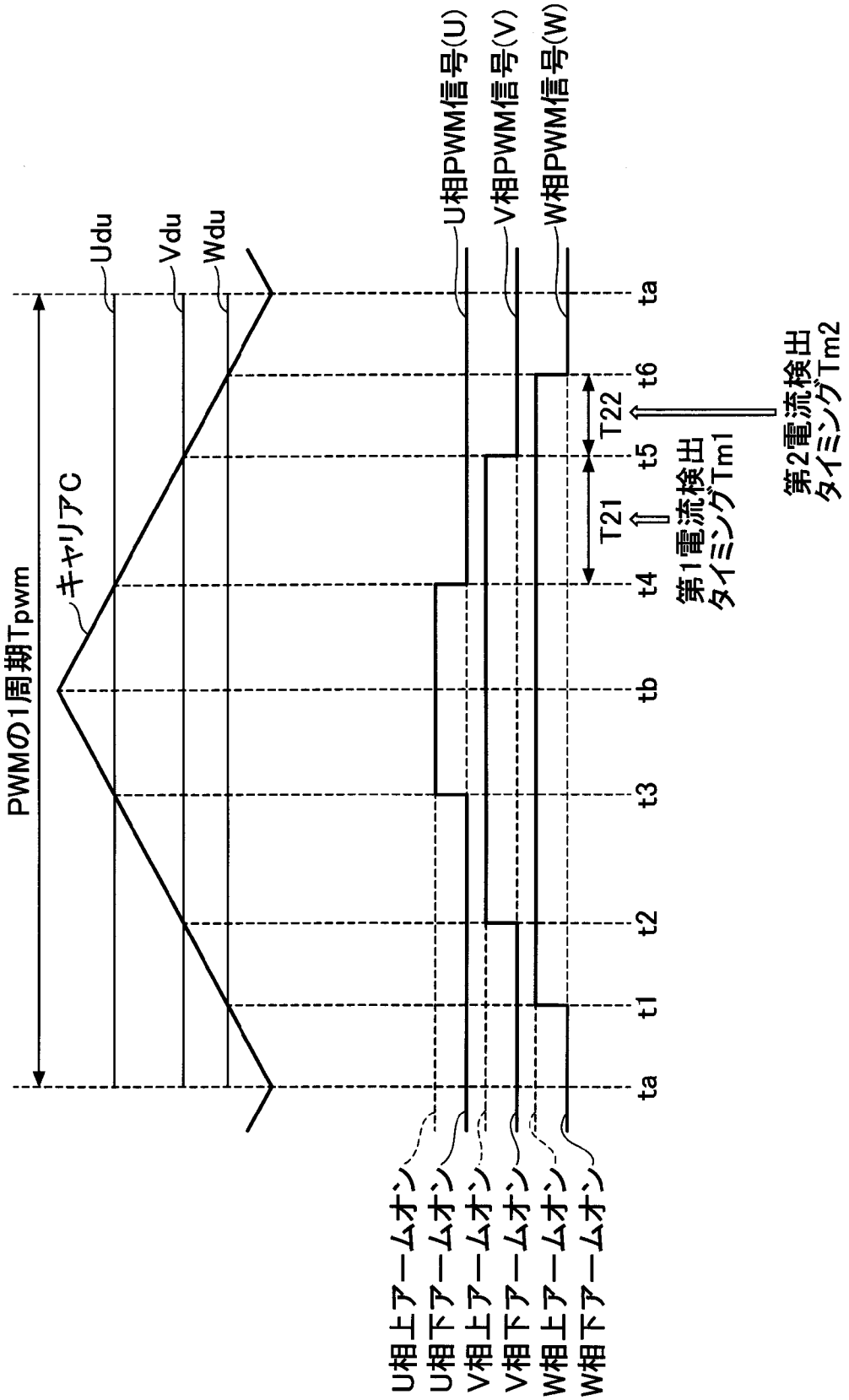
[図2]


U相上(UH)
U相下(UL)
V相上(VH)
V相下(VL)
W相上(WH)
W相下(WL)
109
割込コントローラ
32
108
PWM
回路
16
比較器
17
比較器
18
比較器
13
比較器
14
比較器
INT2
INT1
Udu
Vdu
Wdu
C
上限値(T)
下限値(0)
37
12
アップダウン
カウンタ
15
FF
クロック
計数開始信号
計数初期値信号
計数指令値信号

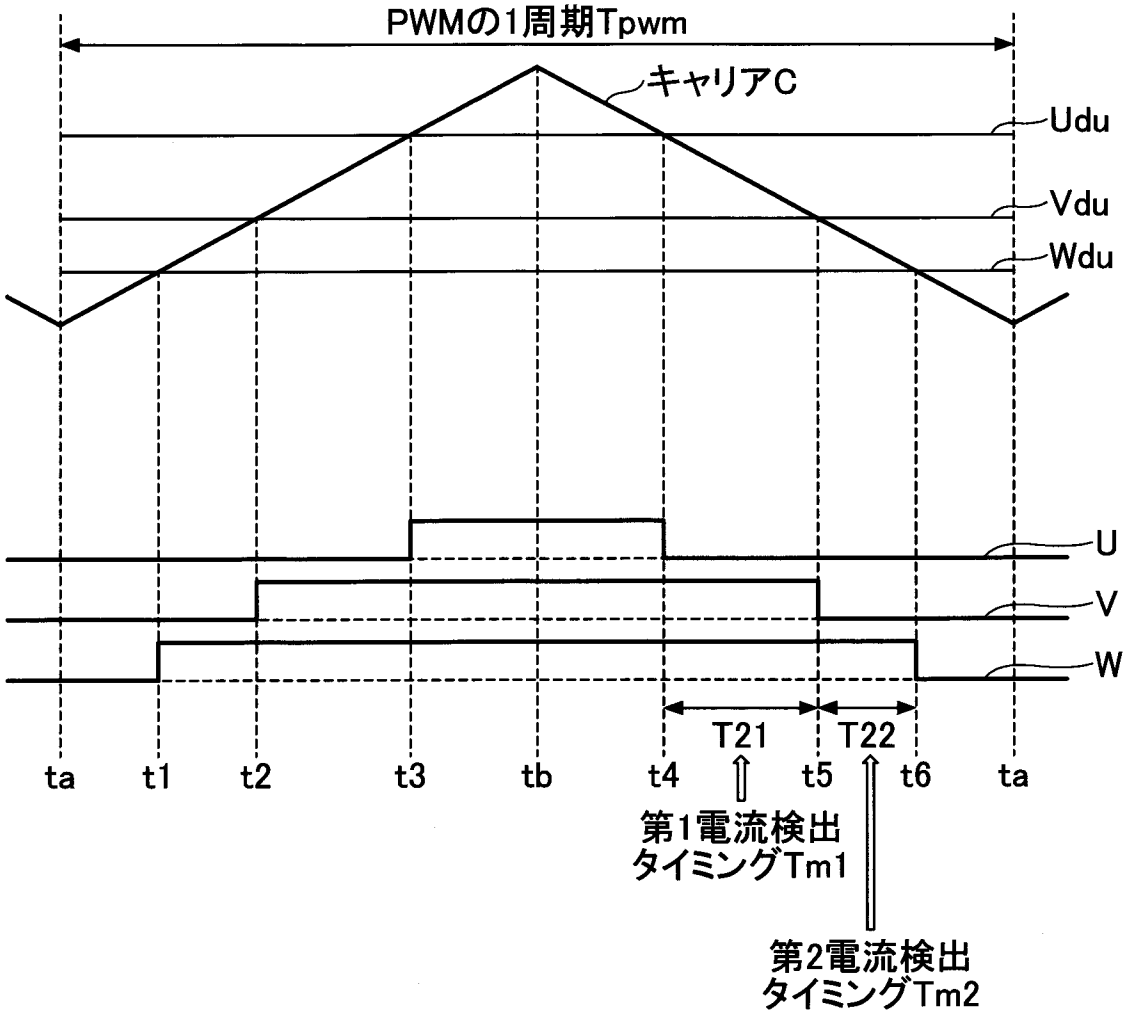
[図3]



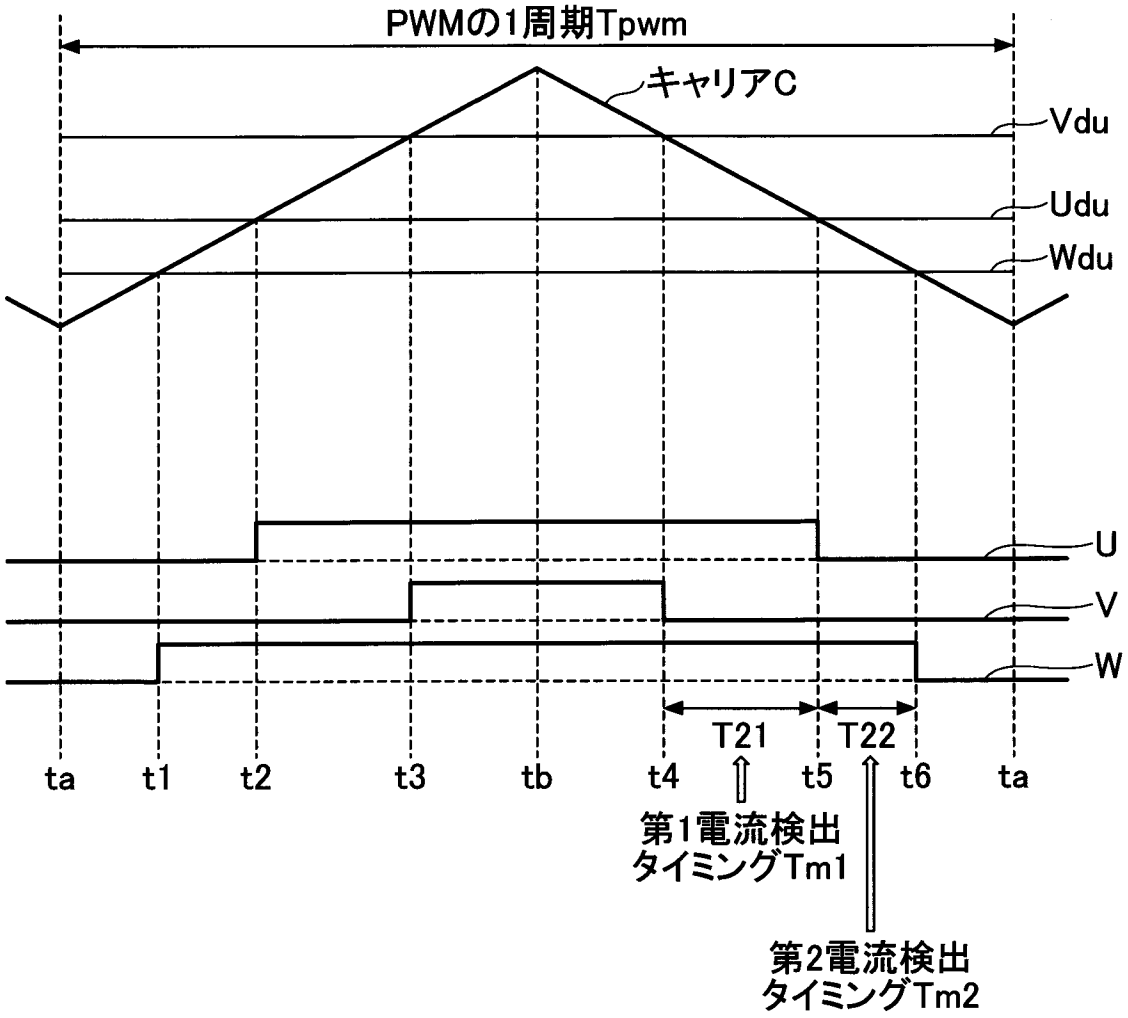
[図4]


PWMの1周期Tpwm
キャリアC
Udu
Vdu
Wdu
U相PWM信号(U)
V相PWM信号(V)
W相PWM信号(W)
ta
t1
t2
t3
tb
t4
t5
t6
ta
T21
T22
第1電流検出
タイミングTm1
第2電流検出
タイミングTm2
U相上アームオン
U相下アームオン
V相上アームオン
V相下アームオン
W相上アームオン
W相下アームオン

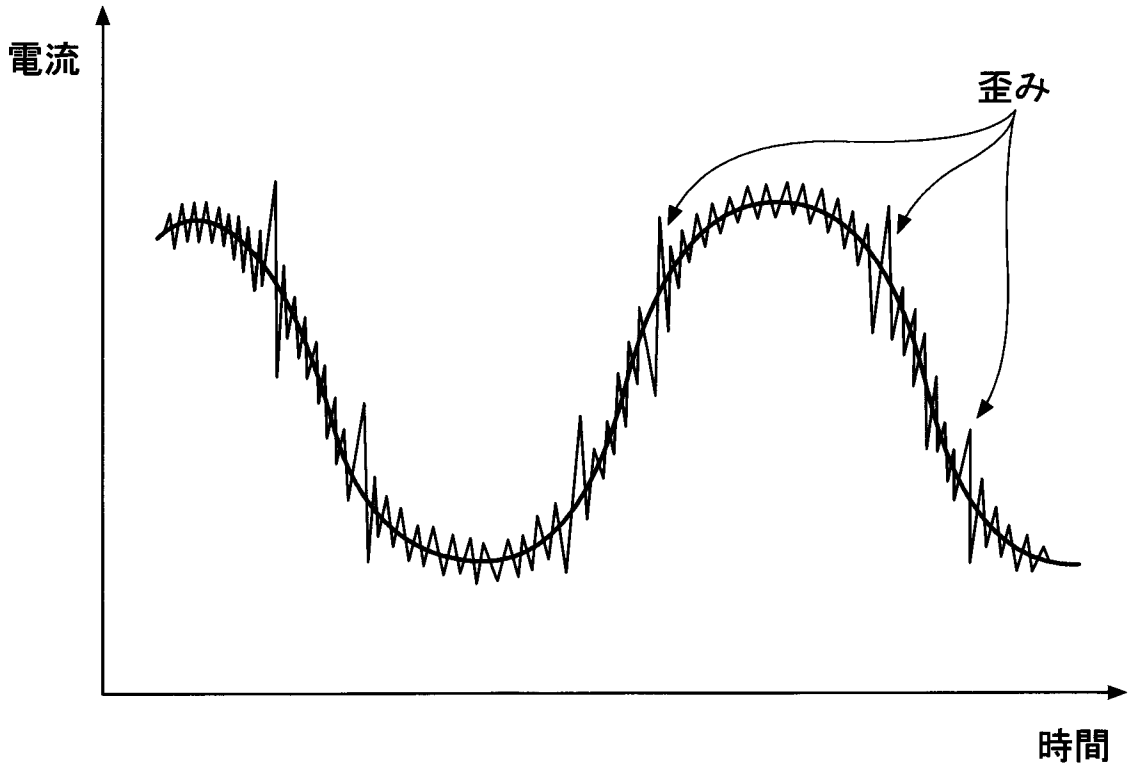
[図5]


PWMの1周期Tpwm
キャリアC
Udu
Vdu
Wdu
U
V
W
T21
T22
ta
t1
t2
t3
tb
t4
t5
t6
ta
第1電流検出
タイミングTm1
第2電流検出
タイミングTm2

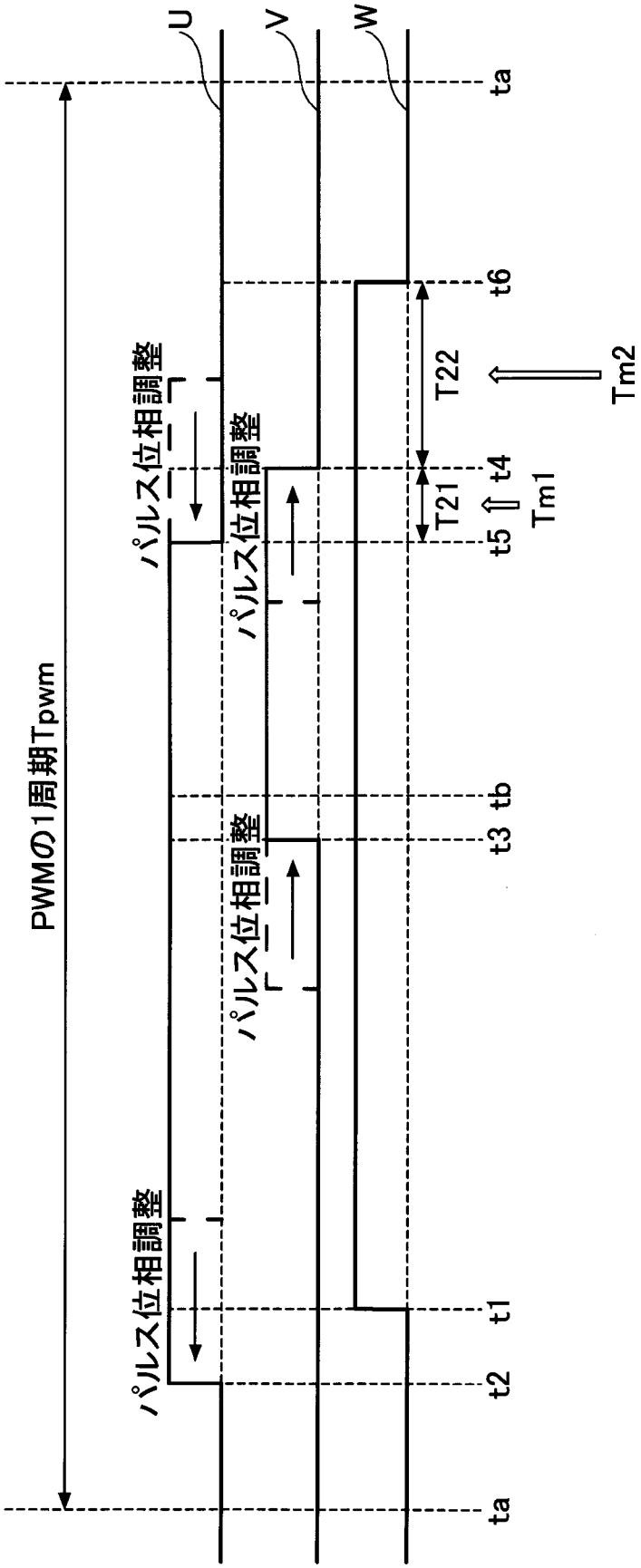
[図6]


PWMの1周期Tpwm
キャリアC
Vdu
Udu
Wdu
U
V
W
T21
T22
ta
t1
t2
t3
tb
t4
t5
t6
ta
第1電流検出
タイミングTm1
第2電流検出
タイミングTm2

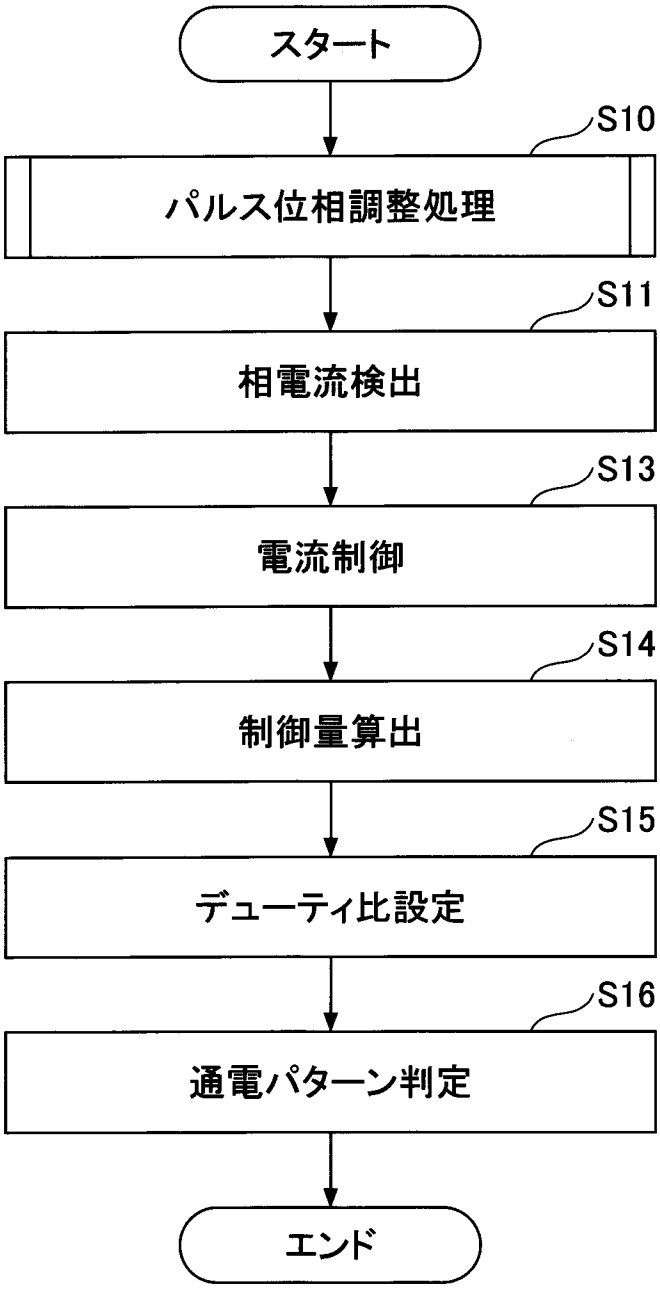
[図7]



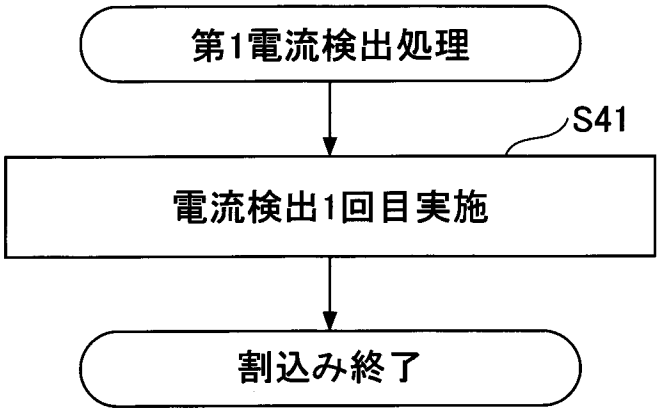
[図8]


U
V
W
ta
t6
T22
Tm2
パルス位相調整
パルス位相調整
t4
T21
t5
Tm1
パルス位相調整
tb
t3
PWMの1周期Tpwm
パルス位相調整
t1
t2
ta

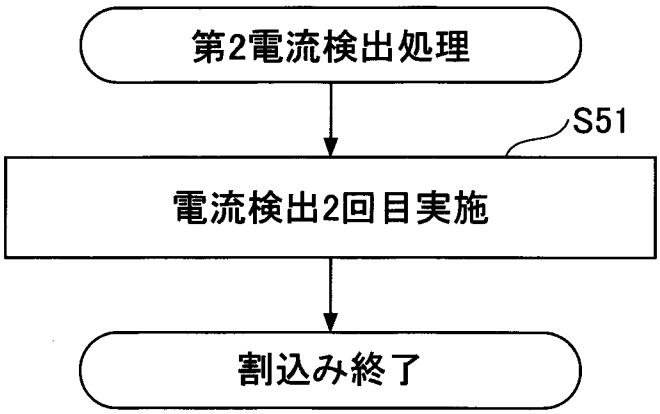
[図9]


スタート
S10
パルス位相調整処理
S11
相電流検出
S13
電流制御
S14
制御量算出
S15
デューティ比設定
S16
通電パターン判定
エンド

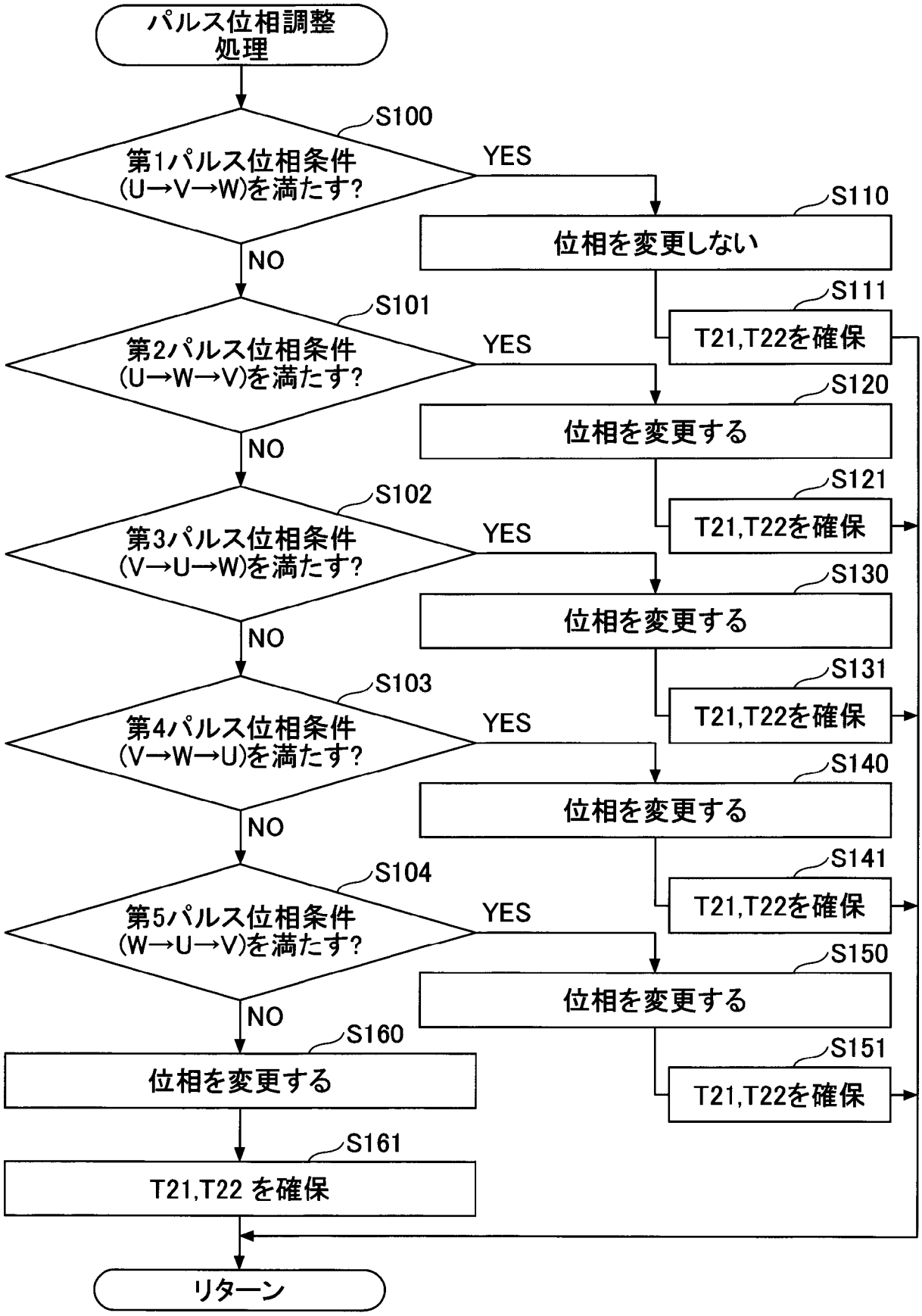
[図10]


第1電流検出処理
S41
電流検出1回目実施
割込み終了

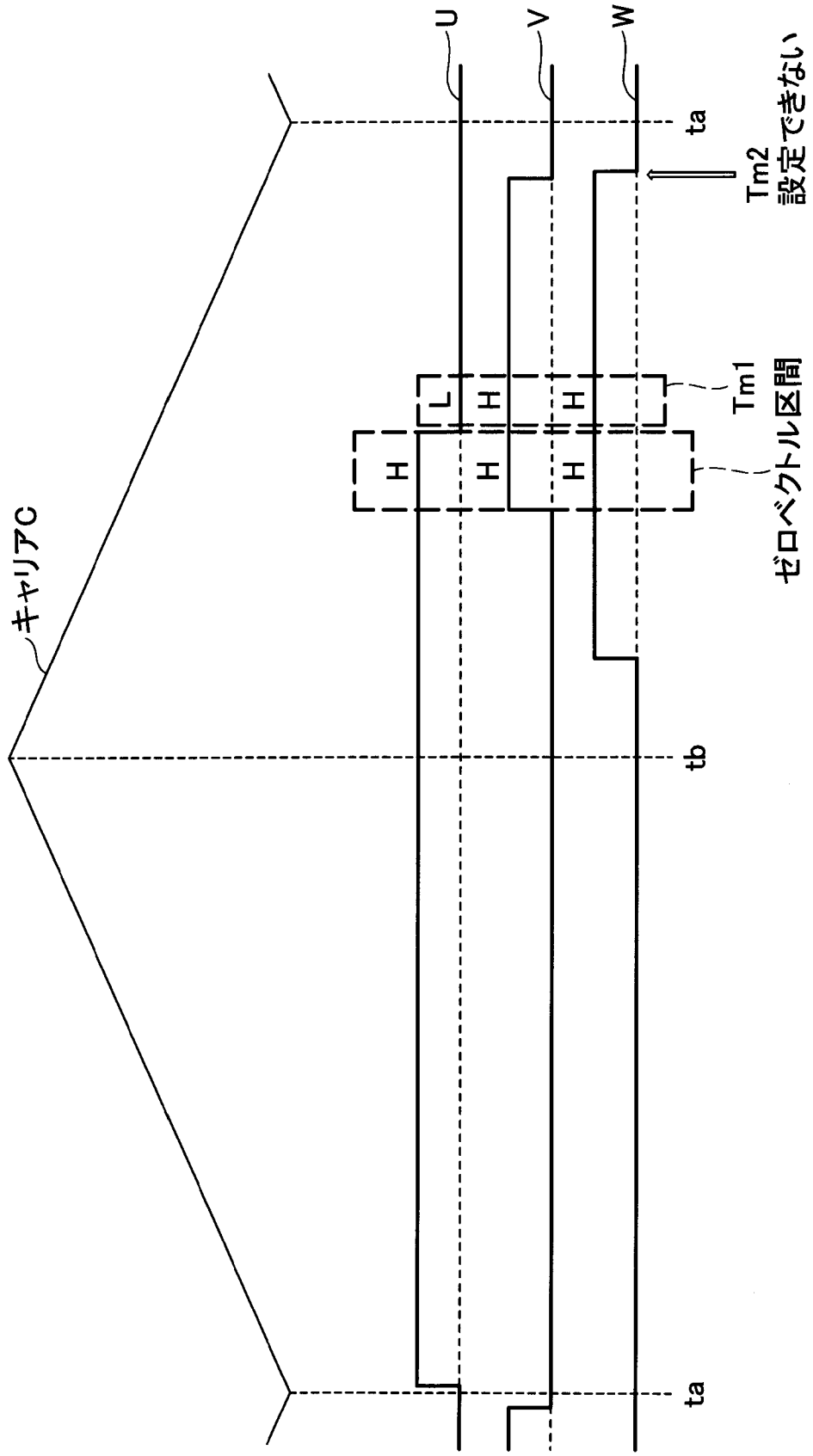
[図11]


第2電流検出処理
S51
電流検出2回目実施
割込み終了

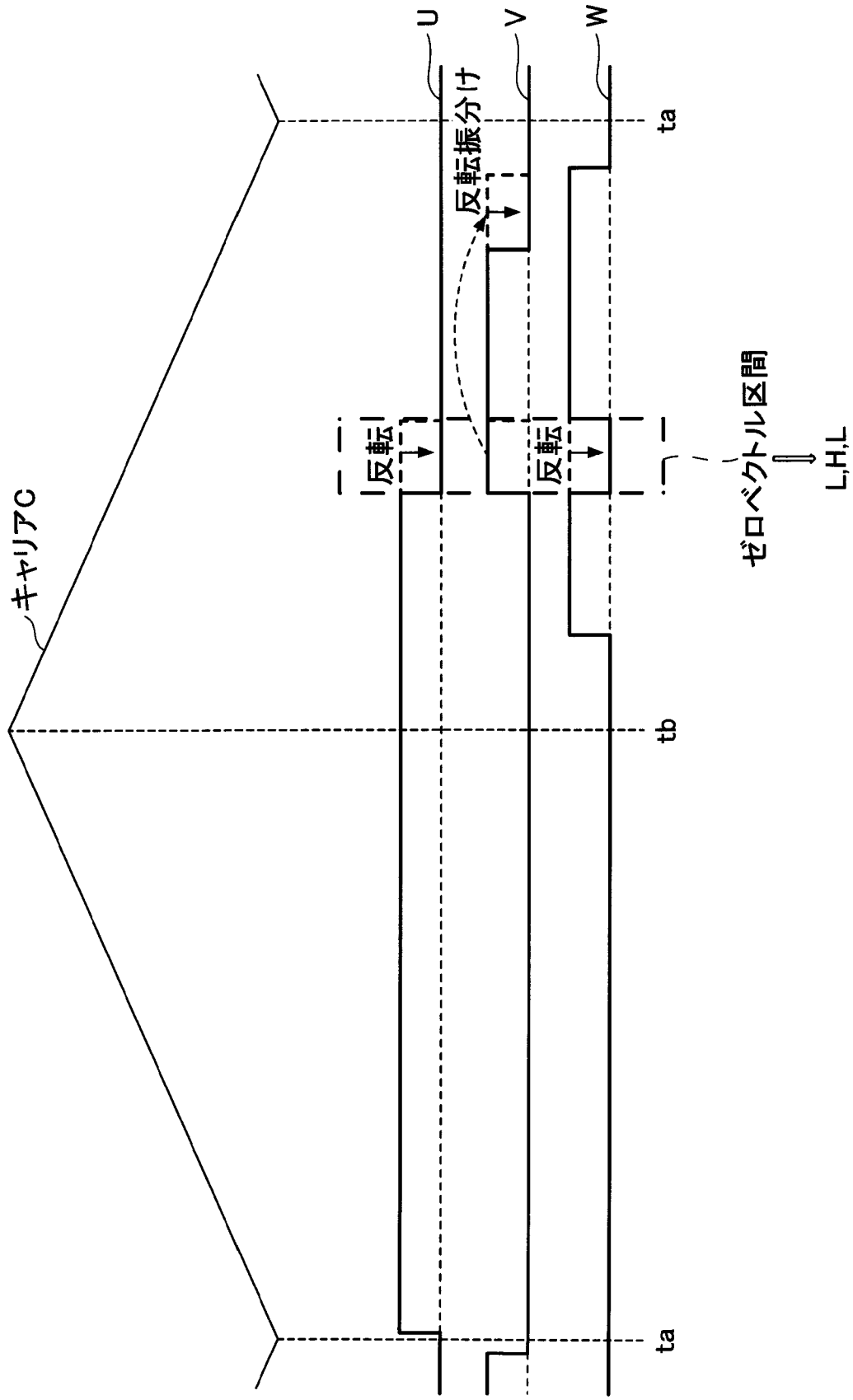
[図12]


パルス位相調整処理
S100
第1パルス位相条件(U→V→W)を満たす?
YES
S110
位相を変更しない
NO
S101
第2パルス位相条件(U→W→V)を満たす?
YES
S111
T21,T22を確保
S120
位相を変更する
NO
S102
第3パルス位相条件(V→U→W)を満たす?
YES
S121
T21,T22を確保
S130
位相を変更する
NO
S103
第4パルス位相条件(V→W→U)を満たす?
YES
S131
T21,T22を確保
S140
位相を変更する
NO
S104
第5パルス位相条件(W→U→V)を満たす?
YES
S141
T21,T22を確保
S150
位相を変更する
NO
S160
位相を変更する
S151
T21,T22を確保
S161
T21,T22 を確保
リターン

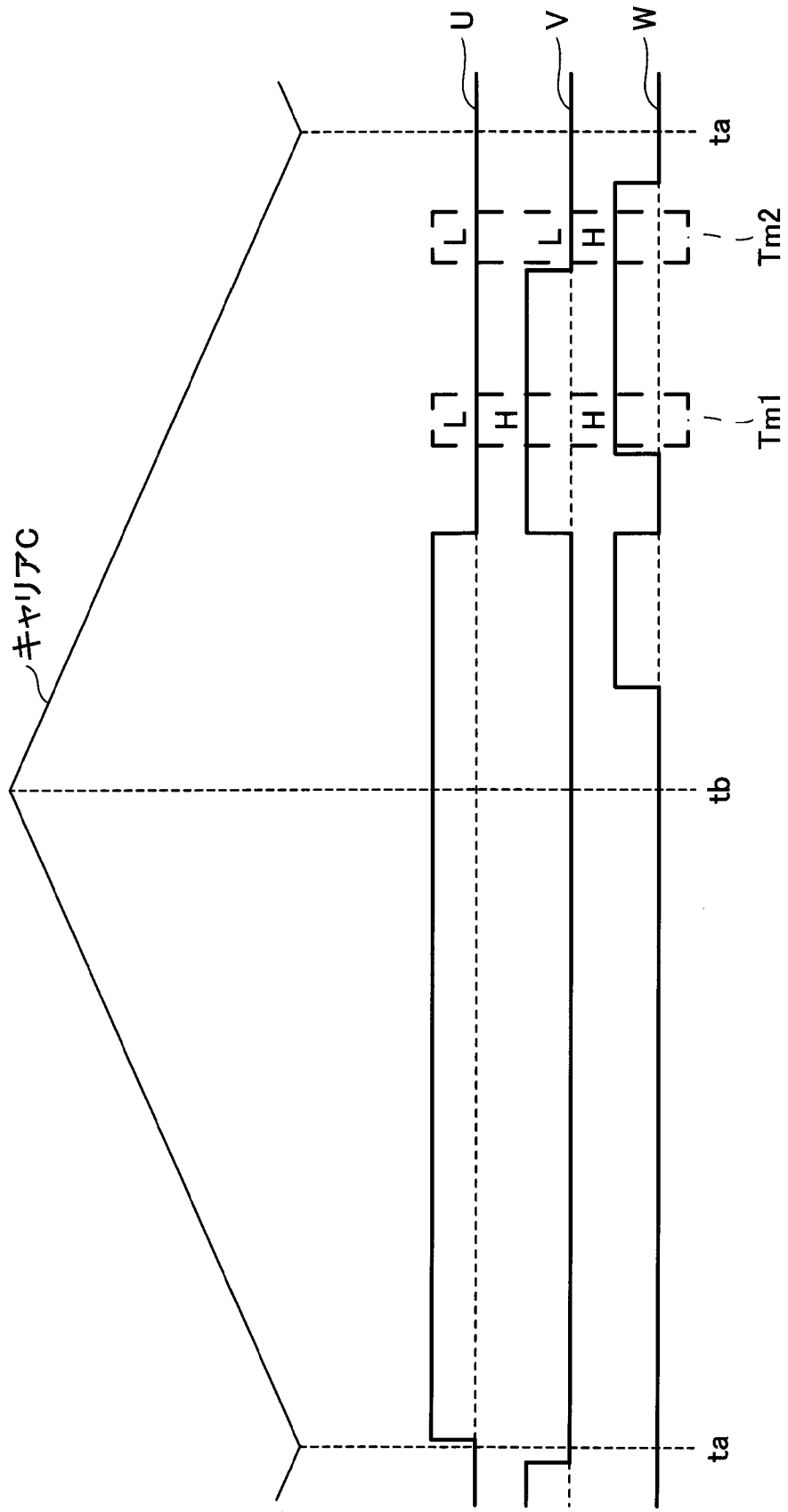
[図13]



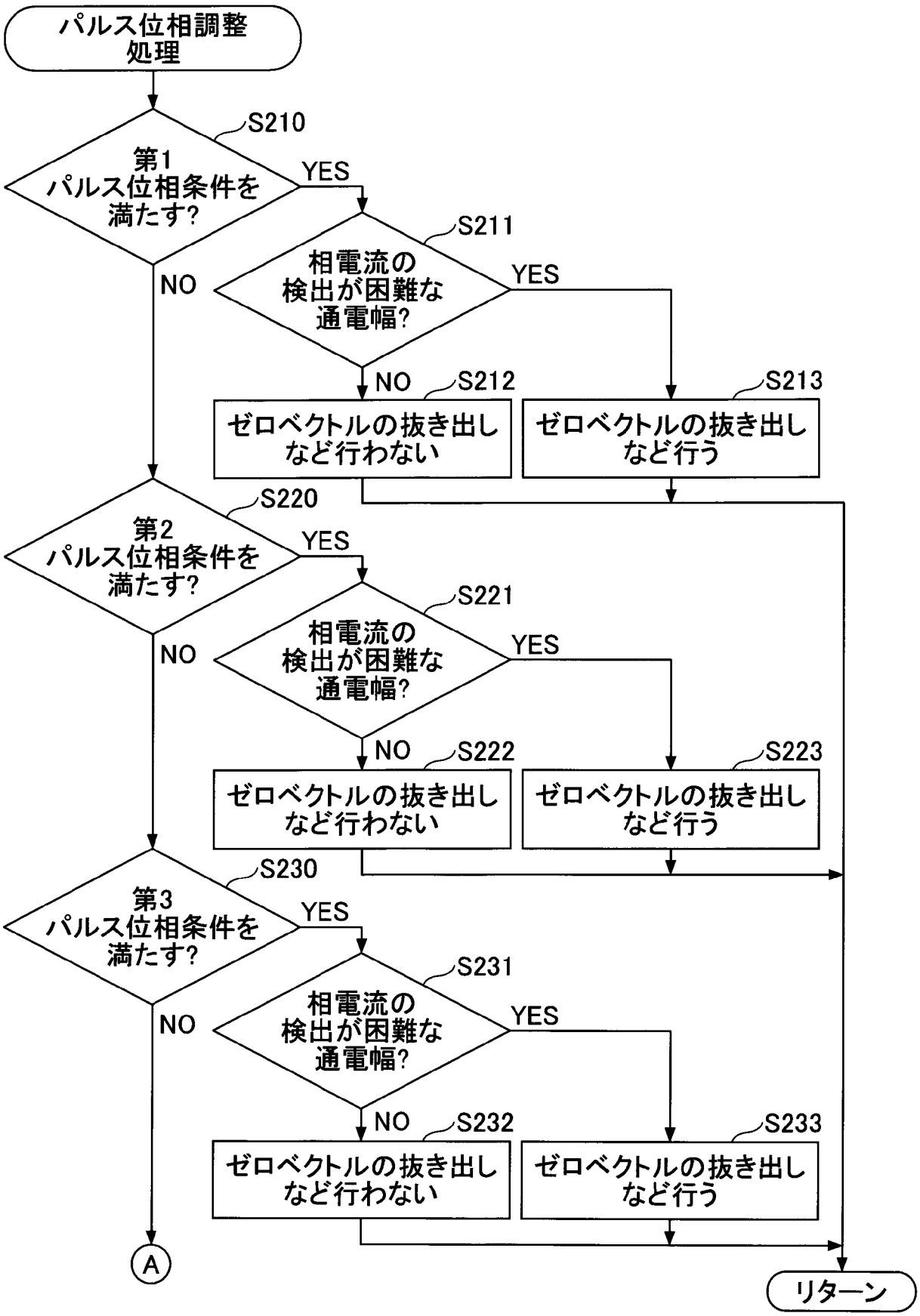
[図14]



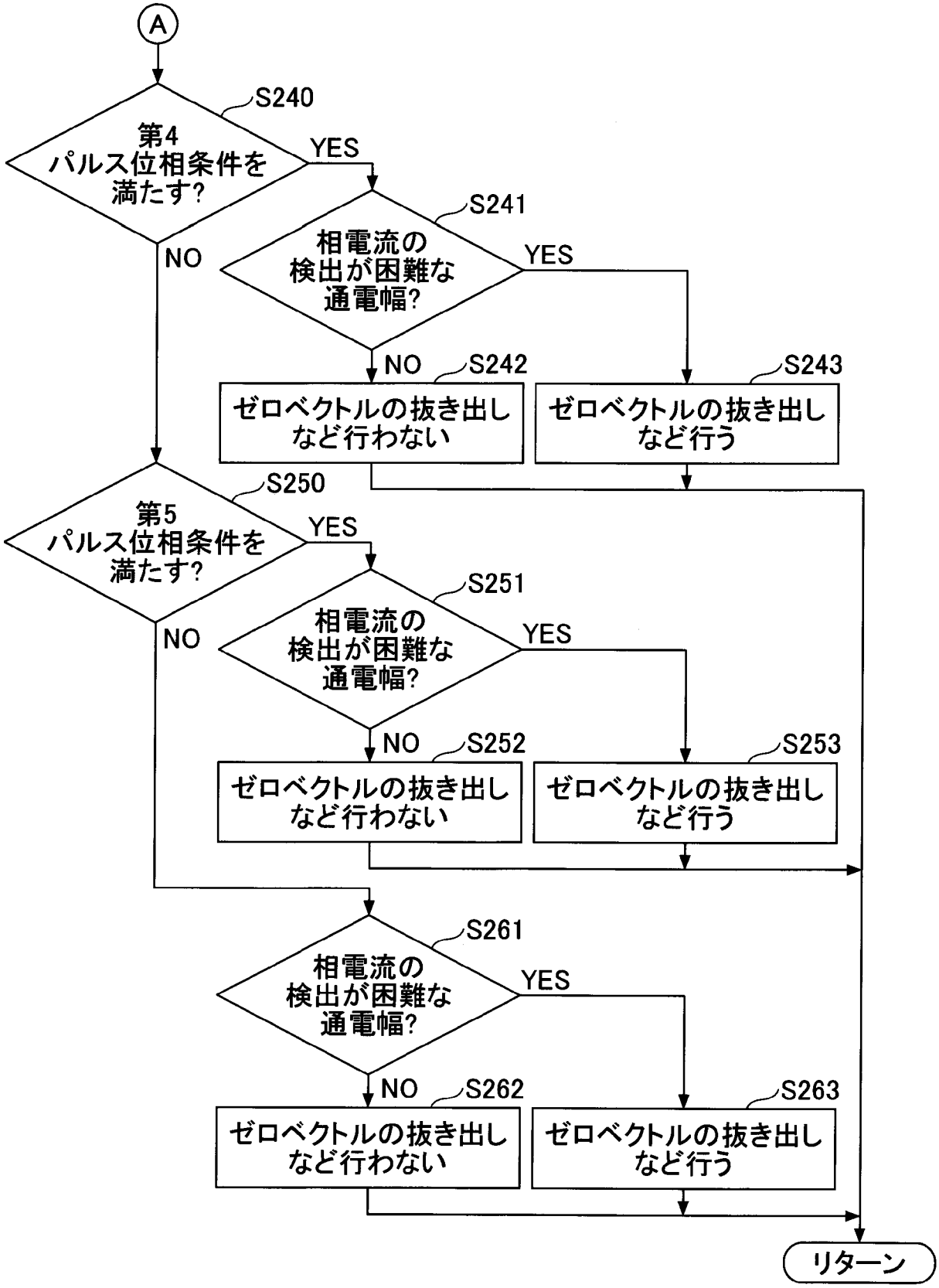
[図15]



[図16A]


パルス位相調整処理
S210
第1パルス位相条件を満たす?
YES
NO
S211
相電流の検出が困難な通電幅?
YES
NO
S212
ゼロベクトルの抜き出しなど行わない
S213
ゼロベクトルの抜き出しなど行う
S220
第2パルス位相条件を満たす?
YES
NO
S221
相電流の検出が困難な通電幅?
YES
NO
S222
ゼロベクトルの抜き出しなど行わない
S223
ゼロベクトルの抜き出しなど行う
S230
第3パルス位相条件を満たす?
YES
NO
S231
相電流の検出が困難な通電幅?
YES
NO
S232
ゼロベクトルの抜き出しなど行わない
S233
ゼロベクトルの抜き出しなど行う
A
リターン

[図16B]


A
S240
第4
パルス位相条件を
満たす?
YES
NO
S241
相電流の
検出が困難な
通電幅?
YES
NO
S242
ゼロベクトルの抜き出し
など行わない
S243
ゼロベクトルの抜き出し
など行う
S250
第5
パルス位相条件を
満たす?
YES
NO
S251
相電流の
検出が困難な
通電幅?
YES
NO
S252
ゼロベクトルの抜き出し
など行わない
S253
ゼロベクトルの抜き出し
など行う
S261
相電流の
検出が困難な
通電幅?
YES
NO
S262
ゼロベクトルの抜き出し
など行わない
S263
ゼロベクトルの抜き出し
など行う
リターン

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/012698

A. CLASSIFICATION OF SUBJECT MATTER
H02P 27/08(2000.01)i; H02M 7/48(2007.01)i; H02P 21/22(2010.01)i
FI: H02P27/08; H02M7/48 F; H02P21/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02P27/08; H02M7/48; H02P21/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2017/179150 A1 (MITSUBISHI ELECTRIC CORP.) 19.10.2017 (2017-10-19) paragraphs [0009]-[0013], [0048]-[0053], [0085]-[0092], fig. 1-2, 14, 23-28	1, 3-4 2, 5
A	JP 2010-279141 A (OMRON AUTOMOTIVE ELECTRONICS CO., LTD.) 09.12.2010 (2010-12-09) entire text, all drawings	2, 5
A	JP 2015-61421 A (NSK LTD.) 30.03.2015 (2015-03-30) entire text, all drawings	2, 5

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 June 2020 (03.06.2020)	23 June 2020 (23.06.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/012698

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2017/179150 A1	19 Oct. 2017	(Family: none)	
JP 2010-279141 A	09 Dec. 2010	(Family: none)	
JP 2015-61421 A	30 Mar. 2015	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2020/012698

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02P 27/08(2006.01)i; H02M 7/48(2007.01)i; H02P 21/22(2016.01)i
FI: H02P27/08; H02M7/48 F; H02P21/22

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02P27/08; H02M7/48; H02P21/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2017/179150 A1（三菱電機株式会社）19.10.2017（2017-10-19） 段落[０００９]－[００１３]、[００４８]－[００５３]、[００８５]－[００９２]、図１－２、図１４、図２３－２８	1, 3-4
A		2, 5
A	JP 2010-279141 A（オムロンオートモーティブエレクトロニクス株式会社）09.12.2010（2010-12-09） 全文、全図	2, 5
A	JP 2015-61421 A（日本精工株式会社）30.03.2015（2015-03-30） 全文、全図	2, 5

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
03.06.2020	23.06.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
田村　惠里加 3V 4656
電話番号 03-3581-1101 内線 3357

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/012698

引用文献	公表日	パテントファミリー文献	公表日
WO 2017/179150 A1	19.10.2017	（ファミリーなし）	
JP 2010-279141 A	09.12.2010	（ファミリーなし）	
JP 2015-61421 A	30.03.2015	（ファミリーなし）	