(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 6 日(06.03.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/034531 A1

(51) 国際特許分類:
H02M 3/28 (2006.01) *H02M 3/158* (2006.01)
H02M 3/335 (2006.01) *H02M 1/38* (2007.01)
H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2013/072478

(22) 国際出願日: 2013 年 8 月 22 日(22.08.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-187072 2012 年 8 月 27 日(27.08.2012) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 大橋 英知 (OHASHI, Hidetomo); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 星野 裕司(HOSHINO, Hiroshi); 〒1130033 東京都文京区本郷三丁目２１番１０号 浅沼第２ビル８階 Tokyo (JP).

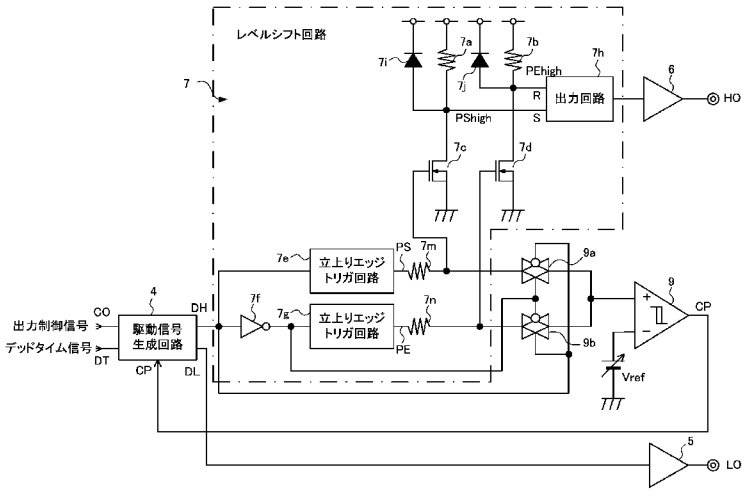
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SWITCHING POWER SUPPLY APPARATUS

(54) 発明の名称 : スイッチング電源装置



CO Output control signal
DT Dead time signal
4 Drive signal generation circuit
7 Level shift circuit
7e, 7g Rising edge trigger circuit
7h Output circuit

(57) **Abstract**: A switching power supply apparatus such that first and second switching elements are driven on and off in a complementary manner to step up or down an input voltage and obtain a stabilized output voltage is provided with: a comparator for detecting a variation in an operation reference potential of the second switching element accompanying a variation in the input voltage; and a drive signal generation circuit that generates first and second drive signals by logically processing an output control signal, a dead time signal, and an output signal from the comparator, the first and second drive signals defining the on-time of the first and the second switching elements, respectively.

(57) 要約: 第１および第２のスイッチング素子を相補的にオン・オフ駆動して入力電圧を昇降圧して安定化した出力電圧を得るスイッチング電源装置において、入力電圧の変動に伴う前記第２のスイッチング素子の動作基準電位の変動を検出する比較器と、出力制御信号およびデッドタイム信号並びに前記比較器の出力信号を論理処理して第１および第２のスイッチング素子のオン時間をそれぞれ規定する第１および第２の駆動信号をそれぞれ生成する駆動信号生成回路とを備える。

WO 2014/034531 A1

明　細　書

発明の名称 ： スイッチング電源装置

技術分野

[0001] 本発明は、電力変換効率の向上を図ったスイッチング電源装置に関する。

背景技術

[0002] 各種電子機器用のスイッチング電源装置として、共振型のコンバータが知られている。この共振型のコンバータは、直流電圧源にコンデンサを介して絶縁トランスの一次巻線を接続して構成される。この絶縁トランスのリーケージインダクタンスと前記コンデンサとにより直流共振回路が形成される。前記共振型のコンバータは、相補的にオン・オフ駆動される第１および第２のスイッチング素子を用いて前記直列共振回路に流れる共振電流を制御し、前記絶縁トランスの二次巻線側から昇降圧された直流電圧を得る。

[0003] 例えば特許文献1, ２には、この種のスイッチング電源装置におけるソフトスイッチング技術が提唱されている。このソフトスイッチング技術は、前記各スイッチング素子に加わる電圧が零（０）のとき、或いはインダクタンスに流れる電流が零（０）のときに前記スイッチング素子をターンオンすることで、該スイッチング素子での損失を大きく低減する。

[0004] この共振型のスイッチング電源装置１は、概略的には、例えば図１２に示すように直流電圧源Ｂにコンデンサ Ｃを介して絶縁トランスＴの一次巻線Ｐ１を接続し、該絶縁トランスＴのリーケージインダクタンスと前記コンデンサＣとにより形成した直列共振回路を備える。前記絶縁トランスＴの一次巻線Ｐ１に直列に接続された第１のスイッチング素子Ｑ１は、他励発振動作する駆動制御回路Ａによりオン駆動されて前記直流電圧源Ｂからの入力電圧Ｖｉｎを前記直列共振回路に印加する。前記駆動制御回路Ａは、例えば電源ＩＣからなる。また前記直列共振回路に並列接続された第２のスイッチング素子Ｑ２は、前記第１のスイッチング素子Ｑ１のオフ時に前記駆動制御回路Ａによりオン駆動されて前記直列共振回路の共振電流路を形成する。これらの第１

および第２のスイッチング素子Ｑ１，Ｑ２は、例えば高耐圧のｎ型ＭＯＳ－ＦＥＴからなる。

[0005] 前記絶縁トランスＴの二次巻線Ｓ１，Ｓ２に生起された電力は、ダイオードＤ１，Ｄ２および出力コンデンサＣoutからなる出力回路を介して整流・平滑化され、出力電圧Ｖoutとして図示しない負荷に供給される。これらの回路部によって共振型電力変換装置本体が構築される。そして前記出力電圧Ｖout、具体的には該出力電圧Ｖoutと出力電圧設定値との偏差は出力電圧検出回路Ｖｏｓにて検出され、フォトカプラＰＣを介してＦＢ電圧として前記駆動制御回路Ａにフィードバックされる。

[0006] この駆動制御回路Ａにフィードバックされるフィードバック電圧は、前記第１および第２のスイッチング素子Ｑ１，Ｑ２をオン・オフ駆動する出力制御信号のパルス幅変調に供され、これによって前記出力電圧Ｖoutが安定化される。尚、直流電圧源Ｂから供給される直流電力は、一般的には入力コンデンサＣinを介してフィルタリングされた後、入力電圧Ｖinとして当該スイッチング電源装置に給電される。

[0007] ここで前記駆動制御回路Ａは、例えば図１３にその概略構成を示すように出力制御回路２、デッドタイム回路３、および駆動信号生成回路４を主体として構成される。更に前記駆動制御回路Ａは、前記第１のスイッチング素子Ｑ１を駆動するドライブ回路としての駆動アンプ５、および前記第２のスイッチング素子Ｑ２を駆動するドライブ回路としてのドライブ回路６を備える。尚、図１３において、７は前記駆動信号生成回路４が生成した駆動信号をレベルシフトして前記ドライブ回路６に入力する為のレベルシフト回路である。また８は該駆動制御回路Ａに加えられる駆動電圧ＶCCから前記出力制御回路２、前記デッドタイム回路３および前記駆動信号生成回路４の動作に必要な電圧ＶDDを生成する内部電源回路である。

[0008] 前記出力制御回路２は、例えば前記出力電圧検出回路Ｖｏｓからフィードバックされるフィードバック電圧に応じたパルス幅のＰＷＭ信号を出力制御信号ＣＯとして生成する。この出力制御信号ＣＯによって前記第１および第２のスイッ

チング素子Ｑ１，Ｑ２のオン期間が規定され、該スイッチング素子Ｑ１，Ｑ２のスイッチング動作に伴う出力電圧Ｖoutが、前記出力電圧設定値となるように制御される。尚、前記出力制御回路２については、前記ＰＷＭ信号に代えて、ＦＢ電圧に応じた周波数のＰＦＭ信号を前記出力制御信号ＣＯとして生成するものであっても良い。

[0009] また前記デッドタイム回路３は、例えば図１４に示すように充電スイッチ３ａを介して定電流源３ｂによって充電される充放電コンデンサ３ｃと、この充放電コンデンサ３ｃに充電された電荷を放電する放電スイッチ３ｄを備える。上記充電スイッチ３ａおよび放電スイッチ３ｄは、例えばp型ＭＯＳ-ＦＥＴおよびｎ型ＭＯＳ-ＦＥＴからなる。前記充電スイッチ３ａおよび前記放電スイッチ３ｄは、前記出力制御回路２から出力される前記出力制御信号ＣＯにより相補的にオン・オフ制御される。

[0010] 更に前記デッドタイム回路３は、上記充放電コンデンサ３ｃの充放電電圧Ｖcdと予め設定した閾値電圧Ｖdtとを比較し、充放電電圧Ｖcdが閾値電圧Ｖdtを超えたときに反転する比較器３ｅを備える。そして該比較器３ｅの出力と前記出力制御信号ＣＯとをノア回路３ｆにて論理処理することで、一定のパルス幅Ｔdtのデッドタイム信号ＤＴが生成される。このデッドタイム信号ＤＴは、前記第１および第２のスイッチング素子Ｑ１，Ｑ２に加わる電圧が零（０）のときに当該スイッチング素子Ｑ１，Ｑ２をターンオンする為のタイミング調整用の信号である。

[0011] 一方、前記駆動信号生成回路４および前記レベルシフト回路７は、例えば図１５に示すように構成される。即ち、前記駆動信号生成回路４は、前記デッドタイム信号ＤＴと前記出力制御信号ＣＯとに従って前記第１および第２のスイッチング素子Ｑ１，Ｑ２をそれぞれオン駆動するパルス幅制御された駆動信号ＤＨ，ＤＬを生成する論理回路からなる。具体的には前記駆動信号生成回路４は、前記出力制御信号ＣＯとデッドタイム信号ＤＴとをノア回路４ａにて論理処理して、前記第１のスイッチング素子Ｑ１を駆動する為のローサイド側の駆動信号ＤＬを生成する。また同時に前記駆動信号生成回路４は、

インバータ回路４ｂを介して反転した前記デッドタイム信号ＤＴと前記出力制御信号ＣＯとをアンド回路４ｃにて論理処理して、前記第２のスイッチング素子Ｑ２を駆動するハイサイド側の駆動信号ＤＨを生成する。

[0012] ここで前記第２のスイッチング素子Ｑ２は、前記絶縁トランスＴの一次巻線Ｐ１に加わる高電圧条件下でスイッチング動作する。また前記ドライブ回路６は、前記第２のスイッチング素子Ｑ２の動作電圧に応じて、図１３に示すように前記一次巻線Ｐ１に加わる高電圧ＶＢと前記第２のスイッチング素子Ｑ２の動作基準電圧ＶＳとの間で動作するように構成される。これに対して前記駆動信号生成回路４は、例えば前記動作基準電圧ＶＳと接地電位との間で動作するように構成される。そこで前記レベルシフト回路７は、前記駆動信号生成回路４が出力する前記駆動信号ＤＨを前記ドライブ回路６の動作基準電圧ＶＳに合わせてレベルシフトする役割を担う。

[0013] このレベルシフト回路７は、概略的には前記高電圧ＶＢに負荷抵抗７ａ，７ｂを介してドレインを接続したｎ型ＭＯＳ-ＦＥＴからなるレベルシフト用の第１および第２のトランジスタ７ｃ，７ｄを備える。またレベルシフト回路７は、前記駆動信号ＤＨの立上がりタイミングにてパルス信号ＰＳを出力する第１の立上がりエッジトリガ回路７ｅと、インバータ回路７ｆを介して前記駆動信号ＤＨを反転することで該駆動信号ＤＨの立下りタイミングにてパルス信号ＰＥを出力する第２の立上がりエッジトリガ回路７ｇを備える。

[0014] これらの第１および第２の立上がりエッジトリガ回路７ｅ，７ｇは、その出力である前記パルス信号ＰＳ，ＰＥにて前記各トランジスタ７ｃ，７ｄをそれぞれ駆動する。この結果、該トランジスタ７ｃ，７ｄの各ドレイン電圧として、図１６に示すように前記駆動信号ＤＨの立上がりおよび立下りの各タイミングに同期し、且つ高電位にレベルシフトしたパルス信号ＰＳhigh，ＰＥhighが得られる。これらのパルス信号ＰＳhigh，ＰＥhighにて、フリップフロップを構築した前記出力回路７ｈをセット・リセットすることで該出力回路７ｈの出力として、前記駆動信号ＤＨがレベルシフトされて再現される。このようにしてレベルシフトされた駆動信号ＤＨが前記ドライブ回路６に加えられ

て前記第２のスイッチング素子Ｑ２がオン・オフ駆動される。尚、図１５において７ｉ，７ｊは、前記負荷抵抗７ａ，７ｂに逆並列に接続されたリカバリー用のダイオードである。

[0015] ここで上記構成のスイッチング電源装置である共振型のコンバータの動作を簡単に説明する。この共振型コンバータにおいては、前記第２のスイッチング素子Ｑ２がオフ状態にあるとき、前記第１のスイッチング素子Ｑ１をオンすることで前述した直列共振回路に電流が流れる。この状態で第１のスイッチング素子Ｑ１をオフすると、前記直列共振回路のインダクタンスに流れていた電流によって第１のスイッチング素子Ｑ１の図示しない寄生容量が充電される。同時に前記電流によって前記第２のスイッチング素子Ｑ２の図示しない寄生容量が放電される。

[0016] そして第１のスイッチング素子Ｑ１の寄生容量の充電電圧が前記入力電圧Ｖinに達したとき、前記第２のスイッチング素子Ｑ２をターンオンすることにより該第２のスイッチング素子Ｑ２のゼロ電圧スイッチングが実現される。この第２のスイッチング素子Ｑ２をターンオンに伴って、今度は前記コンデンサＣに蓄えられた電力エネルギーが第２のスイッチング素子Ｑ２を介して流れる。従って前記直列共振回路のインダクタンスに流れる電流が反転する。

[0017] その後、第２のスイッチング素子Ｑ２をオフすると、今度は上述した如く反転した電流によって前記第２のスイッチング素子Ｑ２の寄生容量が充電される。同時にこの電流によって前記第１のスイッチング素子Ｑ１の寄生容量が放電される。そして第２のスイッチング素子Ｑ２の寄生容量に充電された電圧が零（０）電圧に達したとき、第１のスイッチング素子Ｑ１をターンオンすることにより前記第１のスイッチング素子Ｑ１のゼロ電圧スイッチングが実現される。前記第１のスイッチング素子Ｑ１をターンオンにより、前記直列共振回路の電流が反転して再び前記第１のスイッチング素子Ｑ１を介して流れる。前述したデッドタイム信号は、このような第１および第２のスイッチング素子Ｑ１，Ｑ２の一方のターンオフ・タイミングを基準として、他方

のスイッチング素子Ｑ２,Ｑ１のターンオン・タイミングを規定する為に用いられる。

先行技術文献

特許文献

[0018] 特許文献1：米国特許第５８８６８８４号明細書

特許文献2：米国特許第７３９１１９４号明細書

発明の概要

発明が解決しようとする課題

[0019] ところで前記スイッチング素子Ｑ１（Ｑ２）がターンオフした後、前記スイッチング素子Ｑ２（Ｑ１）の加わる電圧が零（０）となるまでの遅れ時間は、専ら、前記スイッチング素子Ｑ１,Ｑ２の寄生容量および入力電圧Ｖinに依存する。これに対して前記デッドタイム信号のパルス幅Ｔdtは、前述したように前記充放電コンデンサ３ｃの容量と、該充放電コンデンサ３ｃの充電電流および前記比較器３ｅに設定される閾値電圧Ｖdtとによって固定的に決定される。

[0020] 一方、スイッチング電源装置を構成する部品の経年変化や特性のバラつき等に起因して入力電圧Ｖinが変化し、これに伴って前記第１のスイッチング素子Ｑ１のターンオフ時におけるドレイン電圧が変化し、ひいては前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳが変化することがある。するとこの動作基準電位ＶＳの変化に伴って前記第１および第２のスイッチング素子Ｑ１,Ｑ２に加わる電圧が零（０）となるタイミングと、前記デッドタイム信号に従って該第１および第２のスイッチング素子Ｑ１,Ｑ２をオン駆動するタイミングとの間にずれが生じることが否めない。

[0021] 具体的には前記動作基準電位ＶＳが仕様に基づいて規定される電圧よりも低いと、これに伴って前記スイッチング素子Ｑ１,Ｑ２の寄生容量の充放電時間が短くなる。すると、例えば図１７に示すように前記スイッチング素子Ｑ１,Ｑ２に掛かる電圧が零（０）となるタイミングよりも遅れて前記スイッチ

ング素子Ｑ１，Ｑ２がオン駆動される。この結果、電力変換の無効時間が増えるので電流ピークが延び、また前記スイッチング素子Ｑ１，Ｑ２での損失が増加して電力変換効率が低下する。

[0022] 逆に前記動作基準電位ＶＳが仕様に基づいて規定される電圧よりも高いと、これに伴って前記スイッチング素子Ｑ１，Ｑ２の寄生容量の充放電時間が長くなる。すると、例えば図１８に示すように前記スイッチング素子Ｑ１，Ｑ２に加わっている電圧が零（０）に至る前にデッドタイム信号が消失して前記スイッチング素子Ｑ１，Ｑ２がオン駆動される。この結果、ゼロ電圧スイッチングができなくなる上、前記スイッチング素子Ｑ１，Ｑ２での損失が増加して電力変換効率が低下する。

[0023] 本発明はこのような事情を考慮してなされたもので、その目的は、動作基準電位ＶＳの変動に拘わることなく第１および第２のスイッチング素子のターンオン・タイミングを適切に設定してゼロ電圧スイッチングを実現し、電力変換効率の低下を防止することのできる簡易な構成のスイッチング電源装置を提供することにある。

課題を解決するための手段

[0024] 本発明は、入力電圧Ｖinの変動に起因する第１および第２のスイッチング素子のターンオン・タイミングのずれは、専ら、前記第２のスイッチング素子Ｑ２がスイッチング動作する動作基準電位ＶＳの変動に起因することに着目し、上記動作基準電位ＶＳの変動量を検出することで前記第１および第２のスイッチング素子のターンオン・タイミングを補正することを特徴としている。

[0025] そこで上述した目的を達成するべく本発明に係るスイッチング電源装置は、基本的には第１のスイッチング素子により直流入力電力をスイッチングしてインダクタに蓄え、第２のスイッチング素子により上記インダクタに蓄えた電力を該インダクタの共振を利用して出力コンデンサに転送して直流出力電力を得る共振型電力変換装置本体と、前記第１および第２のスイッチング素子を交互にオン駆動して前記インダクタを共振させる駆動制御回路と、前

記出力コンデンサの出力電圧を検出し、その検出情報を前記駆動制御回路に帰還して該駆動制御回路の動作を制御するフィードバック回路とを備えている。

特に本発明に係るスイッチング電源装置は、前記駆動制御回路を、

入力電圧の変動に伴う前記第２のスイッチング素子の動作基準電位の変動を検出する比較器と、

前記フィードバック回路から帰還される前記検出情報に応じたパルス幅の出力制御信号を生成する出力制御回路と、

前記出力制御信号に基づいて前記第１および第２のスイッチング素子の一方のターンオフ・タイミングを基準として、他方のスイッチング素子のターンオン・タイミングを規定するデッドタイム信号を生成するデッドタイム回路と、

前記出力制御信号および前記デッドタイム信号並びに前記比較器の出力信号を論理処理して前記第１および第２のスイッチング素子のオン時間をそれぞれ規定する第１および第２の駆動信号をそれぞれ生成する駆動信号生成回路と、

前記第２のスイッチング素子の動作基準電位に合わせて前記第２の駆動信号をレベルシフトするレベルシフト回路と、

前記第１の駆動信号を受けて前記第１のスイッチング素子を駆動する第１の駆動回路、および前記レベルシフト回路にてレベルシフトされた前記第２の駆動信号を受けて前記第２のスイッチング素子を駆動する第２の駆動回路と、

を具備した構成としたことを特徴としている。

[0026] ここで前記共振型電力変換装置本体は、例えば直流電圧源にコンデンサを介して絶縁トランスの一次巻線を接続して該絶縁トランスのリーケージインダクタンスと前記コンデンサとにより形成した直列共振回路と、

前記駆動制御回路により駆動され、オン時に前記直流電圧源からの入力電圧を前記直列共振回路に印加する第１のスイッチング素子と、

前記直列共振回路に並列接続され、前記第１のスイッチング素子のオフ時に前記駆動制御回路によりオン駆動されて前記直列共振回路の電流路を形成する第２のスイッチング素子と、

前記絶縁トランスの二次巻線側に生起された電力を整流するダイオード、およびこのダイオードを介して整流された電力を平滑化して出力する出力コンデンサとを備えた共振型インバータからなる。

[0027] 或いは前記共振型電力変換装置本体は、例えば直流電圧源に共振用リアクトルを介して接続され、前記駆動制御回路により駆動されてオン時に前記直流電圧源からの入力電圧を共振用リアクトルに印加する第１のスイッチング素子と、

この第１のスイッチング素子のオフ時に前記駆動制御回路によりオン駆動されて前記共振用リアクトルに蓄積された電力エネルギーを出力コンデンサに転送する第２のスイッチング素子とを備えた同期整流昇圧型コンバータからなる。

[0028] 好ましくは前記比較器は、前記第２のスイッチング素子の動作基準電位が第１の閾値を上回ったときにその出力を［Ｈ］とし、前記第２のスイッチング素子の動作基準電位が前記第１の閾値よりも低く設定された第２の閾値を下回ったときにその出力を［Ｌ］とするシュミットトリガ型のものからなる。

[0029] そして前記出力信号生成回路を、前記比較器の出力信号が［Ｌ］であるときには、前記デッドタイム信号の立下りをオントリガーとし、前記出力制御信号の立上がりをオフトリガーとするパルス幅の第１の出力信号を生成すると共に、前記比較器の出力信号の立下りをオントリガーとし、前記出力制御信号の立上がりをオフトリガーとするパルス幅の第２の出力信号を生成するように構成する。

また同時に前記出力信号生成回路を、前記比較器の出力信号が［Ｈ］であるときには、前記比較器の出力信号の立上がりをオントリガーとし、前記出力制御信号の立上がりをオフトリガーとするパルス幅の第１の出力信号を生

成すると共に、前記比較器の出力信号の立下りをオントリガーとし、前記出力制御信号の立上がりをオフトリガーとするパルス幅の第２の出力信号を生成するように構成することが好ましい。

[0030] また前記レベルシフト回路を、例えば前記第２の駆動信号の立上がりおよび立下りタイミングをそれぞれ示すパルス信号をレベルシフトして論理転送する第１および第２のＭＯＳ-ＦＥＴを備えた構成とすることも好ましい。この場合、前記比較器を、前記第２の駆動信号に応じて選択的に駆動されるアナログスイッチを介して、前記第２のスイッチング素子の動作基準電位の振動に伴って前記第１および第２のＭＯＳ-ＦＥＴの一方のゲート電圧を選択するように構成する。そして前記比較器を、選択したゲート電圧と前記第１および第２の閾値と比較してその出力を反転するものとして構成することが好ましい。

[0031] また前記比較器を、前記第２のスイッチング素子の動作基準電位を抵抗分圧または容量分圧した電圧と、前記第１および第２の閾値とを比較してその出力を反転するように構成しても良い。

発明の効果

[0032] 上記構成のスイッチング電源装置によれば、前記第２のスイッチング素子の動作基準電位の変動量に応じて反転動作する前記比較器の出力信号に従って前記駆動信号生成回路が出力する駆動信号の出力タイミングが調整される。特に本発明に係るスイッチング電源装置は、前記比較器の出力を利用して前記第１および第２のスイッチング素子のターンオン・タイミングを決定する。ちなみに前記比較器の出力は、前記第２のスイッチング素子の動作基準電位が、仕様に基づいて規定される電圧から変動し、その変動量が前記第１または第２の閾値を超えた時点で反転する。従って本発明に係るスイッチング電源装置によれば、入力電圧Ｖinの変動に伴う前記第２のスイッチング素子の動作基準電位ＶＳの変動に拘わることなしに前記第１および第２のスイッチング素子を、該スイッチング素子に加わる電圧が零（０）となるタイミングで確実にターンオンすることが可能となる。この結果、スイッチング素

子での損失を低減して、その電力変換効率を向上させることが可能となる。

図面の簡単な説明

[0033] [図1]本発明の第１の実施形態に係るスイッチング電源装置の特徴的な構成を抽出した、駆動制御回路におけるレベルシフト回路とその周辺回路の構成を示す図。

[図2]図１に示すレベルシフト回路と比較器の動作を説明する為の信号波形図。

[図3]図１に示す駆動信号生成回路の構成例を示す図。

[図4]本発明の第１の実施形態に係る駆動制御回路の動作を示す信号波形図。

[図5]本発明の第２の実施形態に係るスイッチング電源装置の特徴的な構成を抽出した、駆動制御回路におけるレベルシフト回路とその周辺回路の構成を示す図。

[図6]図５に示す比較器の動作を説明する為の信号波形図。

[図7]図５に示す駆動信号生成回路の構成例を示す図。

[図8]本発明の第２の実施形態に係る駆動制御回路の動作を示す信号波形図。

[図9]本発明の第３の実施形態に係るスイッチング電源装置の特徴的な構成を抽出した、駆動制御回路におけるレベルシフト回路とその周辺回路の構成を示す図。

[図10]図９に示す比較器の動作を説明する為の信号波形図。

[図11]本発明の第４の実施形態に係る、同期整流昇圧型コンバータを構築したスイッチング電源装置の概略構成図。

[図12]従来一般的な共振型のスイッチング電源装置の概略構成図。

[図13]図１１に示すスイッチング電源装置における駆動制御回路の概略構成を示す図。

[図14]図１３に示す駆動制御回路におけるデッドタイム回路の構成例を示す図。

[図15]図１３に示す駆動制御回路におけるレベルシフト回路とその周辺回路の構成を示す図。

[図16]図１１に示す駆動制御回路の動作を説明する為の信号波形図。

[図17]第２のスイッチング素子Ｑ２の動作基準電位が低くなった場合の問題点を説明する為の信号波形図。

[図18]第２のスイッチング素子Ｑ２の動作基準電位が高くなった場合の問題点を説明する為の信号波形図。

発明を実施するための形態

[0034] 以下、図面を参照して本発明の実施形態に係る、共振型のインバータを構築したスイッチング電源装置について説明する。

[0035] この実施形態に係るスイッチング電源装置は、全体的には前述した図１２に示すスイッチング電源装置と同様に構成される。また第１および第２のスイッチング素子Ｑ１,Ｑ２をオン・オフ駆動する駆動制御回路Ａも、基本的には前述した図１３に示す駆動制御回路Ａと同様に構成される。従ってスイッチング電源装置の全体構成、および駆動制御回路Ａの基本構成についての、徒な繰り返し説明は省略する。

[0036] 本発明の第１の実施形態に係るスイッチング電源装置が特徴とするところは、図１に前記レベルシフト回路７とその周辺回路の構成を示すように、該レベルシフト回路７に付随させて、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動を検出する比較器９を設けた点にある。具体的には前記レベルシフト回路７におけるレベルシフト用のＭＯＳ-ＦＥＴからなる第１および第２のトランジスタ７ｃ,７ｄのゲート電圧と、予め定めた基準電圧Ｖrefにより規定される第１の閾値電圧Ｖth１および第２の閾値Ｖth２（＞Ｖth１）とを比較して反転動作する比較器９を設けたことを特徴としている。

[0037] そしてこの比較器９の出力信号ＣＰを前記駆動信号生成回路４に与え、前述した駆動信号ＤＨ,ＤＬをそれぞれ生成するように構成したことを特徴としている。具体的には前記駆動信号生成回路４において、例えば図３に示すように前記出力制御信号ＣＯとデッドタイム信号ＤＴに加えて、前記比較器９の出力信号ＣＰに基づいて前述したハイサイド側の駆動信号ＤＨおよびローサイド側の駆動信号ＤＬをそれぞれ生成するようにしたことを特徴としてい

る。

[0038] 即ち、前記レベルシフト回路７は、基本的には図１５に示したレベルシフト回路７と同様に構成されるものである。しかしこの実施形態に係るレベルシフト回路７は、前記立上がりエッジトリガ回路７ｅ，７ｇがそれぞれ出力するパルス信号であるセット信号ＰＳとリセット信号ＰＥを、それぞれ抵抗７ａ，７ｂを介して前記第１および第２のトランジスタ７ｃ，７ｄのゲートに印加するように構成される。即ち、このレベルシフト回路７は、前記第１および第２のトランジスタ７ｃ，７ｄのゲート電圧Ｖｇ１，Ｖｇ２を検出するようにした点を、前述した図１５に示した従来のレベルシフト回路７と異にしている。

[0039] また前記比較器９は、前記抵抗７ａ，７ｂにより検出される前記第１および第２のトランジスタ７ｃ，７ｄのゲート電圧Ｖｇ１，Ｖｇ２を、アナログスイッチ９ａ，９ｂを介して選択的に入力し、前記第１および第２の閾値Ｖｔｈ１，Ｖｔｈ２とを比較する。この比較器９は、前記アナログスイッチ９ａ，９ｂを介して選択的に入力されるゲート電圧Ｖｇ１，Ｖｇ２が前記第１の閾値Ｖｔｈ１と前記第２の閾値Ｖｔｈ２（＞Ｖｔｈ１）の間にあるときにはその出力信号ＣＰを［Ｌ］に保つ。また前記ゲート電圧Ｖｇ１，Ｖｇ２が前記第１の閾値Ｖｔｈ１を下回るとき、或いは前記第２の閾値Ｖｔｈ２を上回るとき、前記比較器９はその出力信号ＣＰを［Ｈ］に反転する。このように反転動作する前記比較器９は、いわゆるウィンドウ・コンパレータからなる。

[0040] 尚、前記アナログスイッチ９ａ，９ｂは、前記駆動信号（ハイサイド出力信号）ＤＨを受けて相補的にオン・オフ動作するもので、前記駆動信号ＤＨが［Ｈ］であるときには前記第２のトランジスタ７ｄのゲート電圧Ｖｇ２を選択する。また前記アナログスイッチ９ａ，９ｂは、前記駆動信号ＤＨが［Ｌ］であるときには前記第１のトランジスタ７ｃのゲート電圧Ｖｇ１を選択する。このアナログスイッチ９ａ，９ｂを介して選択される前記ゲート電圧Ｖｇ１，Ｖｇ２が、前記比較器９に入力されて前記第１および第２の閾値Ｖｔｈ１，Ｖｔｈ２との比較に供される。

[0041] 従って図２にその動作を示すように前記第１のスイッチング素子Ｑ１がオン状態にあるときには前記駆動信号ＤＨが［Ｌ］に保たれているので、前記比較器９は、前記アナログスイッチ９ａを介して前記第１のトランジスタ７ｃのゲート電圧Ｖｇ１を選択して前記第１および第２の閾値Ｖｔｈ１，Ｖｔｈ２と比較する〈動作期間I〉。この状態で前記第１のスイッチング素子Ｑ１をターンオフすると、前述したように前記直列共振回路のインダクタンスに流れていた電流によって第１のスイッチング素子Ｑ１の図示しない寄生容量が充電される。同時にこの電流により前記第２のスイッチング素子Ｑ２の図示しない寄生容量が放電される〈動作期間II〉。このときの電流は前記直列共振回路の共振作用により振動する。

[0042] すると前記第１のスイッチング素子Ｑ１のターンオフ時における上記共振電流の影響を受けて前記第１および第２のトランジスタ７ｃ，７ｄの各ドレイン電圧、即ち、第２のスイッチング素子Ｑ２の動作基準電位ＶＳは、前記共振電流の向きが反転するタイミングをボトムおよびピークとして振動する。そして上記ドレイン電圧である動作基準電位ＶＳの振動に伴って該トランジスタ７ｃ，７ｄのゲート電圧Ｖｇ１，Ｖｇ２も変動する。

[0043] 前記比較器９は、このときの前記第２のトランジスタ７ｄのゲート電圧Ｖｇ２を前記第１および第２の閾値Ｖｔｈ１，Ｖｔｈ２と比較する。そして該ゲート電圧Ｖｇ２が前記第２の閾値Ｖｔｈ２を上回ったとき、前記比較器９は、その出力信号ＣＰを［Ｈ］に反転する。この比較器９からの出力信号ＣＰの出力タイミングおよびその出力パルス幅は前記ゲート電圧Ｖｇ２の変動量に応じて変化する。

[0044] また前記第２のスイッチング素子Ｑ２をオン駆動したときには、前記駆動信号ＤＨが［Ｈ］となっているので、前記比較器９は、前記アナログスイッチ９ａを介して前記第１のトランジスタ７ｃのゲート電圧Ｖｇ１を入力して前記第１および第２の閾値Ｖｔｈ１，Ｖｔｈ２と比較する〈動作期間III〉。この状態で前記第２のスイッチング素子Ｑ２をターンオフすると、前述したように前記直列共振回路のインダクタンスに流れていた電流が反転して前記第２の

スイッチング素子Ｑ２の寄生容量が充電される。同時にこの電量により前記第１のスイッチング素子Ｑ１の寄生容量が放電される〈動作期間IV〉。

[0045] すると前記第２のスイッチング素子Ｑ２のターンオフ時における共振電流の影響を受けて前記第１および第２のトランジスタ７ｃ，７ｄの各ドレイン電圧が変動する。そしてこのドレイン電圧の変動に伴って該トランジスタ７ｃ，７ｄのゲート電圧Ｖｇ１，Ｖｇ２が変動する。前記比較器９は、この第１のトランジスタ７ｃのゲート電圧Ｖｇ１を前記第１および第２の閾値Ｖｔｈ１，Ｖｔｈ２と比較し、前記ゲート電圧Ｖｇ１が前記第１の閾値Ｖｔｈ１を下回ったときにその出力信号ＣＰを［Ｈ］に反転する。この比較器９からの出力信号ＣＰの出力タイミングおよびその出力パルス幅もまた、前記ゲート電圧Ｖｇ１の変動量に応じて変化する。

[0046] 尚、第１および第２のスイッチング素子Ｑ１，Ｑ２のターンオフ時における前記第１および第２のトランジスタ７ｃ，７ｄのドレイン電圧の変動が少ない場合には、前記比較器９の出力信号ＣＰが［Ｈ］に反転することはない。また前記トランジスタ７ｃ，７ｄのゲート電圧Ｖｇ１，Ｖｇ２が前記比較器９の第１および第２の閾値Ｖｔｈ１，Ｖｔｈ２により規定される変動許容幅を外れることがない場合にも、前記比較器９の出力信号ＣＰが［Ｈ］に反転することはない。換言すれば前記第１および第２のスイッチング素子Ｑ１，Ｑ２等の構成部品の特性劣化や特性のバラつきがなく、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動が少ない場合には、前記出力信号ＣＰが出力されることはない。

[0047] 一方、前記駆動信号生成回路４は、前述した出力制御信号ＣＯおよびデッドタイム信号ＤＴに加えて前記比較器９の出力信号ＣＰを入力し、これらの信号ＣＯ，ＤＴ，ＣＰを論理処理してローサイド側およびハイサイド側の前述した駆動信号ＤＬ，ＤＨをそれぞれ生成するように構成される。特に駆動信号生成回路４は、前記出力信号ＣＰの有無に応じて、特に該出力信号ＣＰのパルス幅に応じて前記駆動信号ＤＬ，ＤＨの出力タイミングを変更する。

[0048] 具体的には前記駆動信号生成回路４は、例えば図３に示すように前記比較

器９の出力信号ＣＰによってセットされ、前記出力制御信号ＣＯによりリセットされる第１のフリップフロップ４ｄを備える。また前記駆動信号生成回路４は、前記比較器９の出力信号ＣＰによってセットされ、インバータ回路４ｅを介して反転された前記出力制御信号ＣＯによりリセットされる第２のフリップフロップ４ｆを備える。

[0049] 前記第１のフリップフロップ４ｄは、その出力によって２つのゲート回路４ｇ，４ｈを択一的にアクティブにして前記比較器９の出力信号ＣＰまたは前記デッドタイム信号ＤＴを選択する役割を担う。そして前記ゲート回路４ｇ，４ｈを介して選択された前記比較器９の出力信号ＣＰまたは前記デッドタイム信号ＤＴは、オア回路４ｍを介してノア回路４ａに与えられる。このノア回路４ａにて前記ローサイド側の駆動信号ＤＬが生成される。

[0050] また前記第２のフリップフロップ４ｆは、その出力によって２つのゲート回路４ｉ，４ｊを択一的にアクティブにして前記比較器９の出力信号ＣＰまたは前記デッドタイム信号ＤＴを選択する役割を担う。そして前記ゲート回路４ｉ，４ｊを介して選択された前記比較器９の出力信号ＣＰまたは前記デッドタイム信号ＤＴは、前記インバータ回路４ｂに相当するノア回路４ｎを介して反転されてアンド回路４ｃに与えられる。このアンド回路４ｃにて前記ハイサイド側の駆動信号ＤＨの生成が生成される。

[0051] 即ち、この駆動信号生成回路４は、前記比較器９から出力信号ＣＰが与えられたときには前記第１および第２のフリップフロップ４ｄ，４ｆをセットする。前記第１および第２のフリップフロップ４ｄ，４ｆのセットにより、前記出力信号ＣＰの立下りに同期して前記駆動信号ＤＬ，ＤＨが生成される。また前記比較器９からの出力信号ＣＰが与えられないときには、駆動信号生成回路４は前記第１および第２のフリップフロップ４ｄ，４ｆをリセット状態に保つ。この結果、前記第１および第２のフリップフロップ４ｄ，４ｆは、前記デッドタイム信号ＤＴの立下りに同期して前記ローサイド側の駆動信号ＤＬまたは前記ハイサイド側の駆動信号ＤＨを生成する。

[0052] 従って前記駆動制御回路Ａは、図４にその動作タイミングを示すように前

記出力信号ＣＰが与えられないときには、前記デッドタイム信号ＤＴの立下りに同期した駆動信号ＤＬ,ＤＨを出力して前記第１および第２のスイッチング素子Ｑ１,Ｑ２をターンオンする。しかし前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動に起因して前記出力信号ＣＰが出力されたときには、前記駆動信号生成回路４は、前記出力信号ＣＰの立下りに同期した駆動信号ＤＬ,ＤＨを出力する。この出力信号ＣＰの立下りに同期した駆動信号ＤＬ,ＤＨにより、前記動作基準電位ＶＳの変動量に応じて前記第１および第２のスイッチング素子Ｑ１,Ｑ２をターンオン・タイミングが変更される。故に上記構成の駆動制御回路Ａによれば、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動量に応じて、前記第１および第２のスイッチング素子Ｑ１,Ｑ２のターンオン・タイミングを適正に調整することが可能となる。

[0053] 従って上記構成のスイッチング電源装置１によれば、その構成部品の経年変化や特性のバラつきに起因する前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動に拘わることなく、前記第１および第２のスイッチング素子Ｑ１,Ｑ２のターンオン・タイミングを適切に設定することができる。故に前記スイッチング素子Ｑ１,Ｑ２での電力変換の無効時間を極力抑えることができ、該スイッチング素子Ｑ１,Ｑ２での損失を低減して電力変換効率を高めることができる。

[0054] しかも前記駆動制御回路Ａにおいては、前記レベルシフト回路７における前記トランジスタ７ｃ,７ｄのゲート電圧Ｖｇ１,Ｖｇ２に着目して前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動量を監視している。そして前記動作基準電位ＶＳの変動量が大きいときに前記第１および第２のスイッチング素子Ｑ１,Ｑ２に対する駆動信号ＤＬ,ＤＨの出力タイミングを調整している。従って、簡易な構成にて電力変換効率を高めることができる。しかも前記比較器９を含む駆動制御回路Ａの集積回路化が容易であり、その実用的利点が多大である。更にはスイッチング周波数の高周波数化に伴う前記デッドタイム信号の設計仕様も大幅に緩和することができる等の効果が奏せられる。

[0055] ところで前述した第１の実施形態においては、前記レベルシフト回路７における第１および第２のトランジスタ７ｃ，７ｄのゲート電圧Ｖｇ１，Ｖｇ２に着目して前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動量を監視した。しかし、例えば図５に示すように該動作基準電位ＶＳを抵抗分割し、比較器９においてその変動量を直接的に監視することも可能である。

[0056] 図５は、本発明の第２の実施形態に係るスイッチング電源装置の特徴的な構成部分である、レベルシフト回路７とその周辺回路の構成を示している。この第２の実施形態が特徴とするところは、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳを、直列接続された分圧抵抗Ｒ１，Ｒ２にて分圧して検出する。そして検出したＶＳ検出電圧Ｖｖｓと、予め定めた基準電圧Ｖｒｅｆにより規定される第１の閾値電圧Ｖｔｈ１および第２の閾値Ｖｔｈ２（＞Ｖｔｈ１）とを比較器９にて比較するように構成される。

[0057] この比較器９は、前記ＶＳ検出電圧Ｖｖｓが前記第２の閾値Ｖｔｈ２を超えたときにその出力を［Ｈ］に反転し、その後、前記ＶＳ検出電圧Ｖｖｓが前記第１の閾値Ｖｔｈ１を下回ったときに前記出力を［Ｌ］に反転する、いわゆるシュミットトリガ・コンパレータからなる。従って前記比較器は、図６にその動作波形図を示すように、前記ＶＳ検出電圧Ｖｖｓが前記第２の閾値Ｖｔｈ２を上回ったタイミングから該ＶＳ検出電圧Ｖｖｓが前記第１の閾値Ｖｔｈ１を下回るタイミングに亘って［Ｈ］レベルの出力信号ＣＰを出力する。

[0058] 即ち、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動に伴って前記ＶＳ検出電圧Ｖｖｓが変動する。このＶＳ検出電圧Ｖｖｓが前記第２の閾値Ｖｔｈ２を上回るタイミングが、前記駆動信号ＤＨにより特定される第２のスイッチング素子Ｑ２のターンオン・タイミングよりも早くなった場合、前記比較器９は、前記ＶＳ検出電圧Ｖｖｓが前記第２の閾値Ｖｔｈ２を上回るタイミングでその出力信号ＣＰを［Ｈ］に反転する。

[0059] 同様に前記比較器９は、前記ＶＳ検出電圧Ｖｖｓが前記第１の閾値Ｖｔｈ１を下回るタイミングが、前記駆動信号ＤＬにより特定される第１のスイッチング素子Ｑ１のターンオン・タイミングよりも早くなった場合、前記ＶＳ検出

電圧Ｖvsが前記第１の閾値Ｖth１を下回るタイミングでその出力信号ＣＰを［Ｈ］に反転する。

[0060] またこのような比較器９の出力信号ＣＰを入力して前記駆動信号ＤＨ,ＤＬを生成する前記駆動信号生成回路４は、例えば図７に示すように構成される。即ち、この第２の実施形態に係る前記駆動信号生成回路４は、前記比較器９からの出力信号ＣＰと、インバータ回路４ｏを介して反転された前記デッドタイム信号ＤＴとを論理処理する第１のオア回路４ｐを備える。更に前記駆動信号生成回路４は、インバータ回路４ｑを介して反転された前記出力信号ＣＰと前記インバータ回路４ｏを介して反転された前記デッドタイム信号ＤＴとを論理処理する第２のオア回路４ｒを備える。そして前記駆動信号生成回路４は、第１のオア回路４ｐの出力と前記出力制御信号ＣＯとをアンド回路４ｃにて論理処理して前記駆動信号ＤＨを生成する。また前記駆動信号生成回路４は、前記第２のオア回路４ｐの出力とインバータ回路４ｓを介して反転された前記出力制御信号ＣＯとアンド回路４ｔにて論理処理することで前記駆動信号ＤＬを生成する。

[0061] このように構成された駆動信号生成回路４によれば、図８にその動作波形図を示すように、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動量が少なく、前記比較器９から前記出力信号ＣＰが与えられないときには、該駆動信号生成回路４は前記デッドタイム信号ＤＴの立下りに同期した駆動信号ＤＬ,ＤＨを出力して前記第１および第２のスイッチング素子Ｑ１,Ｑ２をターンオンする。

[0062] しかし前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動量が少なく、前記比較器９から前記出力信号ＣＰが与えらるときには、前記駆動信号生成回路４は前記デッドタイム信号ＤＴに代えて前記出力信号ＣＰの立下りに同期して駆動信号ＤＬを出力する。また前記駆動信号生成回路４は、前記出力信号ＣＰの立上がりに同期して駆動信号ＤＨを出力して、前記第１および第２のスイッチング素子Ｑ１,Ｑ２をそれぞれターンオンする。従って上記構成の駆動制御回路Ａによれば、前記第２のスイッチング素子Ｑ２の動作

基準電位ＶＳの変動量に応じて、前記第１および第２のスイッチング素子Ｑ１,Ｑ２のターンオン・タイミングを適正に調整することが可能となる。

[0063] この結果、上記構成のスイッチング電源装置１によれば、第１の実施形態と同様に、構成部品の経年変化や特性のバラつきに起因する前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動に拘わることなく、前記第１および第２のスイッチング素子Ｑ１,Ｑ２のターンオン・タイミングを適切に設定することができる。従って前記スイッチング素子Ｑ１,Ｑ２での電力変換の無効時間を極力抑えることができ、該スイッチング素子Ｑ１,Ｑ２での損失を低減して電力変換効率を高めることができる。

[0064] しかも前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動量を抵抗分圧することで直接的に監視し、その変動量が大きいときに前記第１および第２のスイッチング素子Ｑ１,Ｑ２に対する駆動信号ＤＬ,ＤＨの出力タイミングを調整している。従って簡易な構成にて電力変換効率を高めることができる。故に前記比較器９を含む駆動制御回路Ａの集積回路化が容易であり、その実用的利点が多大である。更にはスイッチング周波数の高周波数化に伴う前記デッドタイム信号の設計仕様も大幅に緩和することができる等の効果が奏せられる。

[0065] 図９は、本発明の第３の実施形態に係るスイッチング電源装置の特徴的な構成部分である、レベルシフト回路７とその周辺回路の構成を示している。この第３の実施形態が特徴とするところは、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳを、直列接続されたコンデンサＣ１,Ｃ２にて容量分圧して検出する点にある。そして容量分圧して検出したＶＳ検出電圧Ｖvcと、予め定めた基準電圧Ｖrefにより規定される第１の閾値電圧Ｖth１および第２の閾値Ｖth２（＞Ｖth１）とを比較器９にて比較するように構成される。

[0066] 尚、前記コンデンサＣ２には、放電用の抵抗Ｒdが並列に接続される。従って前記コンデンサＣ１,Ｃ２にて容量分圧して検出されるＶＳ検出電圧Ｖvcは、図１０に示すように前記第１および第２のスイッチング素子Ｑ１,Ｑ２のオン・オフ動作に追従して、一定電圧で安定するように変化する。特に上記Ｖ

Ｓ検出電圧Ｖvcは、前記第１および第２のスイッチング素子Ｑ１，Ｑ２のターンオフに伴って前記コンデンサＣ１，Ｃ２の容量比で定まる安定状態から変化した後、上記安定状態に復帰するように変化する。そして前記動作基準電位ＶＳが変動した場合、その変動量に応じて前記安定状態からの変化の幅が大きくなる。

[0067] このようなＶＳ検出電圧Ｖvcの変化の幅を、前記動作基準電位ＶＳの変動量として検出する前記比較器９は、第２の実施形態に示した比較器９と同様なシュミットトリガ・コンパレータからなる。そしてこの比較器９は、図１０にその動作波形図を示すように、容量分圧して検出した前記ＶＳ検出電圧Ｖvcが前記第２の閾値Ｖth２を上回ったタイミングから該ＶＳ検出電圧Ｖvcが前記第１の閾値Ｖth１を下回るタイミングに亘って［Ｈ］レベルの出力信号ＣＰを出力する。

[0068] 即ち、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動に伴って前記ＶＳ検出電圧Ｖvcが変動する。そして前記ＶＳ検出電圧Ｖvcが前記第２の閾値Ｖth２を上回るタイミングが、前記駆動信号ＤＨにより特定される第２のスイッチング素子Ｑ２のターンオン・タイミングよりも早くなった場合、前記比較器９は、前記ＶＳ検出電圧Ｖvcが前記第２の閾値Ｖth２を上回るタイミングでその出力信号ＣＰを［Ｈ］に反転する。

[0069] 同様に前記比較器９は、前記ＶＳ検出電圧Ｖvcが前記第１の閾値Ｖth１を下回るタイミングが、前記駆動信号ＤＬにより特定される第１のスイッチング素子Ｑ１のターンオン・タイミングよりも早くなった場合には、前記ＶＳ検出電圧Ｖvcが前記第１の閾値Ｖth１を下回るタイミングでその出力信号ＣＰを［Ｈ］に反転する。

[0070] このような前記比較器９の出力信号ＣＰを入力して前記駆動信号ＤＬ，ＤＨを生成する前記駆動信号生成回路４は、前述した第２の実施形態に係る図７に示した前記駆動信号生成回路４と同様に構成される。従って比較器９において、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳを容量分圧したＶＳ検出電圧Ｖvcを判定するように構成した場合であっても、先に説明した

第２の実施形態と同様な効果が奏せられる。

[0071] ところで上述した第１～第３の実施形態は、共振型のインバータを構築したスイッチング電源装置に適用したものであるが、本発明は同期整流昇圧型コンバータを構築したスイッチング電源装置にも同様に適用することができる。

[0072] 図１１は本発明の第４の実施形態に係るスイッチング電源装置の概略構成図であり、該スイッチング電源装置は同期整流昇圧型コンバータにより構築されている。この同期整流昇圧型コンバータは、直流電圧源にインダクタＬを介して接続されてオン動作により前記インダクタＬに電力を蓄える第１のスイッチング素子Ｑ１を備える。更に前記同期整流昇圧型コンバータは、前記第１のスイッチング素子Ｑ１のオフ時にオン動作して前記インダクタＬに蓄えられた電力を該インダクタＬの共振を利用して出力コンデンサＣoutに転送して出力電圧Ｖoutを得る第２のスイッチング素子Ｑ２を備える。

[0073] これらの第１および第２のスイッチング素子Ｑ１,Ｑ２は、前述した各実施形態と同様に前記駆動制御回路Ａにより相補的にオン・オフ駆動される。尚、図１１に示す同期整流昇圧型コンバータにおいては、分圧抵抗Ｒａ,Ｒｂを介して出力電圧Ｖoutを分圧して検出し、例えばフォトカプラからなるフィードバック回路Ｆを介して前記駆動制御回路Ａにフィードバックする前記ＦＢ電圧を生成するように構成されている。

[0074] このように同期整流昇圧型コンバータを構築したスイッチング電源装置においても、スイッチング素子Ｑ１,Ｑ２を最適なタイミングでオン・オフ駆動して電力変換効率を高める上で、前述したデッドタイム信号のパルス幅Ｔdtを最適化する必要がある。このような課題は、前述した共振型インバータを構築するスイッチング電源装置と同様である。従ってこの実施形態における駆動制御回路Ａもまた、前記第１～第３の実施形態に示した比較器９と同様なウィンドウ型、或いはシュミットトリガ型の比較器９を備えて構成される。そして駆動制御回路Ａは、これらの比較器９に応じて構成された、図３または図７に示すように構成された駆動信号生成回路４を備えて実現される。

[0075] このように構成されたスイッチング電源装置においては、前記第２のスイッチング素子Ｑ２の動作基準電位ＶＳの変動量を前記比較器９により検出する。そして前記動作基準電位ＶＳの変動量に応じて前記駆動信号生成回路４により前記駆動信号ＤＬ,ＤＨの出力タイミングを調整する。これによって前記各スイッチング素子Ｑ１,Ｑ２のターンオン・タイミングを最適化することが可能となる。この結果、前記第１および第２のスイッチング素子Ｑ１,Ｑ２での電力変換の無効時間を極力抑え、更には該スイッチング素子Ｑ１,Ｑ２での損失を低減して電力変換効率を高めることが可能となる。従って先の各実施形態と同様な効果を奏することができる。

[0076] 尚、本発明は上述した各実施形態に限定されるものではない。例えば前記駆動制御回路Ａにより、ローサイド側の第１のスイッチング素子Ｑ１とハイサイド側の第２のスイッチング素子Ｑ２を交互にオン・オフ駆動して電圧制御出力を得るスイッチング回路であれば、本発明を同様に適用することができる。具体的には電動機を駆動するインバータや昇降圧チョッパ回路、更にはインバータ形蛍光灯の駆動回路部や無停電電源装置（ＵＰＳ）における充電・放電回路部等の駆動制御回路として幅広く適用することができる。

[0077] また前記比較器９に設定する第１および第２の閾値Ｖth１,Ｖth２についても、前記スイッチング素子Ｑ１,Ｑ２の特性等に応じて決定すれば良い。また基準電圧Ｖrefに基づいて前記第１および第２の閾値Ｖth１,Ｖth２を互いに関連付けて一括して設定することに代えて、前記第１および第２の閾値Ｖth１,Ｖth２をそれぞれ個別に設定しても良いことは言うまでもない。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

符号の説明

[0078] Ｑ１　第１のスイッチング素子

Ｑ２　第２のスイッチング素子

Ａ　駆動制御回路

Ｖｏｓ　出力電圧検出回路

１　スイッチング電源装置

２　出力制御回路

３ デッドタイム回路

４　駆動信号生成回路

６　ドライブ回路

７　レベルシフト回路

７ｃ，７ｄ　トランジスタ（ＭＯＳ-ＦＥＴ）

９　比較器

９ａ，９ｂ　アナログスイッチ

請求の範囲

［請求項1］ 第１のスイッチング素子により直流入力電力をスイッチングしてインダクタに蓄え、第２のスイッチング素子により上記インダクタに蓄えた電力を該インダクタの共振を利用して出力コンデンサに転送して直流出力電力を得る共振型電力変換装置本体と、前記第１および第２のスイッチング素子を交互にオン駆動して前記インダクタを共振させる駆動制御回路と、前記出力コンデンサの出力電圧を検出し、その検出情報を前記駆動制御回路に帰還して該駆動制御回路の動作を制御するフィードバック回路とを具備し、

前記駆動制御回路は、入力電圧の変動に伴う前記第２のスイッチング素子の動作基準電位の変動を検出する比較器と、

前記フィードバック回路から帰還される前記検出情報に応じたパルス幅の出力制御信号を生成する出力制御回路と、

前記出力制御信号に基づいて前記第１および第２のスイッチング素子の一方のターンオフ・タイミングを基準として、他方のスイッチング素子のターンオン・タイミングを規定するデッドタイム信号を生成するデッドタイム回路と、

前記出力制御信号および前記デッドタイム信号並びに前記比較器の出力信号を論理処理して前記第１および第２のスイッチング素子のオン時間をそれぞれ規定する第１および第２の駆動信号をそれぞれ生成する駆動信号生成回路と、

前記第２のスイッチング素子の動作基準電位に合わせて前記第２の駆動信号をレベルシフトするレベルシフト回路と、

前記第１の駆動信号を受けて前記第１のスイッチング素子を駆動する第１の駆動回路、および前記レベルシフト回路にてレベルシフトされた前記第２の駆動信号を受けて前記第２のスイッチング素子を駆動する第２の駆動回路と、

を具備したことを特徴とするスイッチング電源装置。

［請求項2］ 前記共振型電力変換装置本体は、直流電圧源にコンデンサを介して絶縁トランスの一次巻線を接続して該絶縁トランスのリーケージインダクタンスと前記コンデンサとにより形成した直列共振回路と、

前記駆動制御回路により駆動され、オン時に前記直流電圧源からの入力電圧を前記直列共振回路に印加する第１のスイッチング素子と、

前記直列共振回路に並列接続され、前記第１のスイッチング素子のオフ時に前記駆動制御回路によりオン駆動されて前記直列共振回路の電流路を形成する第２のスイッチング素子と、

前記絶縁トランスの二次巻線側に生起された電力を整流するダイオード、およびこのダイオードを介して整流された電力を平滑化して出力する出力コンデンサとを備えた共振型インバータからなる請求項１に記載のスイッチング電源装置。

［請求項3］ 前記共振型電力変換装置本体は、直流電圧源に共振用リアクトルを介して接続され、前記駆動制御回路により駆動されてオン時に前記直流電圧源からの入力電圧を共振用リアクトルに印加する第１のスイッチング素子と、

この第１のスイッチング素子のオフ時に前記駆動制御回路によりオン駆動されて前記共振用リアクトルに蓄積された電力エネルギーを出力コンデンサに転送する第２のスイッチング素子とを備えた同期整流昇圧型コンバータからなる請求項１に記載のスイッチング電源装置。

［請求項4］ 前記比較器は、前記第２のスイッチング素子の動作基準電位が第１の閾値を上回ったときにその出力を［Ｈ］とし、前記第２のスイッチング素子の動作基準電位が前記第１の閾値よりも低く設定された第２の閾値を下回ったときにその出力を［Ｌ］とするシュミットトリガ型のものであって、

前記出力信号生成回路は、前記比較器の出力信号が［Ｌ］であるときには前記デッドタイム信号の立下りをオントリガーとし、前記出力制御信号の立上がりをオフトリガーとするパルス幅の第１の出力信号

を生成すると共に、前記比較器の出力信号の立下りをオントリガーとし、前記出力制御信号の立上がりをオフトリガーとするパルス幅の第２の出力信号を生成し、

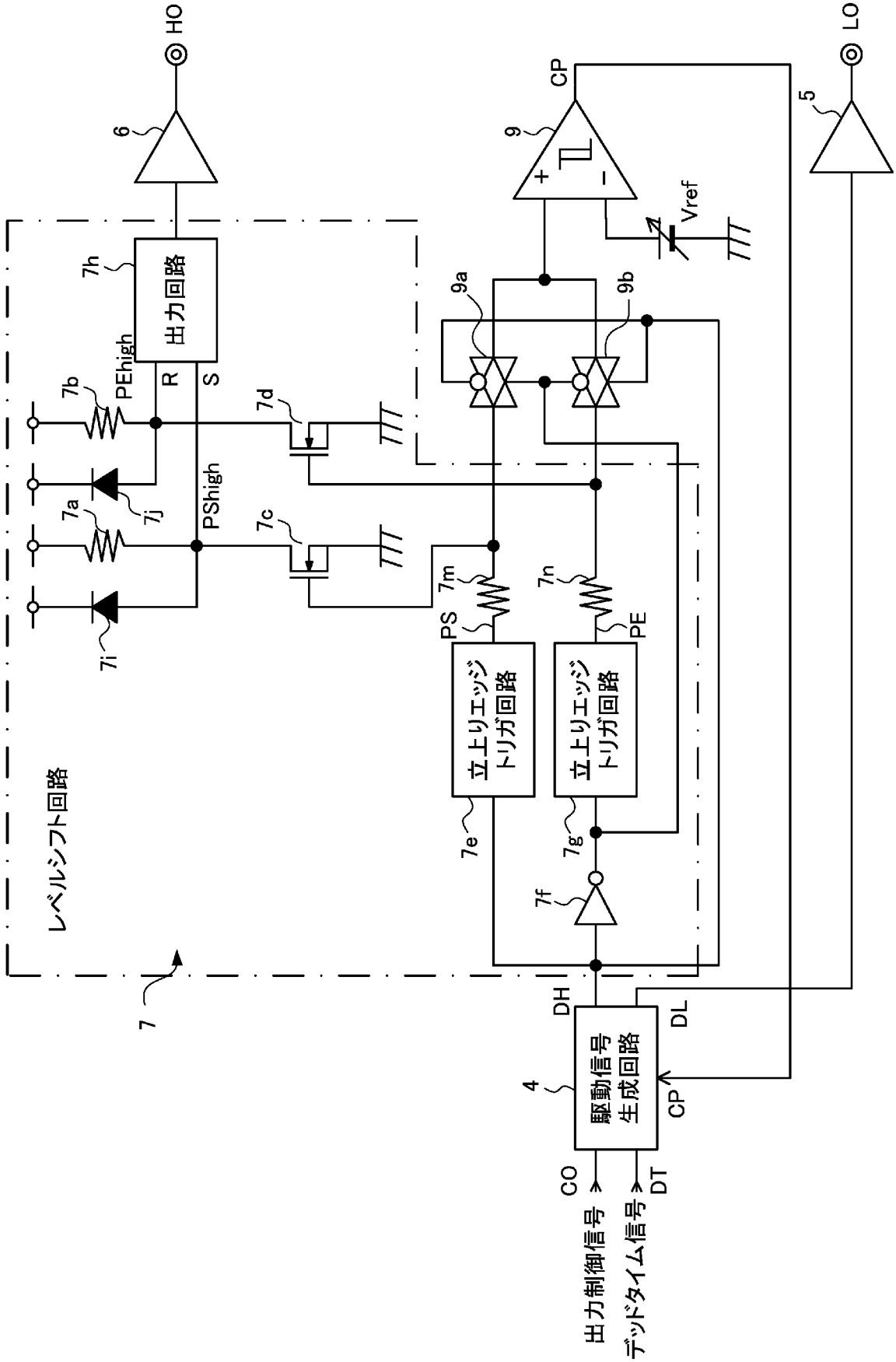
前記比較器の出力信号が［Ｈ］であるときには前記比較器の出力信号の立上がりをオントリガーとし、前記出力制御信号の立上がりをオフトリガーとするパルス幅の第１の出力信号を生成すると共に、前記比較器の出力信号の立下りをオントリガーとし、前記出力制御信号の立上がりをオフトリガーとするパルス幅の第２の出力信号を生成する論理回路からなる請求項１に記載のスイッチング電源装置。

［請求項5］ 前記レベルシフト回路は、前記第２の駆動信号を立上がりおよび立下りレベルシフトして論理転送する第１および第２のＭＯＳ−ＦＥＴを備え、

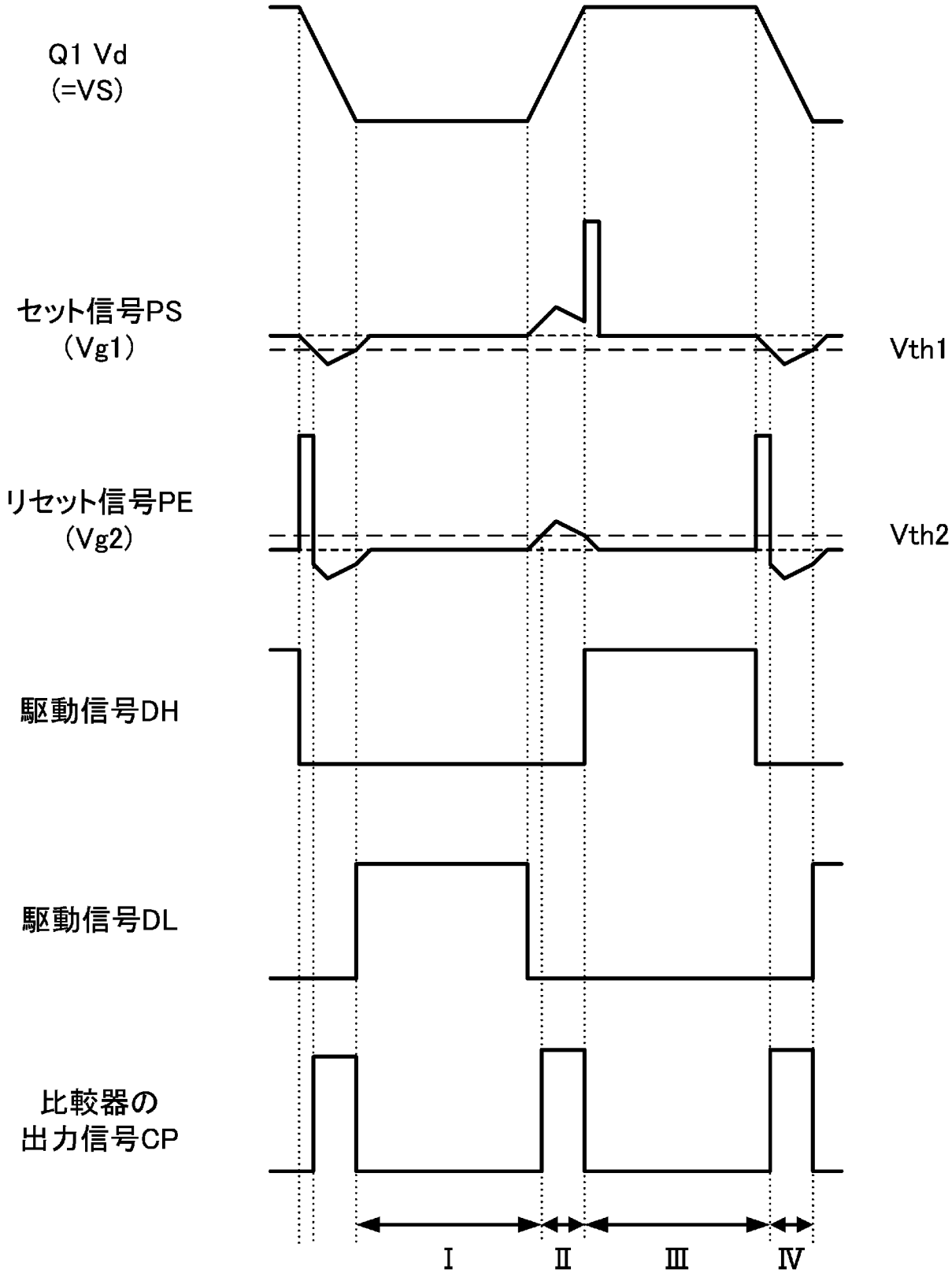
前記比較器は、前記第２の駆動信号に従って選択的に駆動されるアナログスイッチを介して、前記第２のスイッチング素子の動作基準電位の振動に伴って変動する前記第１および第２のＭＯＳ−ＦＥＴの一方のゲート電圧を選択し、選択したゲート電圧と前記第１および第２の閾値と比較してその出力を反転するものである請求項４に記載のスイッチング電源装置。

［請求項6］ 前記比較器は、前記第２のスイッチング素子の動作基準電位を抵抗分圧または容量分圧した電圧と前記第１および第２の閾値とを比較してその出力を反転するものである請求項４に記載のスイッチング電源装置。

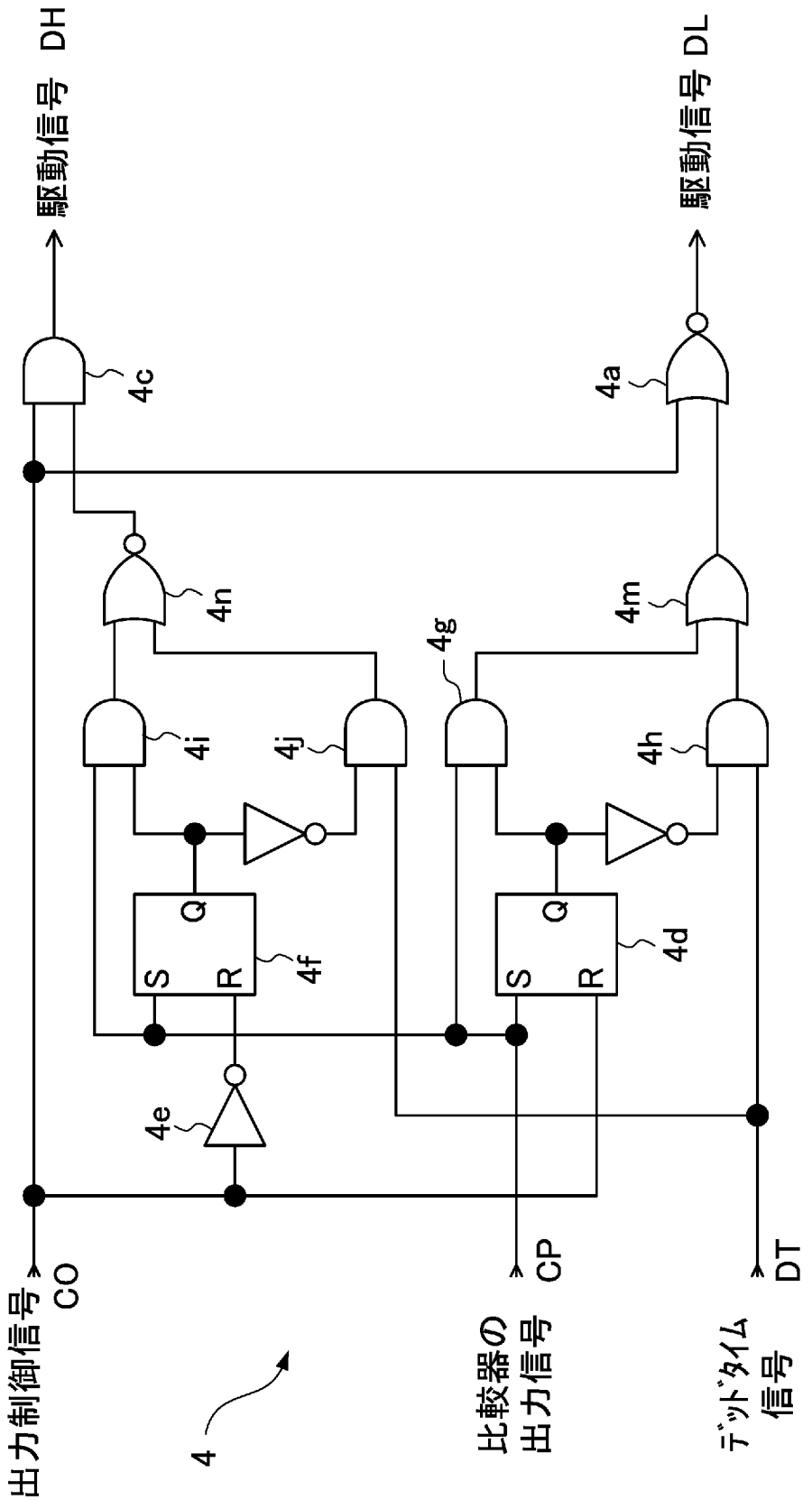
[図1]


HO
LO
6
5
CP
9
Vref
7h
出力回路
PEhigh
R
S
7b
7d
9a
9b
7a
7j
PShigh
7c
7i
7m
7n
PS
PE
立上りエッジ
トリガ回路
立上りエッジ
トリガ回路
7e
7g
7f
レベルシフト回路
7
DH
DL
4
駆動信号
生成回路
CP
CO
DT
出力制御信号
デッドタイム信号

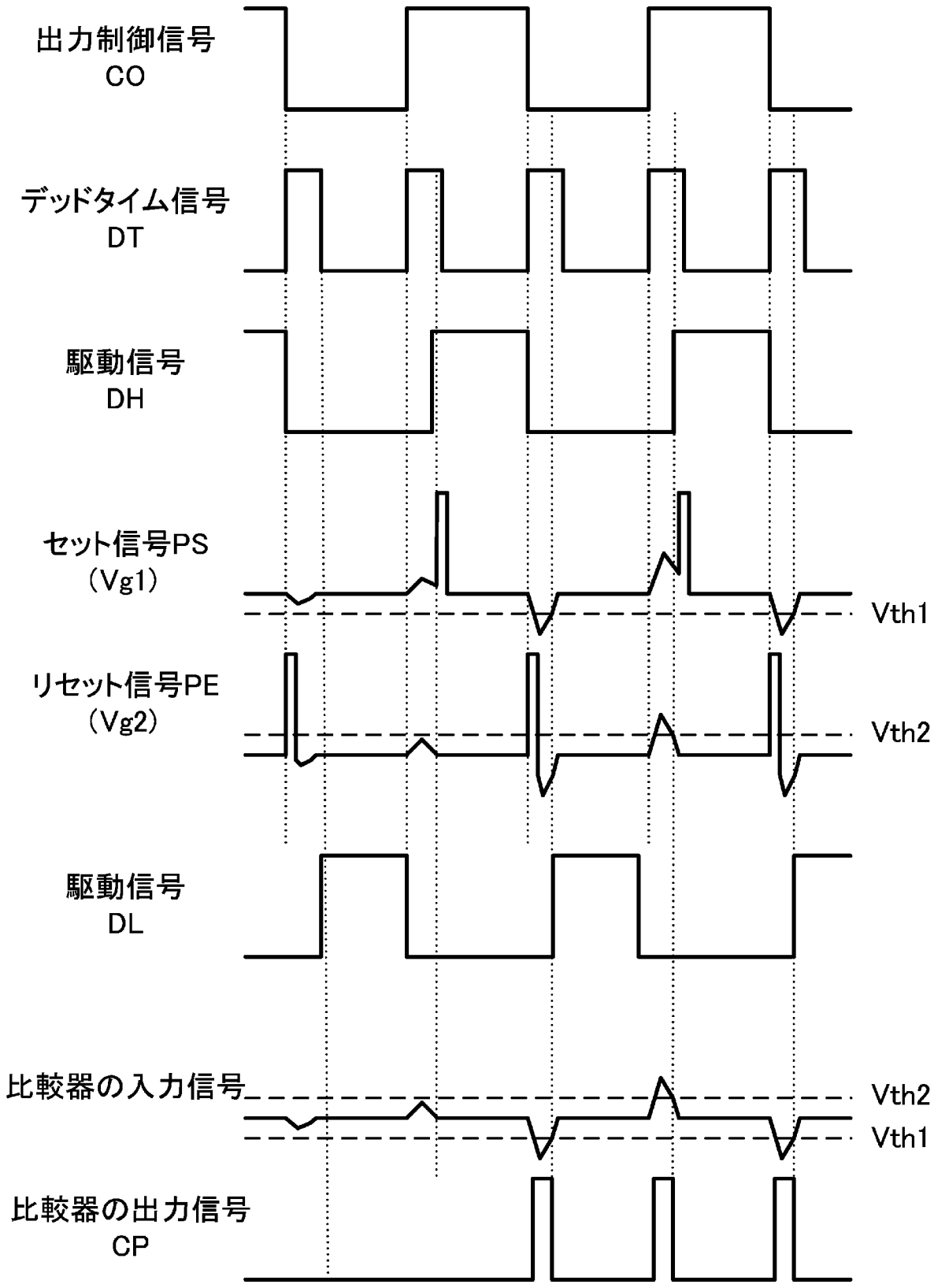
[図2]


Q1 Vd
(=VS)
セット信号PS
(Vg1)
Vth1
リセット信号PE
(Vg2)
Vth2
駆動信号DH
駆動信号DL
比較器の
出力信号CP
I
II
III
IV

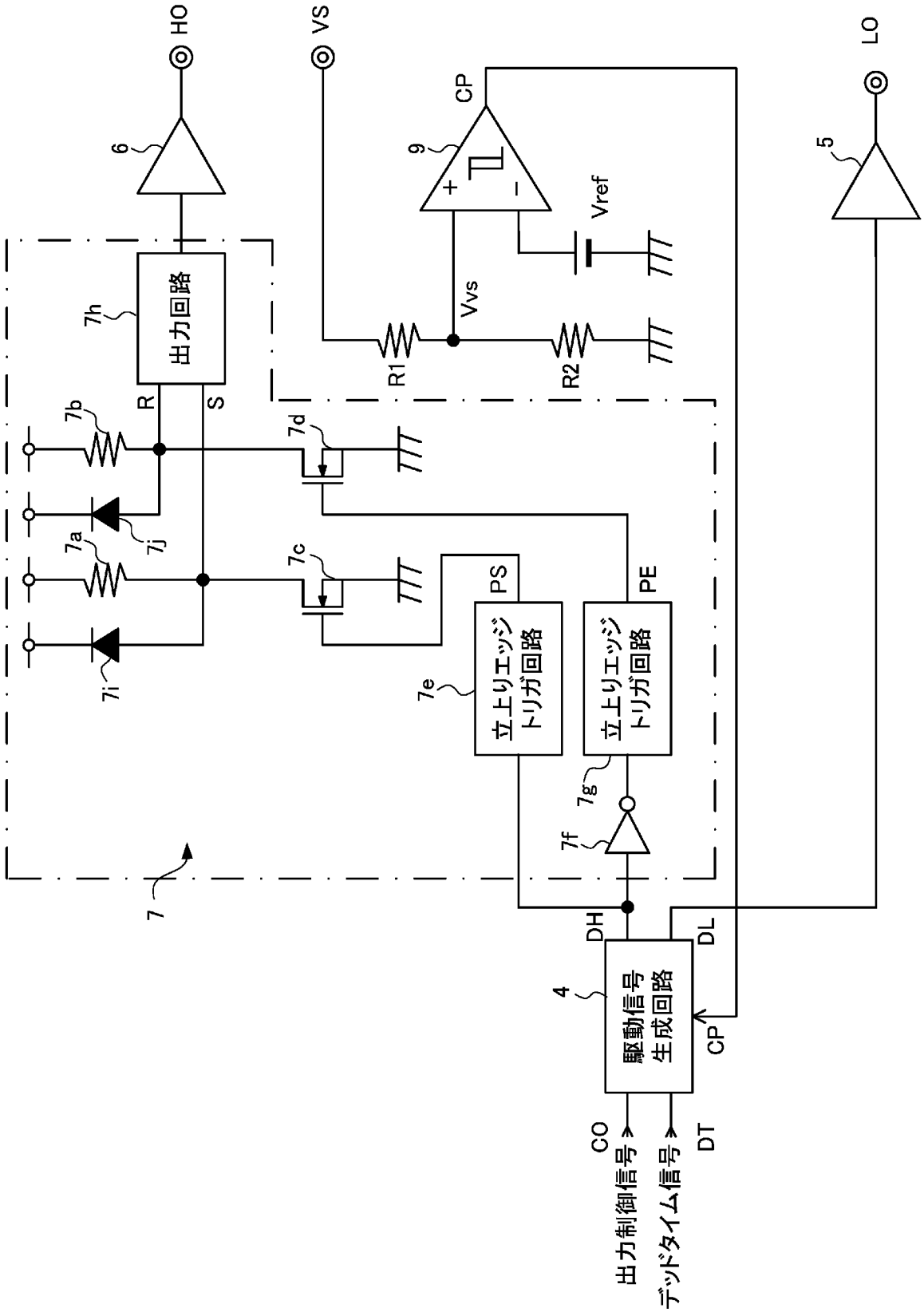
[図3]


駆動信号 DH
駆動信号 DL
4c
4a
4n
4m
4g
4i
4j
4h
4f
4d
4e
S
R
Q
出力制御信号 CO
比較器の出力信号 CP
デッドタイム信号 DT
4

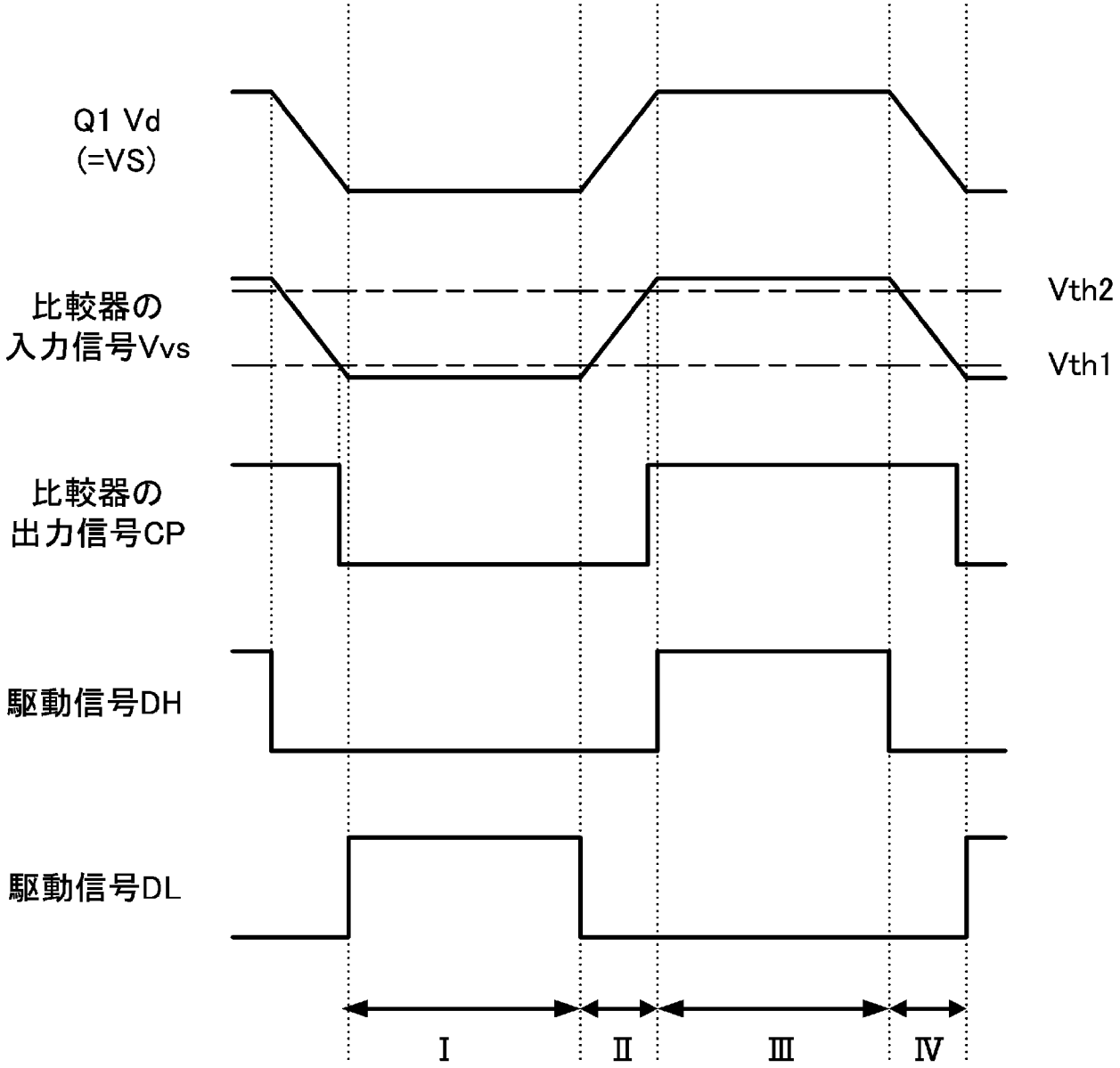
[図4]


出力制御信号
CO
デッドタイム信号
DT
駆動信号
DH
セット信号PS
（Vg1）
Vth1
リセット信号PE
（Vg2）
Vth2
駆動信号
DL
比較器の入力信号
Vth2
Vth1
比較器の出力信号
CP

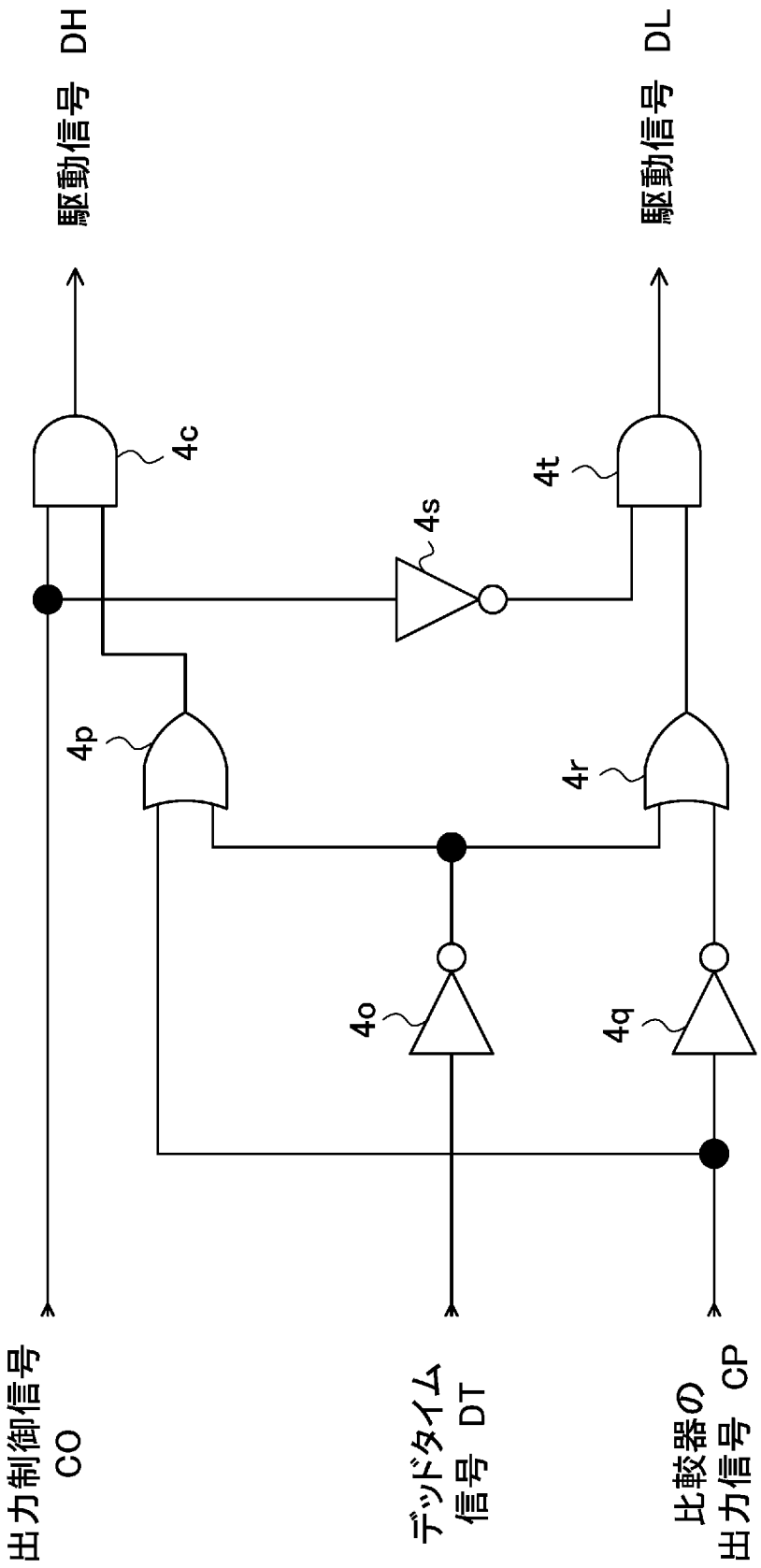
[図5]


HO
VS
LO
CP
Vref
Vvs
R1
R2
出力回路
R
S
PS
PE
立上りエッジ
トリガ回路
DH
DL
CP
駆動信号
生成回路
CO
出力制御信号
DT
デッドタイム信号

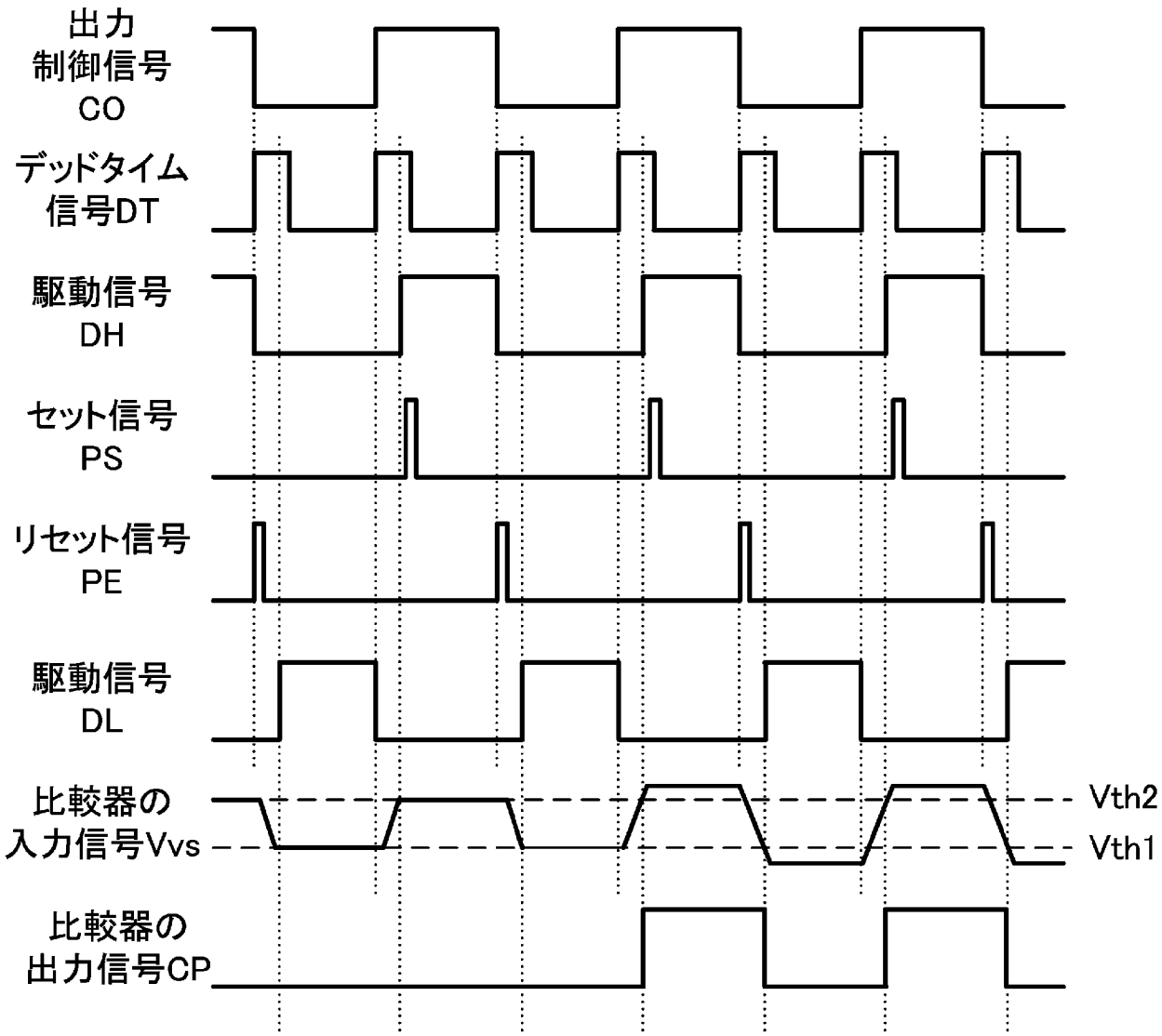
[図6]


Q1 Vd
(=VS)
比較器の
入力信号Vvs
Vth2
Vth1
比較器の
出力信号CP
駆動信号DH
駆動信号DL
I
II
III
IV

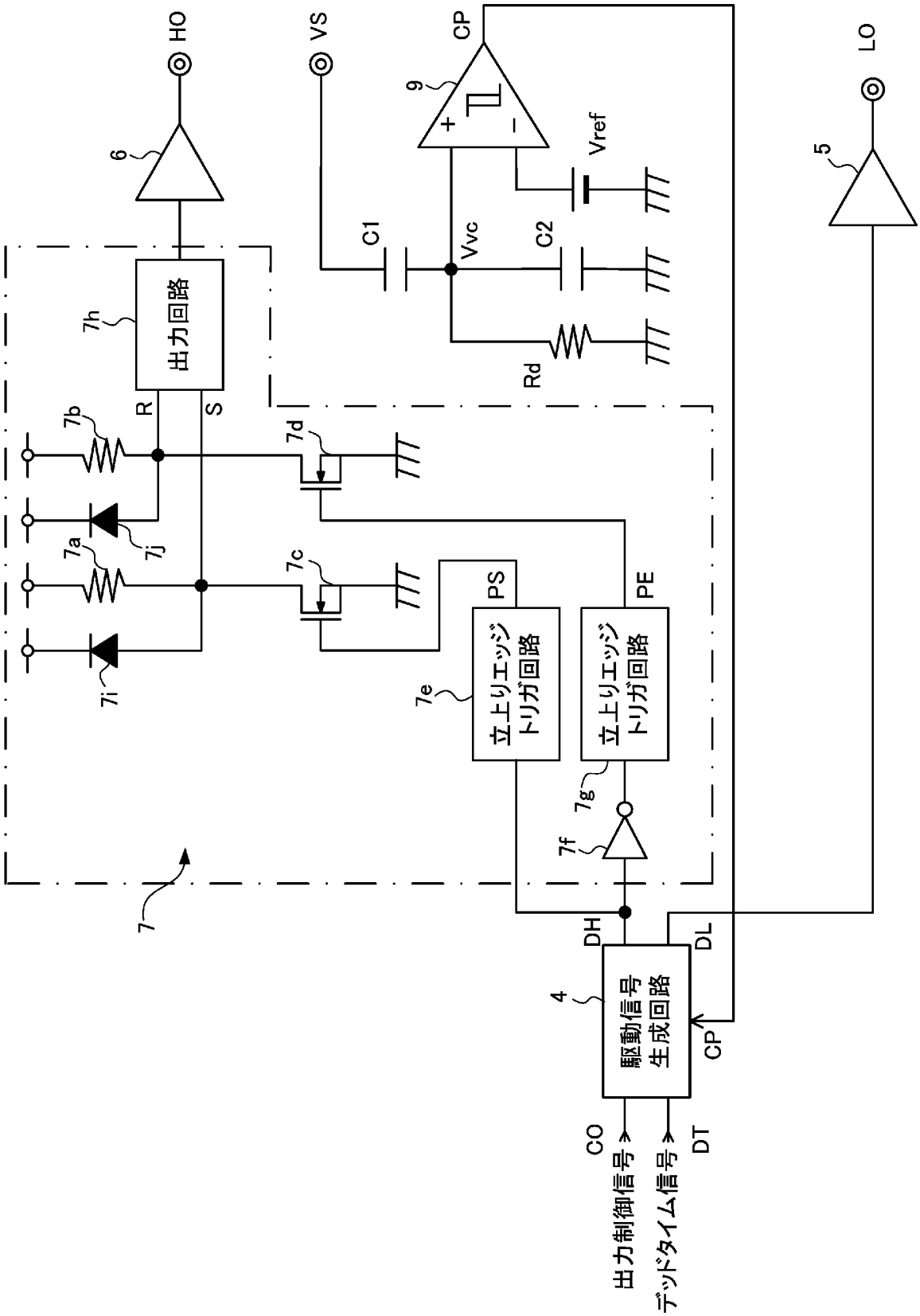
[図7]


駆動信号 DH
駆動信号 DL
4c
4t
4s
4p
4r
4o
4q
出力制御信号 CO
デッドタイム 信号 DT
比較器の 出力信号 CP

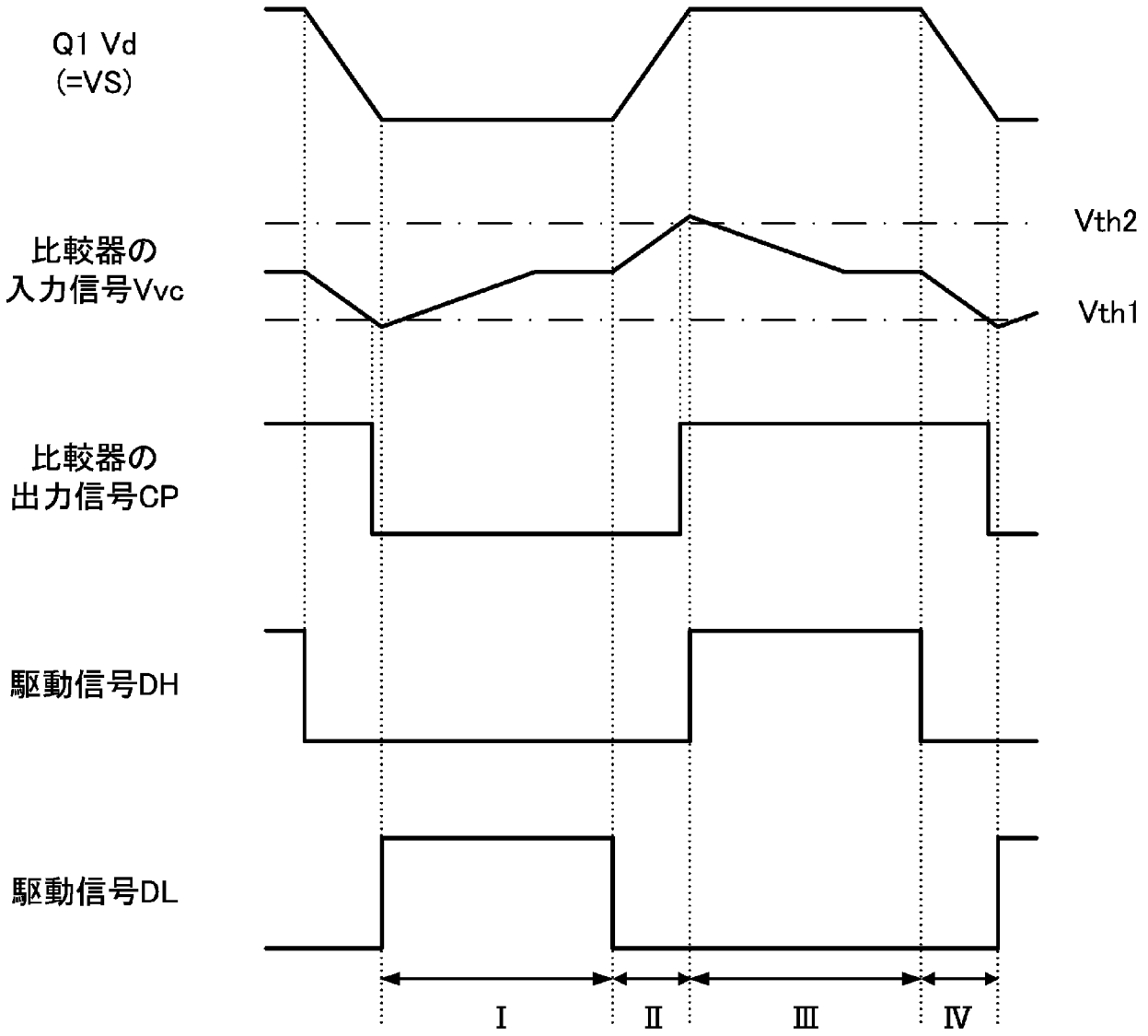
[図8]


出力
制御信号
CO
デッドタイム
信号DT
駆動信号
DH
セット信号
PS
リセット信号
PE
駆動信号
DL
比較器の
入力信号Vvs
Vth2
Vth1
比較器の
出力信号CP

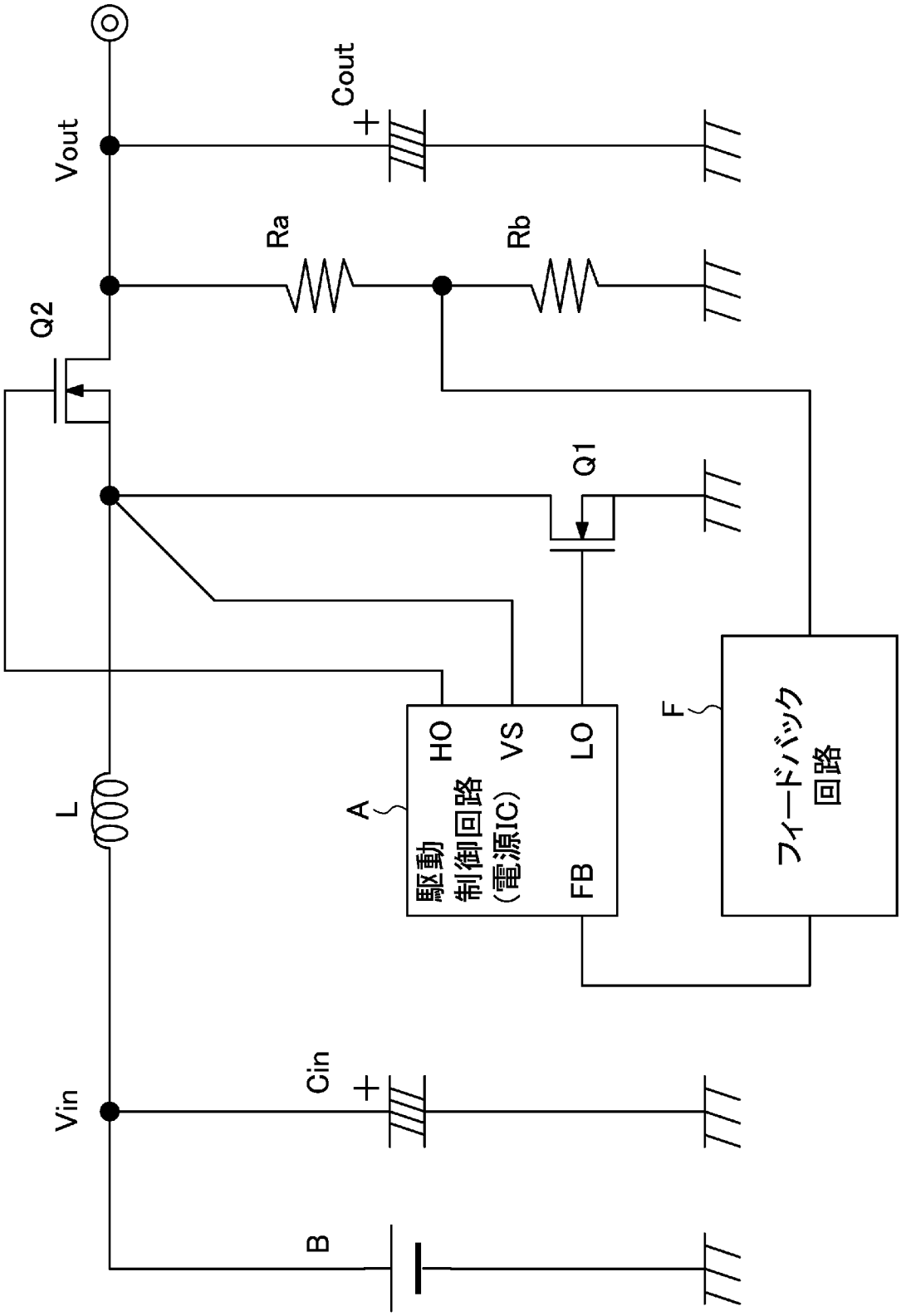
[図9]


HO
VS
CP
LO
6
9
5
Vref
C1
Vvc
C2
Rd
7h
出力回路
R
S
7b
7d
7a
7j
7c
PS
PE
7i
7e
立上りエッジ
トリガ回路
立上りエッジ
トリガ回路
7g
7f
7
DH
DL
4
駆動信号
生成回路
CP
CO
出力制御信号
DT
デッドタイム信号

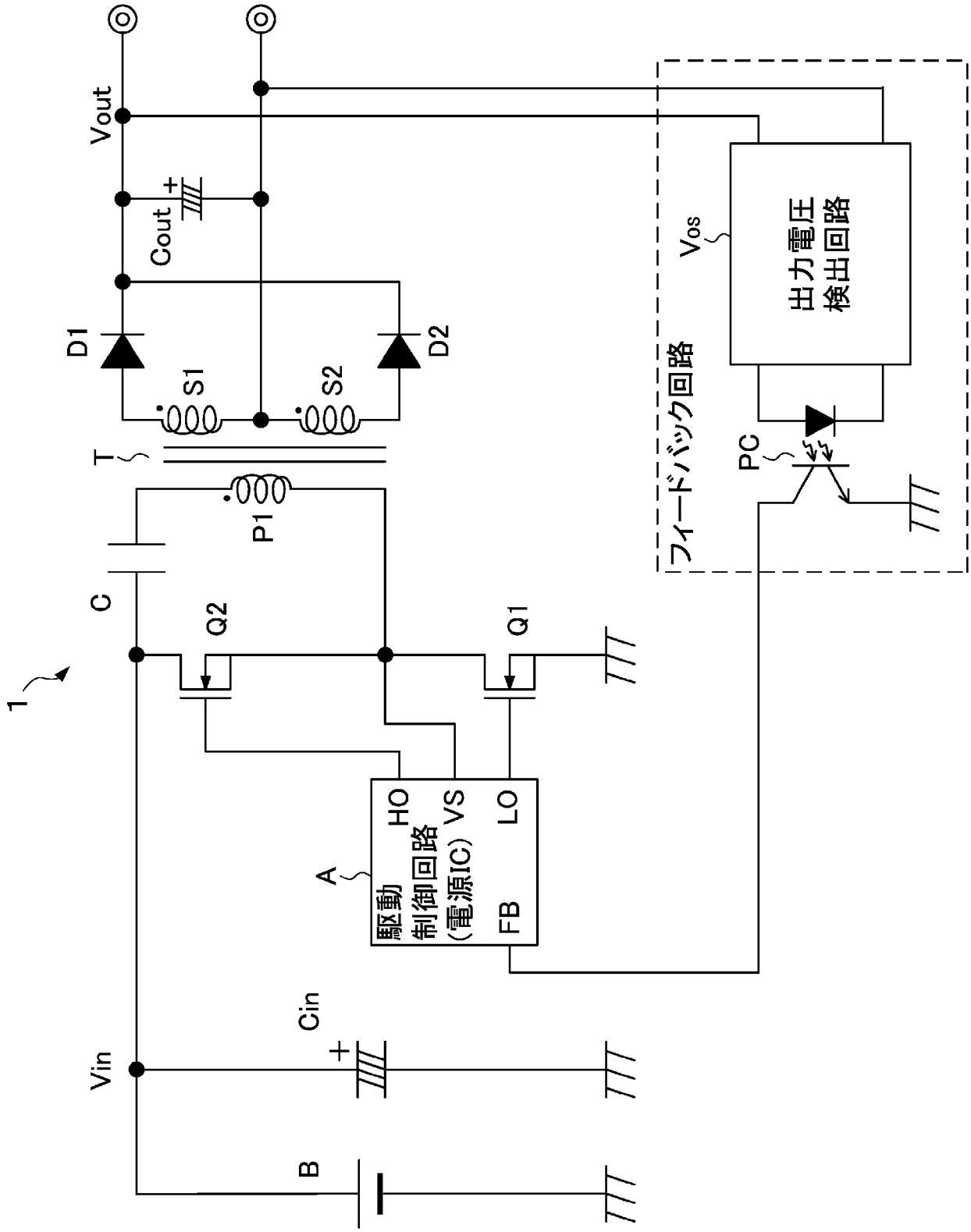
[図10]


Q1 Vd
(=VS)
比較器の
入力信号Vvc
Vth2
Vth1
比較器の
出力信号CP
駆動信号DH
駆動信号DL
I
II
III
IV

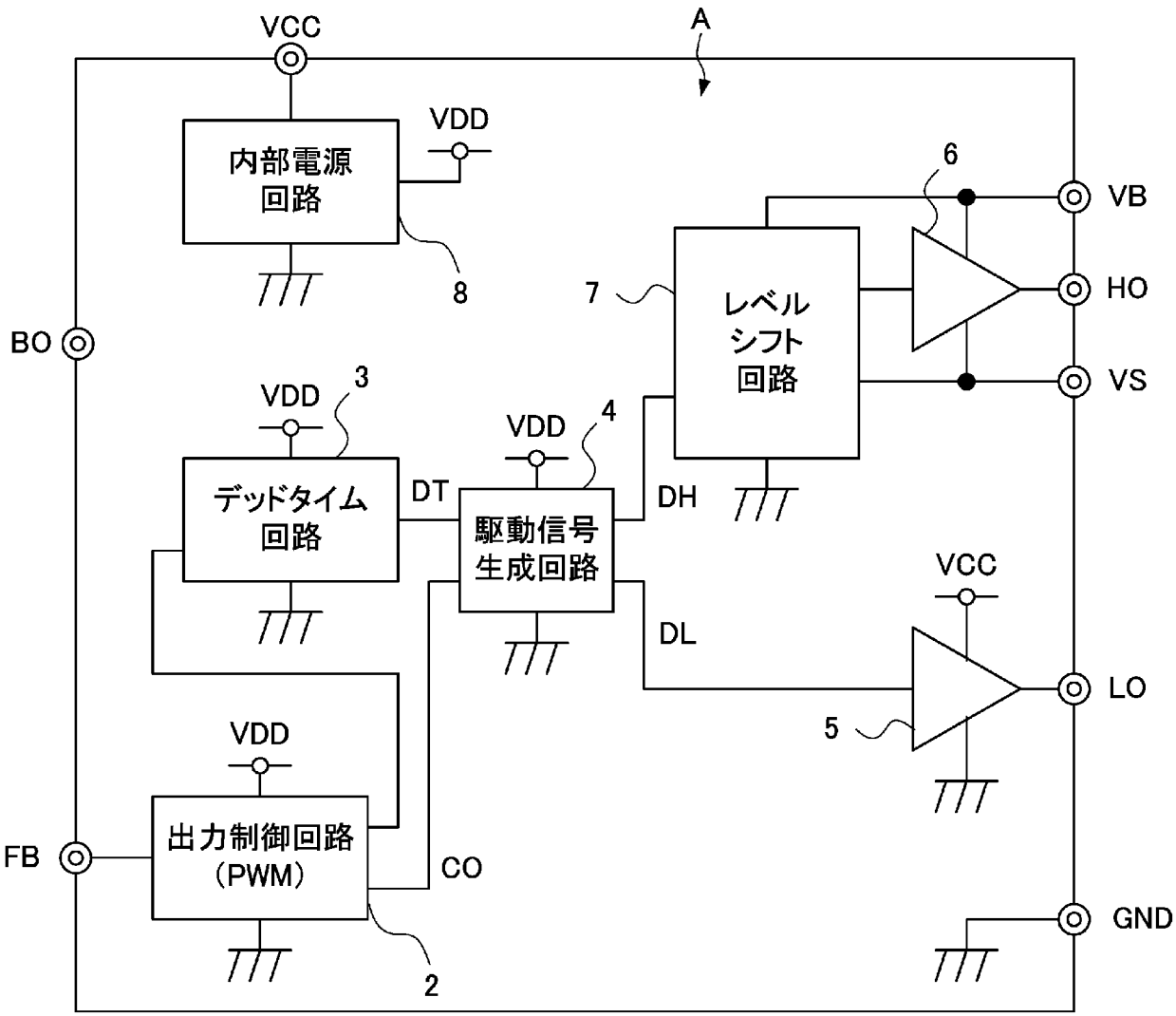
[図11]


Vout
Cout
Ra
Rb
Q2
Q1
L
A
駆動
制御回路
(電源IC)
HO
VS
LO
FB
F
フィードバック
回路
Vin
Cin
B

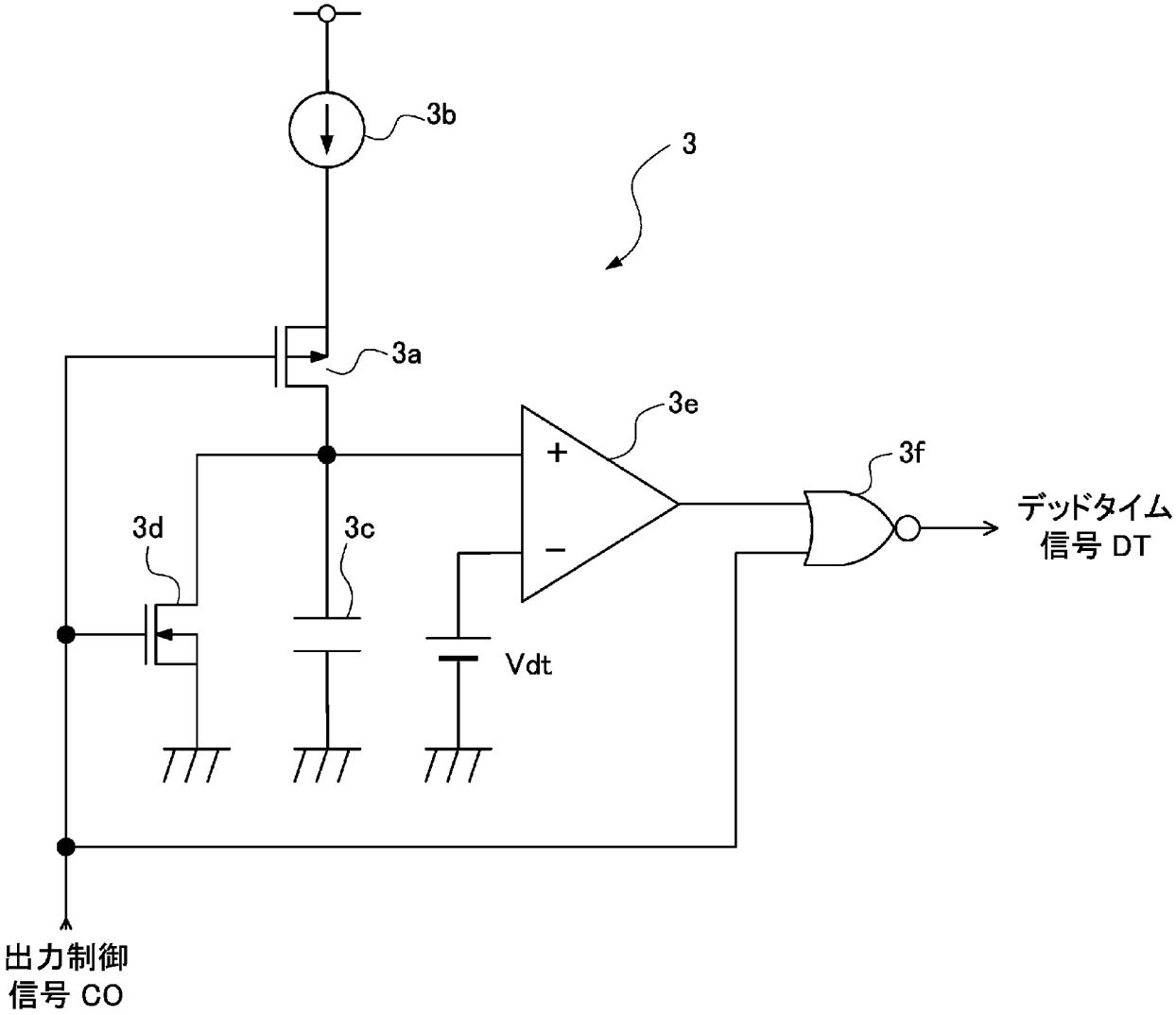
[図12]


Vout
Cout
D1
D2
S1
S2
T
P1
C
Q2
Q1
1
A
HO
VS
LO
FB
駆動
制御回路
(電源IC)
Cin
Vin
B
Vos
出力電圧
検出回路
フィードバック回路
PC

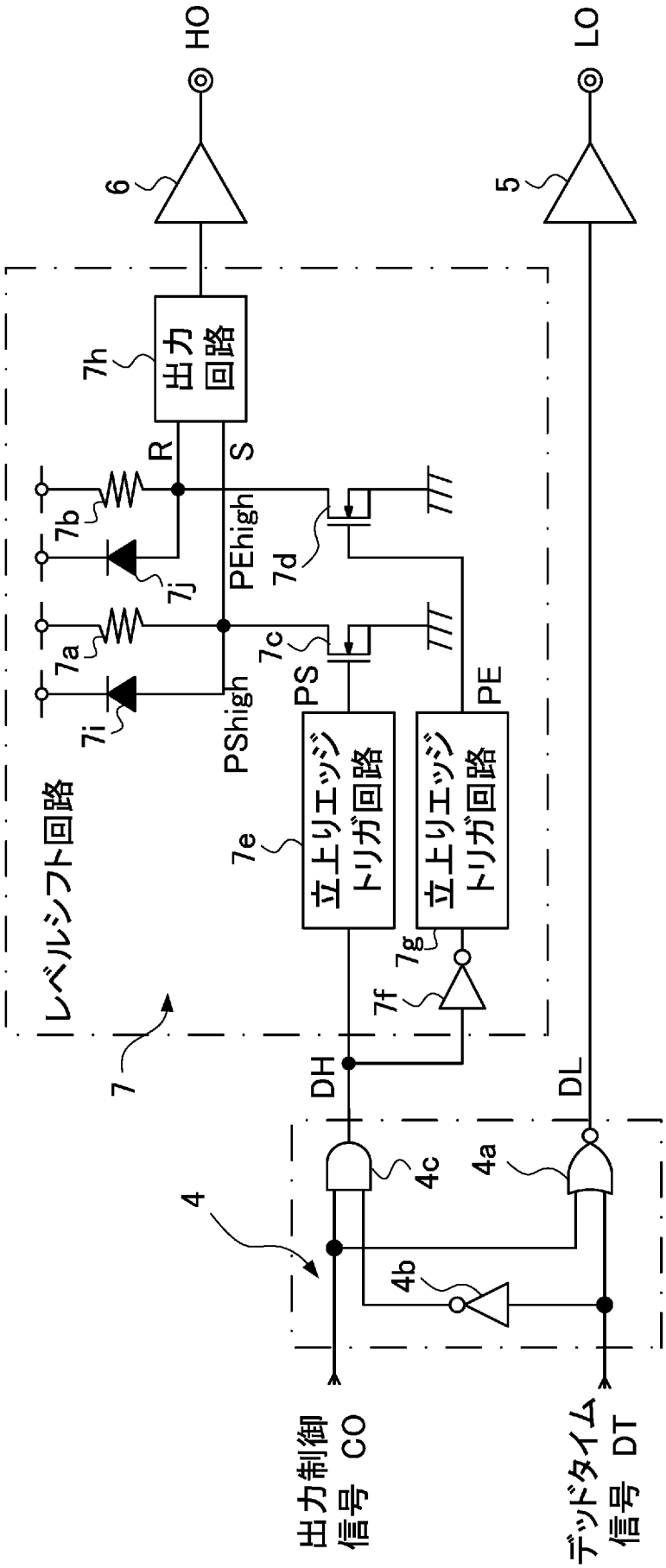
[図13]


VCC
A
VDD
内部電源
回路
8
6
VB
HO
VS
7
レベル
シフト
回路
BO
VDD
3
VDD
4
デッドタイム
回路
DT
駆動信号
生成回路
DH
DL
VCC
LO
5
VDD
FB
出力制御回路
(PWM)
CO
2
GND

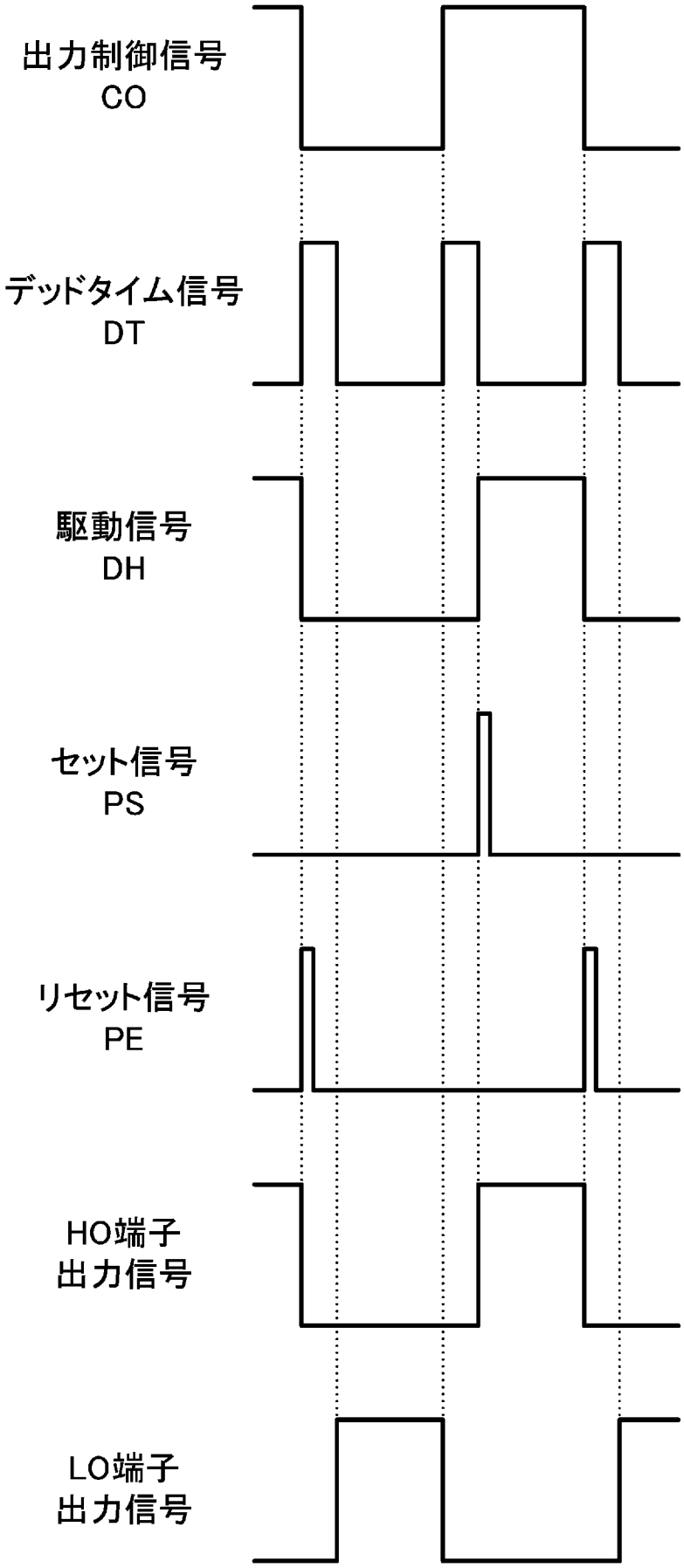
[図14]



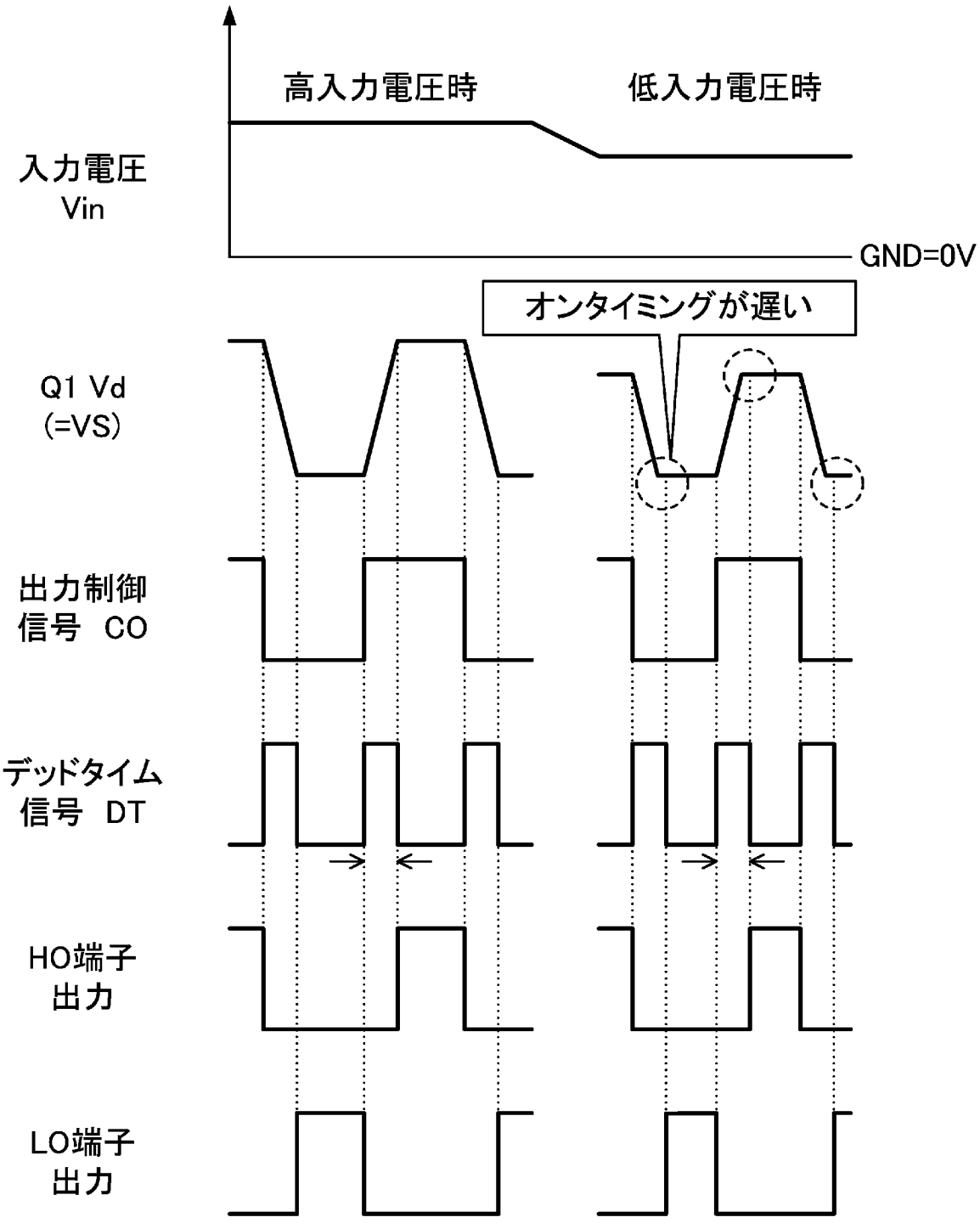
[図15]


HO
LO
6
5
7h
出力回路
R
S
7b
7j
PEhigh
7d
7a
7i
PShigh
7c
PS
PE
7e
立上りエッジトリガ回路
立上りエッジトリガ回路
7g
7f
レベルシフト回路
7
DH
DL
4
4c
4a
4b
出力制御信号 CO
デッドタイム信号 DT

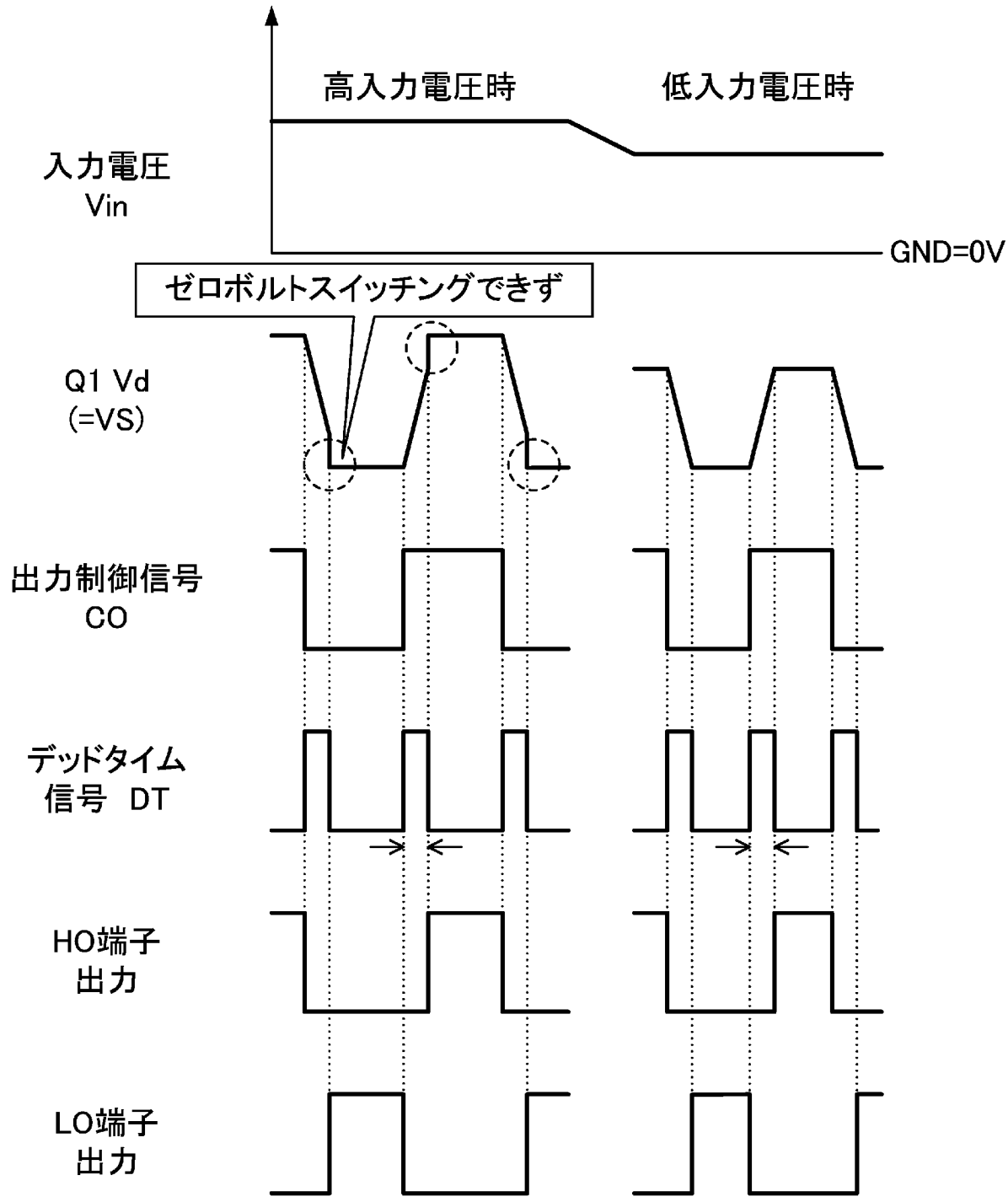
[図16]


出力制御信号
CO
デッドタイム信号
DT
駆動信号
DH
セット信号
PS
リセット信号
PE
HO端子
出力信号
LO端子
出力信号

[図17]


高入力電圧時
低入力電圧時
入力電圧
Vin
GND=0V
オンタイミングが遅い
Q1 Vd
(=VS)
出力制御
信号 CO
デッドタイム
信号 DT
HO端子
出力
LO端子
出力

[図18]


高入力電圧時
低入力電圧時
入力電圧
Vin
GND=0V
ゼロボルトスイッチングできず
Q1 Vd
(=VS)
出力制御信号
CO
デッドタイム
信号 DT
HO端子
出力
LO端子
出力

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/072478

A. CLASSIFICATION OF SUBJECT MATTER
H02M3/28(2006.01)i, *H02M3/335*(2006.01)i, *H02M3/155*(2006.01)i, *H02M3/158*(2006.01)i, *H02M1/38*(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M1/00-11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-110845 A (Renesas Technology Corp.), 26 April 2007 (26.04.2007), entire text (Family: none)	1-3 4-6
Y A	WO 2012/016401 A1 (SOUTHEAST UNIVERSITY), 09 February 2012 (09.02.2012), entire text & US 2012/0256671 A1 & CN 101944845 A	1-3 4-6
Y A	JP 2001-258269 A (Kawasaki Steel Corp.), 21 September 2001 (21.09.2001), entire text & US 2001/0036085 A1	1-3 4-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 September, 2013 (27.09.13)	08 October, 2013 (08.10.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/072478

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-34549 A (Toyota Industries Corp.), 16 February 2012 (16.02.2012), entire text & US 2012/0033456 A1 & EP 2426812 A2 & CN 102347694 A	1-3 4-6
A	US 5886884 A (KOREA ELECTROTECHNOLOGY RESEARCH INSTITUTE), 23 March 1999 (23.03.1999), abstract & KR 1998-031946 A	1-6
A	JP 2007-535286 A (International Rectifier Corp.), 29 November 2007 (29.11.2007), abstract & US 7391194 B2 & US 2005/0184716 A1 & WO 2005/081839 A2 & CN 101088212 A & KR 10-2006-0112694 A & TW 200600994 A	1-6

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７２４７８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28(2006.01)i, H02M3/335(2006.01)i, H02M3/155(2006.01)i, H02M3/158(2006.01)i, H02M1/38(2007.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M 1/00-11/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2007-110845 A (株式会社ルネサステクノロジ) 2007.04.26,	1-3
A	全文（ファミリーなし）	4-6
Y	WO 2012/016401 A1 (SOUTHEAST UNIVERSITY) 2012.02.09, 全文	1-3
A	& US 2012/0256671 A1 & CN 101944845 A	4-6
Y	JP 2001-258269 A (川崎製鉄株式会社) 2001.09.21, 全文	1-3
A	& US 2001/0036085 A1	4-6

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２７．０９．２０１３	０８．１０．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｖ　３１１６
永田　和彦
電話番号　０３－３５８１－１１０１　内線　３３５８

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-34549 A (株式会社豊田自動織機) 2012.02.16, 全文	1-3
A	& US 2012/0033456 A1 & EP 2426812 A2 & CN 102347694 A	4-6
A	US 5886884 A (KOREA ELECTROTECHNOLOGY RESEARCH INSTITUTE) 1999.03.23, 要約 & KR 1998-031946 A	1-6
A	JP 2007-535286 A (インターナショナル レクティファイアー コーポレイション) 2007.11.29, 要約 & US 7391194 B2 & US 2005/0184716 A1 & WO 2005/081839 A2 & CN 101088212 A & KR 10-2006-0112694 A & TW 200600994 A	1-6