

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4970078号
(P4970078)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int.Cl. F I
G 0 6 F 12/02 (2006.01) G O 6 F 12/02 5 7 0 A
G 0 6 F 12/00 (2006.01) G O 6 F 12/00 5 9 7 U

請求項の数 4 (全 35 頁)

(21) 出願番号	特願2007-40408 (P2007-40408)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成19年2月21日(2007.2.21)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2008-204222 (P2008-204222A)	(74) 代理人	100092820 弁理士 伊丹 勝
(43) 公開日	平成20年9月4日(2008.9.4)	(74) 代理人	100106389 弁理士 田村 和彦
審査請求日	平成21年3月23日(2009.3.23)	(72) 発明者	河本 和也 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	助川 博 東京都港区芝浦一丁目1番1号 株式会社東芝内
		審査官	鈴木 和樹

最終頁に続く

(54) 【発明の名称】 不揮発性メモリシステム

(57) 【特許請求の範囲】

【請求項1】

不揮発性メモリと、

この不揮発性メモリの読み出し及び書き込みを制御するメモリコントローラとを備えた不揮発性メモリシステムにおいて、

前記不揮発性メモリシステムは、前記メモリコントローラ内に、ホストから供給される論理アドレスと前記不揮発性メモリの物理アドレスとの対応関係を示すアドレス変換テーブルを持って論理アドレスに従ってアクセス制御されるものであり、

前記メモリコントローラは、

前記不揮発性メモリセルの電源投入後にセクタの数としての第1の初期値を設定し、

前記第1の初期値が設定されている間は、前記ホストからの要求に従い前記不揮発性メモリから前記第1の初期値のセクタの数のデータを読み出し、

前記ホストからのコマンドに従い、前記第1の初期値から前記第1の初期値とは異なる第2の値への切り替えを行い、前記ホストからの新たなコマンドにより前記第2の値が変更されない限り、前記第2の値をセクタの数として維持し、

前記第2の値への切り替えの後、前記メモリコントローラは、前記第2の値が維持されている限り、前記ホストからの要求に従い、前記不揮発性メモリから前記第2の値のセクタの数のデータを読み出す

ことを特徴とする不揮発性メモリシステム。

【請求項2】

10

20

選択的にオンオフ可能なデータ転送エラーをチェックするためのECC機能またはCRC16機能を有する

ことを特徴とする請求項1記載の不揮発性メモリシステム。

【請求項3】

必要とする動作速度性能に応じて、通常パワーモードと高パワーモードとが切り換え可能に設定される

ことを特徴とする請求項1記載の不揮発性メモリシステム。

【請求項4】

前記不揮発性メモリシステムはメモリカードである

請求項1乃至3のいずれかに記載の不揮発性メモリシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電氣的書き換え可能な不揮発性メモリセルを用いて構成される不揮発性メモリシステムに係り、特にメモリカード用途に適したメモリシステムに関する。

【背景技術】

【0002】

電氣的書き換え可能な不揮発性半導体メモリ(EEPROM)の一つとして、NAND型フラッシュメモリが知られている。NAND型フラッシュメモリは、単位セル面積がNOR型に比べて小さく、大容量化が容易である。また、セル単位での読み出し/書き込み速度はNOR型に比べると遅いが、セルアレイとページバッファとの間で同時に読み出し/書き込みが行われるセル範囲(物理的ページ長)を大きくすることで、実質的に高速の読み出し/書き込みが可能である。

20

【0003】

この様な特長を活かして、NAND型フラッシュメモリは、例えばデジタルカメラ等に適用されるメモリカード等をはじめとする各種記録メディアとして使用されている。デジタルカメラ用メモリカードは、2値データ記憶を行うメモリチップのみを搭載したMB単位の容量を持つ世代から、最近は多値データ記憶を行うメモリチップと共にメモリコントローラを搭載した、GB単位の容量を持つ世代へと進化している。

【0004】

30

NAND型フラッシュメモリは、ワード線方向に並ぶ複数のNANDセルユニット(NANDストリング)の集合として定義されるブロックをデータ消去単位とする。従来のメモリカードでは、ホストが論理アドレス/物理アドレス変換テーブルを持って、物理アドレスベースでメモリの読み出し/書き込み/消去の制御を行っている(例えば、特許文献1参照)。

【特許文献1】特開2006-195565号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

この発明は、機能や構成をホストとの関係で柔軟に選択可能とした不揮発性メモリシステムを提供することを目的とする。

40

【課題を解決するための手段】

【0006】

この発明の一態様による不揮発性メモリシステムは、不揮発性メモリと、この不揮発性メモリの読み出し及び書き込みを制御するメモリコントローラとを備えた不揮発性メモリシステムにおいて、前記不揮発性メモリシステムは、前記メモリコントローラ内に、ホストから供給される論理アドレスと前記不揮発性メモリの物理アドレスとの対応関係を示すアドレス変換テーブルを持って論理アドレスに従ってアクセス制御されるものである。前記メモリコントローラは、前記不揮発性メモリセルの電源投入後にセクタの数としての第1の初期値を設定し、前記第1の初期値が設定されている間は、前記ホストからの要求に

50

従い前記不揮発性メモリから前記第 1 の初期値のセクタの数のデータを読み出す。また、前記メモリコントローラは、前記ホストからのコマンドに従い、前記第 1 の初期値から前記第 1 の初期値とは異なる第 2 の値への切り替えを行い、前記ホストからの新たなコマンドにより前記第 2 の値が変更されない限り、前記第 2 の値をセクタの数として維持する。前記第 2 の値への切り替えの後、前記メモリコントローラは、前記第 2 の値が維持されている限り、前記ホストからの要求に従い、前記不揮発性メモリから前記第 2 の値のセクタの数のデータを読み出す。

【発明の効果】

【0007】

この発明によると、機能や構成をホストとの関係で柔軟に選択可能とした不揮発性メモリシステムを提供することができる。

10

【発明を実施するための最良の形態】

【0008】

以下、図面を参照して、この発明の実施の形態を説明する。

【0009】

1. システム概要

図 1 は、実施の形態による不揮発性メモリシステムであるメモリカード 20 の構成を示す。このメモリカード 20 は、NAND 型フラッシュメモリチップ 21 とその読み出し / 書き込みを制御するメモリコントローラ 22 によりモジュールを構成する。

【0010】

20

フラッシュメモリチップ 21 は、複数のメモリチップの場合もある。図 1 では二つのメモリチップ chip 1, chip 2 を示しているが、その場合も一つのメモリコントローラ 22 で制御される。

【0011】

メモリコントローラ 22 は、メモリチップ 21 との間でデータ転送を行うための NAND フラッシュインタフェース 23、ホストデバイスとの間でデータ転送を行うためのホストインタフェース 25、読み出し / 書き込みデータ等を一時保持するバッファ RAM 26、データ転送制御の他メモリカード全体の動作制御を行う MPU 24、NAND 型フラッシュメモリ 21 内のファームウェア (FW) の読み出し / 書き込みのシーケンス制御等に用いられるハードウェアシーケンサ 27 を有する 1 チップコントローラである。

30

【0012】

メモリカードに電源が投入されると、フラッシュメモリ 21 内に格納されているファームウェア (制御プログラム) を自動的に読み出す初期化動作 (パワーオン・イニシャルセットアップ動作) が行われ、これがデータレジスタ (バッファ RAM) 26 に転送される。この読み出し制御は、ハードウェアシーケンサ 27 により行われる。

【0013】

バッファ RAM 26 上にロードされたファームウェアにより、MPU 24 は、各種テーブルを RAM 26 上に作成したり、ホストからのコマンドを受けて、フラッシュメモリ 21 をアクセスしたり、データ転送制御を行う。

【0014】

40

なおメモリチップ 21 とコントローラチップ 22 とが別チップであることは、このメモリシステムにとって本質的ではない。図 2 は、図 1 のメモリカード 20 を、メモリチップ 21 とコントローラ 22 のロジックコントロールを渾然一体として見た機能ブロック構成を示している。また図 3 はそのメモリコア部のセルアレイ構成を示している。

【0015】

メモリセルアレイ 1 は、図 3 に示すように、複数の電氣的書き換え可能な複数の不揮発性メモリセル (図の例では 32 個のメモリセル) M0 - M31 が直列接続された NAND セルユニット (NAND スtring) NU を配列して構成される。

【0016】

NAND セルユニット NU の一端は、選択ゲートトランジスタ S1 を介してビット線 B

50

L o , B L e に、他端は選択ゲートトランジスタ S 2 を介して共通ソース線 C E L S R C に接続される。メモリセル M 0 - M 3 1 の制御ゲートはそれぞれワード線 W L 0 - W L 3 1 に接続され、選択ゲートトランジスタ S 1 , S 2 のゲートは選択ゲート線 S G D , S G S に接続される。

【 0 0 1 7 】

ワード線方向に配列される N A N D セルユニットの集合が、データ消去の最小単位となるブロック（消去ブロック）を構成し、図示のようにビット線の方向に複数のブロック B L K 0 - B L K n - 1 が配置される。

【 0 0 1 8 】

ビット線 B L e , B L o の一端側に、セルデータの読み出し及び書き込みに供されるセンスアンプ回路 3 が配置され、ワード線の一端側にワード線及び選択ゲート線の選択駆動を行うロウデコーダ 2 が配置される。図では、隣接する偶数番ビット線 B L e と奇数番ビット線 B L o がビット線選択回路により選択的にセンスアンプ回路 3 の各センスアンプ S A に接続される場合を示している。

10

【 0 0 1 9 】

コマンド、アドレス及びデータは、入力制御回路 1 3 を介して入力され、チップイネーブル信号 / C E 、書き込みイネーブル信号 / W E 、読み出しイネーブル信号 / R E その他の外部制御信号は、論理回路 1 4 に入力され、タイミング制御に用いられる。コマンドは、コマンドレジスタ 8 でデコードされる。

【 0 0 2 0 】

制御回路 6 は、データの転送制御及び書き込み / 消去 / 読み出しのシーケンス制御を行う。ステータスレジスタ 1 1 は、R e a d y / B u s y 端子にメモリカード 2 0 の R e a d y / B u s y 状態を出力する。これとは別に、メモリ 2 0 の状態（P a s s / F a i l , R e a d y / B u s y 等）を I / O ポートを介してホストに知らせるステータスレジスタ 1 2 が用意されている。

20

【 0 0 2 1 】

アドレスは、アドレスレジスタ 5 を介して、ロウデコーダ（プリロウデコーダ 2 a とメインロウデコーダ 2 b ） 2 やカラムデコーダ 4 に転送される。書き込みデータは、I / O 制御回路 7 を介し、コントロール回路 6 を介してセンスアンプ回路 3 （センスアンプ 3 a とデータレジスタ 3 b ）にロードされ、読み出しデータはコントロール回路 6 及び / O 制御回路 7 を介して、外部に出力される。

30

【 0 0 2 2 】

各動作モードに応じて必要とされる高電圧を発生するために、高電圧発生回路 1 0 が設けられている。高電圧発生回路 1 0 は、制御回路 6 から与えられる指令に基づいて所定の高電圧を発生する。

【 0 0 2 3 】

従来の x D - p i c t u r e c a r d ^{T M}（以下、単に x D P ^{T M}カードという）では、5 1 2 M B レベルの 2 値 N A N D フラッシュメモリを用いた場合（これを“ G 1 カード” 或いは“ G 1 モード” という）、G 1 カードをエミュレートして、1 乃至 2 G B レベルの多値 N A N D フラッシュメモリを用いた場合（これを“ G 2 カード” 或いは“ G 2 モード” という）共に、ホストがフラッシュメモリの物理アドレスと論理アドレスの対応関係テーブル（物理 / 論理アドレス変換テーブル）を持って、カードのフラッシュメモリのアドレス管理を行う。これを物理ブロックアクセス（P h y i s i c a l B l o c k A c c e s s : P B A ）方式という。

40

【 0 0 2 4 】

なお、G 1 カードに使用される N A N D フラッシュメモリの消去ブロックのサイズは、例えば 1 6 k B であるのに対し、G 2 カードに用いられる N A N D フラッシュメモリのそれは、例えば 2 5 6 k B である。この様に搭載される N A N D フラッシュメモリの消去ブロックサイズは、G 1 カードより G 2 カードの方が大きい。G 2 カードは、内部にコントローラを搭載し、このコントローラが要求に応じて N A N D フラッシュメモリを制御する

50

。具体的には、G 2 カードのコントローラは、消去ブロックサイズが小さいことを前提としたアドレスを、消去ブロックが大きい実際にNANDフラッシュメモリのアドレスに変換する。このアドレス変換により、G 2 カードは、G 1 カードであることを想定してアクセスするホストに対してG 1 カードとの互換性を保っている。

【 0 0 2 5 】

これに対してこの実施の形態の場合、容量が2GB超の多値NANDフラッシュメモリを用いるが、この場合、形状やピン配置をG 2 カードと同じにして、G 2 カードまでのPBA方式ではなく、論理ブロックアクセス(Logical Block Access: LBA)方式を採用する。即ち、物理/論理アドレス変換テーブルは、カード側のメモリコントローラが持ち、ホストはフラッシュメモリの物理アドレス管理を行わず、論理アドレスベースでのみアクセスする。以下、このメモリカードを“G 3 カード”或いは“G 3 モード”という。

10

【 0 0 2 6 】

図4は、カード側での論理/物理アドレス変換テーブルを示しており、これを用いてLBA方式のアドレス管理法を具体的に説明する。図4の左側には、物理ブロックアドレス(PBA)A, B, C, Dにそれぞれ、論理ブロックアドレス(LBA)a, b, c, dのデータDATA1), 2), 3), 4)が記憶されている状態の変換テーブルを模式的に示している。

【 0 0 2 7 】

この状態から、論理アドレスbに新たなデータDATA2)'を書き込む場合を考える。ホストは、論理アドレスbのデータがPBA=Bに書かれていることは関知せず、単に論理アドレスbとデータDATA2)'を送る。このときカード側では、自動的に空きブロックを探して、例えば物理アドレスPBA=EにこのデータDATA2)'を、論理アドレスLBA=bのデータとして書き込む。元のLBA=bのデータはその後消去すればよい。

20

【 0 0 2 8 】

この様にして、書き込み毎にカード側の物理/論理変換テーブルは書き換えられ、以後これに基づいて読み出し/書き込みのアクセス制御がなされることになる。

【 0 0 2 9 】

この実施の形態のメモリカード20のシステム上重要なことは、ホスト機器に対応して、機能や構成が柔軟に選択可能とされていることである。この実施の形態のG 3 カードのシステム概要をまとめると、次のようになる。

30

【 0 0 3 0 】

(1)ホストのタイプを知って、カードが自らの動作方法を決定することができ、またホストは、カードの構成や機能(カード容量、追加16Byteの使用/不使用、ECC機能の使用/不使用、機能サービス・セクタカウントその他)を選択的に設定することができる。

【 0 0 3 1 】

(2)インタフェース・プロトコルは、通常のxDPTMカードと同じである。

【 0 0 3 2 】

(3)搭載するメモリチップは、例えば56nmルールによる多値NANDフラッシュメモリである。

40

【 0 0 3 3 】

(4)アクセス方式は、前述したLBA方式である。カード容量は、ブロック数に応じて理論的に4GB~2TBまで拡張できる。

【 0 0 3 4 】

(5)最小データ転送単位をセクタ(例えば512MB)として、読み出し/書き込みについて、機能選択の結果として、1コマンドシーケンスでセクタカウントと論理的セクタアドレス(初期値)を入力してデータ転送ユニットの大きさ(1回の連続アクセスの範囲)を指定することができる。

【 0 0 3 5 】

50

この様な機能選択を行わなければ、1コマンドシーケンスによるアクセス範囲が1セクタに限られるアクセスモードとなる。

【0036】

(6)セクタマルチプレクスの採用により、データ転送ユニットのサイズは、512MB ~ 4096MBの範囲で可変できる。

【0037】

2. インタフェース

図5は、このメモリカードに割り当てられたピンの番号、名称及び機能を示している。前述のようにこれは、現状のxDP^TMカードのそれと同じである。

【0038】

入力バッファはシュミット・トリガタイプである。ピン番号2のReady/Busyは、ホスト側で10k ~ 100k の抵抗でVccにプルアップされる。

【0039】

3. メモリカード機能

メモリカード機能とその適用プロトコルを、図6に示す。

【0040】

ここで、CMD(x x h)は、x x hのコマンド入力サイクルを示す。“h”は、16進数を示すものであり、実際には8ビットの信号が8ビットのI/Oピン(D0 ~ D7)に平行に与えられる。ADDn(x x h)は、x x hのアドレス入力サイクルを示し、“n”は、アドレス入力サイクル中のどのサイクルかを示している。Din * x xは、データ入力サイクルを示し、“x x”はデータ入力のサイクル数を示している。Dout * x xは、データ出力サイクルを示し、“x x”はデータ出力のサイクル数を示している。B2Rは、ビジー状態からレディ状態への待機を示している。

【0041】

図6に示すように、種々のカード機能即ち、IDデータを読み出す機能である“ID read”コマンド、G3モードを有効に設定する機能である“G3 mode enable”コマンド、G3カードの具体的なデータ構成や容量を取得し、或いは設定する機能である“Card confirmation”コマンド、その他が定められている。これら各機能についての詳細は後述する。

【0042】

図7はコマンド入力サイクルを示している。コマンドラッチイネーブルCLEが“H”の期間に、コマンドCMD(x x h)を書き込みイネーブル/WEと同期して入力すると、これが/WEが“H”に遷移するタイミングでラッチされる。

【0043】

図8はアドレス入力サイクルを示している。アドレスラッチイネーブルALEが“H”の期間にアドレスを書き込みイネーブル/WEと同期して入力すると、これが/WEが“H”に遷移するタイミングでラッチされる。

【0044】

図9はデータ入力サイクルを示している。CLE, ALE“L”の期間に、書き込みイネーブル/WEに同期してデータDinを入力すると、これが/WEの“H”への遷移のタイミングでラッチされる。

【0045】

図10はデータ出力サイクルを示している。読み出しイネーブル/REを入力すると、その“H”レベルへの遷移タイミングでフラッシュメモリ内に保持されている読み出しデータが出力される。

【0046】

図11は、機能とコマンドを3つのコマンド階層に分けて示している。

【0047】

G3モードの設定に必須のコマンドは、第1コマンド階層では、“G3 mode enable”、“ID read”、“Status read”である。第2コマンド

10

20

30

40

50

階層においては、“Card configuration - Card density”、第3コマンド階層では、“Read sectors”及び“Write sectors”である。

【0048】

4. パワーオン・シーケンス

図12Aは、G3カードのパワーオンシーケンスを示しており、図12Bはそのタイミング波形を示している。電源投入直後の初期化動作では、フラッシュメモリ21の読み出し/書き込み制御に必要なフラッシュメモリ21内に保持されたファームウェアが自動的にメモリコントローラ22のレジスタに読み出される。

【0049】

G3カードの場合、図12Bに示すように、パワーオンの初期化動作の後、G3モードのレディ状態になる。このときID readコマンドを実行してG3カードであることを確認した後、G3 mode enableコマンドを入力し、一定のビジー期間(R/B = “L”)の後、確認用データDoutを読み出すことにより、G3モードがイネーブルになる。IDリードでG3カードでないことが分かれば、そのまま電源オフとする。

【0050】

5. IDデータ読み出し

図13は、IDデータ読み出しのタイミング図である。CLE = “H”の期間に書き込みイネーブル/WEと同期してコマンドCMDを入力し、その後ALE = “H”の期間に書き込みイネーブル/WEと同期してアドレス00hを入力する。その後、読み出しイネーブル/REをトグルさせると、G2カードとG3カードの識別等を行うIDデータData0, Data1, ...が出力される。

【0051】

図14は、コマンドと共に3つのID読み出しモードID read(1)~(3)を示している。コマンド<90h>のID read(1)では、デバイスコード(Data1)として常に、4Gbyteカード容量であることを出力するようになっている。即ち、IDデータでは、カード容量は特定しない。実際のカード容量は、後述する“Card configuration”において、512Byte/sectorのトータルセクタ数により決まる。

【0052】

6. G3モードイネーブル

G3カードは、G2カードスロットにも接続可能に構成されている。そのため、ホストが誤ってG2カードプロトコルに基づくアクセスをすることを防止するために、“G3 mode enable”コマンドが用意されている。G3カードは、このコマンドが発行されるまでは、IDデータ読み出し、リセット、ステータス読み出しの場合を除き、ホストに応答しない。

【0053】

“G3モードイネーブル”コマンドのシーケンスでは、コマンドを送信後ホストは、G3モードが設定されたか否かの確認読み出しを行う必要がある。16Byteのデータ読み出しを行い、その最後の2Byteが“AAh”, “55h”であることで、G3モードがイネーブルになったことが確認されるようになっている。

【0054】

もしカードが、容量2GB未満でかつG2モードとG3モードをサポートしている場合、パワーオン直後は、G2モードにある。これも、G3モードに設定するには、“G3モードイネーブル”コマンドの実行を必要とする。

【0055】

7. Card configuration

G3カードのアクセス開始に先立って、ホストはカードの構成(カード容量、追加16Byteの使用/不使用、ECC機能の使用/不使用、機能サービス・セクタカウント等)を設定するための“Card configuration”コマンドを実行する。こ

10

20

30

40

50

れは、(1)有効機能を含むカード情報を取得する“Card configuration”取得の機能と、(2)取得情報に基づいてホストが使用する機能を設定する“Card configuration”セットアップの機能とを有する。

【0056】

“Card configuration”取得コマンドシーケンスでは、16 Byteの取得データD_{OUT}により、ホストは、512 Byte/sectorのトータルセクタ数と共にカード容量を知ることができる。

【0057】

“Card configuration”セットアップコマンドシーケンスでは、ホストは、16 Byteのうち、Byte 5をG3モードの転送データサイズ等を決定するものとして用いる。即ち、上述した“Card configuration”取得コマンドシーケンスで取得した16 ByteデータD_{OUT}を必要に応じて書き換えた16 ByteデータD_{in}、がセットアップデータとしてカードに送られる。これにより、G3カードはホストとの関係で構成や機能が選択的に設定されることになる。

【0058】

図15は、“Card configuration”の16 Byteの内容を示している。即ち“Card configuration”は、G3カードの転送データ構成、ECC機能やCRC16機能のオンオフ、“Function service & sector count”機能の設定等、カードの内部構成を定めている。

【0059】

以下各バイトの内容を具体的に説明する。

【0060】

Byte 0 - 3は、アドレス可能な最大論理セクタアドレスであり、Byte 0がセクタアドレスSA0 - 7, Byte 1がセクタアドレスSA8 - 15, Byte 2がセクタアドレスSA16 - 23, Byte 3がセクタアドレスSA24 - 31である。

【0061】

Byte 4, 6の最下位ビットb0はカードタイプを示す。b0 = 0がG2モード、b0 = 1がG3モードである。

【0062】

Byte 4, 6のビットb1は、G3モードのみ有効であり、追加16ビットの使用の有無を示す。ECC機能を有効にするためには、このビットをオンにする必要がある。

【0063】

Byte 4, 6のビットb2は、G3モードのみ有効であり、機能サービス&セクタカウントビットを示し、これにより種々の機能が有効になる。これがオフの場合、転送データサイズは512(528)Byteであり、セクタカウントは常に1である。また、ECC機能やホストのキューッシュ書き込みもディセーブルになる。

【0064】

Byte 4, 6のビットb3は、G3モードのみ有効であり、先の追加16 Byte領域を利用したECC機能を示す。書き込みの場合、ECC機能を利用して、転送データのエラーチェックを行い、ステータス読み出しを通して転送エラーの有無を知ることができる。次のCRC16が用いられる場合は、データ転送チェックはCRC16に基づく。

【0065】

Byte 4, 6のビットb4は、G3モードのみ有効であり、先の追加16 Byte領域を利用したCRC16の機能を示す。読み出し及び書き込みの場合、ホストはCRC16コードにより転送データチェックを行う。書き込み時、ステータス読み出しを通して転送エラーを知ることができ、必要ならデータを再送することができる。

【0066】

Byte 4, 6のビットb5は、G3モードのみ有効であり、高パワーモード(Hi-power mode)を示す。例えば、セクタ書き込みで高速性能を実現するためには、大きな消費電力を必要とする。G3カードの最大消費電流は例えば120mAであり、

10

20

30

40

50

通常の動作速度では例えば消費電流40mA以下の通常パワーモードを選択し、高速性能のためには大きな消費電流の高パワーモードを選択することが可能となっている。

【0067】

Byte 4, 6のビットb6は、G3モードのみ有効であり、高速モード(Hi-speed mode)を示す。即ち、b6 = "1"は、ホストが20nsサイクルでG3カードをアクセスできることを示し、b6 = "0"は、30ns或いはそれ以上のアクセスサイクルを必要とすることを示す。

【0068】

Byte 5, 7のビットb0は、特殊コマンドにより読み出される128ビットのユニークIDである。

10

【0069】

Byte 5, 7のビットb1 - b3は、G3モードでの転送データサイズを示す。即ち、b1 = "1"が転送データサイズ512(528)Byte、b2 = "1"が転送データサイズ2048(2112)Byte、b3 = "1"が転送データサイズ4096(4224)Byteを示す。

【0070】

この転送データサイズは、"Function service & sector count"コマンドの実行により変更可能である。

【0071】

Byte 5, 7のビットb4は、G3モードで"アドレスシフト"の機能を有効にするものである。この機能を使うと、G3モードの中でセクタアドレスを自動的にシフトすることができる。その詳細は後の"セクタアドレス"の項で説明するが、この機能を使うと、カード容量は8GBに制限される。

20

【0072】

Byte 5, 7のビットb5は、G3モードでの書き込みプロテクトの機能を有効にするものである。この機能を使うと、セクタ書き込みが禁止されて、ステータスは常にパスとなり、セクタ読み出しのみが可能になる。

【0073】

Byte 5, 7のビットb6は、G3モードでの"ホストキャッシュ書き込み"の機能を有効にするものである。これは、"Function service & sector count"コマンドの実行と共に設定される。具体的に、このビットb6の設定により、転送データを、内部的オーバーヘッドを最小化するべく、内部キャッシュブロックに一時転送することが可能になる。

30

【0074】

Byte 5, 7のビットb7は、G3モードでの自動セクタコピーの機能を有効にするものである。

【0075】

Byte 8は、読み出し時の内部論理ブロックサイズを示す。

【0076】

Byte 9 - 10は、ホストのタイプ(DSCやR/W)やアクセスパターンのタイプを知らせる機能を有し、カード側がこれに基づいて最適動作方法を決めることができる。G3カードはこの機能により、ホストとの柔軟な対応が可能、即ちカード側が最適の動作方法を決定できるようになっている。

40

【0077】

8. Function service & sector count

"機能サービス・セクタカウント"コマンドを用いると、種々の機能サービスを有効にすることができる。図16に示すように、コマンドに続くアドレスの第2サイクル"ADD1"でモードや転送データサイズを決定する。例えば転送データサイズを、512(または528)Byte、2048(または2112)Byte、4096(または4224)Byte、と種々選択することができる。

50

【 0 0 7 8 】

このコマンドを用いない限り、転送データサイズは、5 1 2 (または5 2 8) B y t e に固定され、セクタカウントは1である。

【 0 0 7 9 】

最後の2サイクル“ A D D 2 - 3 ”をセクタカウントとし、図17に示すように、A D D 2 (8 B y t e) , A D D 3 (8 B y t e) により、セクタカウントを設定することができる。セクタカウントとは、転送しようとするデータユニットに含まれるセクタ数である。パワーオン後のデフォルトはセクタカウント = 1 である。一旦設定されたセクタカウントは、次のいずれかに該当するまで保持される。

- (a) 別のセクタカウントが入力される、
- (b) 全てのセクタデータの読み出し / 書き込みが終わる、
- (c) リセットコマンド < F B h > が入力される、
- (d) パワーオンリセットコマンド < F D h > が入力される。

10

【 0 0 8 0 】

9 . セクタアドレス

セクタアドレスは、固定4サイクルの論理的アドレスである。セクタサイズは常に、5 1 2 B y t e であり、アドレス範囲は理論的に2 T B y t e まで設定できる。

【 0 0 8 1 】

読み出し / 書き込み時は、転送データサイズによらず、スタートセクタアドレスが規定される。しかし、より高速性能を実現するためには、後に示すように、スタートセクタアドレスに制限が加えられる。即ち、スタートセクタアドレスをフラッシュメモリの内部ページ境界に合わせるといった制限が必要になる。

20

【 0 0 8 2 】

セクタアドレスは、セクタ読み出しコマンド < 0 0 h > またはセクタ書き込みコマンド < 8 0 h > に続いて入力される。

【 0 0 8 3 】

図18は、4サイクルのセクタアドレスタイミングを示している。

【 0 0 8 4 】

図19 (a) , (b) は、転送データサイズとの関係で、各サイクルのセクタアドレスビットのデータピン割り付けを示している。転送データサイズが5 1 2 (5 2 8) B y t e の場合、第1セクタアドレスサイクルの8ビット S A 0 - S A 7 がピン D 0 - D 7 に割り当てられる。転送データサイズが2 0 4 8 (2 1 1 2) B y t e の場合、第1セクタアドレスサイクルの6ビット S A 2 - S A 7 がピン D 2 - D 7 に割り当てられ、下位2ビット S A 0 及び S A 1 は例えば“ 0 ”固定とされる。転送データサイズが4 0 9 6 (4 2 2 3) B y t e の場合、第1セクタアドレスサイクルの5ビット S A 3 - S A 7 がピン D 3 - D 7 に割り当てられ、下位3ビット S A 0 - S A 2 は例えば“ 0 ”固定とされる。

30

【 0 0 8 5 】

B y t e 7 のビット b 4 により“ アドレスシフト ”をイネーブルにすることができる。このアドレスシフトによると、セクタアドレスは、図20 (a) ~ (d) のようにシフトされる。即ち、第1サイクル(ホスト)は、図20 (a) のようにホオール“ 0 ”となる。図20 (b) のように、第2サイクル(ホスト)は、図19 (a) と同様、カード側の第1サイクルとなる。更に、図20 (c) のように、ホスト側の第3及び第4サイクルは、カード側でそれぞれ第2及び第3サイクルとなる。図20 (d) に示すように、第4サイクル(カード)はオール“ 0 ”となる。

40

【 0 0 8 6 】

言い換えれば、ホスト側で4サイクルのセクタアドレスが実質的に、カード内部では3サイクルのセクタアドレスとなる。このアドレスシフトの機能により、カード容量が8 G B に制限されるが、より高速性能が得られることになる。

【 0 0 8 7 】

1 0 . セクタ読み出し

50

10.1 セクタ読み出し手順

G3モードでのセクタ読み出しは、論理的セクタアドレスに従って行われる。アドレス可能範囲は、トータルのアドレス可能なセクタ数を規定する“Card configuration”コマンドシーケンスにより決まる。

【0088】

図21に示すように、セクタ読み出し開始前にホストは、“Card configuration”コマンドを実行する。そこで“Function service§or count”の機能を使用するものとした場合、その“Function service§or count”コマンドを実行して、セクタ読み出しのためのいくつかの機能が設定される。

10

【0089】

コマンドに続いて4サイクルのセクタアドレスを入力した後、一定のビジー期間を置いて、セクタアドレスで規定されるデータ量の出力データを得ることができる。

【0090】

“Function service§or count”を使用しない場合は、セクタカウント=1で、転送データサイズ512Byte(または528Byte)固定の基本アクセスモードのみ有効である。

【0091】

コマンドと共に、セクタアドレスを入力してセクタ読み出しが始まるが、マルチプルセクタカウントの場合及びストリーム方式読み出しの場合は、第2サイクル後のコマンド<00h>とセクタアドレスの入力は必要としない。

20

【0092】

転送データエラーのチェックは、追加16Byte領域のECCコード或いはCRC16コードを用いて行われる。

【0093】

10.2 セクタ読み出しのモード設定

図22(a)(b)は、セクタ読み出しにおいて、前述した“Card configuration”と“Function service§or count”により規定される複数種のモードを示している。

【0094】

30

“Function service§or count”コマンドを使用しない場合は、転送データサイズは常に、512(528)Byteとなる。この場合セクタカウントは設定されないから、G3カードはセクタカウント=1で動作することになる。転送データサイズが512Byteか528Byteかは、“Card configuration”により追加16Byte領域を用いるか否かによる。追加16Byteは、ECCコード領域として用いられ、これを用いない場合は追加16Byte領域はオール“FF”とされる。

【0095】

“Function service§or count”によって、いつでも転送データサイズの変更設定が可能である。また、データ転送モードとして、通常マルチプルセクタカウントによるモードとストリームモードの選択が可能である。両者の相違は、内部的プリローディングの活性化にある。即ち通常モードでは、セクタカウントに基づいてカード内でのプリロード(フラッシュメモリからの読み出し)が制御されるのに対し、ストリームモードでは内部プリロードがセクタカウントによらず、自動的に連続的に行われる。

40

【0096】

セクタ読み出しにおいて、ホストはデータ脱落に気をつける必要がある。G3モードでは、追加16Byteの領域でECCコードを生成して、エラーチェック訂正を行う。即ちホストは、ECC計算を行い、これを転送されたECCコードと比較する。

【0097】

50

訂正不可能なエラーを検出した場合は、そのセクタ読み出し動作を一旦終了し、改めてセクタカウント値とセクタアドレスを入力してセクタ読み出しを行う。或いは、同じ転送データを現在のセクタ読み出し機能を終了させることなく、再読み出しすることを選択することもできる。

【 0 0 9 8 】

データが訂正可能であれば、ホストが読み出しデータを訂正する。但し、ECC機能は制限的であり、3ビット或いはそれ以上のエラー検出訂正まではできない。この点を考慮して、CRC16が用意されている。即ち、CRC16機能を選択することにより、ホストは図23の表に従って、転送データのパス/フェイルを判定することができる。

【 0 0 9 9 】

10.3 セクタ読み出しにおけるデータフォーマット

ホストは転送データサイズを決めることができる。各転送データサイズには、以下に示すように、選択可能なセクタアドレスに制限がある。

【 0 1 0 0 】

図24は、転送データサイズが512(528)Byteの場合であり、図25は、シケンシャルな4セクタによる転送データサイズ2048(2112)Byteの場合である。図26は、シケンシャルな8セクタによる転送データサイズ4096(4224)Byteの場合である。

【 0 1 0 1 】

セクタ当たり512Byteに加えられる追加16バイトは、前述のように“Card configuration”により設定される。

【 0 1 0 2 】

10.4 追加16Byte領域のデータフォーマット

追加16Byteのデータフォーマットは、ECCの場合、図27に示すように、520-522Byte及び525-527Byteの6ByteがECCコード領域として用いられ、それ以外はオール“FFh”とされる。

【 0 1 0 3 】

CRC16の場合は、図28に示すように、526Byteと527ByteがCRC16領域として用いられ、それ以外はオール“FFh”とされる。

【 0 1 0 4 】

10.5 セクタ読み出しプロトコル

例えば、セクタカウント(SC)=4の場合について、セクタ読み出しは、コマンドと4サイクルのセクタアドレス、<50h-add*4>を入力して、SC=4の読み出しを設定し、更にコマンドと4サイクルのセクタアドレス<00h-add*4>を入力してセクタ読み出しを指示する。これにより、SC=4対応の読み出しデータDoutが得られる。

【 0 1 0 5 】

データ転送の度に、G3カードはダミービジーを示す。ホストが、セクタカウント数を越えて読み出しを続けた場合、セクタ読み出しの終了のビジーの後にデータ読み出しを行ったとしても、この読み出しデータは例えばオール“FFh”の無効データとなる。

【 0 1 0 6 】

ホストがマルチプルセクタモードを使用しない場合は、各セクタ読み出し毎にセクタアドレス入力を必要とする。これは、マルチプルセクタモードの場合に適用しても差し支えないが、マルチプルセクタモードの場合は好ましくは、2サイクル目からコマンド-セクタアドレス<00h-add*4>の入力を省いて、連続的にセクタデータ読み出しを行う。

【 0 1 0 7 】

10.6 セクタ読み出し終了

セクタ読み出しは、通常モードでもストリーミングモードでも、リセットコマンド<FBh>により強制終了させることができる。これにより、セクタカウントは1にクリアさ

10

20

30

40

50

れる。

【0108】

レディ期間或いはビジー期間にチップイネーブル/CEを“H”にしても、セクタ読み出しを強制終了させることはできない。これは従来のxDPTMカードと違う点である。

【0109】

10.7 セクタ読み出しとステータス読み出しの関係

セクタ読み出し動作の間にホストは、ステータス読み出しコマンド<70h>を発行することができる。この場合図29に示すように、ホストはステータス読み出し後、読み出しイネーブル/REを出して読み出しデータ出力動作を開始する前に、コマンド<00h>を発行しなければならない。

10

【0110】

10.8 セクタ読み出しとバッファR/Wの関係

セクタ読み出し動作の間にホストは、バッファリード/ライトコマンド<71h>を発行することができる(その詳細は後述する)。この場合も図30に示すように、読み出しイネーブル/REを出して読み出しデータ出力動作を開始する前に、コマンド<00h>を発行しなければならない。

【0111】

図31は、セクタ読み出しのタイミング波形を示している。4サイクルのセクタアドレスのうち、第2サイクルSA8-15が実質のセクタアドレスであり、後半2サイクルSA16-23, SA24-31はセクタカウントである。

20

【0112】

11. セクタ書き込み

11.1 セクタ書き込み手順

図32は、セクタ書き込みの手順を示している。セクタ書き込みは、論理セクタアドレスに基づいて行われる。アドレス可能範囲は、“G3 mode enable”に続いて行われる“Card configuration”コマンドの実行により、全アクセス可能なセクタとして定められる。“Card configuration”の中で、“Function service§or count”を利用することを選択した場合には、セクタ書き込みの開始前にホストは、“Function service§or count”コマンドを実行することが必要である。

30

【0113】

“Function service§or count”では複数の機能が設定可能である。但し、“Function service§or count”を利用しない場合も、基本的なアクセスは可能で、セクタカウント=1で、転送データサイズ512(528)Byte固定の書き込みができる。

【0114】

コマンド<80h>を入力し、セクタアドレスを入力し、書き込みデータを入力してセクタ書き込みが始まる。マルチプルセクタカウントの場合及びストリームモードの場合は、第2サイクル後のコマンド<80h>とセクタアドレスの入力は必要としない。

【0115】

ホストは、転送後のステータス読み出し<70h>を通して、転送データエラーのチェックを行う。エラーが発生していると、ステータス読み出し値のビットb2が“1”になり、これがセクタ書き込みの間保持される。セクタ書き込みは、ステータス読み出しに拘わらず、続行することができる。

40

【0116】

11.2 セクタ書き込みのモード設定

図33(a)(b)は、セクタ書き込みにおいて、前述した“Card configuration”と“Function service§or count”により規定される複数種のモードを示している。

【0117】

50

“ Function service & sector count ” コマンドを使用しない場合、転送データサイズは常に、512 (528) Byte となる。この場合セクタカウントは設定されないから、G3カードはセクタカウント = 1 で動作することになる。転送データサイズが512 Byte か528 Byte かは、“ Card configuration ” により追加16 Byte を用いるか否かによる。追加16 Byte は、ECC に用いられ、これを用いない場合は追加16 Byte 領域はオール “ FF ” とされる。

【0118】

“ Function service & sector count ” において、転送データサイズが選択可能であり、かつこれがいつでも変更可能である。転送データモードは、通常モード（マルチプルセクタカウント）とストリーミングモードのいずれかを選択できる。

10

【0119】

書き込みのデータ転送サイズを種々設定できることから、従来のような書き込みブロックサイズ固定のメモ리카ードのオーバーヘッドが解消する。即ち、従来メモ리카ードでは、更新すべきデータ量がたとえ小さい場合でも、大容量のブロックを消去して、そこに書き込む、という操作が必要であった。

【0120】

これに対してこの実施の形態のG3カードでは、転送データサイズを選択設定することができ、しかも書き込みに先立って対応ブロックを消去しなければならないという制約もない。従って、高速書き込み性能が得られる。

20

【0121】

ECC機能については、ホストとG3カードの間でのデータ転送エラーが検出されるようになっている。即ち、ホストからの転送データは、G3カード側で自動的にECC機能により転送エラーがチェックされる。ホストは、ステータス読み出しを通じて、転送エラーがパス（訂正可能なエラーの場合を含む）であるか、フェイル（訂正不可能なエラー）であるかを、書き込み前に知ることができる。

【0122】

セクタ書き込みにおいて、ホストは転送データの脱落に気をつける必要がある。ECC機能は、3ビット以上のエラーに対応できるようには構成されていない。そこで、エラー数に拘わらずパス/フェイルを検知することができるCRC16が用意されている。“ Function service & sector count ” でこの機能を有効にすれば、図34の表に従って、転送データのパス/フェイルを判定することができる。

30

【0123】

11.3 セクタ書き込みにおけるデータフォーマット

ホストは転送データサイズを決めることができる。即ち必要なら、“ Card configuration ” において、追加16 Byte を有効にして、各セクタユニット512 Byte に16 Byte を付加した528 Byte のセクタデータサイズとすることができる。

【0124】

図35は、追加16 Byte を用いない場合と用いる場合の転送データサイズ512 / 528 Byte を示している。

40

【0125】

図36は、同様に追加16 Byte を用いない場合と用いる場合について、シーケンシャルな4セクタ書き込みの場合の転送データサイズ2048 / 2112 Byte を示している。

【0126】

図37は、同様に追加16 Byte を用いない場合と用いる場合について、シーケンシャルな8セクタ書き込みの場合の転送データサイズ4096 / 4224 Byte を示している。

50

【 0 1 2 7 】

1 1 . 4 追加 1 6 B y t e 領域のデータフォーマット

追加 1 6 B y t e のデータフォーマットは、E C C の場合、C R C 1 6 の場合についてそれぞれ図 3 8 及び図 3 9 のようになる。これらはセクタ読み出しの場合の図 2 7 及び図 2 8 と同じである。

【 0 1 2 8 】

1 1 . 5 セクタ書き込みプロトコル

セクタ書き込みについては、二つのプロトコルがある。一つは、マルチプルセクタの書き込みモードの場合の推奨モードであり、2 サイクル目からコマンド - セクタアドレス < 8 0 h - a d d * 4 > のセクタアドレス入力が必要なく、連続的なセクタデータ書き込みができる。

10

【 0 1 2 9 】

もう一つは、セクタ書き込み毎にコマンド - セクタアドレス < 8 0 h - a d d * 4 > を入力する。これは、S C = 1 のアクセスを行う場合の必須モードである。マルチプルセクタの書き込みモードでこのコマンド方式を用いてもよいが、好ましくはセクタアドレスを省略したモードを用いる。

【 0 1 3 0 】

マルチプルセクタ方式による書き込みにおいては、ホストは、転送データサイズで規定された全データを送ることが必要である。例えば、転送データサイズが 2 0 4 8 B y t e であり、セクタカウントが 3 の場合、最初の 3 セクタが正確にカードに書き込まれ、残りの 1 セクタは書き込まれない。

20

【 0 1 3 1 】

セクタ書き込みについて、通常モード (マルチプルセクタカウント) とストリーミングモードの補足を行う。

【 0 1 3 2 】

通常モードでは、セクタカウントと転送データサイズが “ F u n c t i o n s e r v i c e & s e c t o r c o u n t ” において規定される。そしてホストは、コマンド < 8 0 h > により書き込みシーケンス開始を指示する。アドレス及び書き込みデータ入力後に発行されるコマンド < 1 5 h (1 1 h) > を受信すると、G 3 カードはデータ書き込みを開始する。

30

【 0 1 3 3 】

転送データのエラーチェックが必要な場合は、ホストは開始指示コマンド < 1 5 h (1 1 h) > を送る前に、ステータス読み出しを行う。セクタカウントが “ 1 ” になると、ホストはコマンド < 1 5 h > に代わって < 1 0 h > を発行して、セクタ書き込みを終了する。

【 0 1 3 4 】

“ F u n c t i o n s e r v i c e & s e c t o r c o u n t ” を利用しない場合は、セクタカウントは常に “ 1 ” である。

【 0 1 3 5 】

ストリーミングモードは、やはり “ F u n c t i o n s e r v i c e & s e c t o r c o u n t ” において設定される。このモードでは、ホストは、コマンド < 8 0 h > のプロトコルを用いて書き込みを開始する。G 3 カードは、コマンド < 1 5 h (1 1 h) > を受信すると書き込みを開始する。

40

【 0 1 3 6 】

転送データのエラーチェックが必要な場合、ホストはコマンド < 1 5 h > を送る前に、ステータス読み出しを行う。ホストがストリームモードを終了するには、コマンド < 1 5 h > に代わって < 1 0 h > を発行する。

【 0 1 3 7 】

1 1 . 6 セクタ書き込みの中断

ホストは、セクタカウントが S C = 1 になる前、またはストリーミング書き込みが終了

50

する前に、コマンドによる書き込みを中断することができる。具体的には、リセットコマンド< F B h >、パワーオンリセットコマンド< F D h >、パワーダウンコマンド< F E h >等による。

【 0 1 3 8 】

G 3 カードはこれらのコマンドを受信すると、内部書き込み動作を中止する。

【 0 1 3 9 】

1 1 . 7 セクタ書き込み中に行われ得る他の機能

後に説明する C I S 読み出し及び、バッファ読み出し / 書き込みについては、セクタ書き込みを中断することなく、実行することができる。但し、C I S 読み出し及びバッファ読み出し / 書き込み後、セクタ書き込みを再開するには、< 8 0 h > ... < 1 0 h > のコマンドシーケンスが必要である。

10

【 0 1 4 0 】

図 4 0 は、セクタ書き込みのタイミング図である。コマンド< 8 0 h > と< 1 0 h / 1 5 h > に挟まれた状態で 4 サイクルのセクタアドレスと必要な書き込みデータを転送して、書き込みが行われる。4 サイクルの書き込みセクタアドレスの構造は、セクタ読み出しの場合と同様である。書き込みの間、カードはビジーを出力する。

【 0 1 4 1 】

図 4 1 は、転送データチェック動作を含むセクタ書き込みのタイミング図である。書き込みデータ入力後、コマンド< 7 0 h > により転送データのエラーチェックができる。

【 0 1 4 2 】

1 2 . ホストキャッシュ書き込み

G 3 カードは、ある種のデータのランダムアクセスによる性能低下を防止するために、いくつかのキャッシュシステムを持つ。一般に、論理セクタのオーバーライトは、内部データスワッピングを起こし、これは性能低下をもたらすオーバーヘッドとなる。このような事態は例えば、F A T、ディレクトリ、ある種の画像データや動画データの更新の際のランダムアクセス時に生じる。

20

【 0 1 4 3 】

G 3 カードが採用するキャッシュシステムは、特別な論理アドレス / 物理アドレス変換テーブルを用意して、内部データスワッピングを最小化するように、データ書き込みを行う。

30

【 0 1 4 4 】

例えば、次のようなキャッシュシステムが用意される。

【 0 1 4 5 】

(a) F A T キャッシュシステム

ホストがあるデータを特別な論理アドレスに書き込みを行う場合、そのデータがキャッシュシステムにより扱われるようにする。例えば、F A T 領域の論理セクタアドレスが D O S フォーマットパラメータ (後述する) を通して得られるようにする。

【 0 1 4 6 】

(b) ディレクトリキャッシュシステム

ホストがディレクトリ領域にアクセスする場合に、セクタカウントが小さくなるようにする。従ってそれ以外の場合、G 3 カードは論理セクタアドレスをジャンプすることになる。

40

【 0 1 4 7 】

殆どのランダムアクセスは、上記のアルゴリズムでカバーできる。但し、より効果的な制御を考えると、どの論理アドレスがキャッシュ領域に書かれるべきかをホストが決めるようにすることが好ましい。キャッシュシステムのためのブロック数には制限があるから、ホストは、どの論理セクタがキャッシュブロックに書かれるべきかを注意深く決めることが必要である。キャッシュブロックが既にいっぱいの場合、古いキャッシュブロックを消去すればよい。

【 0 1 4 8 】

50

13. ステータス読み出し (70h)

ステータス読み出しは、カードのビジー/レディ状態を監視し、書き込みのパス/フェイルを確認する、といった目的で行われる。カード状態は、コマンド<70h>を入力後、読み出しイネーブル/REのトグルによりI/Oポートに出力される。

【0149】

図42は、ステータス読み出しの結果を示している。D1のエラーチェック結果は、転送データサイズ2048(または4096)Byteのなかの1セクタでもエラーがあれば、“1”(Fail)となる。追加16ByteがECC機能に用いられ、ECC機能がオンの場合、これに基づくパス/フェイルの結果がこのビットD1に出力される。ECCがパスの場合及び、訂正可能なエラーの場合に、“Pass”となる。同様に追加16ByteがCRC16機能に用いられる場合、これによるパス/フェイルが出力される。D1ビットは、次のデータ転送によりクリアされる。

10

【0150】

D1がフェイルの場合、D0は常にフェイルとなる。

【0151】

D2は、一度転送データやセクタ書き込みにエラーが発生すると、新たなセクタ書き込みが行われるまで、“1”(Fail)を示す。

【0152】

G3カードが“Card configuration”により書き込みプロテクトとされている場合、パワーダウンまでD4が“1”(protected)となる。

20

【0153】

図43は、ECC機能のオンオフとの関係で、上述のステータス読み出しによるステータスビット(D1)の状態を示している。

【0154】

図44は、ステータス読み出しのACタイミングを示している。

【0155】

14. CIS読み出し

G3カードは、論理アドレスベースでアクセスするため、CIS(Card Information Structure)データの読み出し法を定めておく必要がある。

【0156】

CIS読み出しの目的は、(a) xDP^TM物理フォーマットによりフォーマットされたカードを特定する、(b) カード供給者を特定し、DSCの特殊機能を実現する、(c) ホストとカードの接続状態を確認する、等である。CISデータはフラッシュメモリの先頭ブロックに書かれている。

30

【0157】

図45は、CISデータフォーマットを示している。

【0158】

15. バッファ読み出し/書き込み

G3カードは、ホストとカードの接続状態を速やかにチェックするために、バッファ読み出し/書き込み機能を有する。ホストが特定のコマンドと共に1Byteのデータを書き込むと、その反転データが読み出し出力されるようになっている。

40

【0159】

図46は、この機能を実現するタイミング図を示している。例えばセクタ読み出し動作の間に、この機能を利用することができる。ホストは、コマンド<71h>と1Byteのデータ例えば“AAh”を送る。100ns程度の待ち時間の後、読み出しイネーブル/REを入ると、接続状態が正常である場合には書き込んだデータの反転データ“55h”が出力されるようになっている。これにより、接続状態を確認できる。

【0160】

16. リセット

G3カードは、2タイプのリセットコマンドを有する。その一つは、ハードウェアのリ

50

セットを行うパワーオンリセットコマンド<FDh>であり、もう一つはソフトウェアのリセットを行うコマンド<FBh>である。

【0161】

図47は、これらのリセットコマンドのACタイミングを示している。ホストがパワーオンリセットコマンド<FDh>を発行した場合、G3カードは、“Card configuration”もリセットされて、パワーオン直後のデフォルト状態にクリアされる。

【0162】

リセットコマンド<FBh>は、ホストがG3カードのセクタ読み出しやセクタ書き込みを強制終了させるコマンドである。セクタ書き込みのビジー期間に発行された場合には、書き込みデータの消失を防ぐために、セクタ書き込みが完了した後に終了となる。

10

【0163】

リカバリタイム(B2R)は、内部条件に依存する。このリセットコマンドにより、“Function service & sector count”はクリアされるが、“Crad configuration”はクリアされずに残る。

【0164】

17. パワーダウン

図48は、パワーダウンコマンド<FEh>のタイミング図である。G3カードのパワーダウンの前には、ホストがこのコマンドを出すことが必要とされている。G3カード内でキャッシュに保持されたデータが残っている場合に、電源オフによりこれが消失するのを防止するためである。

20

【0165】

即ち、ホストがコマンド<FEh>を発行すると、G3カードはビジー状態(R/B = “L”)となり、キャッシュに残されているデータを全てフラッシュメモリに書き込む(Flush)動作を行う。R/B = “H”を受けてホストは電源をオフにする。これにより、無用なデータ消失が防止される。

【0166】

18. オートDOSフォーマット

一般にxDPTMカードシステムでは、次の3つの目的を持ってDSC(DOS)フォーマットが定められている。

30

【0167】

- (a) DOSパラメータのクリア
- (b) プレ消去としての全物理ブロックの消去
- (c) ユーザーデータの完全消去(セキュリティのため)

LBA方式を用いるG3カードにおいても、(a)及び(c)は必要である。(a)については一般に、ホストがオリジナルDOSパラメータを書いて、全てのファイル情報をクリアすることができ、しかもそれほど時間はかからない。一方(c)については、G3カードではホストが物理的ブロック消去を行うという機能を持たないことを前提としているために、論理セクタアクセスに従ってユーザーデータを全て“00”に書き換える必要があり、非常に長い時間を要する。何故なら、ホストがある論理アドレスのデータを書き換える場合に、G3カード自身が自ら空きブロックを探して書き込み、元の論理アドレスが割り付けられた箇所のデータを消去する、という動作を行うためである。

40

【0168】

この点を考慮してこの実施の形態では、オートDOSフォーマットコマンドを用意している。この機能によると、G3カードはDOSパラメータをクリアし、ユーザーデータ領域にはオール“00”を上書きするという動作によって速やかにユーザーデータを実質的に消去することになる。

【0169】

DOSパラメータについては、32ビットFATが用いられ、G3カードが高パフォーマンスを示すように最適化される。

50

【0170】

オートDOSフォーマットのコマンド実行後は、リセットコマンド<FBh>が必要である。

【0171】

19. Low level format

内部データを完全にクリーンアップするために、物理ブロック消去を行う“Low level format”コマンドが用意されている。消去動作を行うという点を除き、“オートDOSフォーマット”のコマンド機能と同じである。

【0172】

消去時間は、カード容量（即ち物理ブロック数）に依存し、ホストは知り得ない。従って、ホストが通常のビジー期間とこの消去動作の期間を区別するためには、例えばホストのステータス読み出し要求コマンド<73h>により、カードが処理カウンタの内部状態を出力するようにすることが好ましい。

10

【0173】

この機能は、先の“Auto DOS format”でも採用することが好ましい。

【0174】

“Low level format”コマンド実行後は、ホストはパワーオンリセットコマンド<FDh>を発行することが必要である。また、“Card configuration”の取得、設定が改めて必要となる。

【0175】

20. 特殊IDデータ読み出し

G3カードは、特殊なコマンドにより読み出すことが許される特殊なIDデータである“Unique ID”がある。“Unique ID”は、カード出荷前に書かれるもので、誰もこれを書き換えることはできない。

20

【0176】

このID読み出しコマンド実行後は、リセットコマンド<FBh>の発行が必要である。

【0177】

21. 継承機能

G3カードには、G1或いはG2カード世代の機能である（a）自動ブロック消去の機能、及び（b）FFhリセットの機能が残されている。

30

（a）は、図49のタイミング図に従って、物理アドレスを入力してブロック消去を行う機能である。

（b）は、図50のタイミング図に従って、セクタアドレス及びセクタカウントをクリアする機能である。

【0178】

G3カードはこれらの機能を、内部的には非動作（NOP）として扱うが、外部にはダミービジー（1.5～2μs）を出力する。またホストのステータス読み出しに対しては“パス”として応答する。

【0179】

23. パススルーモード

G3カードは、主としてフラッシュメモリ内部ディレクトリのテストのため、“Pass through mode”が設定可能である。このモードは、搭載コントローラがコマンドの意味を解釈するのではなく、ホストデバイスからLBA-NANDメモリ内のホストI/FへのアクセスをNANDフラッシュメモリに直接伝えるようにするモードへの切り換えを行うものである。図51に示すように、コマンド<A6h>-<59h>-<99h>が用いられる。

40

【0180】

例えば、ファームウェア（FW）がない場合、FWがある場合、FWはあるがダメージを受けている（例えば、再ブートできない等）場合、いずれにおいても、このモードを適

50

用できる。

【0181】

このパススルーモードは、カード内のメモリコントローラにあるハードウェアシーケンサにより実現される。フラッシュメモリテストは、上述のコマンドに続き、 $\langle 71h \rangle - \langle CMD(*) \rangle$ を入力することにより、フラッシュメモリチップに対応するチップイネーブル信号/CE0~/CE3のいずれかが（或いは同時に）選択される。

【0182】

フラッシュメモリテストの間、その消費電力削減のために、ホストのCPUはスリープ状態とする。このモードは、リセットコマンドを発行するか、パワーダウンまで続く。

【0183】

[追加実施の形態]

図52及び図53は、セクタカウント設定を行う方式のセクタ読み出しプロトコルである。“Status”読み出しにより、内部的なReady/Busyとは別に、入出力パッドD5を利用して、最初のデータ読み出しからセクタ読み出しの最終データパッケージがくるまで連続してビジー状態(D5 = “0”)を表示する例を示している。“Status”読み出しは、次のようなコマンドシーケンスとなる。 $\langle 70h \rangle - [Status\ value]$ 。この[Status value]を読み出した後、データ読み出しを引き続き行う場合は、 $\langle 00h \rangle$ を入れて、データ読み出しモードに復帰させる。書き込みの場合も同様である。

【0184】

転送データ長は、転送プロトコルにより $512\ Bytes \times N$ または $(512 + 16\ Bytes) \times N$ のなかから選ばれる。データ長の+16 Bytesは、CRC, ECC等による転送データチェック用ビットである。

【0185】

最初のセクタアドレス入力後は、ダミーセクタアドレスを入力して、読み出しを継続する。

【0186】

図53は、最初のセクタアドレス入力後、ダミーセクタアドレスの入力をスキップする例である。

【0187】

図54及び図55は、同様にセクタカウント設定を行う方式のセクタ書き込みプロトコルであり、“Status”読み出しにより、入出力パッドD5を利用して、最初のデータ読み出しからセクタ読み出しの最終データパッケージがくるまで連続してビジー状態(D5 = “0”)を表示する例を示している。

【0188】

セクタ書き込みの場合も最初のセクタアドレス入力後は、ダミーセクタアドレスを入力して、読み出しを継続する。

【0189】

図55は、最初のセクタアドレス入力後、ダミーセクタアドレスの入力をスキップする例である。

【0190】

ホストは、“Status”読み出しを利用して、メモリシステムがセクタ読み出し、セクタ書き込みの一連動作仕掛かり中であるのか、既にセクタ読み出し、セクタ書き込みの一連動作を完了して、新たな動作を受け付け可能な状態になっているかを検知することができる。これにより、マルチタスク動作を行うホストの場合、セクタ読み出しを伴うアプリケーションを実行中に優先度の高い新たなタスクが発生し、メモリシステムに対して新たなアクセスを実行しようとする際等に、“Status”のD5がビジーであれば、終了コマンドを発行して、継続していた一連の動作を完了させた上で、新たなタスクに対応したメモリシステムアクセスを開始することができる。

【図面の簡単な説明】

【0191】

10

20

30

40

50

- 【図 1】実施の形態によるフラッシュメモリシステム（メモリカード）を示す図である。
- 【図 2】同メモリカードの機能ブロック構成を示す図である。
- 【図 3】同メモリカードのメモリセルアレイ構成を示す図である。
- 【図 4】同メモリカードのメモリコントローラ内のアドレス変換テーブルを示す図である。
- 【図 5】同メモリカードのピン配置を示す図である。
- 【図 6】同メモリカードの機能と適用プロトコルを示す図である。
- 【図 7】同メモリカードのコマンド入力サイクルを示す図である。
- 【図 8】同メモリカードのアドレス入力サイクルを示す図である。
- 【図 9】同メモリカードのデータ入力サイクルを示す図である。 10
- 【図 10】同メモリカードのデータ出力サイクルを示す図である。
- 【図 11】同メモリカードの機能とコマンド階層を示す図である。
- 【図 12 A】同メモリカードのパワーオンシーケンスを示す図である。
- 【図 12 B】同メモリカードのパワーオンシーケンスのタイミング波形である。
- 【図 13】同メモリカードの ID 読み出しタイミング波形である。
- 【図 14】同じく ID データを示す図である。
- 【図 15】カード構成の内容を示す図である。
- 【図 16】機能サービス設定の状態を示す図である。
- 【図 17】セクタカウントのデータ状態を示す図である。
- 【図 18】セクタアドレスのタイミング波形である。 20
- 【図 19】アドレスサイクルの詳細を示す図である。
- 【図 20】アドレスシフトの機能を示す図である。
- 【図 21】同メモリカードのセクタ読み出し手順を示す図である。
- 【図 22】同セクタ読み出しのモード設定を示す図である。
- 【図 23】セクタ読み出しにおける ECC 及び CRC 16 の機能を示す図である。
- 【図 24】転送データサイズ 512 (528) Byte の場合のデータフォーマットを示す図である。
- 【図 25】転送データサイズ 2048 (2112) Byte の場合のデータフォーマットを示す図である。
- 【図 26】転送データサイズ 4096 (4224) Byte の場合のデータフォーマットを示す図である。 30
- 【図 27】追加 16 Byte 領域 (ECC の場合) のデータフォーマットを示す図である。
- 【図 28】追加 16 Byte 領域 (CRC 16 の場合) のデータフォーマットを示す図である。
- 【図 29】セクタ読み出しとステータス読み出しの関係を説明するための図である。
- 【図 30】セクタ読み出しとバッファ R/W の関係を説明するための図である。
- 【図 31】セクタ読み出しのタイミング波形示す図である。
- 【図 32】同メモリカードのセクタ書き込みの手順を示す図である。
- 【図 33】同セクタ書き込みのモード設定を示す図である。 40
- 【図 34】セクタ書き込みにおける ECC 及び CRC 16 の機能を示す図である。
- 【図 35】転送データサイズ 512 (528) Byte の場合のデータフォーマットを示す図である。
- 【図 36】転送データサイズ 2048 (2112) Byte の場合のデータフォーマットを示す図である。
- 【図 37】転送データサイズ 4096 (4224) Byte の場合のデータフォーマットを示す図である。
- 【図 38】追加 16 Byte 領域 (ECC の場合) のデータフォーマットを示す図である。
- 【図 39】追加 16 Byte 領域 (CRC 16 の場合) のデータフォーマットを示す図で 50

ある。

【図 4 0】セクタ書き込みのタイミング波形を示す図である。

【図 4 1】セクタ書き込みの転送エラーチェックを伴う場合のタイミング波形を示す図である。

【図 4 2】ステータス読み出しによるステータスデータ状態を示す図である。

【図 4 3】ECC機能とステータスビットの関係をj示す図である。

【図 4 4】ステータス読み出しのタイミング波形を示す図である。

【図 4 5】CISのデータフォーマットを示す図である。

【図 4 6】バッファ読み出し/書き込みのタイミング波形を示す図である。

【図 4 7】リセットコマンドのタイミング波形を示す図である。

【図 4 8】パワーダウンのタイミング波形を示す図である。

【図 4 9】オートブロック消去のタイミング波形を示す図である。

【図 5 0】セクタアドレス及びセクタカウントをリセットするタイミング波形を示す図である。

【図 5 1】パススルーモード設定のタイミング波形を示す図である。

【図 5 2】ステータス情報読み出しを伴うセクタ読み出しのタイミング図である。

【図 5 3】同セクタ読み出しのダミーセクタアドレス入力をスキップする例である。

【図 5 4】ステータス情報読み出しを伴うセクタ書き込みのタイミング図である。

【図 5 5】同セクタ書き込みのダミーセクタアドレス入力をスキップする例である。

【符号の説明】

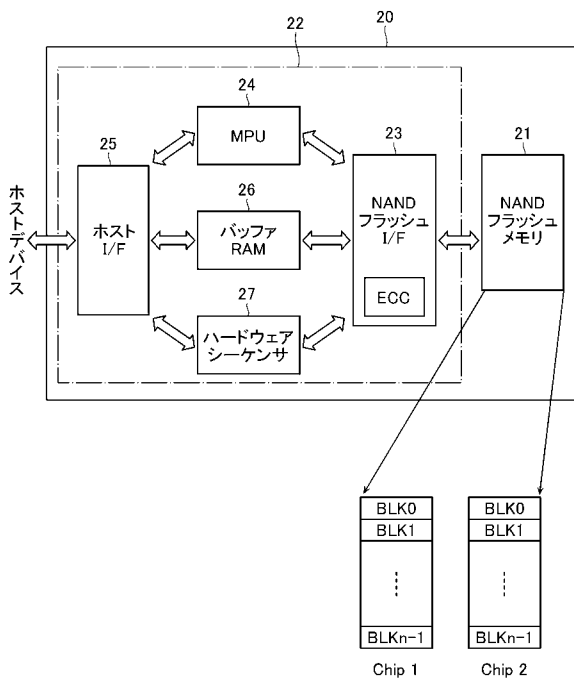
【0192】

1 ...メモリセルアレイ、2 (2 a , 2 b) ...ロウデコーダ、3 (3 a , 3 b) ...センスアンプ回路、4 ...カラムデコーダ、5 ...アドレスレジスタ、6 ...制御回路、8 ...コマンドレジスタ、10 ...高電圧発生回路、11 , 12 ...ステータスレジスタ、13 ...I/Oコントロール回路、14 ...ロジックコントロール回路、20 ...不揮発性メモリシステム(メモリカード)、21 ...フラッシュメモリ、22 ...メモリコントローラ、23 ...フラッシュI/F、24 ...MPU、25 ...ホストI/F、26 ...バッファRAM、27 ...ハードウェアシケンサ。

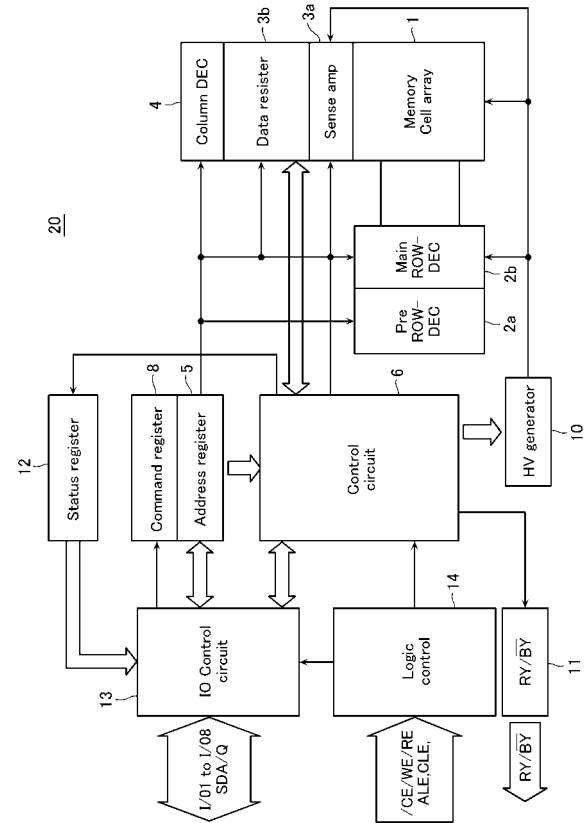
10

20

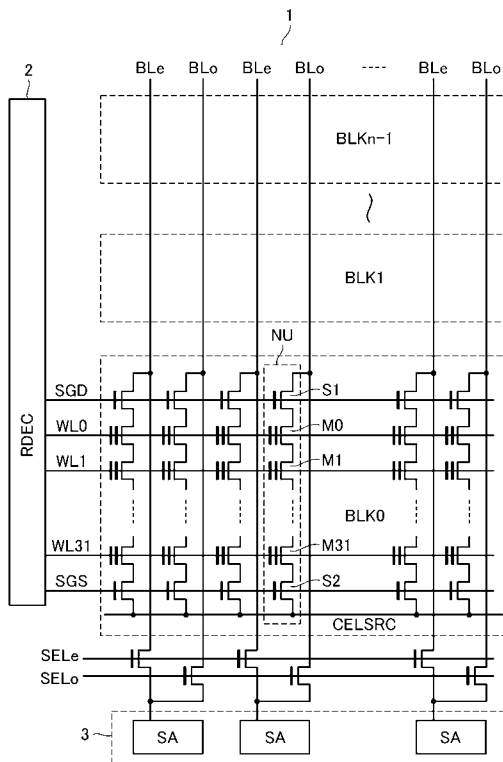
【図1】



【図2】

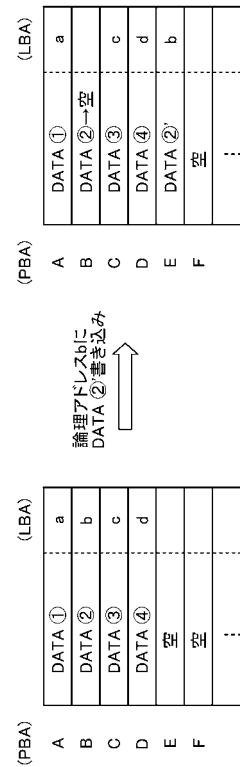


【図3】



【図4】

論理/物理アドレス変換テーブル



【 5 】

Pin No.	Signals			Signal Processing		
	Pin	Type	Function	Pull Up/Down	Note	
1	GND	(O)	GND/(Card Detect)		Can double as Card Detect signal	
2	R/-B	O(OD)	Ready/Busy		2)	Open drain
3	-RE	I	Read Enable	Up	1)	
4	-CE	I	Card Enable	Up	1)	
5	CLE	I	Command Latch Enable	Down	1)	
6	ALE	I	Address Latch Enable	Down	1)	
7	-WE	I	Write Enable	Up	1)	
8	-WP	I	Write Protect	Down	1)	
9	GND		GND			
10	D0	I/O	Data0	Down		
11	D1	I/O	Data1	Down		
12	D2	I/O	Data2	Down		
13	D3	I/O	Data3	Down		
14	D4	I/O	Data4	Down		
15	D5	I/O	Data5	Down		
16	D6	I/O	Data6	Down		
17	D7	I/O	Data7	Down		
18	Vcc	S	Vcc			

S: Power supply; I: Input to Card, O: Output from Card, I/O: Bi-directional
Signal names indicate Low True signals

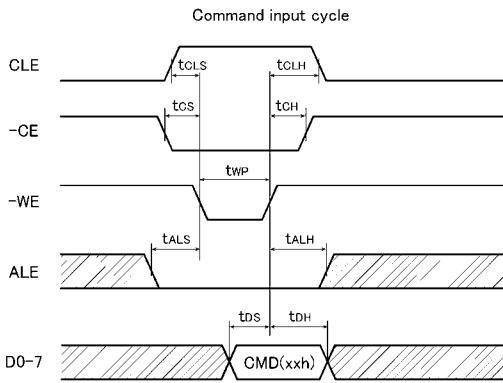
【 6 】

G3 card functions and applied protocols

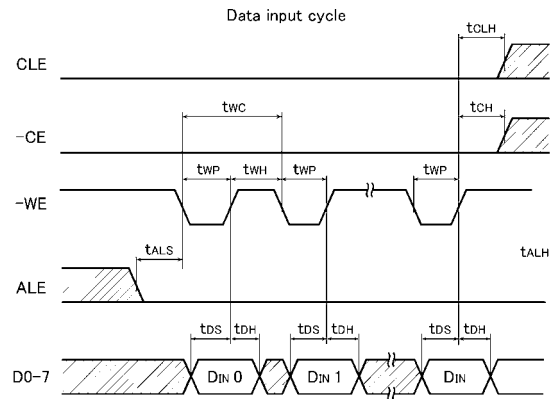
Functions	Applied protocols	Category
ID read(1)	CMD(30h)-ADD(00h)-Dout*4	Normal
ID read(2)	CMD(31h)-ADD(00h)-Dout*4	
ID read(3)	CMD(3Ah)-ADD(00h)-Dout*4	
G3 mode enable		Normal
Card configuration	Get card configuration	
	Set card configuration	
Function service & sector count		Normal
Read sectors		Normal
Write sectors	CMD(30h)-ADD(4sector address)-DinM-CMD(10h/11h/15h)-B2R	Normal
Write sectors with error	CMD(30h)-ADD(04sector address)-DinM	
check for transferred data	CMD(70h)-Dout*1-CMD(10h/15h/11h)-B2R	Normal
GIS read		Vendor
Unique ID read		Vendor
Buffer read/write(1)	CMD(71h)-Din-Dout(=Din)	Normal
Buffer read/write(2)		Normal
	Buffer read	
	Buffer write	
Auto DOS format		Vendor
Low level format		Vendor
Status read	CMD(70h)-Dout*1	Normal
Reset	CMD(F0h)-B2R	Normal
Power on reset	CMD(FDh)-B2R	Normal
Power down (Flush)	CMD(FEh)-B2R	Normal
Vendor mode enable		manufacture

Note:
CMD(xsh) command input cycle with xsh
ADDn(xsh) address input cycle with xsh / "n" means which cycle in address input cycles
Din*xx data input cycles / "xx" means how many cycles for data input
Dout*xx data output cycles / "xx" means how many cycles for data output
B2R wait for busy turns to ready

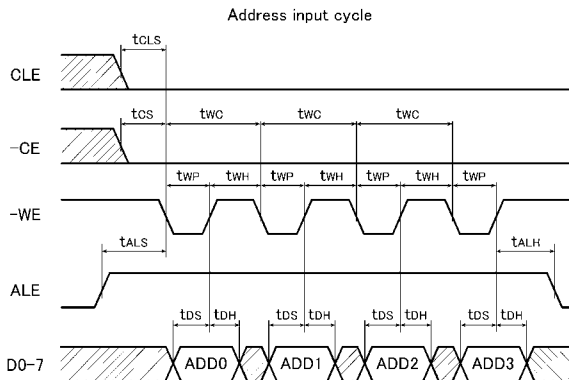
【 7 】



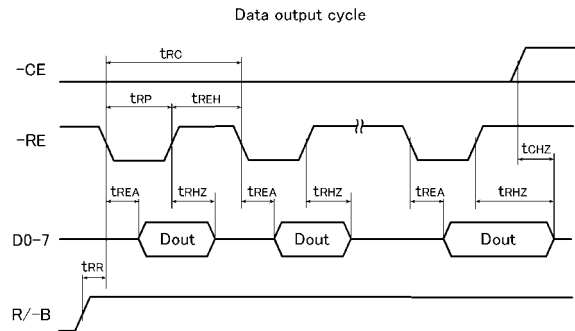
【 9 】



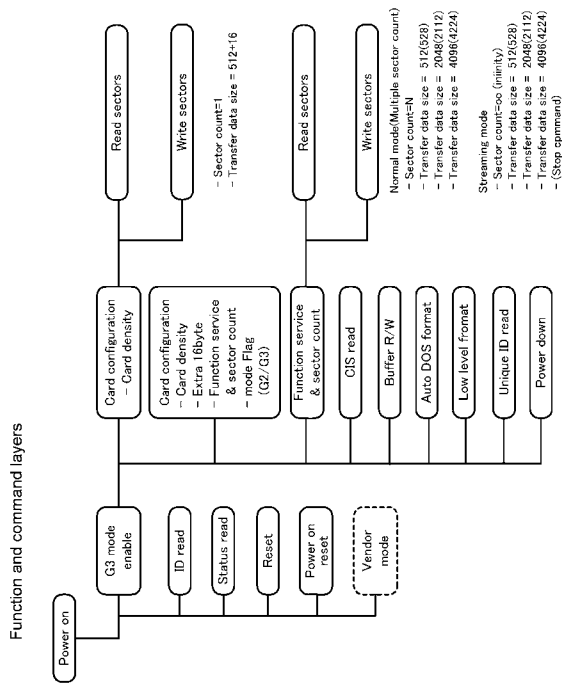
【 8 】



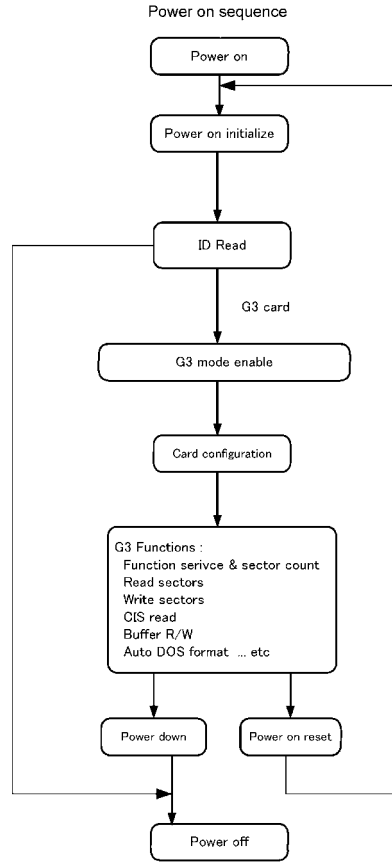
【 10 】



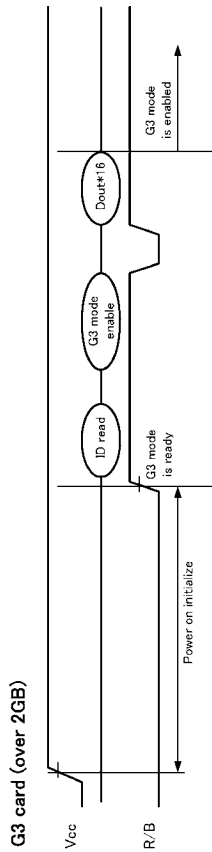
【 1 1 】



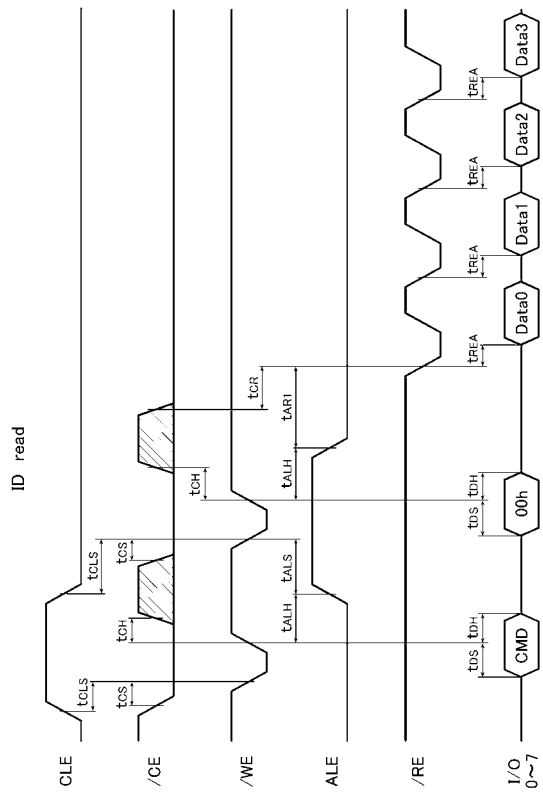
【 1 2 A 】



【 1 2 B 】



【 1 3 】



【 14 】

	CMD	Data0	Data1	Data2	Data3	Data4
ID read(1)	90h	98h	D7*1	A5h	C0h	n/a
ID read(2)	91h	05h	40h	3Ah	B6h*2	XXh*4
ID read(3)	9Ah	98h	D7h	E5h*3	CEh*3	n/a

*1 Device code is always fixed to D7h(71h : 256MB/ D0h : 512MB/ D3h : 1GB/ D5h : 2GB)
 *2 B6h means G3(A5h : G2 Type-M or Type-H)
 *3 Availability for G3 mode(C0h : G2 Type-M / C3h : G2 Type-H)
 *4 Vendor specific(HW ver. / FW ver.)

【 15 】

Card	R/W	description	Default setting		
Byte 0*3	R	Addressable max logical sector address Byte0 : SA 0*7 Byte1 : SA 8*15 Byte2 : SA16*23 Byte3 : SA24*31	Depend on card density. Card density = (Addressable max logical sector address+1) # 512bytes		
Byte 4	R	Bit definition	0	1	target
		b0: Card type	G2 mode	G3 mode	1
		b1: Extra 16 bytes	not available	available	1
		b2: Function service & sector count	not available	available	1
		b3: ECC function	not available	available	1
		b4: CRC 16 function	not available	available	1
		b5: Hi-power mode	not available	available	1
Byte 5	R	b6: Hi-speed mode	not available	available	1
		b7: Reserved	not available	available	1
		b0: Unique ID read	not available	available	1
		b1: Transfer data size = 512(528) bytes	not available	available	1
		b2: Transfer data size = 2048(2112) bytes	not available	available	0
		b3: Transfer data size = 4096(4224) bytes	not available	available	0
		b4: Address shifting	not available	available	1
Byte 6	R/W	b5: Write protection(card level)	not available	available	1
		b6: Reserved (Host cache write for DSC vendor only)	not available	available	1
		b7: Reserved (Automatic sector copy)	not available	available	1
		Bit definition (When bx in the Byte4*5 is "not available", below bx in the Byte 6*7 can not be checked)	0	1	default
		b0: Card type	Read only(depend on b0 in Byte 4)		
		b1: Extra 16 bytes	No use	use	1
		b2: Function service & sector count	No use	use	0
Byte 7	R/W	b3: ECC function	No use	use	0
		b4: CRC16 function	No use	use	0
		b5: Hi-power mode	No use	Use	1
		b6: Data transfer speed mode	No use	use	0
		b7: Reserved	-	-	0
		b0: Unique ID read	Read only(depend on b0*3 in Byte 5)		
		b1: Transfer data size = 512(528) bytes			
b2: Transfer data size = 2048(2112) bytes					
b3: Transfer data size = 4096(4224) bytes					
b4: Address shifting	No shift	Shift	1		
b5: Write protection(card level)*1	Not protected	Protected	0		
b6: Reserved (Host cache write for DSC vendor only)	No use	use	1		
b7: Reserved (Automatic sector copy)	No use	use	?		
Byte 8	R	Internal logical block size (Sector unit is 4KB) (max logical block size is (xdt+1)*4KB=1MB)	Based on internal physical format		
Byte 9*10	R/W	HOST type declaration			
Byte 11*12	R/W	Duplicating Byte 6*7	Can use instead of Byte 6*7		
Byte 13	R	Duplicating Byte 8	-		
Byte 14*15	R/W	Reserved	Fixed to "0"		

*1 : Protected/Not protected also can be confirmed by status read.

【 16 】

Definition of Function service

CMD	ADD0	ADD1	ADD2*3	Definition	Effective	ADD1		description
						Write sectors	Read sectors	
	b0		Sector count	Transfer data size	Write sectors Read sectors	0	1	Normal mode(Multiple sector count)
						Streaming mode		
	b1~b2		Sector count	Transfer data size	Write sectors Read sectors	b5		Transfer data size
						0	1	Extra 16 bytes : use
b3		Sector count	Host cache write	Write sectors	0	1	528 bytes	
					0	1	2112 bytes	
b4~b7		Sector count	Reserved	Reserved	0	1	4096 bytes	
					0	1	Reserved	
				Host cache write is disabled	0	1	Reserved	
				Host cache write is enabled	1	0	Reserved	

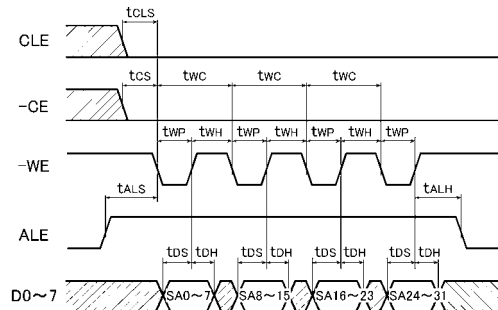
【 17 】

Sector count

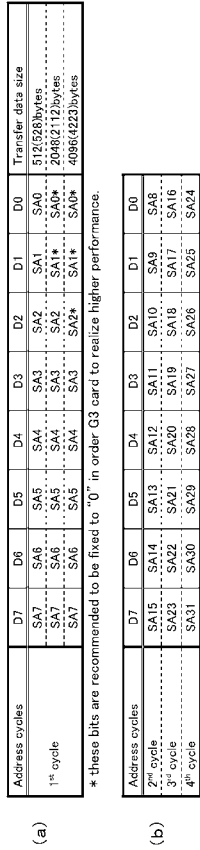
	D7	D6	D5	D4	D3	D2	D1	D0
ADD2	SC7	SC6	SC5	SC4	SC3	SC2	SC1	SC0
ADD3	SC15	SC14	SC13	SC12	SC11	SC10	SC9	SC8

【 18 】

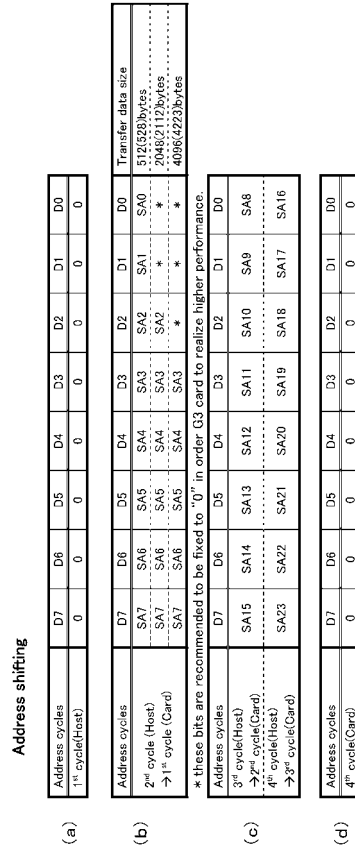
AC timing of Sector Address



【 19 】

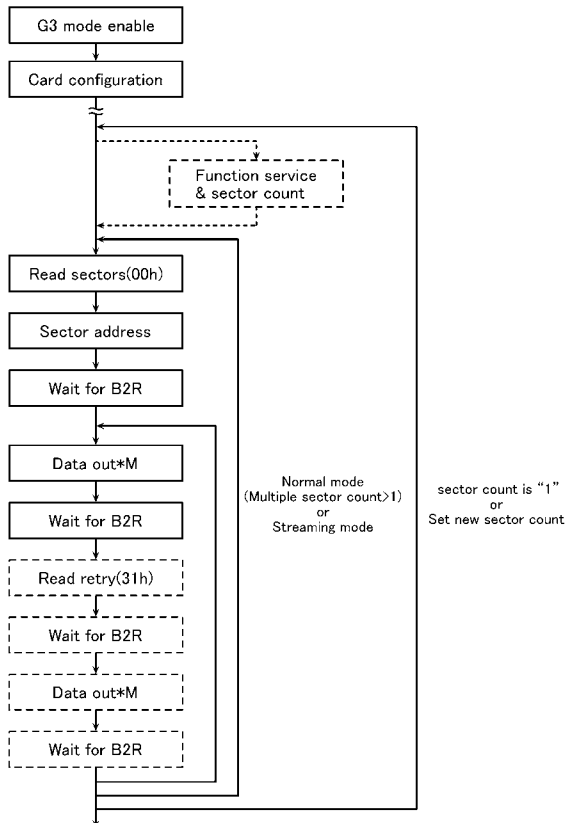


【 20 】



【 21 】

Procedure of Read sectors



【 22 】

Mode setting for Write sectors

(a)

Card configuration		Data transfer mode	Transfer data size
Function service & sector count	Extra 16 byte	CRC16 function	
No use	Use	Use	Normal mode (Sector count is always "1")
	No use	No use	528bytes
			512bytes

(b)

Card configuration		Function service & sector count	
Function service & sector count	Extra 16 byte	CRC16 function	Data transfer mode
Use	Use	Use	Normal mode
			(multiple-sector count) or Streaming mode
			528bytes
			2112bytes
			4224bytes
No use	No use	No use	Normal mode (multiple-sector count) or Streaming mode
			512bytes
			2048bytes
			4096bytes

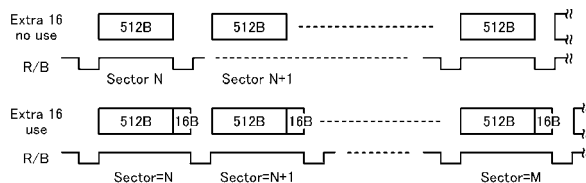
【 23 】

SmartMedia ECC		CRC16	
Error level	Judge	Pass	Fail
No error	Pass	Pass	Fail *
1-bit error	Correctable error	n/a	Fail
2-bit errors or more	Uncorrectable error	n/a	Fail

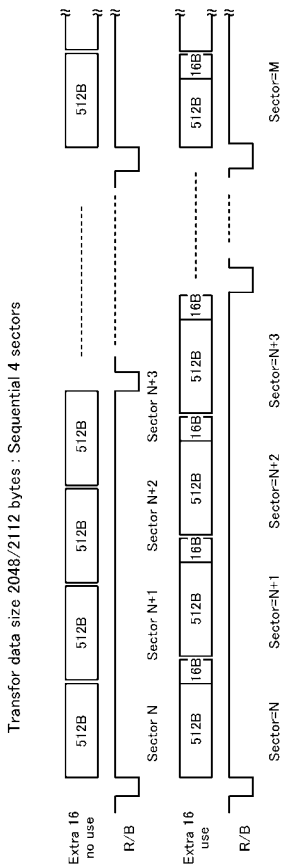
* ECC unit is 256bytes, but CRC16 unit is 512bytes

【 24 】

Transfer data size 512/528 bytes :



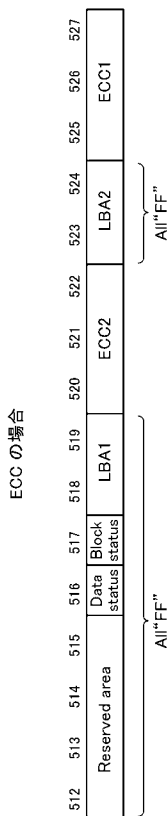
【 25 】



【 26 】



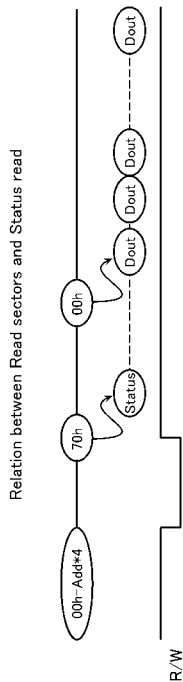
【 27 】



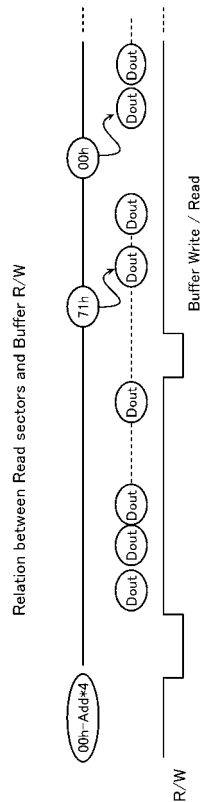
【 28 】



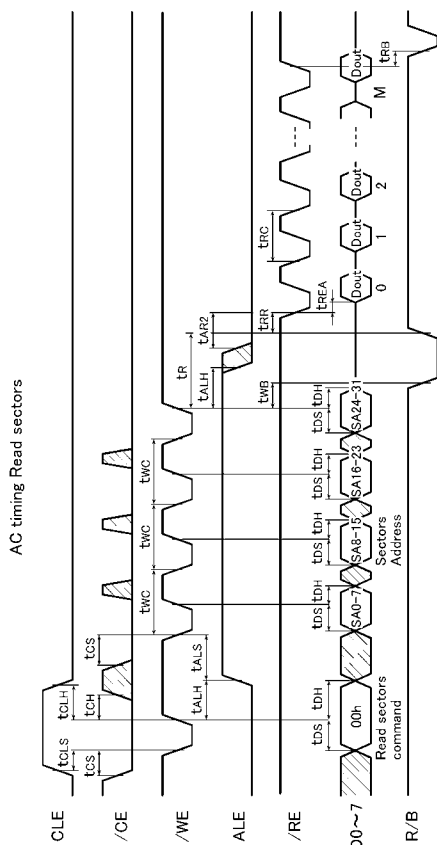
【 29 】



【 30 】



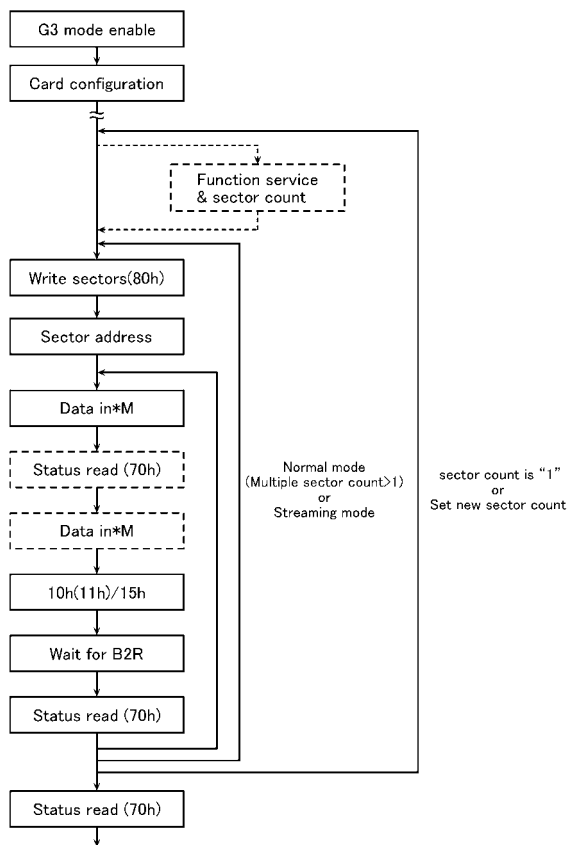
【 31 】



	Extra 16bytes Use	Extra 16bytes No Use
M	527	511
	2111	2047
	4223	4095

【 32 】

Procedure of Write sectors



Normal mode
(Multiple sector count > 1)
or
Streaming mode

sector count is "1"
or
Set new sector count

【 3 3 】

Mode setting for Write sectors

(a)	Card configuration			Data transfer mode	Transfer data size
	Function service & sector count	Extra 16 byte	CRC16 function		
	No use	Use	Use	Normal mode (Sector count is always "1")	528bytes
	No use	No use	No use		512bytes

(b)	Card configuration			Function service & sector count	
	Function service & sector count	Extra 16 byte	CRC16 function	Data transfer mode	Transfer data size
Use	Use	Use	Normal mode (multiple-sector count) or Streaming mode	528bytes	
				2112bytes	
				4224bytes	
			No use	No use	Normal mode (multiple-sector count) or Streaming mode

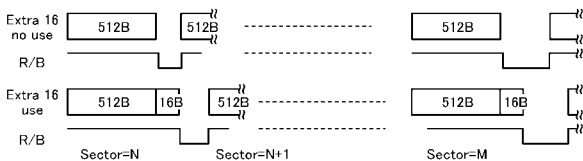
【 3 4 】

SmartMedia ECC		CRC16	
Error level	Judge	Pass	Fail
No error	Pass	Pass	Fail *
1-bit error	Correctable error	n/a	Fail
2-bit errors or more	Uncorrectable error	n/a	Fail

* ECC unit is 256bytes, but CRC16 unit is 512bytes

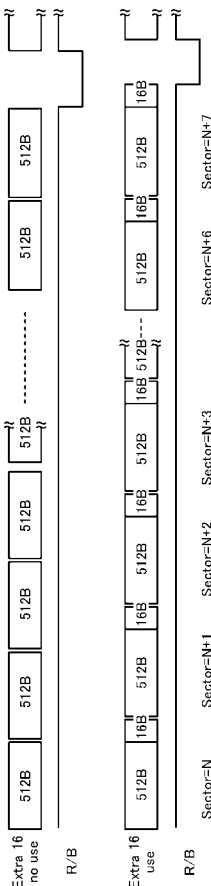
【 3 5 】

Transfer data size 512/528 bytes :



【 3 7 】

Transfer data size 4096/4224 bytes : Sequential 8 sectors



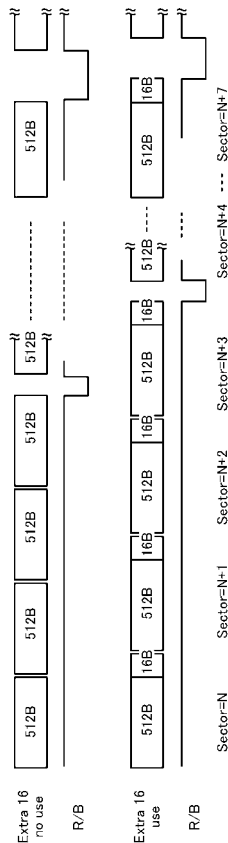
【 3 8 】

ECC の場合

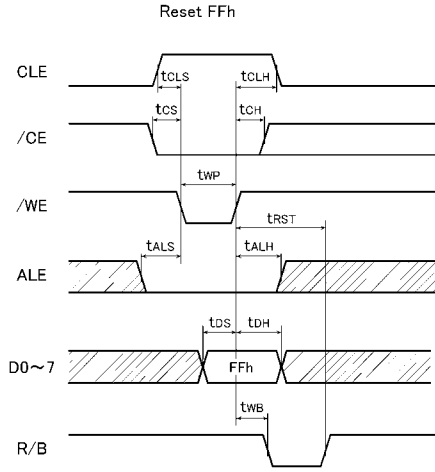


【 3 6 】

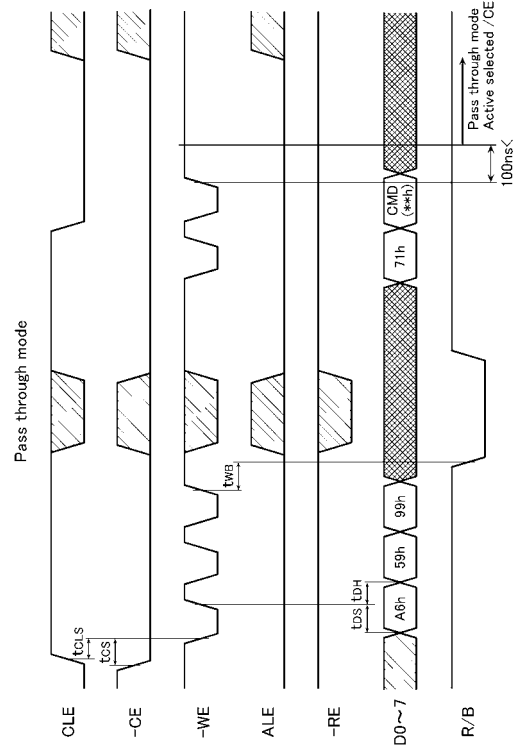
Transfer data size 2048/2112 bytes : Sequential 4 sectors



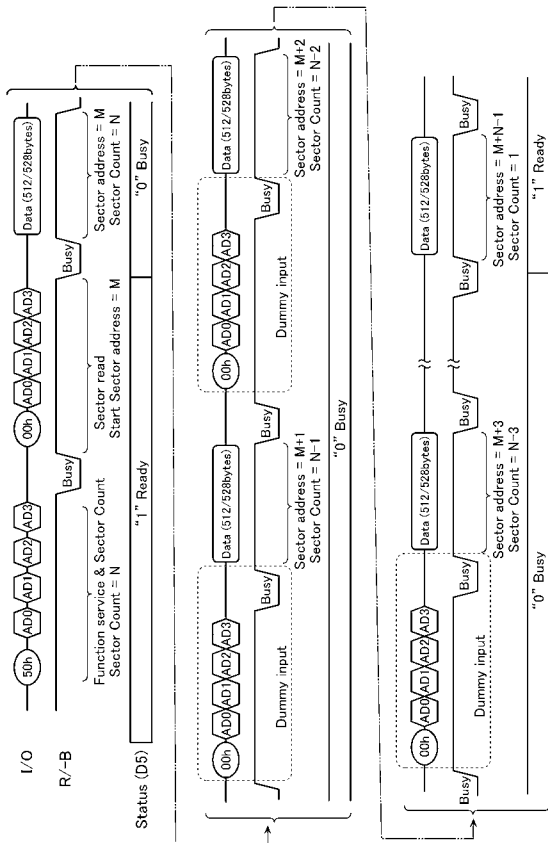
【 5 0 】



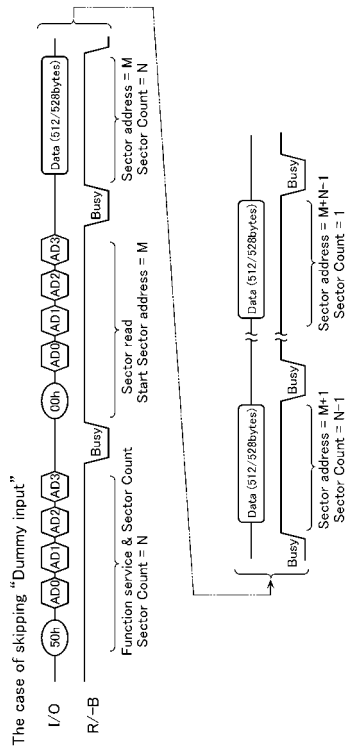
【 5 1 】



【 5 2 】

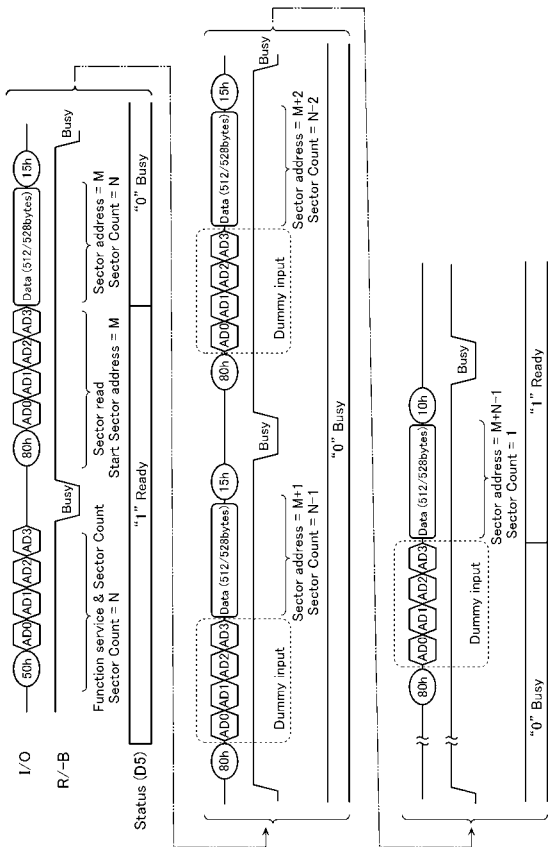


【 5 3 】



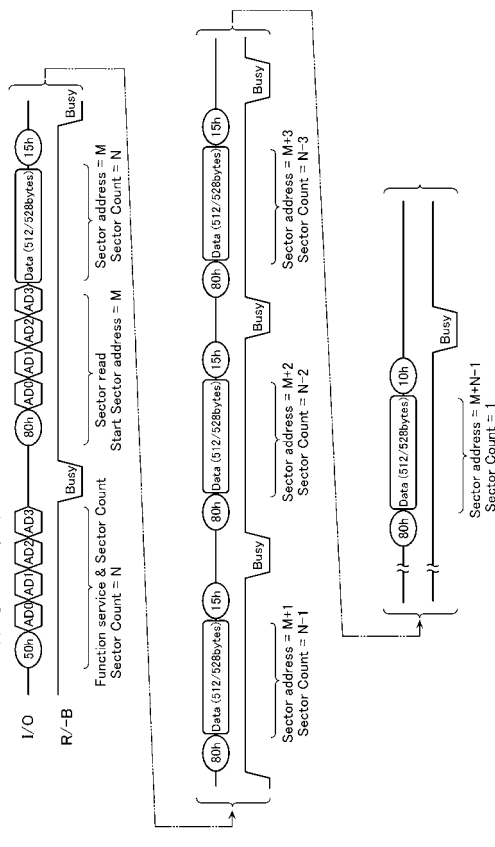
The case of skipping "Dummy input"

【 5 4 】



【 5 5 】

The case of skipping "Dummy input"



フロントページの続き

- (56)参考文献 国際公開第2005/015406(WO, A1)
国際公開第2006/014791(WO, A1)
特開平11-085609(JP, A)
特開2000-112824(JP, A)
特開2006-092019(JP, A)
特表2008-518283(JP, A)
米国特許第06754765(US, B1)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00
G06F 12/02