

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 1 区分
 【発行日】平成27年8月6日 (2015.8.6)

【公開番号】特開2013-92517(P2013-92517A)
 【公開日】平成25年5月16日 (2013.5.16)
 【年通号数】公開・登録公報2013-024
 【出願番号】特願2012-150054(P2012-150054)
 【国際特許分類】

G 0 1 R 31/28 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

G 0 1 R 31/28 G

G 0 1 R 31/28 V

H 0 1 L 27/04 T

【手続補正書】

【提出日】平成27年6月23日 (2015.6.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

スキャン・テスト回路と、

前記スキャン・テスト回路を使用して試験を受けるさらなる回路とを備え、

前記スキャン・テスト回路が、それぞれ別個のクロック領域に関連する複数のサブチェーンを有する、少なくとも 1 つのスキャン・チェーンを備え、

前記スキャン・テスト回路が、前記複数のサブチェーンのうちの 1 つまたは複数を選択的にバイパスするよう構成されるクロック領域バイパス回路をさらに備え、

前記スキャン・チェーンが、スキャン・シフト・モードの動作において、前記複数のサブチェーンを全部よりは少なく含む直列シフト・レジスタを形成するように構成可能であり、前記複数のサブチェーンのうちの少なくとも残りの 1 つが、前記スキャン・シフト・モードにおいて前記直列シフト・レジスタの部分でないように、前記クロック領域バイパス回路によりバイパスされる、集積回路。

【請求項 2】

前記クロック領域バイパス回路が、特定のテスト・パターンの取込み段階でアクティブでないと決定された前記複数のサブチェーンのうちの 1 つまたは複数バイパスするよう構成される、請求項 1 に記載の集積回路。

【請求項 3】

前記クロック領域バイパス回路が、

複数のクロック領域バイパス・マルチプレクサと、

複数のクロック領域バイパス・レジスタとを備え、

前記複数のクロック領域バイパス・レジスタが、前記複数のクロック領域バイパス・マルチプレクサのそれぞれの選択ラインに適用するためのそれぞれの制御値を記憶する、請求項 1 に記載の集積回路。

【請求項 4】

前記複数のクロック領域バイパス・マルチプレクサのうちの所与の1つが、少なくとも、前記複数のサブチェーンのうちの対応する1つの入力に結合される第1の入力と、前記複数のサブチェーンのうちの前記対応する1つの出力に結合される第2の入力とを有し、前記所与のクロック領域バイパス・マルチプレクサが、その関連するクロック領域バイパス・レジスタに記憶される前記制御値に応答して、その対応するサブチェーンを選択的にバイパスするようにさらに構成される、請求項3に記載の集積回路。

【請求項5】

前記複数のクロック領域バイパス・レジスタのうちの所与の1つが、所定の電位に結合されるデータ入力、前記複数のクロック領域バイパス・マルチプレクサのうちの対応する1つの前記選択ラインに結合されるデータ出力、バイパス信号ラインに結合されるセット入力、および関連する前記クロック領域のクロック信号およびスキャン・イネーブル信号の関数として駆動されるクロック入力を有するフリップ・フロップを備える、請求項3に記載の集積回路。

【請求項6】

前記所与のクロック領域バイパス・レジスタが、前記関連するクロック領域の前記クロック信号および前記スキャン・イネーブル信号の関数として、前記フリップ・フロップの前記クロック入力に適用するための信号を生成するように動作する、少なくとも1つの論理ゲートをさらに備える、請求項5に記載の集積回路。

【請求項7】

前記制御値が、所与のテスト・パターンの取込み段階で、前記バイパス信号ラインのアサートに**応答して**、前記所与のクロック領域バイパス・レジスタ内に記憶され、さらに該クロック領域バイパス・レジスタが、前記スキャン・チェーンに複数の異なるテスト・パターンのそれぞれが適用されるとともにリセットされる、請求項5に記載の集積回路。

【請求項8】

前記スキャン・テスト回路が、
復元器と、
圧縮器と、
前記少なくとも1つのスキャン・チェーンを含む複数のスキャン・チェーンであって、該複数のスキャン・チェーンが、前記復元器のそれぞれの出力と前記圧縮器のそれぞれの入力の間で互いに並列に配置される、複数のスキャン・チェーンと
をさらに備え、
スキャン・テスト信号が、前記復元器のそれぞれの入力に適用され、
前記復元器からのスキャン・テスト入力データが、前記スキャン・テストで使用するために前記複数のスキャン・チェーンにシフト入力され、
前記スキャン・テストの結果を示すスキャン・テスト出力データが、後に前記複数のスキャン・チェーンから前記圧縮器にシフト出力される、
請求項1に記載の集積回路。

【請求項9】

それぞれ別個のクロック領域に関連する複数のサブチェーンを含む、少なくとも1つのスキャン・チェーンを構成することと、
スキャン・シフト・モードの動作において、前記複数のサブチェーンのうちの少なくとも1つをバイパスすることとを含み、
前記スキャン・シフト・モードの動作において前記スキャン・チェーンを使用して形成される直列シフト・レジスタが、前記複数のサブチェーンを全部よりは少なくとも含み、前記複数のサブチェーンのうちの残りのサブチェーンが、前記直列シフト・レジスタの部分でないようにバイパスされる、
方法。

【請求項10】

集積回路のスキャン・テストに使用するコンピュータ・プログラム・コードが格納された持続性コンピュータ可読記憶媒体を備えるコンピュータ・プログラム製品であって、前

記コンピュータ・プログラム・コードが、試験システム内で実行された際に、前記試験システムに請求項 9 に記載の前記方法の前記ステップを実施させるものである、コンピュータ・プログラム製品。