

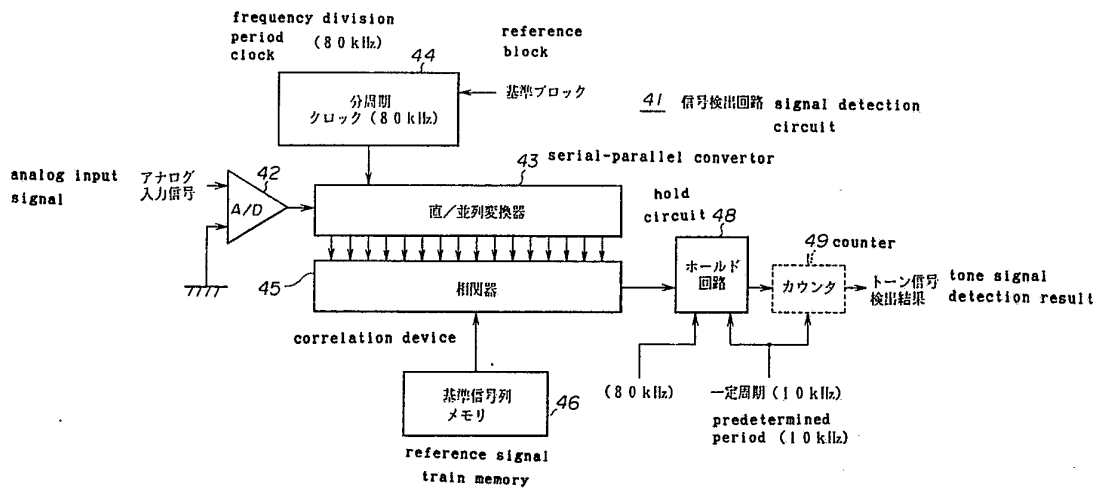


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 5 H04L 27/00</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 93/15580</p> <p>(43) 国際公開日 1993年8月5日 (05.08.1993)</p>
<p>(21) 国際出願番号 PCT/JP93/00100 (22) 国際出願日 1993年1月28日 (28. 01. 93)</p> <p>(30) 優先権データ 特願平4/14175 1992年1月29日 (29. 01. 92) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 富士通株式会社 (FUJITSU LIMITED) [JP/JP] 〒211 神奈川県川崎市中原区上小田中1015番地 Kanagawa, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 粟田 豊 (AWATA, Yutaka) [JP/JP] 角石光夫 (KAKUISHI, Mitsuo) [JP/JP] 〒211 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 伊東忠彦 (ITOH, Tadahiko) 〒102 東京都千代田区麹町5丁目7番地 秀和紀尾井町TBR1010号 Tokyo, (JP)</p> <p>(81) 指定国 DE (欧州特許), GB (欧州特許), JP, US.</p> <p>添付公開書類 国際調査報告書</p>		

(54) Title: CIRCUIT FOR DETECTING OBJECT SIGNAL FROM INPUT SIGNAL

(54) 発明の名称 入力信号より検出対象信号を検出する信号検出回路



(57) Abstract

An input analog signal having periodicity is converted to a 1-bit digital signal by an A/D converter (42) and is then converted to a parallel signal by a serial-parallel converter (43). Correlation between the parallel signal and a reference signal train is calculated by a correlation device (45). When this relationship is obtained, it is held by a hold circuit (48) and a tone signal detection result is outputted. In this way, the tone signal is detected by a simple circuit construction having low power consumption.

(57) 要約

周期性のある入力アナログ信号をA/D変換器(42)で1ビットのデジタル信号に変換し、これを直/並列変換器(43)でパラレル信号に変換する。このパラレル信号と基準信号列と相関器(45)で相関をとり、相関がとれたときにホールド回路(48)でホールドしてトーン信号検出結果を出力することにより、低消費電力の簡易な回路構成でトーン信号を検出する。

情報としての用途のみ

PCTに基づいて公開される国際出願のハンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MW	マラウイ
AU	オーストラリア	GA	ガボン	NL	オランダ
BB	バルバドス	GB	イギリス	NO	ノルウェー
BE	ベルギー	GN	ギニア	NZ	ニュージーランド
BF	ブルキナファソ	GR	ギリシャ	PL	ポーランド
BG	ブルガリア	HU	ハンガリー	PT	ポルトガル
BJ	ベナン	IE	アイルランド	RO	ルーマニア
BR	ブラジル	IT	イタリア	RU	ロシア連邦
CA	カナダ	JP	日本	SD	スーダン
CF	中央アフリカ共和国	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CG	コンゴ	KR	大韓民国	SK	スロヴァキア共和国
CH	スイス	KZ	カザフスタン	SN	セネガル
CI	コートジボワール	LI	リヒテンシュタイン	SU	ソヴィエト連邦
CM	カメルーン	LK	スリランカ	TD	チャド
CS	チェコスロヴァキア	LU	ルクセンブルグ	TG	トーゴ
CZ	チェッコ共和国	MC	モナコ	UA	ウクライナ
DE	ドイツ	MG	マダガスカル	US	米国
DK	デンマーク	ML	マリ	VN	ヴェトナム
FI	フィンランド	MN	モンゴル		
ES	スペイン	MR	モーリタニア		

明細書

入力信号より検出対象信号を検出する信号検出回路技術分野

- 5 本発明は信号検出回路に係り、特にデジタル加入者伝送装置やモデム等に用いられるトーン信号を検出する信号検出回路に関する。

背景技術

図1に、従来のデジタル加入者線伝送システムの構成図を示す。

- 10 図1において、加入者（NT）側のNT伝送装置（NT局という）11と局（LT）側のLT伝送装置（LT局という）12とが、インタフェースを介して、双方向に伝送を行う伝送ライン13により接続される。LT側の伝送装置12は加入者線交換機12aに接続され加入者線交換機12aは各ユーザ間とユーザデータ（B，D，
15 Mはチャンネル）を双方向で伝送する。すなわち、NT局11とLT局12で伝送ライン13により160kビット/sの情報を双方向で伝送を行うものである。

- そこで、これらのNT及びLT伝送装置11，12は、伝送ライン13で双方向伝送を行うことから送受信の前段階でトレーニング
20 を行い、線路等化やエコーキャンセル等を行う。

ここで、図2に、図1の各局のブロック図を示す。図2において、NT側の送受信部11A及びLT側の送受信部12Aのブロック構成は同様であり、送信データが送信器（Tx）21を介してエコー
25 キャンセラ（EC）22及び符号器（ENC）23に送られる。

- エコーキャンセラ（EC）22により送信信号のエコーレプリカを発生し減算器24で除去される。また、符号器（ENC）23により符号化されたデータはハイブリッド回路（H）25を介して伝送ライン13上に送信される。なお、ハイブリッド回路（H）25はデジタル系とアナログ系とを結合する回路で、バランサ（B）

25 aによりインピーダンスの整合（線路等化）が行われる。

一方、伝送ライン13から入力されるアナログ入力信号はハイブリッド回路（H）25を介して減算器24に送られ、ここで入力信号から送信データが除去されて受信器26に送られることにより受信データが抽出される。この減算器24は、伝送ライン13で送受双方が行われて入力信号には送信データがハイブリッド回路25を介して含まれることから、入力信号より送信データを除去するものである。

また、ハイブリッド回路25を介して送られる入力信号はトーン信号検出回路（TD）27に送られ、入力信号に含まれるトーン信号を検出してその検出信号で、実際のデータ通信の前段階でトレーニングが行われる。

ここで、図3に、図2のトーン信号検出回路のブロック図を示す。図3において、トーン信号検出回路27は、アナログ入力信号をデジタル信号に変換するA/D変換器31、必要な周波数成分の信号を取り出すバンドパスフィルタ（BPF）32、及びそのレベル（又はパワー）を検出するレベル（パワー）検出器33に構成される。

この場合、具体的に回路を構成させる場合、トーン信号が14 bit、80kボー（KHz）とすると、A/D変換器31は2個のオペアンプ、2個のコンパレータ、1500ゲートのデジタル回路を必要とする。また、BPF32とレベル（パワー）検出器33とでは10000ゲート以上のデジタル回路を必要とする。

なお、図3はアナログ入力信号をデジタル信号に変換した場合を示しているが、アナログ入力信号をアナログ信号のままトーン信号を検出する場合にはA/D変換器31が不用となり、BPF32及びレベル（パワー）検出器33がアナログ用として多数のコンパレータ等で構成される。

ところで、上述のデジタル加入者線伝送システムは、米国標準

(ANSI : American National Standards Institute) に基づいて構成されたものである。この米国標準はデジタル加入者線伝送における局とネットワーク間で十分な通信を行うために要求されるインタフェースを標準化したものである。

- 5 この米国標準によれば、伝送路符号は2 B 1 Q符号とされる。この符号は、冗長度のない4値の振幅を持ったPAM (パルス振幅変調) 符号である。

ここで、図4に、2 B 1 Q符号の説明図を示す。図4に示すように、2 B 1 Q符号は2ビットを4値シンボル (+3, +1, -1, 10 +3) で表わしたものである。

次に、図5に、トーン信号によるトレーニングシーケンスの一例を示し、図6にトーン信号例を示す。

図5において、(a)のLT (局) 側からは、2フレーム (240シンボル) 分のトレーニング用トーン信号TLが送信され、これ
15 に対して (b)のNT (加入者) 側からは、4フレーム (480シンボル) 分のトレーニング用トーン信号TNが送信されるようになっている。すなわち、(b)のNT (加入者) 側ではトレーニング用トーン信号TLを受信するための期間 (4 msec以下) が設けられ、これを受信した後にトーン信号TNを送信する。そして、
20 LT (局) 側でトーン信号TNを受信検出した後に、NT (加入者) 側にトレーニング信号を送信する。

このトーン信号は、図6に示すように、80kボア (80KHz) の8シンボル (+3, +3, +3, +3, -3, -3, -3, -3) を一周期として繰り返される10KHzの信号であり、この
25 ようなトーン信号を相手に送ることにより互いにトレーニングの開始を知らせる。尚、モデム等でも同様に正弦波信号をトーン信号として用いている。

ところで、デジタル加入者線伝送装置は、通信を行っていないトレーニング開始時は消費電力を削減するため、動作させる必要が

無い部分は電源を切断する等してパワーダウンさせることが一般的である。

しかし、トーン信号を検出するための回路は、動作開始のための必須の回路であることからパワーダウンさせることができない。

- 5 従って、図 2 及び図 3 に示すようなトーン信号検出回路 27 は、アナログ式であっても、デジタル式であっても多数の回路部品を必要とし、複雑な回路構成となり、消費電力が多大であるという問題がある。

10 発明の開示

本発明はフィルタを用いない簡単な構成で、低消費電力化を図る信号検出回路を提供することを目的とする。

- 上記目的は、周期性のあるアナログ入力信号を 1 ビットのデジタル信号に変換する A/D 変換手段と、検出対象信号の少くとも 2
15 倍の周波数のクロック信号により該 A/D 変換手段の出力信号を検出対象信号のビット数に対応する所定ビット数の並列信号に変換する直/並列変換手段と、該並列信号と検出対象信号の信号成分を表す基準信号列との相関を検出する相関手段と、該相関手段の出力信号が該検出対象信号の周期の間で一度でも検出状態となった場合に
20 は該状態を保持するホールド手段とを備える信号検出回路により達成される。

図面の簡単な説明

- 図 1 は従来のデジタル加入者線伝送システムの構成図；
25 図 2 は図 1 の各局のブロック図；
図 3 は図 2 のトーン信号検出回路のブロック図；
図 4 は 2 B 1 Q 符号の説明図；
図 5 はトーン信号によるトレーニングシーケンスの一例を示す
図；

- 図 6 は トーン 信号 例 を 示 す 図 ;
図 7 は 本 発 明 の 一 実 施 例 の 原 理 ブ ロ ッ ク 図 ;
図 8 は 本 発 明 が 適 用 さ れ る シ ス テ ム の 構 成 図 ;
図 9 は 図 7 の 具 体 例 を 示 す ブ ロ ッ ク 回 路 図 ;
5 図 1 0 A, 図 1 0 B は 図 9 の 相 関 器 の 構 成 ブ ロ ッ ク 図 ;
図 1 1 は 図 9 の 動 作 タ イ ム チ ャ ー ト ;
図 1 2 は 他 の 構 成 の 相 関 器 を 説 明 す る た め の 図 で あ る 。

発明を実施するための最良の形態

- 10 図 7 に、本発明の一実施例の原理ブロック図を示す。図 7 において、信号検出回路 4 1 は、コンパレータで構成される A/D (アナログ/デジタル) 変換器 4 2 に周期性のあるアナログ入力信号が入力される。このアナログ入力信号より検出対象信号のトーン信号が検出される。
- 15 A/D 変換器 4 2 の出力信号が直/並列 (直列/並列) 変換器 4 3 に入力される。直/並列変換器 4 3 には、さらに基準クロックを分周器 4 4 により分周した、例えば 8 0 K H z のクロックが入力される。
- 直/並列変換器 4 3 からの所定ビット数の並列の出力信号は相関器 4 5 に入力される。また相関器 4 5 には、メモリ 4 6 に記憶されている基準信号列 b_n (例えば $b_{1n} \sim b_{5n}$) が入力される。
- 20 相関器 4 5 の出力はホールド回路 4 8 に入力される。ホールド回路 4 8 には、さらに分周器 4 4 からのクロック (例えば 8 0 K H z) と、該クロックより分周して得られる一定周期のクロック (例えば 1 0 K H z) が入力される。
- 25 そして、ホールド回路 4 8 よりトーン信号検出結果の信号が出力される。なお、ホールド回路 4 8 の出力信号を、該クロック (例えば 1 0 K H z) が入力される計数手段であるカウンタ 4 9 に入力し、その結果をトーン信号検出結果としてもよい。

このような信号検出回路 4 1 は、まず、アナログ入力信号が A/D 変換器 4 2 で、1 ビットのデジタル信号に変換される。

A/D 変換器 4 2 の出力信号は直/並列変換器 4 3 に与えられ、この直/並列変換器 4 4 で検出対象信号のビット数に対応する所定
5 ビット数の並列信号に変換される。この場合の A/D 変換器 4 2 の
変換周期はトーン信号のような検出対象信号に対して速い、(通常
n 倍、 $n \geq 2$ の整数) クロック信号 (トーン信号の場合は 80 KHz)
z) によって与えられる。従って、A/D 変換器 4 2 の出力信号も
同じ周期のクロック (80 KHz) でサンプリングされ直/並列変
10 換器 4 3 に取り込まれた形となっている。

この直/並列変換器 4 3 で変換された所定ビット数の並列信号は
相関器 4 5 に送られて、検出対象信号の信号成分を表すレジスタ 4
7 からの基準信号列 b_n との相関が検出される。この検出結果が
ホールド回路 4 8 において該検出対象信号の周期 (トーン信号の場
15 合は 1/10 KHz の周期 : 図 6 参照) の間で一度でも検出状態と
なった場合には該状態が保持され、トーン信号が検出されたことが
知らされることとなる。

また、上記基準信号列 b_n を、A/D 変換器 4 2 の誤判定 (後述
する) を考慮した複数個の信号例で構成し、相関器 4 5 がこれらの
20 信号列のいずれかとの一致を検出するように構成すれば、検出対象
信号の検出が容易となる。

さらに、破線で示したようにホールド回路 4 8 の後段に計数手段
としてカウンタ 4 9 を設けている。そして、ホールド回路 4 8 の出
力信号に応じてカウントアップし、一定カウント値で該検出対象信
25 号のトーン信号が検出されたことを示す信号を発生するようにする。
すなわち、カウンタ 4 9 が検出保護段としての役割をなし、より正
確な検出が実現できる。

また、直/並列変換器 4 3 及び相関器 4 5 の所定ビット数を、検
出対象信号のトーン信号のビット数の n (n は 2 以上の整数) 倍に

することにより、検出対象信号以外の信号列と偶然一致してしまう状態を回避することができ、より正確な信号検出が実現できることとなる。

次に、図 8 に、本発明が適用されるシステムの構成図を示す。本
5 発明が適用されるシステムは、全体的には図 1 及び図 2 と同様であり、図 8 は NT 局 (LT 局も同様) の詳細なブロック構成を示したものである。

図 8 において、送信器 (図 2 参照) からの送信データ (Tx DATA) はエコキャンセラ (EC) 51 に入力されると共に、符号器 (ENCOD) 52 に入力される。符号器 (ENCOD) 52
10 からの符号化された出力信号は、送信フィルタ (TEIL) 53 を通ってラインドライバ (DRV) 54 に入力され、その出力が送信信号 (TRANSMIT SIGNAL) として、アナログ系とデジタル系を結合するハイブリッド回路 (HYB) 55 を介して
15 伝送ライン (TRANSMISSION LINE) 56 より伝送される。

一方、伝送ライン 56 より送られてくるアナログの受信信号 (RECEIVE SIGNAL) は、ハイブリッド回路 (HYB) 55 を介して、A/D 変換器 57 に入力されると共に、本発明の信号
20 検出回路 (TDET) 41 に入力される。A/D 変換器 (ADC) 57 で変換されたアナログ入力信号のデジタル信号は減算器 58 に入力される。この場合のデジタル信号は、自局の送信データのエコー信号 (ECHO) がハイブリッド回路 (HYB) 55 を介して重畳された信号である。

25 よって、減算器 58 では A/D 変換器 (ADC) 57 からのデジタル出力信号よりエコーキャンセラ 51 から出力される送信エコーレプリカを減算し、送信エコーを除去する。従って、減算器 58 からはデジタル化された真の受信入力信号が得られ、これが等化器 (DFE) 59 を介して受信データ (RX DATA) として

受信器（図 2 参照）に送られる。

また、ハイブリッド回路（HYB）55 を介して送られる受信信号（RECEIVE SIGNAL）が信号検出回路 41 に入力され、入力信号に含まれる検出対象信号のトーン信号を検出し、この
5 検出信号（WAKE UP CONTROL）が各構成を起動させる。

そこで、図 9 に、図 7 の具体例のブロック回路図を示す。図 9 において、直／並列変換器 43 は 15 ビットシフトレジスタで構成される。このシフトレジスタ 43 のデータ（D）端子には A/D 変換
10 器 42 からの 1 ビットの信号（TDET IN）が入力され、クロック（CK）端子には分周器 44 からの 80 KHz のクロック（CLK IN）が入力される。80 KHz としたのは、10 KHz のトーン信号に対応させて 8 倍としたものである。

また、クリア（XCLR）端子には上述のエコーキャンセラ 51
15 や等化器 59 等のアルゴリズムを切り換えるときに使用される検出動作指示信号（TDET ST）が入力される。この検出動作指示信号（TDET ST）は、パワーオンリセット時や、通信が終了し、次の通信開始を待つ時に、トーン信号検出回路を初期化するためにリセットし、リセットを解除して動作状態とするものである。
20 また、シフトレジスタ 43 からは出力端子（Q1～Q9, QA～QF）より 15 ビットの平行信号が相関器 45 に出力される。

相関器 45 には、さらに基準信号列 b_n （後述する）が入力され、出力端子 Y からの出力信号がホールド回路 48 に入力される。

ホールド回路 48 は、OR 回路 61、65、AND 回路 62、D
25 型フリップフロップ 63、及びインバータ回路 64 により構成され、OR 回路 61 に相関器 45 の出力信号が入力される。D 型フリップフロップ 63 のクロック端子（CL）には 80 KHz のクロック信号（CLK IN）が入力されると共に、クリア端子（XCLR）には検出動作指示信号（TDET ST）が入力される。D 型フ

リップフロップ 6 3 の出力端子 Q からの出力信号は OR 回路 6 1 ,
6 5 にそれぞれ入力される。

OR 回路 6 1 の出力信号は AND 回路 6 2 に入力され、AND 回
路 6 2 の出力信号が D 型リップフロップ 6 3 の D 端子に入力され
5 る。また、インバータ回路の 6 4 の出力信号が AND 回路 6 2 及び
OR 回路 6 5 に入力される。

一方、クロック信号 (CLK IN) 及び検出動作指示信号 (T
DET ST) が、3 ビットのカウンタ 4 4 a のクロック端子 (C
K) 及びクリア端子 (XCLR) に入力され、出力端子 (RC) よ
10 り 1 0 KHz のクロックがホールド回路 4 8 のインバータ回路 6 4
に入力されると共に、4 ビットのカウンタ 4 9 のイネーブル端子
(EN) に入力される。

また、8 0 KHz のクロック信号 (CLK IN) は OR 回路 7
1 に入力され、検出動作指示信号 (TDET ST) がカウンタ 4
15 9 のクリア端子 (XCLR) に入力される。

カウンタ 4 9 のロード端子 (LOAD) には、ホールド回路 4 8
の OR 回路 6 5 の出力信号が入力され、クロック端子 (CK) に O
R 回路 7 1 の出力信号が入力される。そして、カウンタ 4 9 の出力
端子 (RC) からの出力信号が OR 回路 7 1 に入力されると共に、
20 トーン信号検出結果 (TSET) として出力される。

すなわち、ホールド回路 4 8 は、1 0 KHz 周期で相関器 4 5 の
出力が一度でも “1” (“0” でもよい) になれば、次の周期まで
“1” (“0” でもよい) をホールドする。また、3 ビットのカウ
ンタ 4 4 a は、1 0 KHz ごとにパルス “1” (“0” でもよい)
25 を 1 個発生させる。さらに、4 ビットのカウンタ 4 9 は、ホールド
回路 4 8 の出力が “0” のときに、“0” をロードし、カウンタ値
が “1 5” で RC 端子より “1” を出力するように設定されている。

ここで、基準信号列 b_n について説明する。メモリ 4 6 から供給
される (この場合ラッチ 4 7 は不用) 基準信号列 b_n は、シフトレ

10

ジスタ 43 から 80 KHz で連続して入力する 16 ビットの信号列 $\{a_n\}$ ($n = k \sim k + 15$) に対して、

$$\{b_n\} = \{1, 1, 1, 1, 0, 0, 0, 0, 1, 1, 1, 1, 0, 0, 0, 0\}$$

を用いる。尚、検出対象信号としてのトーン信号は図 6 に示したよ

5 うに $\{1, 1, 1, 1, 0, 0, 0, 0\}$ の 8 ビットを最小単位とするものであるが、16 ビットとしたのは、トーン信号の周波数 (10 KHz) の $1/2$ の周波数 (5 KHz) でも、 $\{1, 1, 1, 1, 1, 1, 1, 1, 0, 0, 0, 0, 0, 0, 0, 0\}$ なる信号の場合には同様にして変化時点前後の 4 ビットで $\{1, 1, 1, 1, 0, 0, 0, 0\}$ が出現してしまうためである。

10 また、基準信号列 $\{b_n\}$ としては、コンパレータ 1 のオフセットや雑音によるコンパレータの “1” → “0” 又はこの逆の “0” → “1” に変化する時の誤判定を考慮して相関を取る信号列は下記のように設定することが好ましい。

$$\{b_{1n}\} = \{1, 1, 1, X, 0, 0, 0, X, 1, 1, 1, X, 0, 0, 0, X\}$$

$$15 \quad \{b_{2n}\} = \{1, 1, X, 0, 0, 0, 0, X, 1, 1, X, 0, 0, 0, 0, X\}$$

$$\{b_{3n}\} = \{1, X, 0, 0, 0, 0, 0, X, 1, X, 0, 0, 0, 0, 0, X\}$$

$$\{b_{4n}\} = \{1, 1, 1, 1, X, 0, 0, X, 1, 1, 1, 1, X, 0, 0, X\}$$

$$\{b_{5n}\} = \{1, 1, 1, 1, 1, X, 0, X, 1, 1, 1, 1, 1, X, 0, X\}$$

20 なお、上記の基準信号列 $\{b_n\}$ における「X」は変化点におけるドント・ケアで無視されるビットを示し、相関器 3 はこの「X」を除いて全て一致したとき、基準信号列 $\{b_n\}$ が検出されたと判定するものである。従って、シフトレジスタ 43 において、15 ビットのもので十分である。この基準信号列 $b_{1n} \sim b_{5n}$ は、メモリ 46 より相関器 45 に供給される。

25 次に、図 10 A 及び図 10 B に、図 9 の相関器の構成ブロック図を示す。図 10 A において、相関器 45 は、例えば 5 個の一致検出回路 81 a ~ 81 e と、その出力信号の論理和をとる OR 回路 82 により構成される。

一致検出回路 81 a ~ 81 e のそれぞれの一方の入力端子には、

シフトレジスタ 4 3 からの出力信号列 $a_1 \sim a_{15}$ (上述の a_n で $n = k \sim k + 15$ における $k = 1$) が入力される。また、一致検出回路 8 1 a の他方の入力端子には、上述のような基準信号列 b_n ($b_{n1} \sim b_{n15} : n = 1 \sim 5$) のうち $b_{11} \sim b_{115}$ が入力され、同様に

5 一致検出回路 8 1 b \sim 8 1 e にはそれぞれ $b_{21} \sim b_{215}$ 、 $b_{31} \sim b_{315}$ 、 $b_{41} \sim b_{415}$ 、 $b_{51} \sim b_{515}$ が入力される。

そして、各一致検出回路 8 1 a \sim 8 1 e の出力信号は OR 回路 8 2 に入力され、その出力信号が Y 端子より相関出力信号として出力される。すなわち、各一致検出回路 8 1 a \sim 8 1 e においてシフト

10 レジスタ 4 3 からの出力信号 $a_1 \sim a_{15}$ と基準信号列との相関をみて、そのうち一つでも一致したときに相関出力信号を出力するものである。

また、この場合の一致検出回路 8 1 a \sim 8 1 e は、図 10 B に示すように、15 個の EOR (エクスクルーシブオア) 回路 9 1 a \sim 9 1 o 及び AND 回路 9 2 により構成される。各 EOR 回路 9 1 a \sim 9 1 o の一方の入力端子には、シフトレジスタ 4 3 の各出力信号 $a_1 \sim a_{15}$ がそれぞれ入力され、各 EOR 回路 9 1 a \sim 9 1 o の他方の入力端子には基準信号列 $b_{n1} \sim b_{n15}$ がそれぞれ入力される。EOR 回路 9 1 a \sim 9 1 o の出力信号が AND 回路 9 2 に入力される。

20 る。すなわち、総ての EOR 回路 9 1 a \sim 9 1 o の出力が "1" 状態になったときに AND 回路 9 2 より一致検出信号として図 10 A の OR 回路 8 2 に入力するものである。

ところで、図 9 及び図 10 A、10 B に示すように、本発明信号検出回路を構成するにあたり、200 \sim 300 ゲート数で構成することができ、従来の 10000 ゲート以上と比較して極めて簡易な

25 構成とすることができる。

次に、図 11 に、図 9 の動作タイムチャートを示す。図 11 において、A \sim E がカウンタ 4 9 を介在させない場合のトーン信号検出を示しており、F \sim L がカウンタ 4 9 を介在させたときのトーン信

号検出を示している。

- まず、80 KHzのクロックCLK IN (図11A)により、カウンタ44aより10 KHzの信号が生成される(図11B)。このとき、相関器45の相関により出力信号Yが出力されると(図11C)、その立ち下りでホールド回路48のD型フリップフロップ63のQ端子より信号が出力される。このQ端子からの出力信号は、カウンタ44aからの10 KHzの出力信号の立ち下りでリセットされて立ち下る(図11D)。これにより、OR回路65よりトーン信号検出結果の信号が出力されるものである。
- 10 一方、カウンタ49を介在させる場合には、カウンタ44aからの10 KHzクロック(図11Bを拡大したもの)が出力される(図11F)。この場合、10 KHzごとに検出時動作と非検出時動作とを繰り返すもので、その間検出動作動作指示信号TDETS Tが出力される(図11G)。この10 KHzが監視周期となる。
- 15 このときに相関器45で相関有りとなると、出力信号Yが出力され(図11H)、その立ち下りでホールド回路48のD型フリップフロップ63のQ端子より出力信号が出力される(図11I)。そして、OR回路65より出力信号が出力され(図11J)、カウンタ49に入力される。
- 20 カウンタ49では、OR回路65からの出力が“0”のときにロードしてカウントを開始し、カウント値が設定された値15になったときに(図11L)、RC端子より“1”を出力する(図11K)。このときの出力はOR回路71に入力され、その出力によりカウンタ49のカウント値がリセットとされる。
- 25 すなわち、カウンタ49のカウント値が「15」になったときに相関有りの状態が連続しておりトーン信号が検出されたと最終的に判定すれば雑音による誤動作(誤検出)を減少させることができることとなる。なお、トーン信号は図7に示すように240又は480シンボル有るので、前者の場合には、 $240/8=30$ となり、

充分カウント値「15」に達することができる。

また、図12に、他の構成の相関器を説明するための図を示す。図9の相関器45は、AND回路（論理積）とOR回路（論理和）との組合せで構成されており、その論理構成を図12に示している。

5 図12において、相関器45では、シフトレジスタ43からの出力Q1～Q7の論理積でA1～A5の信号を生成し、出力Q9, QA～QFの論理積でB1～B5の信号を生成される。そして、論理積A1・B1, A1・B2, A2・B1, A2・B2, A2・B3, A3・B2, A3・B3, A3・B4, A4・B3, A4・B4,
10 A4・B5, A5・B4, A5・B5をそれぞれの論理和で相関器45のY端子より出力信号が出力される。

すなわち、相関器45に基準信号列を入力することなく相関器45内で論理的に構成されるものである。これにより、図7に示すようなメモリ46を省くことができ、より簡単な回路構成とすることができる。
15

このように、トーン信号のような周期性のあるアナログ入力信号を1ビットのデジタル信号に変換し、これを検出対象信号のビット数に対応する所定ビット数の並列信号に変換した上で検出対象信号の信号成分を表す基準信号列との相関を検出し、この相関結果が
20 該検出対象信号の一定周期の間で一度でも検出状態となった場合には該状態を保持するように構成したので、検出対象信号の検出を、複雑且つ消費電力を多く必要とするアナログ又はデジタル・フィルタを必要とせずに低消費電力の簡単な回路構成で実現できる。

ところで、従来よりシフトレジスタ等の直/並列変換器と比較回路
25 路とにより同期方式を構成することは、例えば特開昭61-256262号、特開昭62-36971号、特開昭57-171862号、特開昭58-88982号、特開昭62-230133号、特開昭63-169847号、特開昭63-284940号、特開昭55-95449号、特開平4-141770号の公報に記載され

ている。

しかし、これらのものは、単に、入力信号を基準信号と同期をとって信号処理するものである。これに対して本発明は、通信システムにおける周期性のあるアナログ入力信号より、トーン信号のような検出対象信号を検出するもので、回路構成を従来より極めて簡易に構成したところに特徴を有するものである。

産業上の利用可能性

以上説明したように、本発明によれば、検出対象信号の検出を、
10 複雑かつ消費電力を多く必要とするアナログ又はデジタル・フィルタを必要とせずに、低消費電力の簡易な検出回路を構成することができる。

請求の範囲

1. 周期性のあるアナログ入力信号を1ビットのデジタル信号に変換するA/D変換手段(42)と、

5 検出対象信号少くとも2倍の周波数のクロック信号により該A/D変換手段(42)の出力信号を検出対象信号のビット数に対応する所定ビット数の並列信号に変換する直/並列変換手段(43)と、

該並列信号と検出対象信号の信号成分を表す基準信号列との相関を検出する相関手段(45)と、

10 該相関手段(45)の出力信号が該検出対象信号の周期の間で一度でも検出状態となった場合には該状態を保持するホールド手段(48)と、

を備えたことを特徴とする信号検出回路。

2. 前記基準信号列が、A/D変換手段(42)の誤判定を考慮した複数個の信号列で構成されており、前記相関手段(45)がこれら15の信号列のいずれかとの一致を検出することを特徴とする請求項1記載の信号検出回路。

3. 前記基準信号列を、前記相関手段(45)内で論理的に構成することを特徴とする請求項2記載の信号検出回路。

20 4. 前記基準信号列を、前記相関手段(45)に外部より供給することを特徴とする請求項2記載の信号検出回路。

5. 前記ホールド手段(48)の出力信号に応じて計数し、所定の計数値で前記検出対象信号が検出されたことを示す信号を発生する計数手段(49)を設けることを特徴とする請求項1乃至4記載の信号検出回路。

25 6. 前記所定ビット数が、前記検出対象信号のビット数の n ($n \geq 2$ の整数)倍であることを特徴とする請求項1乃至5記載の信号検出回路。

7. 前記検出対象信号が通信開始条件としてのトーン信号であることを特徴とする請求項1乃至6記載の信号検出回路。

FIG. 1

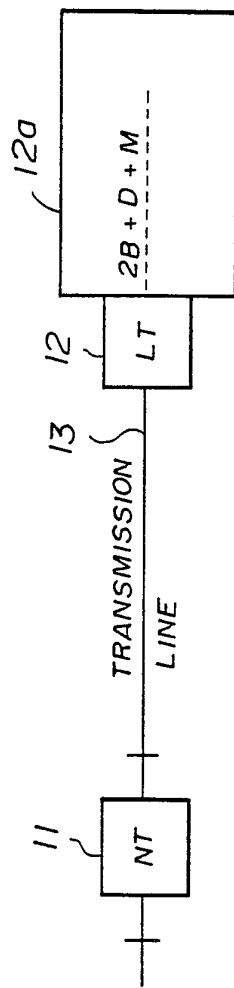


FIG. 2

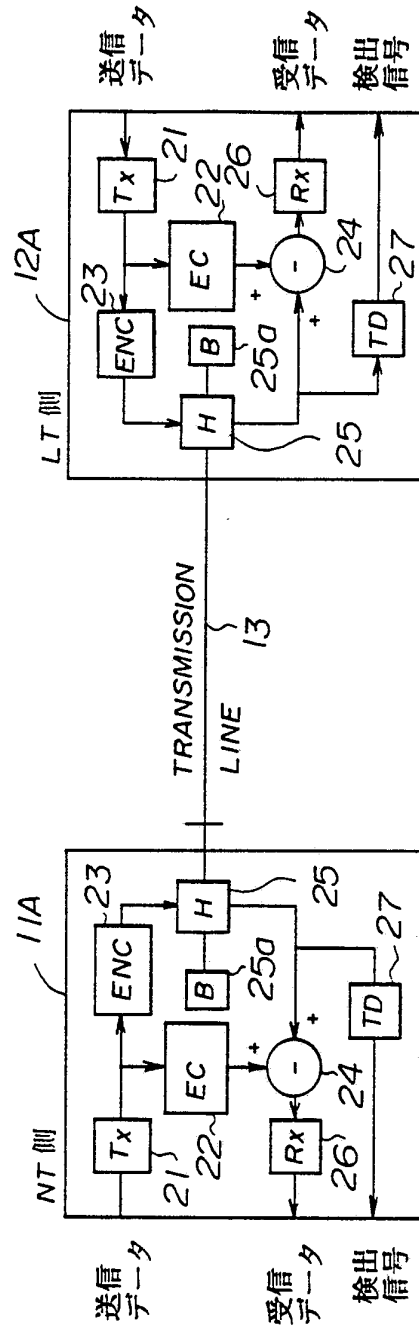


FIG. 3

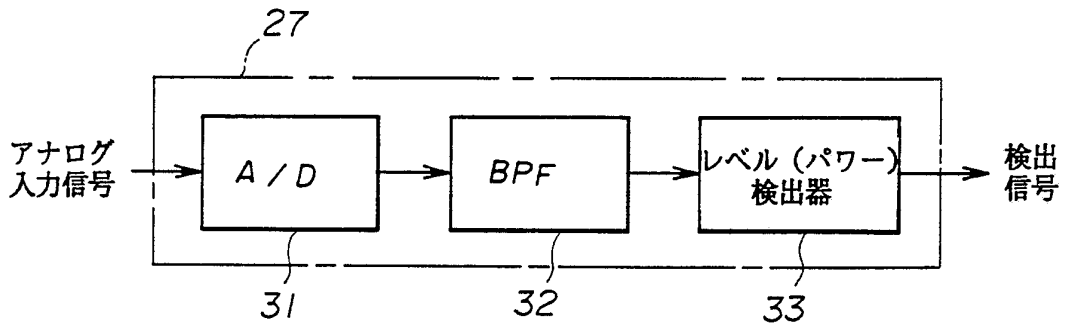


FIG. 4

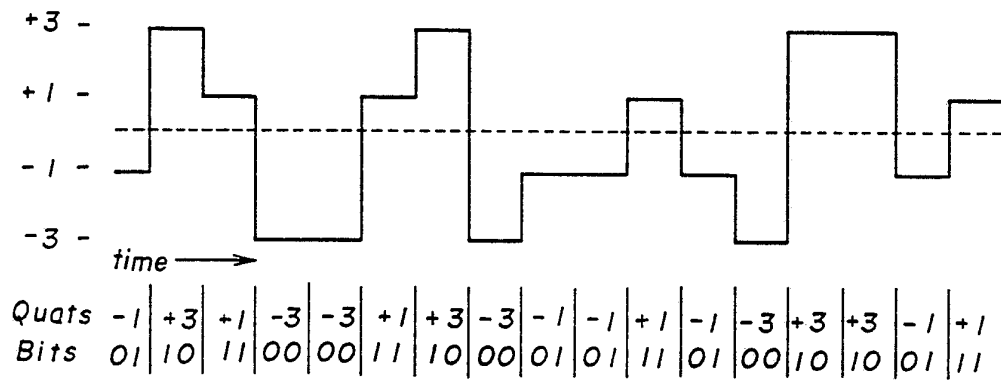


FIG. 5

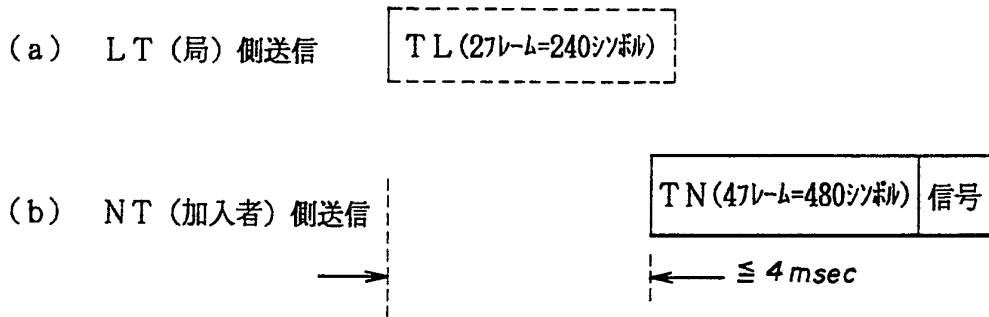


FIG. 6

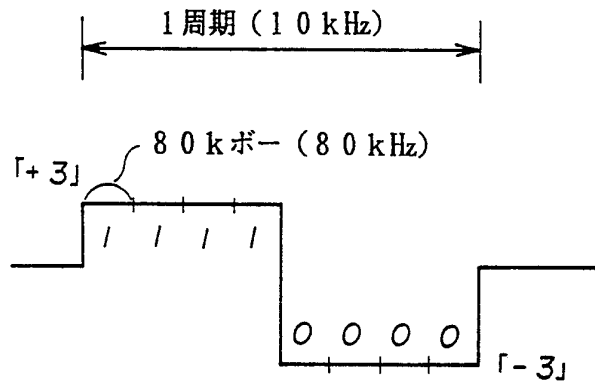


FIG. 7

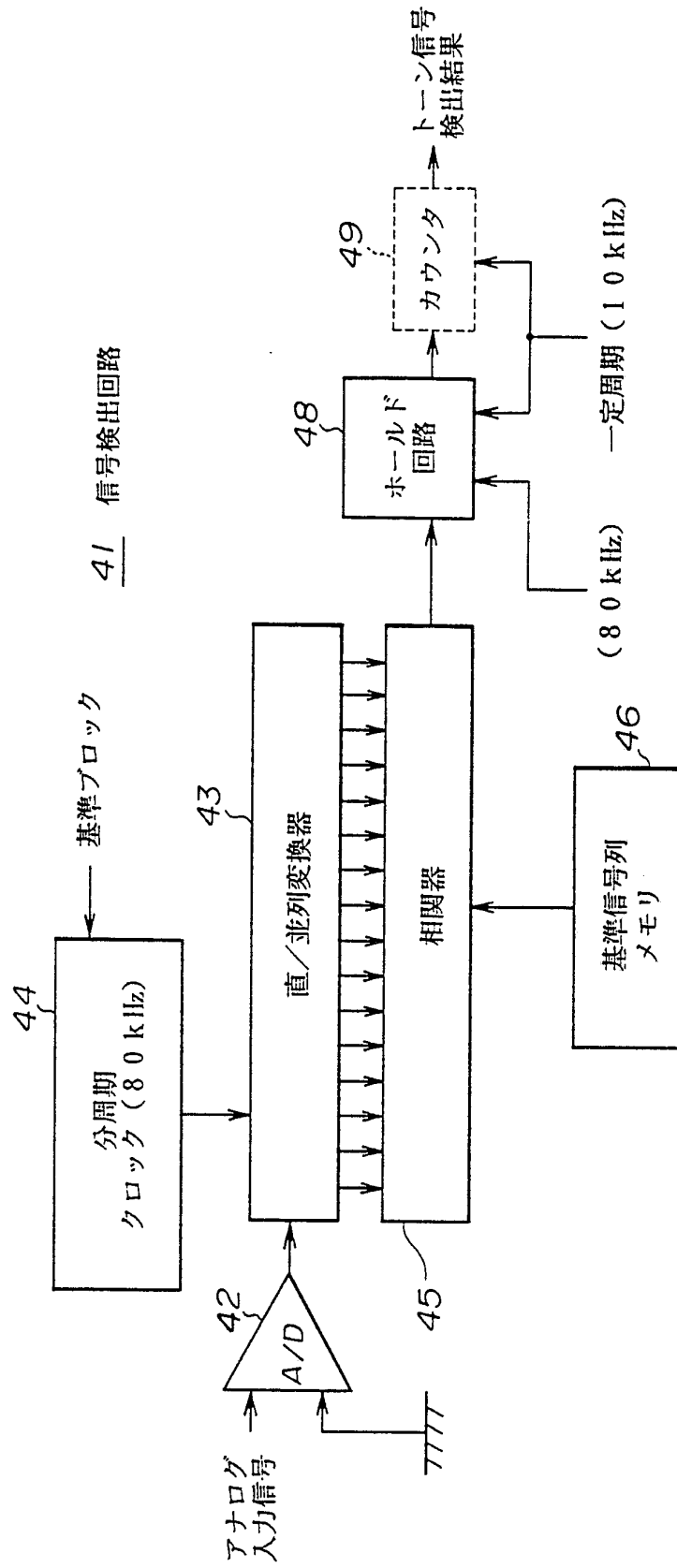


FIG. 8

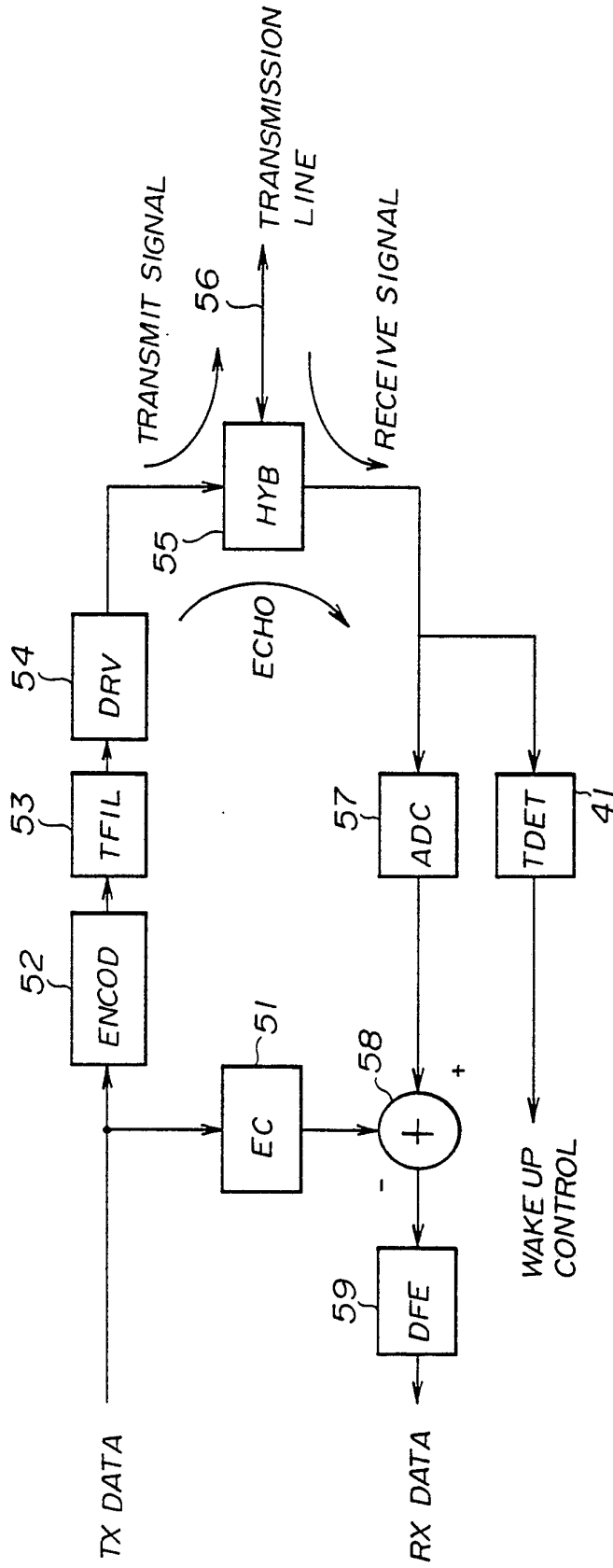


FIG. 9

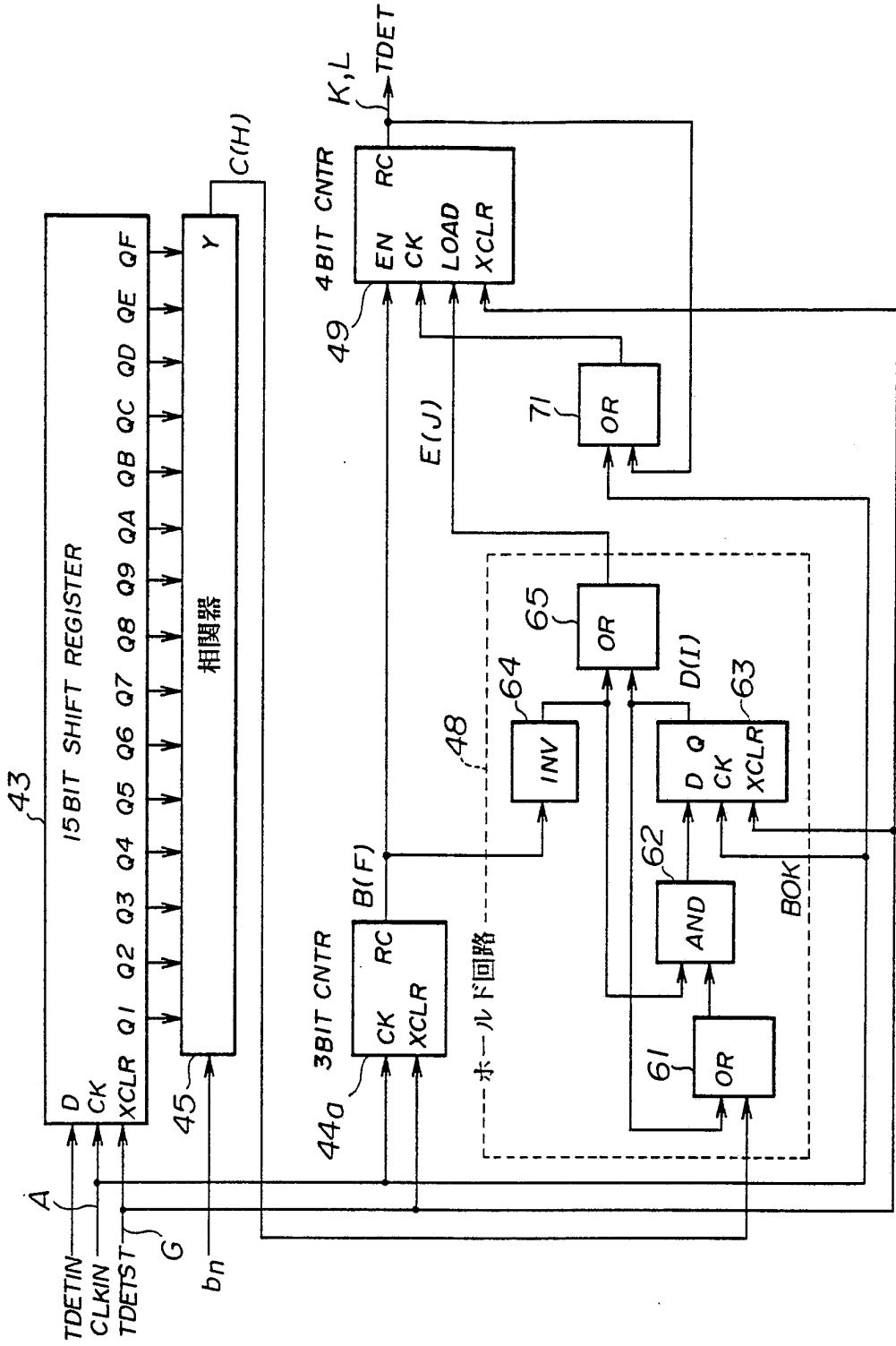


FIG. 10A

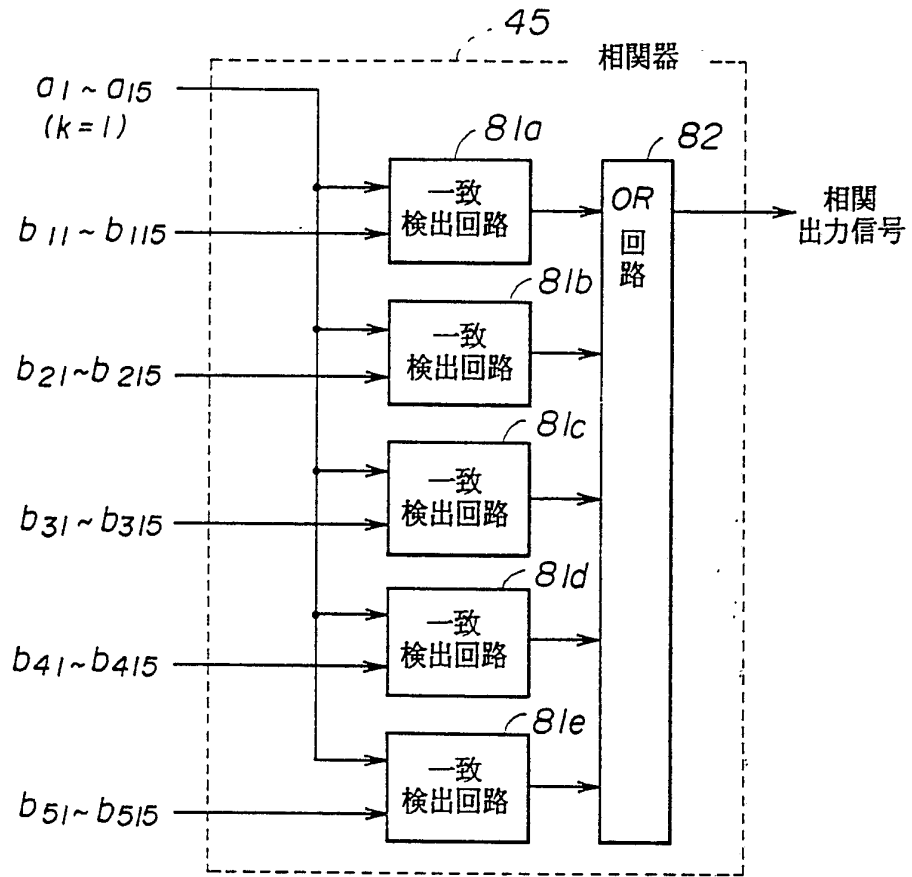


FIG. 10B

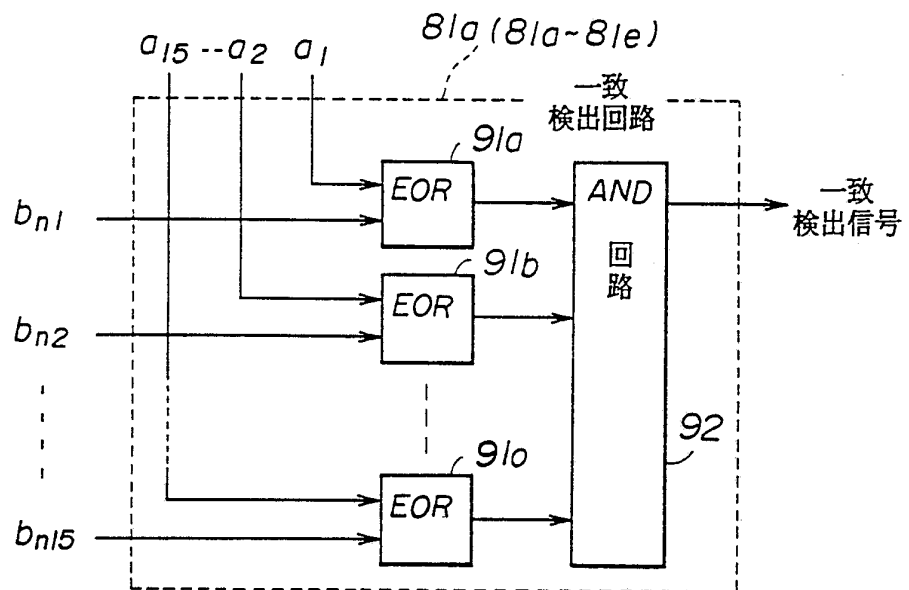


FIG. 11

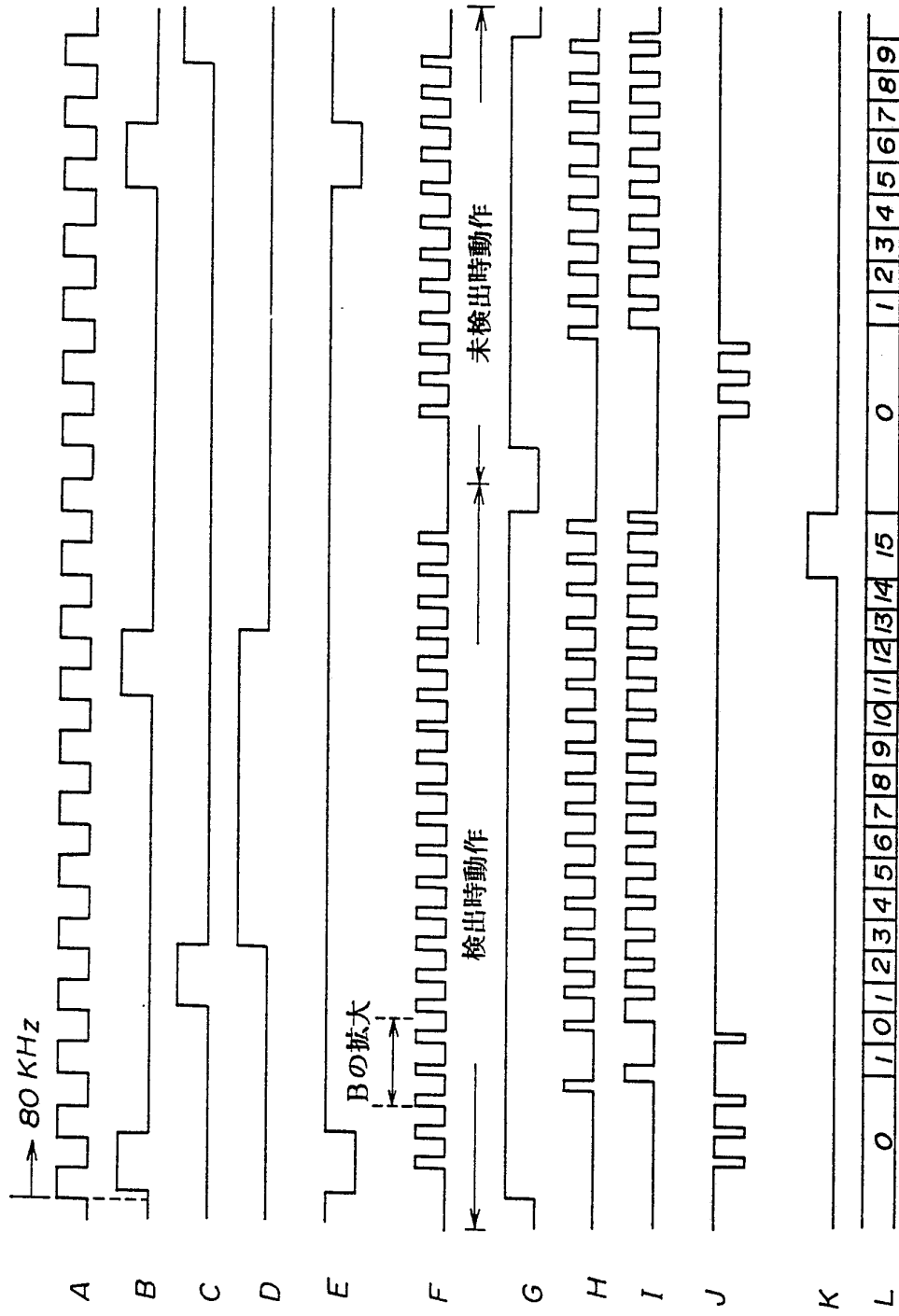


FIG.12

45 相關器

$$\begin{aligned}
 A1 &= Q1 \cdot Q2 \cdot Q3 \cdot Q4 \cdot Q5 \cdot Q7 & B1 &= Q9 \cdot QA \cdot QB \cdot QC \cdot QD \cdot QF \\
 A2 &= Q1 \cdot Q2 \cdot Q3 \cdot Q4 \cdot Q6 \cdot Q7 & B2 &= Q9 \cdot QA \cdot QB \cdot QC \cdot QE \cdot QF \\
 A3 &= Q1 \cdot Q2 \cdot Q3 \cdot Q5 \cdot Q6 \cdot Q7 & B3 &= Q9 \cdot QA \cdot QB \cdot QD \cdot QE \cdot QF \\
 A4 &= Q1 \cdot Q2 \cdot Q4 \cdot Q5 \cdot Q6 \cdot Q7 & B4 &= Q9 \cdot QA \cdot QC \cdot QD \cdot QE \cdot QF \\
 A5 &= Q1 \cdot Q3 \cdot Q4 \cdot Q5 \cdot Q6 \cdot Q7 & B5 &= Q9 \cdot QB \cdot QC \cdot QD \cdot QE \cdot QF
 \end{aligned}$$

$$\begin{aligned}
 &A1 \cdot B1 + A1 \cdot B2 \\
 &+ A2 \cdot B1 + A2 \cdot B2 + A2 \cdot B3 \\
 &+ A3 \cdot B2 + A3 \cdot B3 + A3 \cdot B4 \\
 &+ A4 \cdot B3 + A4 \cdot B4 + A4 \cdot B5 \\
 &+ A5 \cdot B4 + A5 \cdot B5
 \end{aligned}$$

Y

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP93/00100

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl ⁵ H04L27/00 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl ⁵ H04L27/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1968 - 1992 Kokai Jitsuyo Shinan Koho 1974 - 1992 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP, A, 4-120840 (NEC Corp.), April 21, 1992 (21. 04. 92)	1-7
P,A	JP, A, 4-122152 (NEC Corp.), April 22, 1992 (22. 04. 92)	1-7
A	JP, A, 55-100774 (NEC Corp.), July 31, 1980 (31. 07. 80), (Family: none)	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search April 2, 1993 (02. 04. 93)		Date of mailing of the international search report April 27, 1993 (27. 04. 93)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl⁸ H04L27/00		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl⁸ H04L27/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1968-1992年 日本国公報実用新案公報 1974-1992年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, A	JP, A, 4-120840 (日本電気株式会社) 21. 4月. 1992 (21. 04. 92)	1-7
P, A	JP, A, 4-122152 (日本電気株式会社) 22. 4月. 1992 (22. 04. 92)	1-7
A	JP, A, 55-100774 (日本電気株式会社) 31. 7月. 1980 (31. 07. 80) (ファミリーなし)	1-7
<input type="checkbox"/> C欄の続きにも文献が列举されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 02. 04. 93	国際調査報告の発送日 27. 04. 93	
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 武井 毅彦	5 K 9 2 9 7
電話番号 03-3581-1101 内線		3558