

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 27 年 3 月 26 日 (2015.3.26)

【公表番号】特表 2014-511619 (P2014-511619A)

【公表日】平成 26 年 5 月 15 日 (2014.5.15)

【年通号数】公開・登録公報 2014-025

【出願番号】特願 2013-555585 (P2013-555585)

【国際特許分類】

H 0 3 K 17/687 (2006.01)

H 0 3 M 1/12 (2006.01)

H 0 3 K 17/693 (2006.01)

【F I】

H 0 3 K 17/687 G

H 0 3 M 1/12 A

H 0 3 K 17/693 A

【手続補正書】

【提出日】平成 27 年 2 月 3 日 (2015.2.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

装置であって、

負の電圧レールと、

正の電圧レールと、

複数のマルチプレクサセルであって、各マルチプレクサセルが複数の選択信号の少なくとも 1 つにより制御され、制御信号がディアサートされるときに各マルチプレクサセルが不活性化され、各マルチプレクサセルが、

入力端子と、

出力端子と、

前記負の電圧レールに結合されるスイッチネットワークと、

前記入力端子と前記出力端子と前記スイッチネットワークとに結合されるブーストされたスイッチと、

を含む、前記複数のマルチプレクサセルと、

前記マルチプレクサセルの各々の前記出力端子と各マルチプレクサセルの前記スイッチネットワークと前記正の電圧レールとに結合され、前記制御信号により制御されるブースト回路と、

を含み、

前記ブースト回路が、

前記正の電圧レールに及び各マルチプレクサセルの前記スイッチネットワークに結合される第 1 のスイッチであって、前記制御信号がアサートされるときに活性化される前記第 1 のスイッチと、

接地に及び各マルチプレクサセルの前記出力端子に結合される第 2 のスイッチであって、前記制御信号がアサートされるときに活性化される前記第 2 のスイッチと、

前記第 1 及び第 2 のスイッチ間に結合されるキャパシタと、

を更に含み、

各ブーストされたスイッチが、そのソースで前記入力端子に、そのドレインで前記出力端子に、及びそのゲートで前記スイッチネットワークに結合されるNMOSトランジスタを更に含む、

各スイッチネットワークが、

前記NMOSトランジスタの前記ソースに結合される第3のスイッチと、

前記第3のスイッチと前記出力端子との間に結合される第4のスイッチと、

前記第3及び第4のスイッチ間のノードに及び接地に結合される第5のスイッチと、

前記負の電圧レールと前記NMOSトランジスタの前記ゲートとの間に結合される第6のスイッチと、

前記第1のスイッチと前記NMOSトランジスタの前記ゲートとの間に結合される第7のスイッチと、

を更に含む、装置。

【請求項2】

請求項1に記載の装置であって、

前記装置の入力範囲が、 $+/-12V$ 、 $+/-10V$ 、 $+/-5V$ 、 $0V \sim 10V$ 、及び $0V \sim 5V$ である、装置。

【請求項3】

請求項1に記載の装置であって、

前記負の電圧レールが約 $-15V$ の電圧を有する、装置。

【請求項4】

請求項1に記載の装置であって、

各マルチプレクサセルが、前記出力端子と前記ブースト回路との間に結合される伝送ゲートを更に含む、装置。

【請求項5】

装置であって、

負の電圧レールと、

正の電圧レールと、

複数のマルチプレクサセルを有するマルチプレクサであって、各マルチプレクサセルが選択信号複数のセットの少なくとも1つにより制御され、各マルチプレクサセルが、

入力端子と、

出力端子と、

前記負の電圧レールに結合されるスイッチネットワークと、

前記入力端子と前記出力端子と前記スイッチネットワークとに結合されるブーストされたスイッチと、

を含む、前記複数のマルチプレクサセルと、

前記マルチプレクサセルの各々の前記出力端子と各マルチプレクサセルの前記スイッチネットワークと前記正の電圧レールとに結合されるブースト回路であって、制御信号により制御される、前記ブースト回路と、

各マルチプレクサセルの前記出力端子に結合されるアナログデジタルコンバータ(ADC)であって、サンプリング位相の間に前記マルチプレクサからの出力信号をサンプリングし、変換位相の間に変換を実行し、変換位相の間に各マルチプレクサセルが不活性化される、前記ADCと、

を含み、

前記ブースト回路が、

前記正の電圧レールに及び各マルチプレクサセルの前記スイッチネットワークに結合される第1のスイッチと、

接地に及び各マルチプレクサセルの前記出力端子に結合される第2のスイッチであって、前記サンプル位相の少なくとも一部の間に前記制御信号がアサートされるときに前記第1及び第2のスイッチが活性化される、前記第2のスイッチと、

前記第1及び第2のスイッチ間に結合されるキャパシタと、

を更に含み、
選択信号の各セットが第1の選択信号と第2の選択信号を更に含み、
各ブーストされたスイッチが、そのソースで前記入力端子に、そのドレインで前記出力端子に、及びそのゲートで前記スイッチネットワークに結合されるNMOSトランジスタを更に含み、
各スイッチネットワークが、
前記NMOSトランジスタの前記ソースに結合され、前記選択信号のセットの前記第1の選択信号により制御される第3のスイッチと、
前記第3のスイッチと前記出力端子との間に結合され、前記選択信号のセットの前記第1の選択信号により制御される第4のスイッチと、
前記第3及び第4のスイッチ間のノードに及び接地に結合される第5のスイッチであって、前記選択信号のセットの前記第2の選択信号により制御される前記第5のスイッチと
、
前記負の電圧レールと前記NMOSトランジスタの前記ゲートとの間に結合される第6のスイッチであって、前記選択信号のセットの前記第2の選択信号により制御される前記第6のスイッチと、
前記第1のスイッチと前記NMOSトランジスタの前記ゲートとの間に結合される第7のスイッチであって、前記選択信号のセットの前記第1の選択信号により制御される前記第7のスイッチと、
を更に含む、装置。

【請求項6】
請求項5に記載の装置であって、
前記マルチプレクサの入力範囲が、+/-12V、+/-10V、+/-5V、0V~10V、及び0V~5Vである、装置。

【請求項7】
請求項5に記載の装置であって、
前記負の電圧レールが約-15Vの電圧を有する、装置。

【請求項8】
請求項5に記載の装置であって、
前記第1、第2、第3、第4、第5、第6及び第7のスイッチがCMOSスイッチである、装置。

【請求項9】
請求項5に記載の装置であって、
前記変換位相の間に前記複数の選択信号のセットの各々をデassertするブーストロジックを更に含む、装置。

【請求項10】
請求項5に記載の装置であって、
各マルチプレクサセルが、前記出力端子と前記ブースト回路との間に結合される伝送ゲートを更に含む、装置。

【請求項11】
複数のチャンネルを有するマルチプレクサを用いることにより、複数のアナログ入力信号の選択されたアナログ入力信号の少なくとも一部をデジタル化するための方法であって、各チャンネルが前記アナログ入力信号の少なくとも1つに関連付けられ、各チャンネルが一對の選択信号に関連付けられ、各チャンネルが、入力端子と出力端子とブーストされたNMOSスイッチとを有するセルを含み、
前記方法が、
各セルに対する前記入力端子及び出力端子を分離するために選択信号の各対から第1の選択信号をassertする工程と、
選択信号の各対から前記第1の選択信号がassertされる間にサンプル位相の初期部分中にブーストキャパシタを充電する工程と、

前記選択されたアナログ入力信号に関連付けられる前記セルに対する前記入力端子及び出力端子を共に結合するように、関連付けられたブーストされたN M O Sスイッチに前記 ブーストキャパシタにストアされた電圧を提供するように、前記選択されたアナログ入力信号に関連付けられる第2の選択信号をアサートする工程と、

前記選択されたアナログ入力信号の前記部分をデジタル化する工程と、
を含む、方法。

【請求項 1 2】

請求項 1 1 に記載の方法であって、

前記第1の選択信号をアサートする工程が、各セルにおけるノードを接地するように各セルにおける前記入力端子と出力端子との間のノードに結合されるスイッチを活性化することを更に含む、方法。