

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3656495号

(P3656495)

(45) 発行日 平成17年6月8日(2005.6.8)

(24) 登録日 平成17年3月18日(2005.3.18)

(51) Int. Cl.<sup>7</sup>

H02M 3/07

F I

H02M 3/07

請求項の数 14 (全 16 頁)

(21) 出願番号	特願2000-16171 (P2000-16171)	(73) 特許権者	000002369
(22) 出願日	平成12年1月25日(2000.1.25)		セイコーエプソン株式会社
(65) 公開番号	特開2001-211635 (P2001-211635A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成13年8月3日(2001.8.3)	(74) 代理人	100110858
審査請求日	平成14年10月31日(2002.10.31)		弁理士 柳瀬 睦肇
		(74) 代理人	100110777
			弁理士 宇都宮 正明
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	安江 匡
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 DC-DC昇圧方法及びそれを用いた電源回路

(57) 【特許請求の範囲】

【請求項1】

(a) 昇圧クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、

(b) 前記昇圧電圧を制御クロック信号に同期してホールドし、ホールドされた昇圧電圧を少なくとも1つの所定の電圧と比較するステップと、

(c) ステップ(b)における比較結果に基づいて、ステップ(a)において用いる昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定するステップと、

を具備することを特徴とするDC-DC昇圧方法。

【請求項2】

ステップ(c)が、ステップ(a)において用いる少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定することによりステップ(a)における入力電圧の昇圧倍率を変化させるステップを含むことを特徴とする請求項1記載のDC-DC昇圧方法。

【請求項3】

(a) 昇圧クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、

(b) 前記昇圧電圧を用いて、安定化された動作電圧を発生するステップと、

(c) 前記昇圧電圧と前記動作電圧との間のマージン電圧を制御クロック信号に同期し

10

20

てホールドし、ホールドされたマージン電圧を検出するステップと、

(d)ステップ(c)における検出結果に基づいて、ステップ(a)において用いる昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定するステップと、  
を具備することを特徴とするDC-DC昇圧方法。

【請求項4】

ステップ(d)が、ステップ(a)において用いる少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定することによりステップ(a)における入力電圧の昇圧倍率を変化させるステップを含むことを特徴とする請求項3記載のDC-DC昇圧方法。

10

【請求項5】

ステップ(c)が、前記マージン電圧を第1の所定の電圧及び第2の所定の電圧と比較するステップを含み、

ステップ(d)が、前記マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げるステップと、前記マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときに昇圧クロック信号の周波数を1段階下げるステップと、前記マージン電圧が第2の所定の電圧よりも小さいときに昇圧クロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるステップとを含むことを特徴とする請求項4記載のDC-DC昇圧方法。

【請求項6】

20

ステップ(c)が、前記マージン電圧を第1から第3までの所定の電圧と比較するステップを含み、

ステップ(d)が、前記マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げるステップと、前記マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときに昇圧クロック信号の周波数を1段階下げるステップと、前記マージン電圧が第2の所定の電圧よりも小さく第3の所定の電圧よりも大きいときに昇圧倍率と昇圧クロック信号の周波数とを維持するステップと、前記マージン電圧が第3の所定の電圧よりも小さいときに昇圧クロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるステップとを含むことを特徴とする請求項4記載のDC-DC昇圧方法。

【請求項7】

30

入力電圧が供給され、昇圧クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生する昇圧回路と、

前記昇圧回路が発生する昇圧電圧を制御クロック信号に同期してホールドし、ホールドされた昇圧電圧を少なくとも1つの所定の電圧と比較するホールド・比較回路と、

前記ホールド・比較回路の比較結果に基づいて、前記昇圧回路が用いる昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定する昇圧クロック調整回路と、  
を具備することを特徴とする電源回路。

【請求項8】

前記昇圧クロック調整回路が、前記昇圧回路が用いる少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定することにより前記昇圧回路における入力電圧の昇圧倍率を変化させることを特徴とする請求項7記載の電源回路。

40

【請求項9】

入力電圧が供給され、昇圧クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生する昇圧回路と、

前記昇圧回路が発生する昇圧電圧を用いて、安定化された動作電圧を発生する電圧調整回路と、

前記昇圧回路が発生する昇圧電圧と前記電圧調整回路が発生する動作電圧との間のマージン電圧を制御クロック信号に同期してホールドし、ホールドされたマージン電圧を検出するホールド・検出回路と、

50

前記ホールド・検出回路の検出結果に基づいて、前記昇圧回路が用いる昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定する昇圧クロック調整回路と、  
を具備することを特徴とする電源回路。

【請求項10】

前記昇圧クロック調整回路が、前記昇圧回路が用いる少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定することにより前記昇圧回路における入力電圧の昇圧倍率を変化させることを特徴とする請求項9記載の電源回路。

【請求項11】

前記ホールド・検出回路が、前記マージン電圧を第1の所定の電圧及び第2の所定の電圧と比較し、

前記昇圧クロック調整回路が、前記マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げ、前記マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときに昇圧クロック信号の周波数を1段階下げ、前記マージン電圧が第2の所定の電圧よりも小さいときに昇圧クロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるように、昇圧クロック信号の振幅又は周波数を調整することを特徴とする請求項10記載の電源回路。

【請求項12】

前記ホールド・検出回路が、前記マージン電圧を第1から第3までの所定の電圧と比較し、

前記昇圧クロック調整回路が、前記マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げ、前記マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときに昇圧クロック信号の周波数を1段階下げ、前記マージン電圧が第2の所定の電圧よりも小さく第3の所定の電圧よりも大きいときに昇圧倍率と昇圧クロック信号の周波数とを維持し、前記マージン電圧が第3の所定の電圧よりも小さいときに昇圧クロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるように、昇圧クロック信号の振幅又は周波数を調整することを特徴とする請求項10記載の電源回路。

【請求項13】

コンデンサと、複数の抵抗と、前記昇圧クロック調整回路から出力される複数の制御信号に従って前記複数の抵抗の接続を変化させる複数のスイッチ回路とを含み、可変周波数の昇圧クロック信号を発生して前記昇圧回路に供給する昇圧クロック発生回路をさらに具備することを特徴とする請求項7～12のいずれか1項記載の電源回路。

【請求項14】

前記昇圧回路に含まれる、上部電極と下部電極に第1の位相で信号が印加される少なくとも1つのコンデンサと、上部電極と下部電極に第1の位相と逆の第2の位相で信号が印加される少なくとも1つのコンデンサとが、半導体基板内にM×Nの市松状(M、Nは自然数)に配置されたことを特徴とする請求項7～13のいずれか1項記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DC-DC昇圧方法及びそれを用いた電源回路に関し、特に、液晶駆動用電源昇圧回路や液晶駆動用電源内臓のドライバICにおいて用いられるチャージポンプ方式のDC-DC昇圧方法及び電源回路に関する。

【0002】

【従来の技術】

一般的に、液晶を用いる機器においては、液晶を駆動するための高圧電源が必要となるが、この高圧電源をDC-DC昇圧によって作り出すことが多い。

【0003】

このような液晶駆動用のドライバICにおける一般的な電源回路の構成を図13に示す。このICは、高電位側の電源電圧 $V_{DD}$ と低電位側の電源電圧 $V_{SS}$ とが供給されて動作する

10

20

30

40

50

。図13において、昇圧回路10は、高電位側の電源電圧 $V_{DD}$ を昇圧して、昇圧電圧 $V_{OUT}$ を出力する。昇圧電圧 $V_{OUT}$ が供給された電圧調整回路20は、液晶表示装置のための動作電圧 $V_{LCD}$ を作成する。ボルテージフォロワ回路30は、この動作電圧 $V_{LCD}$ を分圧及びバッファして、各機能における負荷に応じた各種の電圧 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ を出力する。

【0004】

昇圧回路10の構成例を図14に、電圧調整回路20の構成例を図15に示す。図14の昇圧回路において、高電位側の電源電圧 $V_{DD}$ と低電位側の電源電圧 $V_{SS}$ の間には、Pチャネルトランジスタ $Q_{1P}$ とNチャネルトランジスタ $Q_{1N}$ とが直列に接続されており、これと並行して、Pチャネルトランジスタ $Q_{2P}$ とNチャネルトランジスタ $Q_{2N}$ とが直列に接続されている。また、高電位側の電源電圧 $V_{DD}$ には、Pチャネルトランジスタ $Q_3$ 、 $Q_4$ 、 $Q_5$ が直列に接続されている。

10

【0005】

トランジスタ $Q_{1P}$ 及びトランジスタ $Q_{1N}$ のドレインとトランジスタ $Q_3$ のソースとの間にはコンデンサ $C_1$ が接続され、トランジスタ $Q_{2P}$ 及びトランジスタ $Q_{2N}$ のドレインとトランジスタ $Q_4$ のソースとの間にはコンデンサ $C_2$ が接続されている。また、トランジスタ $Q_5$ のソースから昇圧電圧 $V_{OUT}$ が取り出される。

【0006】

図16は、3倍昇圧の場合に図14の昇圧回路に入力されるクロック信号の波形を示す図である。トランジスタ $Q_{1P}$ のゲートに入力されるクロック信号 $CL_{1P}$ と、トランジスタ $Q_{1N}$ のゲートに入力されるクロック信号 $CL_{1N}$ とは同一である。また、トランジスタ $Q_{2P}$ のゲートに入力されるクロック信号 $CL_{2P}$ と、トランジスタ $Q_{2N}$ のゲートに入力されるクロック信号 $CL_{2N}$ は、クロック信号 $CL_{1P}$ 及び $CL_{1N}$ と逆相である。これらのクロック信号 $CL_{1P}$ 、 $CL_{1N}$ 、 $CL_{2P}$ 、 $CL_{2N}$ は、電源電圧 $V_{DD}$ と $V_{SS}$ との間で遷移する。

20

【0007】

また、トランジスタ $Q_3$ のゲートに入力されるクロック信号 $CL_3$ と、トランジスタ $Q_5$ のゲートに入力されるクロック信号 $CL_5$ は、クロック信号 $CL_{1P}$ 及び $CL_{1N}$ と逆相である。また、トランジスタ $Q_4$ のゲートに入力されるクロック信号 $CL_4$ は、クロック信号 $CL_{2P}$ 及び $CL_{2N}$ と逆相である。これらのクロック信号 $CL_3$ 、 $CL_4$ 、 $CL_5$ は、昇圧電圧 $V_{OUT}$ と電源電圧 $V_{SS}$ との間で遷移する。

30

【0008】

なお、2倍昇圧の場合には、クロック信号 $CL_{2P}$ と $CL_{2N}$ が電源電圧 $V_{DD}$ に固定され、クロック信号 $CL_5$ が電源電圧 $V_{SS}$ に固定される。

【0009】

液晶駆動用のドライバICをガラス基板上に搭載するCOG(チップオンガラス)方式においては、プリント回路基板と液晶表示装置との接続端子数を削減する必要があるため、液晶駆動用のドライバICに昇圧用チャージポンプコンデンサの内蔵が要求されている。

【0010】

【発明が解決しようとする課題】

しかしながら、信頼性やコストの面から、ICに大きなコンデンサを内蔵することはできない。昇圧電源の電流供給能力はコンデンサの容量値とスイッチングの周波数に依存するので、昇圧電源の電流供給能力を確保しようとする、高い周波数でスイッチング動作させる必要がある。

40

【0011】

ところが、ICに内蔵されるコンデンサには、必ず寄生容量が発生する。スイッチング周波数が高いと、寄生容量の充放電による無効電流が大きくなる。図17に、この寄生容量を示す。

【0012】

図17の(a)において、半導体基板91上に、絶縁膜92を介してコンデンサの下部電極93が形成されている。さらに、その上に誘電体94を介してコンデンサの上部電極95が形成されている。ここで、下部電極93と半導体基板91との間には、寄生容量 $C_s$

50

が発生している。

【0013】

図17の(b)においては、半導体基板91内に $N^+$ 領域96がコンデンサの下部電極として形成され、その上に誘電体94を介してコンデンサの上部電極95が形成されている。ここで、下部電極96と半導体基板91との間には、寄生容量 $C_s$ が発生している。

【0014】

ICに内蔵されるコンデンサは寄生容量の小さい構成とし、スイッチング周波数は必要十分な高さに変調する必要がある。

【0015】

スイッチング周波数を変調する方法としては、日本国特許出願公開公報(特開)平4-162560号、特開平5-64429号、特開平7-160215号に掲載されているものが知られている。しかし、昇圧回路の電源電圧 $V_{DD}$ を流れる電流は、昇圧電源の負荷電流を $I_{OUT}$ とすると、ほぼ $I_{OUT} \times$ 昇圧倍率となり、消費電流を低減するためには、昇圧倍率を、昇圧電圧 $V_{OUT} >$ 動作電圧 $V_{LCD}$ となる最小の昇圧倍率に設定する必要がある。

【0016】

ここで、昇圧電圧 $V_{OUT}$ は、昇圧電源の出力インピーダンスと負荷電流 $I_{OUT}$ とに依存する。昇圧電源の出力インピーダンスは、コンデンサの容量値とスイッチング周波数とに依存する。ICに内蔵されるコンデンサは小さいこと、また、スイッチング周波数はなるべく低くしたいことから、昇圧電源の出力インピーダンスは大きくなる。また、負荷電流 $I_{OUT}$ としては、液晶パネルの充放電電流が支配的であり、液晶パネルの充放電電流は、表示モードと表示内容とに依存する。

【0017】

このため、表示モードや表示内容によって昇圧電圧 $V_{OUT}$ が大きく変動するので、表示モードや表示内容に応じて必要最小限の昇圧倍率となるように、昇圧倍率を変調する必要がある。上記の特許公報によれば、スイッチング周波数の変調には対応しているが、昇圧倍率の変調には対応していない。一方、昇圧倍率の変調はMPUからのソフトウェア制御によっても可能ではあるが、この場合には、表示モードに応じて昇圧倍率を変調することはできても、表示内容に応じて昇圧倍率を変調することはできない。

【0018】

また、近年においては、液晶パネルの表示容量が大きくなってきており、液晶駆動用のドライバICにおける消費電流が増加する傾向にある。しかしながら、特に携帯機器では、表示容量が大きくなって消費電力の増加は認められず、むしろ低消費電力化が求められている。このような機器においては、表示モードをより細かく制御することにより消費電力を必要最小限に抑えようとしている。

【0019】

そこで、上記の点に鑑み、本発明の目的は、液晶パネルの表示モードや表示内容が変化しても、昇圧電圧のマージンを検出することにより消費電力を低減することができるDC-DC昇圧方法及び昇圧回路を提供することである。また、ICにスイッチングコンデンサを内蔵する場合に適した、寄生容量の小さいレイアウト構成を提供することである。

【0020】

【課題を解決するための手段】

以上の課題を解決するため、本発明の第1の観点によるDC-DC昇圧方法は、(a)昇圧クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、(b)昇圧電圧を制御クロック信号に同期してホールドし、ホールドされた昇圧電圧を少なくとも1つの所定の電圧と比較するステップと、(c)ステップ(b)における比較結果に基づいて、ステップ(a)において用いる昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定するステップとを具備する。

【0021】

また、本発明の第1の観点による電源回路は、入力電圧が供給され、昇圧クロック信号

10

20

30

40

50

を用いて入力電圧を昇圧することにより昇圧電圧を発生する昇圧回路と、昇圧回路が発生する昇圧電圧を制御クロック信号に同期してホールドし、ホールドされた昇圧電圧を少なくとも1つの所定の電圧と比較するホールド・比較回路と、ホールド・比較回路の比較結果に基づいて、昇圧回路が用いる昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定する昇圧クロック調整回路とを具備する。

【0022】

さらに、本発明の第2の観点によるDC-DC昇圧方法は、(a)昇圧クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生するステップと、(b)昇圧電圧を用いて、安定化された動作電圧を発生するステップと、(c)昇圧電圧と動作電圧との間のマージン電圧を制御クロック信号に同期してホールドし、ホールドされたマージン電圧を検出するステップと、(d)ステップ(c)における検出結果に基づいて、ステップ(a)において用いる昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定するステップとを具備する。

10

【0023】

また、本発明の第2の観点による電源回路は、入力電圧が供給され、昇圧クロック信号を用いて入力電圧を昇圧することにより昇圧電圧を発生する昇圧回路と、昇圧回路が発生する昇圧電圧を用いて、安定化された動作電圧を発生する電圧調整回路と、昇圧回路が発生する昇圧電圧と電圧調整回路が発生する動作電圧との間のマージン電圧を制御クロック信号に同期してホールドし、ホールドされたマージン電圧を検出するホールド・検出回路と、ホールド・検出回路の検出結果に基づいて、昇圧回路が用いる昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定する昇圧クロック調整回路とを具備する。

20

【0024】

ここで、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定することにより、入力電圧の昇圧倍率を変化させるようにしても良い。

【0025】

また、マージン電圧を第1の所定の電圧及び第2の所定の電圧と比較して、マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げ、マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときに昇圧クロック信号の周波数を1段階下げ、マージン電圧が第2の所定の電圧よりも小さいときに昇圧クロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるようにしても良い。

30

【0026】

さらに、マージン電圧を第1から第3までの所定の電圧と比較して、マージン電圧が第1の所定の電圧よりも大きいときに昇圧倍率を1段階下げ、マージン電圧が第1の所定の電圧よりも小さく第2の所定の電圧よりも大きいときに昇圧クロック信号の周波数を1段階下げ、マージン電圧が第2の所定の電圧よりも小さく第3の所定の電圧よりも大きいときに昇圧倍率と昇圧クロック信号の周波数とを維持し、マージン電圧が第3の所定の電圧よりも小さいときに昇圧クロック信号の周波数を1段階上げるか又は昇圧倍率を1段階上げるようにしても良い。

40

【0027】

以上の電源回路においては、コンデンサと、複数の抵抗と、昇圧クロック調整回路から出力される複数の制御信号に従って複数の抵抗の接続を変化させる複数のスイッチ回路とを含み、可変周波数の昇圧クロック信号を発生して昇圧回路に供給する昇圧クロック発生回路をさらに具備するようにしても良い。

【0028】

また、以上の電源回路において、昇圧回路に含まれる、上部電極と下部電極に第1の位相で信号が印加される少なくとも1つのコンデンサと、上部電極と下部電極に第1の位相と逆の第2の位相で信号が印加される少なくとも1つのコンデンサとが、半導体基板内にM×Nの市松状(M、Nは自然数)に配置されるようにしても良い。

50

## 【0029】

以上の様に構成した本発明によれば、液晶パネルの表示モードや表示内容が変化しても、昇圧電圧又はマージン電圧を制御クロック信号に同期してホールドし、ホールドされた電圧に基づいて、昇圧クロック信号の周波数を調整し、又は、少なくとも1つのスイッチング素子を制御する昇圧クロック信号を固定することにより、消費電力を低減することができる。

## 【0030】

## 【発明の実施の形態】

以下、図面に基づいて、本発明の実施の形態について説明する。尚、同一の要素には同一の番号を付して、説明を省略する。

10

## 【0031】

本発明の第1の実施形態に係る電源回路は、全体としては図1に示すような構成となっている。この電源回路は、高電位側の電源電圧 $V_{DD}$ と低電位側の電源電圧 $V_{SS}$ とが供給されて動作する。なお、これらの電源電圧の内の一方がアース電位であっても良い。本実施形態においては、低電位側の電源電圧 $V_{SS}$ がアース電位と等しいとする。

## 【0032】

図1において、昇圧回路10は、高電位側の電源電圧 $V_{DD}$ を昇圧して、昇圧電圧 $V_{OUT}$ を出力する。昇圧電圧 $V_{OUT}$ が供給された電圧調整回路20は、液晶表示装置のための動作電圧 $V_{LCD}$ を作成する。ボルテージフォロワ回路30は、この動作電圧 $V_{LCD}$ を分圧及びバッファして、各機能における負荷に応じた各種の電圧 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ を出力する。昇圧回路10と電圧調整回路20の構成及び動作は、それぞれ図14及び図15に示すものと同一でも良い。図14に示す昇圧回路を用いて3倍昇圧を行う場合には、図16に示すような昇圧クロック信号を用いることができる。なお、動作電圧 $V_{LCD}$ を昇圧電圧 $V_{OUT}$ と等しくする場合には、電圧調整回路20は不要である。

20

## 【0033】

図1に示すように、本実施形態に係る電源回路は、さらに昇圧クロック調整回路40を含んでいる。昇圧クロック調整回路40は、昇圧回路10から昇圧電圧 $V_{OUT}$ が供給され、電圧調整回路20から動作電圧 $V_{LCD}$ が供給されており、これらと比較することにより昇圧回路10に供給される昇圧クロック信号をゲートしたり周波数を変化させる等の調整をして、昇圧回路10の昇圧動作を制御する。なお、動作電圧 $V_{LCD}$ を昇圧電圧 $V_{OUT}$ と等しくする場合には、昇圧クロック調整回路40は、昇圧電圧 $V_{OUT}$ のみに基づいて昇圧クロック信号を調整する。

30

## 【0034】

図2に、この昇圧クロック調整回路40の構成例を示す。図2に示すように、昇圧クロック調整回路は、PチャネルトランジスタとNチャネルトランジスタとを有するスイッチ回路1~4を含んでいる。スイッチ回路1~4は、互いに逆相の制御クロック信号とバーとに従って開閉する。例えば、スイッチ回路1においては、制御クロック信号がハイレベルで制御クロック信号バーがローレベルのときにスイッチが閉じ、制御クロック信号がローレベルで制御クロック信号バーがハイレベルのときにスイッチが開く。

## 【0035】

昇圧電圧 $V_{OUT}$ と動作電圧 $V_{LCD}$ との電位差（実際のマージン電圧）は、スイッチ回路1と2が閉じスイッチ回路3と4が開いたときにコンデンサ5に供給され、コンデンサ5の両端の電位差は、スイッチ回路3と4が閉じスイッチ回路1と2が開いたときにコンデンサ6に供給される。コンデンサ6の両端の電位差 $V_C$ は、コンパレータ7に印加される。コンパレータ7は、この電位差 $V_C$ を所定の電圧 $V_{REF}$ と比較して、比較結果を少なくとも1つのゲート回路8に出力する。なお、電圧を比較するための回路として、コンパレータ7のかわりにA/Dコンバータを使用することも可能である。

40

## 【0036】

本実施形態においては、ゲート回路8としてOR回路を用いている。また、所定の電圧 $V_{REF}$ を、昇圧電圧 $V_{OUT}$ と動作電圧 $V_{LCD}$ との間の所望のマージン電圧と等しく設定してい

50

る。OR回路8は、コンデンサ6の両端の電位差 $V_C$ が所定の電圧 $V_{REF}$ よりも小さい場合に、入力された昇圧クロック信号を出力する。この昇圧クロック信号は、例えば、図14の昇圧回路におけるPチャネルトランジスタ $Q_{2P}$ のゲートに、昇圧クロック信号 $CL_{2P}$ として供給される。電位差 $V_C$ が所定の電圧 $V_{REF}$ よりも大きくなった場合には、OR回路8は、昇圧クロック信号のかわりにハイレベルの信号を昇圧回路に供給する。これにより、昇圧回路の昇圧倍率を変化させ、昇圧電圧 $V_{OUT}$ と動作電圧 $V_{LCD}$ との間の電位差を所望のマージン電圧に近付けることができる。

#### 【0037】

図2においては、昇圧電圧 $V_{OUT}$ と動作電圧 $V_{LCD}$ との電位差を、スイッチ回路1~4とコンデンサ5及び6を用いて検出する構成としたが、図3に示すように分圧回路を用いて、昇圧電圧 $V_{OUT}$ を分圧した電圧と、動作電圧 $V_{LCD}$ を分圧した電圧とを比較する構成としても良い。昇圧電圧 $V_{OUT}$ には抵抗 $R_{11} \sim R_{15}$ が接続されており、動作電圧 $V_{LCD}$ には抵抗 $R_{21} \sim R_{25}$ が接続されている。コンパレータ7において、例えば、分圧された電圧 $V_{14}$ と $V_{24}$ とを比較することにより、比較結果を少なくとも1つのゲート回路8に出力する。

#### 【0038】

また、図4に示すように、昇圧電圧 $V_{OUT}$ を分圧した電圧を、所定の電圧 $V_{REF}$ と比較する構成としても良い。昇圧電圧 $V_{OUT}$ には抵抗 $R_{11} \sim R_{15}$ が接続されている。コンパレータ7において、例えば、分圧された電圧 $V_{14}$ を所定の電圧 $V_{REF}$ と比較することにより、比較結果を少なくとも1つのゲート回路8に出力する。ここで、昇圧電圧 $V_{OUT}$ を動作電圧 $V_{LCD}$ として用いるようにしても良い。

#### 【0039】

図2の電源回路は、昇圧電圧 $V_{OUT}$ と動作電圧 $V_{LCD}$ との電位差(実際のマージン電圧)が一定の値(所望のマージン電圧)となるように制御する。これに対し、図3の電源回路においては、昇圧電圧 $V_{OUT}$ と動作電圧 $V_{LCD}$ との電位差が、昇圧電圧 $V_{OUT}$ 又は動作電圧 $V_{LCD}$ の値によって変化する。また、図4の電源回路は、昇圧電圧 $V_{OUT}$ が一定の値となるように制御する。図3又は図4の電源回路の構成は比較的簡単であるが、分圧回路を抵抗により構成する場合にはチップ面積が多少大きくなり、抵抗を流れる電流によって消費電力も多少増加する。

#### 【0040】

次に、本発明の第2の実施形態について説明する。本実施形態においては、図5に示すような昇圧クロック調整回路を使用している。第1の実施形態と異なる点は、コンデンサ6の両端の電位差 $V_C$ が、第1のコンパレータ7と第2のコンパレータ9とに印加されるようにしたことである。第1のコンパレータ7は、この電位差 $V_C$ を第1の所定の電圧 $V_{REF1}$ と比較して、比較結果Aを出力する。また、第2のコンパレータ9は、この電位差 $V_C$ を第2の所定の電圧 $V_{REF2}$ と比較して、比較結果Bを出力する。

#### 【0041】

本実施形態においては、第2の所定の電圧 $V_{REF2}$ を、昇圧電圧 $V_{OUT}$ と動作電圧 $V_{LCD}$ との間の所望のマージン電圧と等しく設定し、第1の所定の電圧 $V_{REF1}$ を、これよりも大きい電圧(例えば、 $V_{DD} - V_{SS}$ )に設定している。そして、比較結果Aを昇圧倍率制御フラグとして使用し、比較結果Bを昇圧クロック周波数制御フラグとして使用する。

#### 【0042】

図6に、具体的な制御動作を示す。昇圧倍率制御フラグAがハイレベル1の場合には、昇圧倍率を1段階下げる。昇圧倍率制御フラグAがローレベル0で昇圧クロック周波数制御フラグBがハイレベル1の場合には、昇圧クロック周波数を1段階下げる。昇圧倍率制御フラグAと昇圧クロック周波数制御フラグBがともにローレベル0の場合には、昇圧クロック周波数を1段階上げる。ただし、昇圧クロック周波数が最大値であれば、昇圧倍率を1段階上げる。

#### 【0043】

ここで、昇圧倍率の制御は、第1の実施形態と同様に行うことができる。また、昇圧クロック周波数の制御は、図7に示す昇圧クロック発生回路を制御することにより行う。

10

20

30

40

50

または、高い発振周波数が必要となるが、分周回路の分周比を変えることにより行うこともできる。

【0044】

図7において、昇圧クロック発生回路は、直列接続されたインバータ51と52を含む。インバータ52の出力は、コンデンサ54を介して、インバータ51の入力に正帰還されている。また、インバータ52の出力は、インバータ53と直列接続された抵抗 $R_1 \sim R_8$ とを介して、インバータ51の入力に負帰還されている。以上の構成により、CR発振器が形成される。抵抗 $R_1 \sim R_7$ の一部を短絡するためにスイッチ回路 $S_1 \sim S_7$ が接続されており、これらのスイッチ回路の状態によってCR発振器の発振周波数を変更できる。図8に、スイッチ回路の具体的な回路例を示す。

10

【0045】

ここで、スイッチ回路 $S_4$ に供給される制御信号 $EN_0$ のみがアクティブである状態が標準であるとする。この状態においては、スイッチ回路 $S_4$ により抵抗 $R_1 \sim R_4$ がショートされて、発振周波数が標準値となっている。ここで、スイッチ回路 $S_7$ に供給される制御信号 $EN_{3P}$ がアクティブになると、スイッチ回路 $S_7$ により抵抗 $R_1 \sim R_7$ がショートされて、発振周波数が最大値となる。一方、どの制御信号もアクティブでなくなると、いずれの抵抗もショートされず、発振周波数が最小値となる。

【0046】

次に、本発明の第3の実施形態について説明する。本実施形態においては、図2に示すコンデンサ6の両端の電位差 $V_C$ を、図9に示すコンパレータ7において、3種類の所定の電圧 $V_{REF1}$ 、 $V_{REF2}$ 、 $V_{REF3}$ と時分割で比較する。ここで、例えば、 $V_{REF1} = V_{DD} - V_{SS}$ とし、 $V_{REF1} > V_{REF2} > (\text{所望のマージン電圧}) > V_{REF3}$ とする。コンパレータ7の出力をシリアル/パラレル変換することにより、それぞれの比較結果としてフラグA、B、Cを得ている。

20

【0047】

3種類の所定の電圧を切り換えるために、図8に示すのと同様なスイッチ回路 $S_{11}$ 、 $S_{12}$ 、 $S_{13}$ を用いている。また、コンパレータ7の出力をシリアル/パラレル変換するために、フリップフロップ61~64を用いている。これらのスイッチ回路及びフリップフロップには、図10に示すような制御クロック信号 $\phi_2 \sim \phi_6$ が供給される。

【0048】

フラグAとBはNOR回路65の入力に供給され、比較結果CはNOR回路65の反転入力に供給される。NOR回路65の出力は、ロード・イネーブル付きアップダウンカウンタ66のイネーブル反転入力に供給される。アップダウンカウンタ66は、制御クロック信号 $\phi_6$ が供給されて動作する。フラグAとBがローレベル0でフラグCがハイレベル1のときには、アップダウンカウンタ66がカウント動作を停止するので、昇圧倍率及び昇圧クロック周波数が維持される。

30

【0049】

アップダウンカウンタ66のそれぞれのカウント出力には、インバータ67~70が接続されている。AND回路71、72、...は、アップダウンカウンタ66のカウント出力及び反転されたインバータ出力を用いて、図7に示すような昇圧クロック発生回路に供給するための昇圧クロック周波数制御信号 $EN_{3M}$ 、 $EN_{2M}$ 、...を発生する。

40

【0050】

一方、フラグAと制御クロック信号 $\phi_6$ はAND回路73の入力に供給され、フラグCとアップダウンカウンタ66のキャリー出力はAND回路74の反転入力に供給される。AND回路73と74の出力はNOR回路75の入力に供給され、NOR回路75の出力はロード付きアップダウンカウンタ76のクロック入力に供給される。

【0051】

アップダウンカウンタ76のそれぞれのカウント出力には、インバータ77と78が接続されている。AND回路79~81は、アップダウンカウンタ76のカウント出力及び反転されたインバータ出力を用いて、図14に示すような昇圧回路に供給する昇圧クロック

50

信号をゲートするための昇圧倍率制御信号 X 1 ~ X 3 を発生する。

【 0 0 5 2 】

図 1 1 に、具体的な制御動作を示す。フラグ A、B、C がハイレベル 1 の場合には、昇圧倍率を 1 段階下げる。フラグ A がローレベル 0 でフラグ B と C がハイレベル 1 の場合には、昇圧クロック周波数を 1 段階下げる。フラグ A と B がローレベル 0 でフラグ C がハイレベル 1 の場合には、現状を維持する。フラグ A、B、C がローレベル 0 であれば昇圧クロック周波数を 1 段階上げる。ただし、昇圧クロック周波数が最大値であれば、昇圧倍率を 1 段階上げる。

【 0 0 5 3 】

次に、本発明に係る電源回路に含まれる昇圧回路において使用するコンデンサの形成に関する一実施形態について説明する。図 1 7 の ( a ) ( b ) を参照して説明したように、半導体基板に形成されたコンデンサには、下部電極と半導体基板との間に寄生容量  $C_s$  が存在する。

【 0 0 5 4 】

本実施形態によるコンデンサは、このような寄生容量を等価的に低減させるものである。図 1 2 に示すように、半導体基板にコンデンサを形成するに際し、コンデンサを細分化して形成する。このように細分化されたコンデンサを、互いに逆相で動作する M 個の第 1 群のコンデンサ  $C_A$  と N 個の第 2 群のコンデンサ  $C_B$  とに分けて ( M、N は自然数 )、市松状に配置する。

【 0 0 5 5 】

コンデンサを細分化して逆相で動作させることにより、コンデンサに電流が流れることによって発生する半導体基板内の電位は打ち消される。その結果、細分化された寄生容量の和  $C_s \cdot M$  と  $C_s \cdot N$  とが直列接続されたのと等価になる。従って、等価的な寄生容量は、 $C_s \cdot M \cdot N / ( M + N )$  になる。ここで、 $M = N$  とすると、等価的な寄生容量は、 $C_s \cdot N / 2$  である。即ち、通常のように寄生容量が並列接続される場合と比較して、 $1 / 2$  に減少する。さらに、図 1 4 に示すような昇圧回路において、逆相で動作するトランジスタ同士を隣接させると、トランジスタの寄生容量を低減することができる。

【 0 0 5 6 】

【 発明の効果 】

以上述べた様に、本発明によれば、液晶パネルの表示モードが変化しても、昇圧電圧のマージンを検出して、クロック信号の周波数を調整し、又は、少なくとも 1 つのスイッチング素子を制御するクロック信号を固定することにより、消費電力を低減することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施形態に係る電源回路のブロック図である。

【 図 2 】 本発明の第 1 の実施形態に係る電源回路における昇圧クロック調整回路の構成例を示す回路図である。

【 図 3 】 本発明の第 1 の実施形態に係る電源回路における昇圧クロック調整回路の他の構成例を示す回路図である。

【 図 4 】 本発明の第 1 の実施形態に係る電源回路における昇圧クロック調整回路のさらに他の構成例を示す回路図である。

【 図 5 】 本発明の第 2 の実施形態に係る電源回路における昇圧クロック調整回路の構成例を示す回路図である。

【 図 6 】 本発明の第 2 の実施形態に係る電源回路の制御動作を示す図である。

【 図 7 】 本発明の第 2 の実施形態に係る電源回路における昇圧クロック発生回路の構成例を示す回路図である。

【 図 8 】 図 7 の昇圧クロック発生回路におけるスイッチ回路の構成例を示す回路図である。

【 図 9 】 本発明の第 3 の実施形態に係る電源回路における昇圧クロック調整回路の構成例を示す回路図である。

10

20

30

40

50

【図10】図9の昇圧クロック調整回路に入力される制御クロック信号の波形を示す図である。

【図11】本発明の第3の実施形態に係る電源回路の制御動作を示す図である。

【図12】本発明に係る電源回路において使用するコンデンサの形成に関する一実施形態を示す図である。

【図13】液晶駆動用のドライバICにおける一般的な電源回路の構成を示すブロック図である。

【図14】図13の電源回路における昇圧回路の構成例を示す回路図である。

【図15】図13の電源回路における電圧調整回路の構成例を示す回路図である。

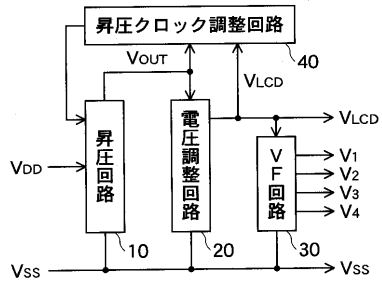
【図16】3倍昇圧の場合に図14の昇圧回路に入力されるクロック信号の波形を示す図である。 10

【図17】ICに内蔵されるコンデンサに発生する寄生容量を示す図である。

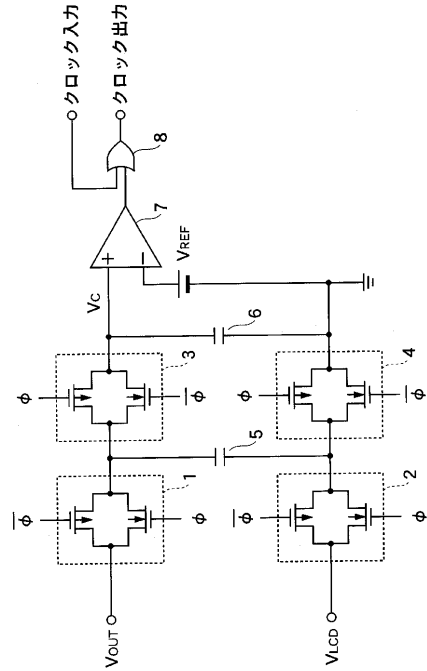
【符号の説明】

- 1 ~ 4、 $S_1 \sim S_{13}$  スイッチ回路
- 5、6、54、 $C_1$ 、 $C_2$ 、 $C_A$ 、 $C_B$  コンデンサ
- 7、9 コンパレータ
- 8 ゲート回路
- 10 昇圧回路
- 20 電圧調整回路
- 30 ボルテージフォロワ回路 20
- 40 昇圧クロック調整回路
- 51 ~ 53、67 ~ 70、77、78 インバータ
- 61 ~ 64 フリップフロップ
- 65、75 NOR回路
- 66、76 アップダウンカウンタ
- 71 ~ 74、79 ~ 81 AND回路
- $R_1 \sim R_{25}$  抵抗
- $Q_1 \sim Q_5$  トランジスタ
- $\phi_1 \sim \phi_6$  制御クロック信号
- $CL_1 \sim CL_5$  昇圧クロック信号 30
- $V_{DD}$ 、 $V_{SS}$  電源電圧
- $V_{OUT}$  昇圧電圧
- $V_{LCD}$  動作電圧

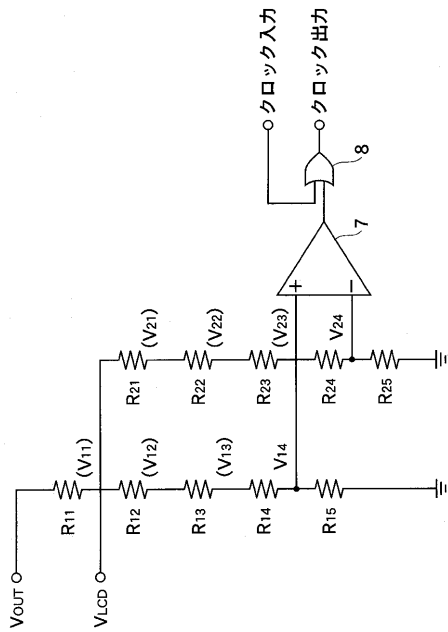
【 図 1 】



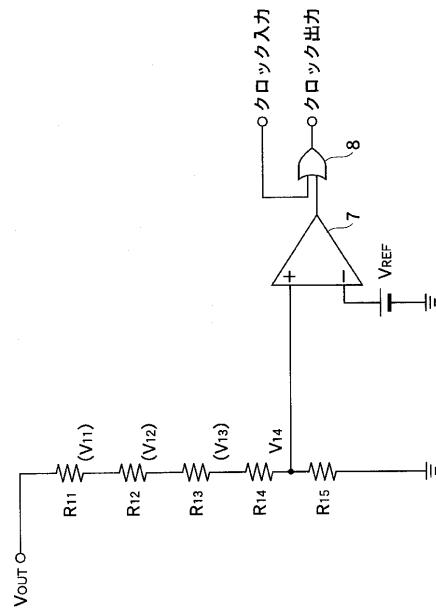
【 図 2 】



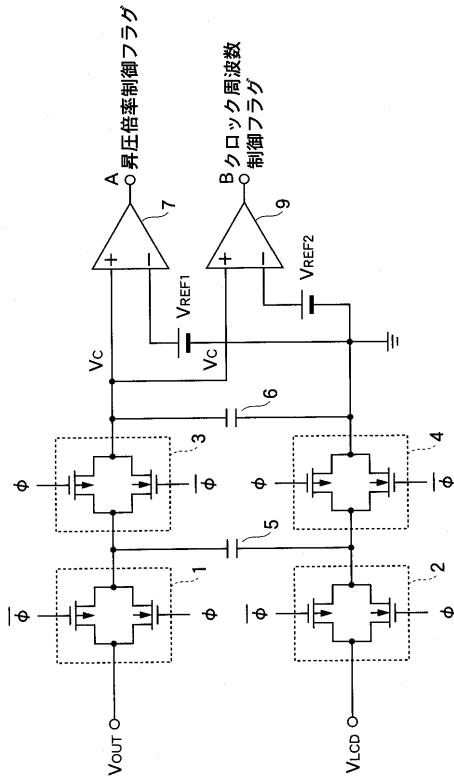
【 図 3 】



【 図 4 】



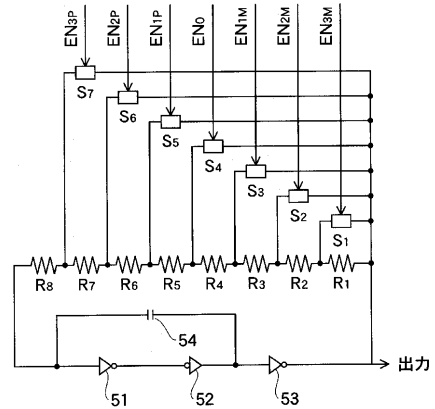
【 図 5 】



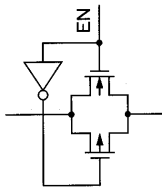
【 図 6 】

A	B	制御動作
1	1	昇圧倍率を1段階下げる。
1	0	
0	1	昇圧クロック周波数を1段階下げる。
0	0	昇圧クロック周波数を1段階上げる。 該周波数が最大値なら昇圧倍率を1段階上げる。

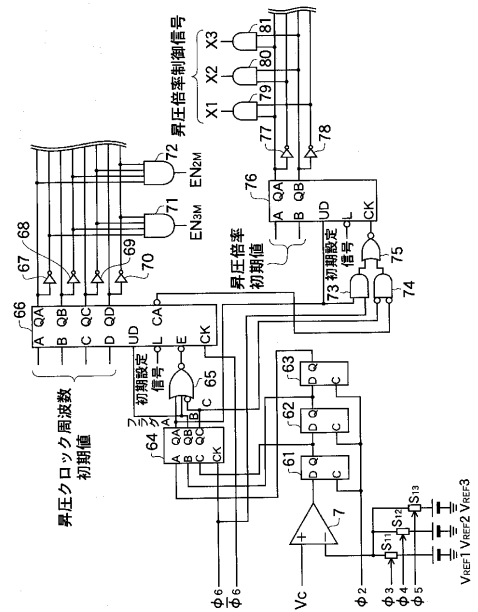
【 図 7 】



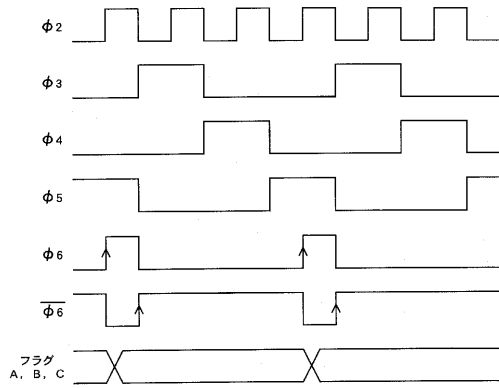
【 図 8 】



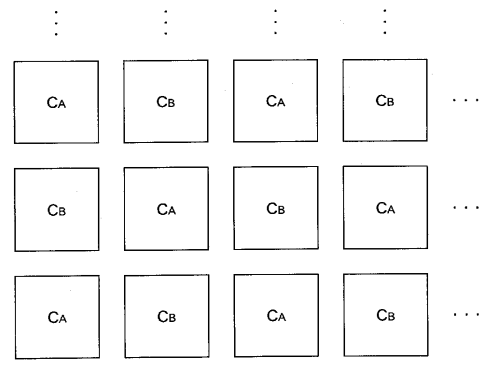
【 図 9 】



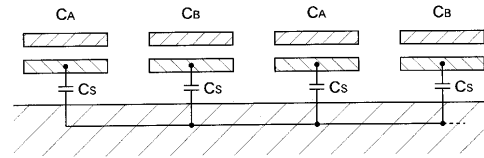
【図10】



【図12】



(a)

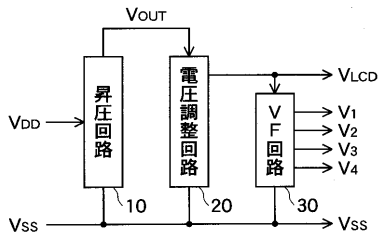


(b)

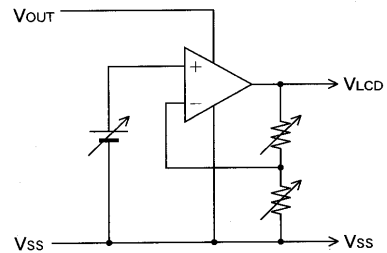
【図11】

A	B	C	制御動作
1	1	1	昇圧倍率を1段階下げる。
0	1	1	昇圧クロック周波数を1段階下げる。
0	0	1	現状を維持する。
0	0	0	昇圧クロック周波数を1段階上げる。 該周波数が最大値なら昇圧倍率を1段階上げる。

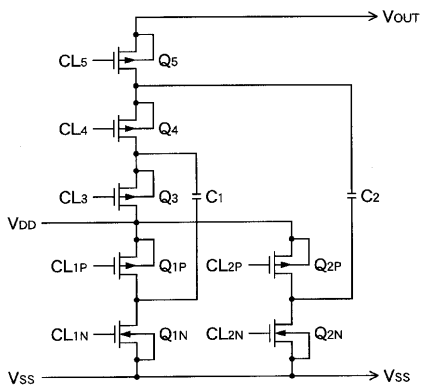
【図13】



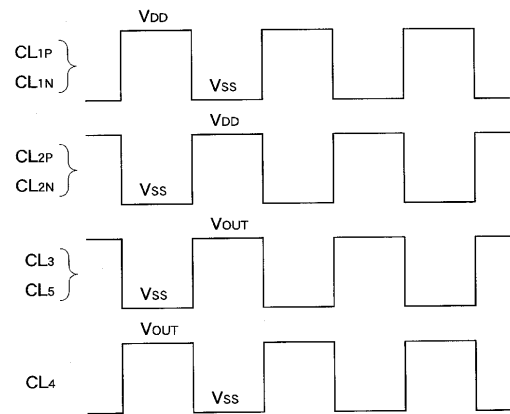
【図15】



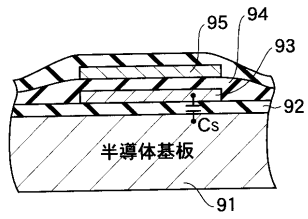
【図14】



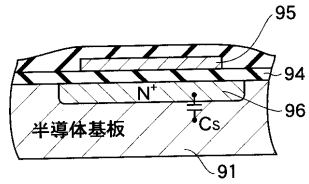
【図16】



【 図 1 7 】



(a)



(b)

---

フロントページの続き

審査官 川端 修

- (56)参考文献 特開昭55-056469(JP,A)  
特開平11-306781(JP,A)  
特開平10-228793(JP,A)  
特開平06-351229(JP,A)  
特開平06-014526(JP,A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H02M 3/07