



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 214 595

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 27 03 81
(21) FV 2279-81

(11)(B 1)

(51) Int. Cl. G 06 F 11/22

(40) Zveřejněno 15 09 81
(45) Vydáno 28 02 84

(75)

Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro testování vícepočítačových systémů

1

Předmětem vynálezu je zapojení, které řeší testování vícepočítačových struktur metodou komparace jednotlivých podsystémů, realizovaných na bázi mikropočítačů.

Typickým znakem mikropočítačového systému je společná komunikační sběrnice, na kterou jsou paralelně připojeny mikroproceser, paměť programu a paměť dat a interfejsové obvody pro styk s periferními zařízeními. Způsob spolupráce jednotlivých funkčních modulů lze volit v zásadě ve dvou režimech, a to v synchronním nebo v asynchronním. Uvažujeme vícemikropočítačový systém a asynchronním režimem styku na sběrnici s nezávislými generátory hodinových signálů pro jednotlivé mikroprocesory. Akce na sběrnici je zahájena výstupním synchronizačním signálem, který definuje platnost adres, dat, příkazů vysílaných na sběrnici. Signálem odpovědi je vstupní synchronizační signál. Periferní zařízení žádají o obsluhu prostřednictvím interfejsových obvodů vysláním signálu na příslušnou linku žádosti o přerušení nebo přímý přístup do paměti dat. Jednotlivé podsystémy tvoří hierarchickou strukturu propojením komunikačních sběrnic přes tzv. stykové moduly. Příkladem může být komplex grafického vstupu a výstupu počítače, na jehož multiplexní kanál je komplex připojen prostřednictvím řídicí jednotky. V jednotlivých mikropočítačových podsystémech může probíhat diagnostika například metodou

bootstrapu tj. určitý minimální soubor instrukcí mikroprocesoru je zkoušen testem, který je uložený v permanentní paměti a další rozsáhlejší testy mikroprocesoru, operační paměti a periferních zařízení se potom do systému zavádějí. Zde ovšem vzniká otázka, jak velkou kapacitu permanentní paměti volit vzhledem k tomu, že je ve funkci pouze v diagnostickém režimu. Lze přijmout ekonomicky výhodnější řešení se zatažením všech self-testů do zapisovatelné operační paměti. Zde ovšem nastane problém, jestliže porucha brání mikroprocesorovému systému ve výkonu základních funkcí. Mikroprocesor je pak třeba testovat mimo systém, což je nevýhodné, protože test neprobíhá v prostředí normální činnosti. Konečně zde existuje praktická nemožnost lokalizace poruch nestálého charakteru.

Uvedené nevýhody odstraňuje zapojení pro testování vícepočítačových systémů, podle vynálezu, jehož podstata spočívá v tom, že vstup žádosti prvního mikroprocesoru je spojen se třetím výstupem bloku komparace a synchronizace, jehož čtvrtý výstup je spojen se vstupem žádosti druhého mikroprocesoru, synchronizační vstup prvního mikroprocesoru je spojen s prvním výstupem bloku komparace a synchronizace, jehož druhý výstup je spojen se synchronizačním vstupem druhého mikroprocesoru, první linka žádosti je spojena se třetím vstupem bloku komparace a synchronizace, jehož čtvrtý vstup je spojen se čtvrtou linkou žádosti, přičemž adresní, datové a řídicí linky první komunikační sběrnice jsou spojeny s prvním vstupem bloku komparace a synchronizace, jehož druhý vstup je spojen s adresními, s datovými a s řídicími linkami druhé komunikační sběrnice.

Výhodou uvedeného zapojení je možnost pomocí bloku spojení adresních, datových, řídicích signálů a signálů procesu přerušení zavádět self-testy do operačních pamětí vždy mikropočítačem z druhého podsystému, čímž odpadá nutnost použít permanentní paměti pro rezidentní diagnostické programy. Zároveň se nepředpokládají žádné funkční schopnosti testovaného mikropočítače. Další výhodou je možnost tzv. kvazisynchronizace asynchronních dějů, což umožňuje komparaci činnosti podsystémů v reálném čase v definovaných okamžicích. Příčinu zastavení testu je pak možné určit porovnáním údajů na blocích indikace, připojených na jednotlivé komunikační sběrnice.

Na výkresech, obr. 1 a obr. 2 je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Popis obr. 1: První linka žádosti 17 je spojena s druhým výstupem žádosti 52 třetí periferie 2, s výstupem žádosti 41 druhé periferie 4, s výstupem žádosti 31 první periferie 3 a se třetím vstupem 86 bloku komparace a synchronizace 8. Druhá linka žádosti 25 je spojena s prvním výstupem žádosti 51 třetí periferie 2, s výstupem žádosti 62 a s prioritním vstupem 60 prvního mikroprocesoru 6. První komunikační sběrnice 19 je spojena adresními, datovými a řídicími linkami s prvním vstupem 80 bloku komparace a synchronizace 8 a se svorkou 70 první operační paměti 7, adresními, datovými, řídicími linkami a linkami procesu přerušení je spojena se svorkou 65 prvního mikroprocesoru 6,

se svorkou 33 první periférie 3, se svorkou 43 druhé periférie 4, se svorkou 53 třetí periférie 5 a s první svorkou 150 bloku spojení 15. Druhá komunikační sběrnice 18 je spojena adresními, datovými, řídicími linkami s druhým vstupem 81 bloku komparace a synchronizace 8 a se svorkou 160 druhé operační paměti 16, adresními, datovými, řídicími linkami a linkami procesu přerušení je spojena se svorkou 95 druhého mikroprocesoru 9, se svorkou 121 čtvrté periférie 12, se svorkou 131 páté periférie 13, se svorkou 141 šesté periférie 14 a s druhou svorkou 151 bloku spojení 15. Třetí linka žádosti 24 je spojena s prvním výstupem žádosti 142 šesté periférie 14, s výstupem žádosti 92 a s prioritním vstupem 90 druhého mikroprocesoru 9. Čtvrtá linka žádosti 23 je spojena s druhým výstupem žádosti 143 šesté periférie 14, s výstupem žádosti 133 páté periférie 13, s výstupem žádosti 123 čtvrté periférie 12 a se čtvrtým vstupem 87 bloku komparace a synchronizace 8. První prioritní výstup 63 prvního mikroprocesoru 6 je spojen s prvním prioritním vstupem 50 třetí periférie 5. První prioritní výstup 93 druhého mikroprocesoru 9 je spojen s prvním prioritním vstupem 144 šesté periférie 14. Vstup žádosti 61 prvního mikroprocesoru 6 je spojen se třetím výstupem 84 bloku komparace a synchronizace 8, jehož čtvrtý výstup 85 je spojen se vstupem žádosti 91 druhého mikroprocesoru 9, synchronizační vstup 66 prvního mikroprocesoru 6 je spojen s prvním výstupem 82 bloku komparace a synchronizace 8, jehož druhý výstup 83 je spojen se synchronizačním vstupem 96 druhého mikroprocesoru 9. Druhý prioritní výstup 64 prvního mikroprocesoru 6 je spojen se vstupem 20 prvního hradla 2 a s první svorkou 100 spínače 10, jehož druhá svorka 101 je spojena s druhým prioritním výstupem 94 druhého mikroprocesoru 9, se vstupem 110 druhého hradla 11 a s řídicím vstupem 152 bloku spojení 15. Výstup 21 prvního hradla 2 je spojen s prioritním vstupem 30 první periférie 3 a výstup 111 druhého hradla 11 je spojen s prioritním vstupem 120 čtvrté periférie 12. Prioritní výstup 32 první periférie 3 je spojen s prioritním vstupem 40 druhé periférie 4, jejíž prioritní výstup 42 je spojen s druhým prioritním vstupem 54 třetí periférie 5. Prioritní výstup 122 čtvrté periférie 12 je spojen s prioritním vstupem 130 páté periférie 13, jejíž prioritní výstup 132 je spojen s druhým prioritním vstupem 140 šesté periférie 14.

Popis obr. 2: První komunikační sběrnice 19 je spojena adresními datovými a řídicími linkami s prvním vstupem 80 bloku komparace a synchronizace 8, jehož druhý vstup 81 je spojen s adresními, s datovými a s řídicími linkami druhé komunikační sběrnice 18. Adresní, datové, řídicí linky a linky procesu přerušení první komunikační sběrnice 19 jsou spojeny se svorkou 65 prvního mikroprocesoru 6, se svorkou 33 první periférie 3, se svorkou 43 druhé periférie 4 a se svorkou 53 třetí periférie 5. Adresní, datové, řídicí linky a linky procesu přerušení druhé komunikační sběrnice 18 jsou spojeny se svorkou 95 druhého mikroprocesoru 9, se svorkou 121 čtvrté periférie 12, se svorkou 131 páté periférie 13 a se svorkou 141 šesté periférie 14. První prioritní výstup 63 prvního mikroprocesoru 6 je spojen s prioritním vstupem 50 třetí periférie 5. Druhý

prioritní výstup 64 prvního mikroprocesoru 6 je spojen s prioritním vstupem 30 první periferie 3. Třetí prioritní výstup 69 prvního mikroprocesoru 6 je spojen s prioritním vstupem 40 druhé periferie 4. První prioritní výstup 93 druhého mikroprocesoru 2 je spojen s prioritním vstupem 144 šesté periferie 14. Druhý prioritní výstup 94 druhého mikroprocesoru 2 je spojen s prioritním vstupem 120 čtvrté periferie 12. Třetí prioritní výstup 99 druhého mikroprocesoru 2 je spojen s prioritním vstupem 130 páté periferie 13. Synchronizační vstup 66 prvního mikroprocesoru 6 je spojen s prvním výstupem 82 bloku komparace a synchronizace 8, jehož druhý výstup 83 je spojen se synchronizačním vstupem 96 druhého mikroprocesoru 2. První vstup žádosti 68 prvního mikroprocesoru 6 je spojen s pátým výstupem 800 bloku komparace a synchronizace 8, jehož šestý výstup 801 je spojen s prvním vstupem 98 druhého mikroprocesoru 2. Druhý vstup žádosti 61 prvního mikroprocesoru 6 je spojen se třetím výstupem 84 bloku komparace a synchronizace 8, jehož čtvrtý výstup 85 je spojen s druhým vstupem žádosti 91 druhého mikroprocesoru 2. Třetí vstup žádosti 67 prvního mikroprocesoru 6 je spojen se sedmým výstupem 802 bloku komparace a synchronizace 8, jehož osmý výstup 803 je spojen se třetím vstupem žádosti 97 druhého mikroprocesoru 2. Výstup žádosti 31 první periferie 3 je spojen se třetím vstupem 86 bloku komparace a synchronizace 8, jehož čtvrtý výstup 87 je spojen s výstupem žádosti 123 čtvrté periferie 12. Výstup žádosti 41 druhé periferie 4 je spojen s pátým vstupem 804 bloku komparace a synchronizace 8, jehož šestý vstup 805 je spojen s výstupem žádosti 133 páté periferie 13. První výstup žádosti 51 třetí periferie 5 je spojen se sedmým vstupem 806 bloku komparace a synchronizace 8, jehož osmý vstup 807 je spojen s prvním výstupem žádosti 142 šesté periferie 14.

Popis funkce podle obrázku 1: Pokud neprobíhá test některého mikropočítačového podsystému, jsou prostřednictvím signálů na vstupech 88 a 153 vyřazeny z činnosti blok komparace a synchronizace 8 a blok spojení 15. V bloku komparace a synchronizace 8 je realizováno spojení třetího vstupu 86 s třetím výstupem 84 a spojení čtvrtého vstupu 87 se čtvrtým výstupem 85. Neaktivním signálem na vstupu 102 je dále provedeno rozpojení svorek 100 a 101 spínače 10 a neaktivními signály na řídicích vstupech 21 a 112 jsou hradla 2 a 11 uvedena do propustného stavu. Nejprve předpokládáme, že se jedná o dva mikropočítačové podsystémy stejného typu, které jsou realizačním výstupem u výrobce grafických komplexů. Z toho vyplývá, že mikroprocesory 6 a 2 jsou stejného typu a totéž platí o perifériích 3 a 12, 4 a 13, 5 a 14 a o operačních pamětech 7 a 15. Realizace bloku komparace a synchronizace 8 a bloku spojení 15 je řešena například formou dvojice interfejsových desek, které se před testováním propojí kabelem. Naznačené zapojení pracuje se sériově zřetěženými prioritními signály, které mikroprocesory 6 a 2 vysílají z prioritních výstupů 64 a 94, 63 a 93 na základě aktivních signálů na první lince žádosti 17, na čtvrté lince žádosti 23, na druhé lince žádosti 25 a na třetí lince žádosti 24. Tyto signály se snímají na vstupech žádosti 61 a 91 a na prioritních vstupech 60 a 90 a zpracovávají se v asynchronních arbitrech jednotlivých

mikroprocesorů. Třetí periférie 2 respektive šestá periférie 14 jsou vybaveny obvody pro režim přímého přístupu do operační paměti 7 respektive 16 a žádají o přidělení komunikační sběrnice 19 respektive 18 na druhé lince žádostí 25 respektive 24. Tyto linky jsou určeny rovněž pro žádosti mikroprocesorů 6 respektive 9. Na obrázku 1 je naznačena konfigurace, kdy mikroprocesor 6 respektive 9 má nejvyšší prioritu v podsystému a po něm následuje co do priority třetí periférie 2 respektive šestá periférie 14, pokud se jedná o přenos dat. Ostatní periférie mají klesající prioritu směrem zleva doprava. Pokud se jedná o přenos stavových hlášení třetí periférie 2 respektive šesté periférie 14, má tento proces nejnižší prioritu v podsystému. První mikroprocesor 6 adresuje buňky operační paměti 7, nebo datové, příkazové a stavové registry periférií 3, 4 a 5 prostřednictvím adresních linek první komunikační sběrnice 19. Platnost adres, dat a příkazových signálů je definována vysláním výstupního synchronizačního signálu na příslušné řídící lince první komunikační sběrnice 19. Signálem reakce, tj. odpovědi, je vstupní synchronizační signál, který se z příslušné řídící linky první komunikační sběrnice 19 přenáší přes špičku prvního vstupu 80 na první výstup 82 bloku komparace a synchronizace 8 a dále na synchronizační vstup 66 prvního mikroprocesoru 6. Typ operace čtení-zápis je definován hladinou na příslušné řídící lince první komunikační sběrnice 19. Je-li v průběhu činnosti prvního mikroprocesoru 6 vyhodnocena žádost o přerušení ze vstupu 61, začne se vysílat aktivní signál na výstupu žádosti 62, který se objeví na prioritním vstupu 60, tj. žádost prvního mikroprocesoru 6 za některou žádající periférii. V případě příznivé arbitrace se vyšle aktivní signál z druhého prioritního výstupu 64, který se šíří přes otevřené první hradlo 2 postupně perifériemi 3, 4 a 5. Žádající periférie přeruší jeho další šíření a vyšle aktivní signál na příslušnou linku procesu přerušení první komunikační sběrnice 19, určenou pro odpověď na prioritní signál vyslaný z prvního mikroprocesoru 6, dále blokovácí linka, protože blokuje činnost arbitrá. Po přijetí tohoto signálu na příslušné špičce svorky 65 uvolní první mikroprocesor 6 první komunikační sběrnici 19 tím, že přestane vysílat signál obsazení na příslušné lince této sběrnice, dále linka obsazení, vždy pouze jeden modul na ni vysílá aktivní signál. Na základě uvolnění první komunikační sběrnice 19 vyšle žádající periférie na její datové linky adresu vektoru přerušení, a to přímo jako adresu nebo instrukci skok do podprogramu s cílovou adresou začátku obslužného podprogramu. Dále vysílá aktivní signál na linku obsazení a platnost adresy vektoru určuje signál vyslaný na výstupní synchronizační linku procesu přerušení první komunikační sběrnice 19. Jako odezvu vysílá první mikroprocesor 6 aktivní signál přes příslušnou špičku svorky 65 na vstupní synchronizační linku první komunikační sběrnice 19. Poté se proces přerušení ukončí uvolněním sběrnice přerušující periférií a první mikroprocesor 6, který mezitím žádá o přidělení a arbitrace byla příznivá, obsadí první komunikační sběrnici 19 vysláním aktivního signálu na linku obsazení. V případě, že arbitrace byla nepříznivá v důsledku žádosti třetí periférie 2, vysílá se aktivní signál z prvního prioritního výstupu

63. Po obdržení tohoto signálu na prvním prioritním vstupu 50 vyšle se přes příslušnou špičku svorky 53 aktivní signál na blokovací linku a po uvolnění první komunikační sběrnice 19 se vysílá přes příslušné špičky svorky 53 aktivní signál na linku obsazení, na linku příkazu, na výstupní synchronizační linku, na adresní linky a v případě zápisu operand na datové linky. Operační paměť 7 reaguje vysláním aktivního signálu na vstupní synchronizační linku a v případě operace čtení posílá na datové linky příslušný operand. Poté se přímý přístup do operační paměti 7 ze třetí periferie 5 ukončí a první mikroprocesor 6 po obsazení první komunikační sběrnice 19 pokračuje v dalším provádění posloupnosti instrukcí programu. Stejně pracuje i podsystem s druhým mikroprocesorem 2. Po ukončení výrobního procesu se provádí kontrola správné činnosti jednotlivých podsystemů. Součástí operačních pamětí 7 a 16 nechť je i permanentní paměť, ve které jsou uloženy zaváděcí programy. Dále předpokládáme, že druhá periferie 4 a pátá periferie 13 slouží jako vstupní zařízení podsystemů například jako snímače děrné pásky a interfejsovými obvody pro připojení na komunikační sběrnice 18 a 19. Funkční testy jednotlivých modulů podsystemů se postupně zavádějí do operační paměti 7 respektive 16 vždy po úspěšném proběhnutí předchozího testu. Celkový test podsystemu probíhá formou vykreslení testovacích obrazců na kreslicím stole, například první periferie 3 respektive čtvrtá periferie 12. Podobným způsobem se zkouší i zařízení grafického vstupu, které se liší pouze v osazení periferiemi. Nakonec se provede systémový test spočívající ve snímání a ve vykreslování testovacích obrazců a znaků. V případě, že v některém podsystemu neprobíhá zaváděcí sekvence, nebo se subtestem nepodaří lokalizovat daná porucha, uvede se do činnosti blok komparace a synchronizace 8 a blok spojení 15 prostřednictvím signálů na ovládacích vstupech 88 a 153. Přes blok spojení 15 se realizuje přístup prvního mikroprocesoru 6 respektive druhého mikroprocesoru 2 k druhé operační paměti 16 respektive k první operační paměti 7. Testy operačních pamětí nyní může řídit i mikroprocesor z druhého podsystemu. V případě bezchybného průchodu se zavedou self-testy mikroprocesorů do operačních pamětí obou podsystemů a synchronně se provádějí jejich jednotlivé instrukce. V bloku komparace a synchronizace 8 se porovnávají stavy na adresních, datových a synchronizačních linkách obou komunikačních sběrnic. Blok spojení je v tomto případě vyřazen z činnosti neaktivním signálem na ovládacím vstupu 153. Oba mikroprocesory ukončí styk se svojí komunikační sběrnici až na základě obdržení signálu odpovědi na synchronizačním vstupu 66 respektive 96. Toto se stane až v případě úplné shody stavů všech komparovaných linek obou komunikačních sběrnic včetně signálů na výstupních a vstupních synchronizačních linkách. Příčinu neshody lze zjistit připojením signalizačních prvků na jednotlivé linky komunikačních sběrnic 18 a 19 (v obrázku 1 není pro přehlednost zakresleno). Rovněž zde nejsou zahrnuty ovládací panely, které jsou přes interfejsové obvody připojeny ke komunikačním sběrnicím 18 a 19 jako periferie a je z nich možné řídit průběh testu a číst diagnosticky důležité informace z operačních pamětí, popřípadě zadávat počet opakování jednotlivých subtestů. Pokud se testují

komparací jednotlivé periférie, jsou k tomu účelu v bloku komparace a synchronizace 8 obsaženy synchronizační obvody, které zajišťují na základě tzv. bitů "provedeno" ve stavových registrech periférií sladění nestejných rychlostí komparovaných periférií. Režim přerušování se zkouší příslušným testovacím programem při spojení svorek 100 a 101 spínače 10 prostřednictvím aktivního signálu na ovládacím vstupu 102 a při zablokovaném druhém hradle 11 signálem na řídicím vstupu 112 respektive prvním hradle 2 signálem na řídicím vstupu 22. U společných linek žádosti je principiálně nemožné rozlišit, která periférie žádá o obsluhu. Stejný problém je u žádosti mikroprocesoru a periférií s režimem přímého přístupu do operační paměti. Proto je nutné signálem na ovládacím vstupu 89 bloku komparace a synchronizace 8 provést uvnitř rozpojení čtvrtého vstupu 87 a čtvrtého výstupu 85 respektive třetího vstupu 86 a třetího výstupu 84 a realizovat spojení třetího vstupu 86 se čtvrtým výstupem 85 respektive čtvrtého vstupu 87 se třetím výstupem 84. Tím se dosáhne toho, že oba mikroprocesory 6 a 2 jsou přerušovány stejnou třídou periférií. Aby k přerušování došlo při provádění stejné instrukce v obou mikroprocesorech, třetí vstup 86 respektive čtvrtý vstup 87 je synchronizován s výstupními a se vstupními synchronizačními signály. Po akceptování žádosti o přerušování v prvním mikroprocesoru 6 a v druhém mikroprocesoru 2 se začnou vysílat na druhou linku žádosti 25 a na třetí linku žádosti 24 aktivní signály z výstupů 62 a 92. Zde ovšem může nastat případ, že současně žádá o přidělení komunikační sběrnice periférie s přímým přístupem do operační paměti. Pokud v některém podsystému byla pro mikroprocesor arbitrace nepřiznivá, v druhém podsystému se proces přerušování zastaví a čeká se, až proces přímého přístupu skončí. Pak nastane shoda úrovní signálů na druhém prioritním výstupu 64 a na druhém prioritním výstupu 94 a v bloku spojení 15 se otevře signálem na řídicím vstupu 152 příslušná sekce, která zrealizuje propojení datových linek, výstupních synchronizačních linek procesu přerušování a blokovacích linek obou komunikačních sběrnic 18 a 19. Potom proběhne předání stejné adresy vektoru přerušování do obou mikroprocesorů a proces přerušování se ukončí. Mikroprocesory 6 a 2 potom pokračují v provádění instrukcí příslušného podprogramu, v jehož rámci dojde teprve prostřednictvím tzv. bitů "provedeno" ke sladění činnosti komparovaných periférií. Žádosti o přerušování a prioritní signály jsou vždy u jednoho z podsystémů zablokované. Je zřejmé, že žádosti periférií s režimem přímého přístupu přicházejí asynchronně a komparace jejich činnosti není v daném systému priorit možná. V daném zapojení lze proto zajistit pouze tzv. kvazisynchronizaci. Komparace činnosti podsystémů je rovněž neúplná co se týká adres vektorů přerušování. S tím dále souvisí netest obvodů žádosti u zablokované třídy periférií. Tento problém lze do jisté míry řešit provedením testu pro případ zablokované komplementární třídy periférií. Úplné komparace se dosáhne v zapojení podle obrázku 2. Podsystémy pracují s tzv. paralelní prioritou. V bloku komparace a synchronizace 8 jsou kromě výše uvedené synchronizace sladěny žádosti o obsluhu u periférií stejného typu. Proces přímého přístupu může ukončit třetí periférie 5 respektive šestá periférie 14 až po

příchodu aktivního signálu na synchronizační vstup 25 respektive 145, což se děje při úplné shodě stavů na všech komparovaných linkách obou komunikačních sběrnic 18 a 19. Lze též uvažovat podsystémy, kde není shodné osazení periferiemi například již dříve zmíněný komplex s podsystémy vstupu a výstupu grafické informace, kde mikroprocesory jsou stejného typu, ale shodné jsou pouze některé periferie. U výrobce je k dispozici vždy shodný podsystém vstupu a výstupu. Složitější situace je při servisu u uživatele. Potom zřejmě může komparace probíhat pouze u mikroprocesorů, operačních pamětí a shodných periférií. Nestejné vstupní periferie jsou při testování připojeny k druhému podsystému přes blok spojení 15 a nestejné výstupní periferie je nutné nahradit simulační deskou. Podsystémem komplexu je i hierarchicky nadřazený mikropočítač, pro který lze použít stejnou metodiku testování.

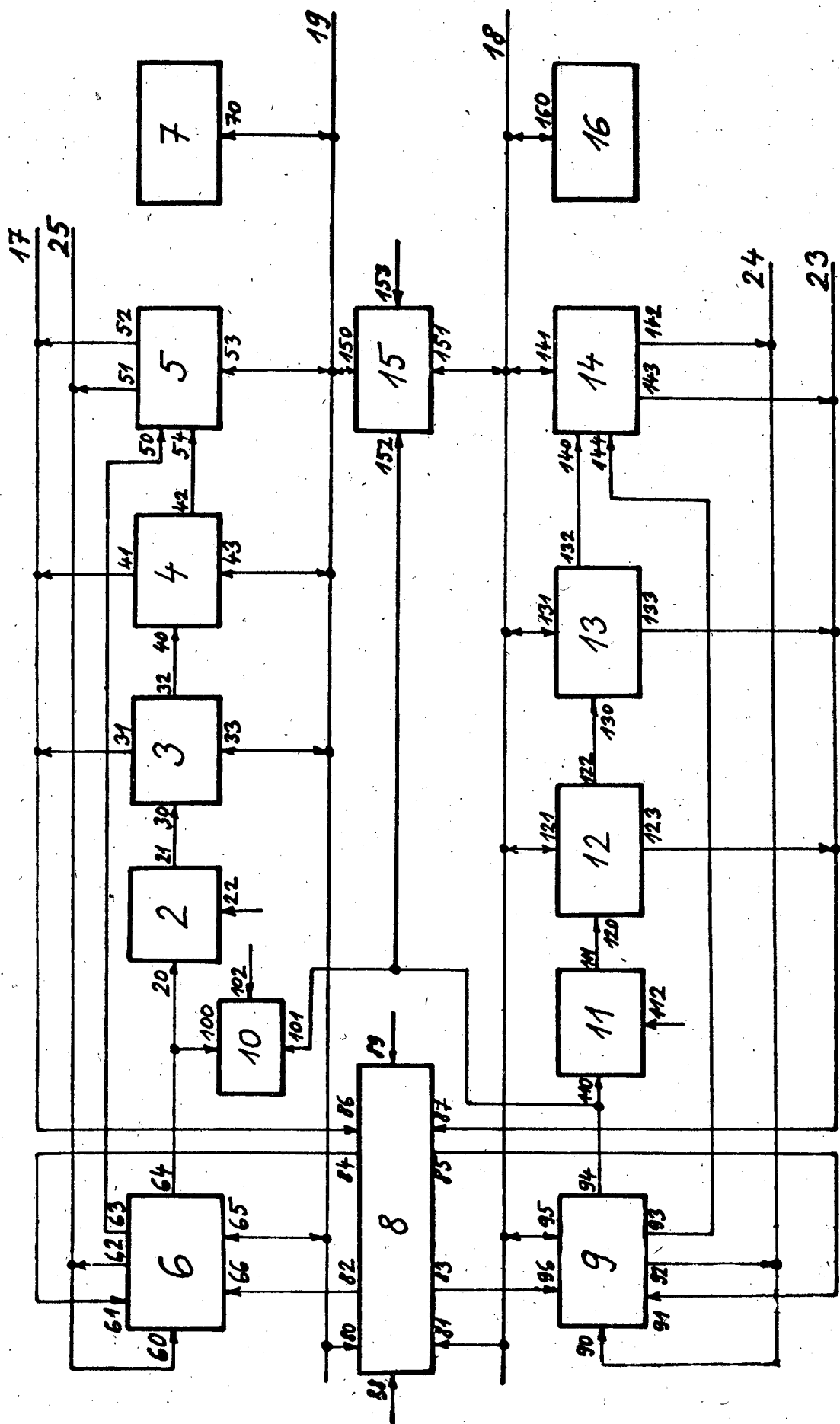
Možnost použití uvedeného zapojení je při provozní, periodické a výrobní diagnostice vícepočítačových systémů realizovaných na bázi mikropočítačů s asynchronním charakterem komunikačních sběrnic, kde buď mikroprocesory nebo některé periferie jsou stejného typu.

PŘEDMĚT VYNÁLEZU

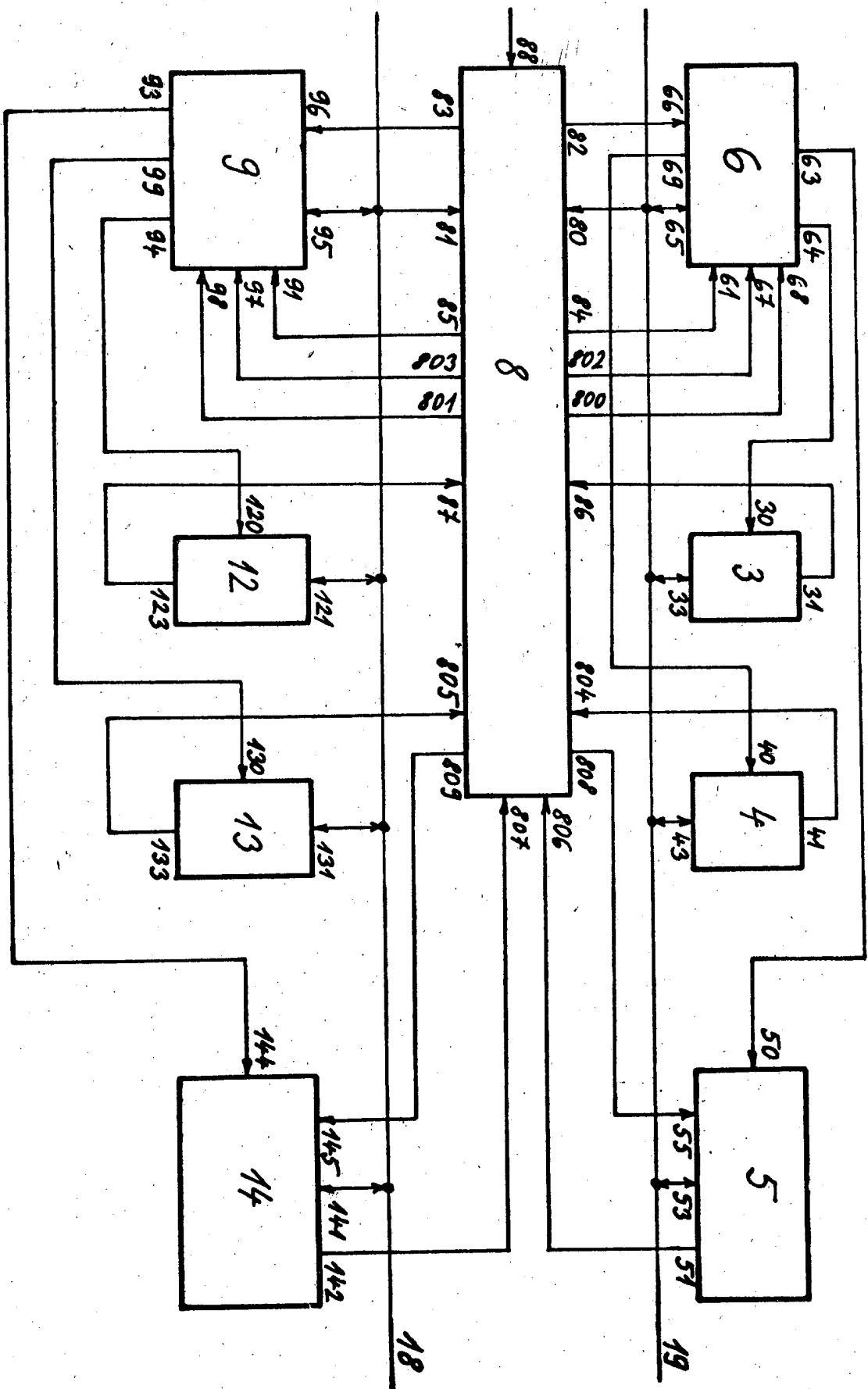
1. Zapojení pro testování vícepočítačových systémů sestávající z mikropočítačových podsystémů s asynchronními obousměrnými komunikačními sběrnicemi vyznačující se tím, že vstup (61) žádosti prvního mikroprocesoru (6) je spojen se třetím výstupem (84) bloku (8) komparace a synchronizace, jehož čtvrtý výstup (85) je spojen se vstupem žádosti (91) druhého mikroprocesoru (9), synchronizační vstup (66) prvního mikroprocesoru (6) je spojen s prvním výstupem (82) bloku (8) komparace a synchronizace, jehož druhý výstup (83) je spojen se synchronizačním vstupem (96) druhého mikroprocesoru (9), první linka (17) žádosti je spojena se třetím vstupem (86) bloku (8) komparace a synchronizace, jehož čtvrtý vstup (87) je spojen se čtvrtou linkou (23) žádosti, přičemž adresní, datové a řídicí linky první komunikační sběrnice (19) jsou spojeny s prvním vstupem (80) bloku (8) komparace a synchronizace, jehož druhý vstup (81) je spojen s adresními, s datovými a s řídicími linkami druhé komunikační sběrnice (18).
2. Zapojení podle bodu 1 vyznačující se tím, že druhý prioritní výstup (64) prvního mikroprocesoru (6) je spojen se vstupem (20) prvního hradla (2) a s první svorkou (100) spínače (10), jehož druhá svorka (101) je spojena s druhým prioritním výstupem (94) druhého mikroprocesoru (9), se vstupem (110) druhého hradla (11) a s řídicím vstupem (152) bloku (15) spojení, přičemž výstup (21) prvního hradla (2) je spojen s prioritním vstupem (30) první periferie (3), výstup (111) druhého hradla (11) je spojen s prioritním vstupem (120) čtvrté periferie (12), adresní, datové, řídicí linky a linky procesu přerušeni první komunikační sběrnice (19) jsou spojeny s první svorkou (150) bloku (15) spojení a adresní, datové řídicí linky a linky procesu přerušeni druhé komunikační sběrnice (18) jsou spojeny s druhou svorkou (151) bloku (15) spojení.
3. Zapojení podle bodu 1 vyznačující se tím, že výstup žádosti (31) první periferie (3) je spojen se třetím vstupem (86) bloku (8) komparace a synchronizace, jehož čtvrtý vstup (87) je spojen s výstupem (123) žádosti čtvrté periferie (12), výstup (41) žádosti druhé periferie (4) je spojen s pátým vstupem (804) bloku (8) komparace a synchronizace, jehož šestý vstup (805) je spojen s výstupem žádosti (133) páté periferie (13), výstup (51) žádosti třetí periferie (5) je spojen se sedmým vstupem (806) bloku (8) komparace a synchronizace, jehož osmý vstup (807) je spojen s výstupem (142) žádosti šesté periferie (14), třetí vstup žádosti (68) prvního mikroprocesoru (6) je spojen s pátým výstupem (800) bloku (8) komparace a synchronizace, jehož šestý výstup (801) je spojen se třetím vstupem (98) žádosti druhého mikroprocesoru (9), druhý vstup (67) žádosti prvního mikroprocesoru (6) je spojen se sedmým výstupem (802) bloku (8) komparace a synchronizace, jehož osmý výstup (803) je spojen s druhým vstupem (97) žádosti druhého mikroprocesoru (9) a synchronizační vstup (55)

třetí periferie (5) je spojen s devátým výstupem (808) bloku (8) komparace a synchronizace, jehož desátý výstup (809) je spojen se synchronizačním vstupem (145) šesté periferie (14).

2 výkresy



Обр. 1.



Obn. 2.