

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4332392号
(P4332392)

(45) 発行日 平成21年9月16日 (2009.9.16)

(24) 登録日 平成21年6月26日 (2009.6.26)

(51) Int.Cl.

F I

G O 1 R 31/28 (2006.01)

G O 1 R 31/28

M

G O 1 R 31/3183 (2006.01)

G O 1 R 31/28

Q

請求項の数 7 (全 26 頁)

(21) 出願番号 特願2003-322092 (P2003-322092)
 (22) 出願日 平成15年9月12日 (2003.9.12)
 (65) 公開番号 特開2005-91038 (P2005-91038A)
 (43) 公開日 平成17年4月7日 (2005.4.7)
 審査請求日 平成18年8月7日 (2006.8.7)

(73) 特許権者 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (72) 発明者 上林 弘典
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (72) 発明者 谷塚 浩一
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 審査官 藤原 伸二

最終頁に続く

(54) 【発明の名称】 試験装置

(57) 【特許請求の範囲】

【請求項1】

電子デバイスを試験する試験装置であって、
 前記電子デバイスの試験に用いる試験パターンを、前記電子デバイスに供給する複数の
 テストモジュールと、

基準クロックを生成する基準クロック生成部と、

前記基準クロックに基づいて、前記複数のテストモジュールを動作させるタイミング信
 号を生成するジェネレート回路と、

前記複数のテストモジュールに対応して設けられ、対応する前記テストモジュールに前
 記タイミング信号を供給する複数のタイミング供給部と、

それぞれの前記テストモジュールが前記タイミング信号に応じて前記試験パターンを出
 力するタイミングが略同一となるように、前記複数のタイミング供給部がそれぞれの前記
 テストモジュールに供給する前記タイミング信号の位相を制御する制御部と、

前記基準クロック生成部と、複数のフリップフロップとの間に設けられ、前記基準クロ
 ックを遅延させて前記複数のフリップフロップに供給する基準クロック用可変遅延回路と

と
 を備え、

それぞれの前記タイミング供給部は、

前記タイミング信号を受け取り、前記基準クロックに応じて前記タイミング信号を順次
 受け渡す縦続接続された前記複数のフリップフロップと、

10

20

それぞれの前記フリップフロップが出力する前記タイミング信号を受け取り、受け取った複数の前記タイミング信号のうち、いずれかを選択して前記テストモジュールに供給することにより、前記テストモジュールに供給する前記タイミング信号の位相を調整するタイミング信号選択部と、

を有し、

前記制御部は、

前記タイミング信号選択部が前記複数のタイミング信号のうちいずれを選択するかを制御し、

前記基準クロック用可変遅延回路の遅延量を順次変化させ、前記タイミング信号の値が変化するタイミングが、いずれかの前記複数のフリップフロップが前記タイミング信号の値を取り込むタイミングと略同一となる前記基準クロック用可変遅延回路の遅延量を検出し、検出した前記遅延量から前記基準クロックの半周期ずれた遅延量に、前記基準クロック用可変遅延回路の遅延量を設定する

ことを特徴とする試験装置。

【請求項 2】

前記複数のテストモジュールに対応して設けられ、対応する前記複数のテストモジュールから、前記電子デバイスが出力する出力パターンにフェイルが生じたタイミングを示すフェイルタイミング信号を受け取り、前記タイミング供給部に前記フェイルタイミング信号を出力する複数の戻り系回路を更に備え、

前記制御部は、それぞれの前記戻り系回路が前記フェイルタイミング信号を出力するタイミングが略同一となるように前記複数の戻り系回路を制御する

請求項 1 に記載の試験装置。

【請求項 3】

電子デバイスを試験する試験装置であって、

前記電子デバイスの試験に用いる試験パターンを、前記電子デバイスに供給する複数のテストモジュールと、

基準クロックを生成する基準クロック生成部と、

前記基準クロックに基づいて、前記複数のテストモジュールを動作させるタイミング信号を生成するジェネレート回路と、

前記複数のテストモジュールに対応して設けられ、対応する前記テストモジュールに前記タイミング信号を供給する複数のタイミング供給部と、

それぞれの前記テストモジュールが前記タイミング信号に応じて前記試験パターンを出力するタイミングが略同一となるように、前記複数のタイミング供給部がそれぞれの前記テストモジュールに供給する前記タイミング信号の位相を制御する制御部と、

前記複数のテストモジュールに対応して設けられ、対応する前記複数のテストモジュールから、前記電子デバイスが出力する出力パターンにフェイルが生じたタイミングを示すフェイルタイミング信号を受け取り、前記タイミング供給部に前記フェイルタイミング信号を出力する複数の戻り系回路と、

を備え、

前記制御部は、それぞれの前記戻り系回路が前記フェイルタイミング信号を出力するタイミングが略同一となるように前記複数の戻り系回路を制御する

ことを特徴とする試験装置。

【請求項 4】

それぞれの前記戻り系回路は、前記フェイルタイミング信号を受け取り、前記基準クロックに応じて前記フェイルタイミング信号を順次受け渡す縦続接続された複数のフリップフロップと、

それぞれの前記フリップフロップが出力する前記フェイルタイミング信号を受け取り、受け取った複数の前記フェイルタイミング信号のうち、いずれかを選択して前記タイミング供給部に供給することにより、前記タイミング供給部に前記フェイルタイミング信号を供給するタイミングを調整する戻り信号選択部と

を有し、

前記制御部は、前記戻り信号選択部が前記複数のフェイルタイミング信号のうちいずれを選択するかを制御する

請求項 3 に記載の試験装置。

【請求項 5】

前記テストモジュールと、前記複数のフリップフロップとの間に設けられ、前記フェイルタイミング信号を遅延させて前記複数のフリップフロップに供給する戻り系用可変遅延回路を更に備え、

前記制御部は、前記戻り系用可変遅延回路の遅延量を順次変化させ、前記フェイルタイミング信号の値が変化するタイミングが、いずれかの前記複数のフリップフロップが前記フェイルタイミング信号の値を取り込むタイミングと略同一となる前記戻り系用可変遅延回路の遅延量を検出し、検出した前記遅延量から前記基準クロックの半周期ずれた遅延量に、前記戻り系用可変遅延回路の遅延量を設定する

請求項 4 に記載の試験装置。

【請求項 6】

前記複数の戻り系回路は、前記タイミング供給部を介して前記フェイルタイミング信号をそれぞれの前記テストモジュールに供給する

請求項 5 に記載の試験装置。

【請求項 7】

前記複数の戻り系回路が出力する前記フェイルタイミング信号を受け取り、複数の前記フェイルタイミング信号に基づいて論理演算を行う集約回路を更に備え、

前記複数のタイミング供給部は、前記集約回路の論理演算の結果を対応する前記テストモジュールに供給する

請求項 6 に記載の試験装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子デバイスを試験する試験装置に関する。

【背景技術】

【0002】

従来、半導体回路等の電子デバイスを試験する試験装置は、電子デバイスに所定のパターンを印加することにより試験を行っている。試験装置は、予め与えられたパターンや、試験レート等を電子デバイスに印加するテストモジュールと、テストモジュールが電子デバイスにパターン等を印加するタイミングを制御するタイミング制御モジュールとを備えている。

【0003】

テストモジュールは、試験すべき電子デバイスのピン数に応じて複数設けられ、またタイミング制御モジュールは、試験開始のタイミングを発生するためのモジュール、パターン印加のタイミングを発生するためのモジュール等のように複数設けられている。従来、タイミング制御モジュールは、その機能に応じてそれぞれ構成される。

【0004】

本発明に関連する特許文献等は、現在認識していないため、その記載を省略する。

【発明の開示】

【発明が解決しようとする課題】

【0005】

前述したように、従来は、タイミング制御モジュールを、その機能に応じて構成しているため、複数種類のタイミング制御モジュールを製造する必要があり、製造コストの上昇を招いてしまう。また、それぞれのタイミング制御モジュールの汎用性が低く、電子デバイスの試験の効率を低下させてしまう。このような問題を解消するために、全ての機能を実現できる構成をそれぞれのモジュールに設け、各モジュールの機能を切り替え可能とす

10

20

30

40

50

ることが考えられる。これにより、同種のモジュールのみで、電子デバイスの試験を行うことができる。

【0006】

しかし、電子デバイスを試験するために必要な機能は多種に渡り、またそれぞれの機能を実現するために多数のピンが必要であり、全ての機能を1モジュールで実現しようとする、モジュールのピン数が膨大となってしまう、現実的でない。このため、同一の構成を有する複数のモジュールによって、全ての機能を実現することが考えられる。しかし、このような場合には、それぞれのモジュール間の同期を取らなければならないという問題が生じる。

【0007】

また、他の課題として、異なる製造元で製造されたテストモジュール間では、信号の入力から出力までの時間等の特性が異なる場合があるため、これらのテストモジュールは同時に使用することが困難であった。また、タイミング制御モジュールが、複数のテストモジュールから、それぞれフェイルデータ等を受け取り、複数のフェイルデータを論理演算して集約した複数のデータを、複数のテストモジュールに分配する場合がある。このような場合においても、それぞれの集約処理、それぞれの分配処理は、同期して行う必要がある。以上のように、試験装置が複数の信号供給部30、複数のテストモジュール14を用いて電子デバイスの試験を行う場合、これらの間の信号の授受で同期を取る必要がある。

【0008】

また、それぞれの集約処理、分配処理を行うためには、多数のレジスタが必要となってしまう、回路規模やコストの増大を招いてしまう。このため、レジスタ数を低減する必要がある。また、集約処理、分配処理を行うためには、多数の信号線が必要となるが、半導体基板上に多数の信号線を形成する場合には、回路配置を検討する必要がある。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明の形態においては、電子デバイスを試験する試験装置であって、電子デバイスの試験に用いる試験パターンを、電子デバイスに供給する複数のテストモジュールと、基準クロックを生成する基準クロック生成部と、基準クロックに基づいて、複数のテストモジュールを動作させるタイミング信号を生成するジェネレート回路と、複数のテストモジュールに対応して設けられ、対応するテストモジュールにタイミ
30
ング信号を供給する複数のタイミング供給部と、それぞれのテストモジュールがタイミング信号に応じて試験パターンを出力するタイミングが略同一となるように、複数のタイミング供給部がそれぞれのテストモジュールに供給するタイミング信号の位相を制御する制御部とを備える試験装置を提供する。

【0010】

それぞれのタイミング供給部は、タイミング信号を受け取り、基準クロックに応じてタイミング信号を順次受け渡す縦続接続された複数のフリップフロップと、それぞれのフリップフロップが出力するタイミング信号を受け取り、受け取った複数のタイミング信号のうち、いずれかを選択してテストモジュールに供給することにより、テストモジュールに供給するタイミング信号の位相を調整するタイミング信号選択部とを有し、制御部は、タイ
40
ミング信号選択部が複数のタイミング信号のうちいずれを選択するかを制御してよい。

【0011】

試験装置は、基準クロック生成部と、複数のフリップフロップとの間に設けられ、基準クロックを遅延させて複数のフリップフロップに供給する基準クロック用可変遅延回路を更に備え、制御部は、基準クロック用可変遅延回路の遅延量を順次変化させ、タイミング信号の値が変化するタイミングが、いずれかの複数のフリップフロップがタイミング信号の値を取り込むタイミングと略同一となる基準クロック用可変遅延回路の遅延量を検出し、検出した遅延量から基準クロックの半周期ずれた遅延量に、基準クロック用可変遅延回路の遅延量を設定してよい。

【0012】

10

20

30

40

50

試験装置は、複数のテストモジュールに対応して設けられ、対応する複数のテストモジュールから、電子デバイスが出力する出力パターンにフェイルが生じたタイミングを示すフェイルタイミング信号を受け取り、タイミング供給部にフェイルタイミング信号を出力する複数の戻り系回路を更に備え、制御部は、それぞれの戻り系回路がフェイルタイミング信号を出力するタイミングが略同一となるように複数の戻り系回路を制御してよい。

【0013】

それぞれの戻り系回路は、フェイルタイミング信号を受け取り、基準クロックに応じてフェイルタイミング信号を順次受け渡す縦続接続された複数のフリップフロップと、それぞれのフリップフロップが出力するフェイルタイミング信号を受け取り、受け取った複数のフェイルタイミング信号のうち、いずれかを選択してタイミング供給部に供給することにより、タイミング供給部にフェイルタイミング信号を供給するタイミングを調整する戻り信号選択部とを有し、制御部は、戻り信号選択部が複数のフェイルタイミング信号のうちいずれを選択するかを制御してよい。

10

【0014】

試験装置は、テストモジュールと複数のフリップフロップとの間に設けられ、フェイルタイミング信号を遅延させて複数のフリップフロップに供給する戻り系用可変遅延回路を更に備え、制御部は、戻り系用可変遅延回路の遅延量を順次変化させ、フェイルタイミング信号の値が変化するタイミングが、いずれかの複数のフリップフロップがフェイルタイミング信号の値を取り込むタイミングと略同一となる戻り系用可変遅延回路の遅延量を検出し、検出した遅延量から基準クロックの半周期ずれた遅延量に、戻り系用可変遅延回路の遅延量を設定してよい。

20

【0015】

複数の戻り系回路は、タイミング供給部を介してフェイルタイミング信号をそれぞれのテストモジュールに供給してよい。試験装置は、複数の戻り系回路が出力するフェイルタイミング信号を受け取り、複数のフェイルタイミング信号に基づいて論理演算を行う集約回路を更に備え、複数のタイミング供給部は、集約回路の論理演算の結果を対応するテストモジュールに供給してよい。

【0016】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

30

【発明の効果】**【0017】**

本発明によれば、複数のテストモジュールの特性に応じて、テストモジュールに与えるタイミング信号の位相の調整を容易に行うことができる。

【発明を実施するための最良の形態】**【0018】**

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0019】

40

図1は、本発明の実施形態に係る試験装置100の構成の一例を示す。試験装置100は、複数の電子デバイス(200-1~200-n、以下200と総称する)を試験する。試験装置100は、基準クロック生成部10、制御部12、複数のテストモジュール(14-1~14-48、以下14と総称する)、デバイス接触部16、及びスイッチマトリクス20を備える。

【0020】

デバイス接触部16は、例えば複数の電子デバイス200を載置するテストヘッドであって、複数のテストモジュール14と複数の電子デバイス200とを電氣的に接続する。それぞれのテストモジュール14は、1又は複数の電子デバイス200と電氣的に接続される。また、それぞれの電子デバイス200は、1又は複数のテストモジュール14と電

50

氣的に接続される。例えば、テストモジュール１４及び電子デバイス２００は、それぞれ定められた数の入出力ピンを有し、それぞれのピン数に応じてテストモジュール１４と電子デバイス２００とが接続される。

【００２１】

また、テストモジュール１４は、与えられる試験パターンを、対応する電子デバイス２００に供給するモジュールであってよい。本例において、それぞれのテストモジュール１４は、制御部１２から予め試験パターンが与えられ、スイッチマトリクス２０からそれぞれ与えられるタイミング信号に応じたタイミングで、試験パターンを電子デバイス２００に供給する。また、テストモジュール１４は、電子デバイス２００が出力する信号に基づいて、電子デバイス２００の良否を判定してもよい。この場合、テストモジュール１４は、電子デバイス２００のフェイルデータを格納するフェイルメモリを有していてもよく、またフェイルデータを制御部１２に供給してもよい。

10

【００２２】

基準クロック生成部１０は、予め定められた周波数の基準クロックを生成する。試験装置１００の各構成要素は、当該基準クロックに応じて動作する。スイッチマトリクス２０は、基準クロックに基づいて、位相の異なる複数のタイミング信号を生成し、それぞれのテストモジュール１４に供給する。つまり、スイッチマトリクス２０は、タイミング信号をテストモジュール１４に供給することにより、それぞれのテストモジュール１４が動作するタイミングを制御する。

【００２３】

20

制御部１２は、スイッチマトリクス２０がいずれの位相のタイミング信号を、それぞれのテストモジュール１４に供給するかを制御する。また、制御部１２は、それぞれのテストモジュール１４に、試験パターンを予め供給する。制御部１２は、例えばワークステーション等のホストコンピュータであってよい。また制御部１２は、複数のホストコンピュータを有していてもよい。この場合、それぞれのホストコンピュータは、それぞれ試験すべき電子デバイス２００が割り当てられており、割り当てられた電子デバイス２００に接続されたテストモジュール１４、及び当該テストモジュール１４に供給されるタイミング信号の位相を制御する。

【００２４】

図２は、スイッチマトリクス２０の構成の一例を示す。スイッチマトリクス２０は、複数のテストボード（２２－１、２２－２、以下２２と総称する）を有する。テストボード２２には、基準クロック分配回路８０、クロック制御回路７０、複数の信号供給部（３０－１～３０－１６、以下３０と総称する）、複数の出力部９０、及びループ回路１１０が設けられる。ループ回路１１０及びクロック制御回路７０の構成及び動作については、図３において後述する。

30

【００２５】

基準クロック分配回路８０は、基準クロック生成部１０が生成した基準クロックを受け取り、スイッチマトリクス２０の各構成要素に分配する。信号供給部３０は、入力信号として入力される基準クロックに基づいて、電子デバイス２００を試験するための出力信号を出力する。例えば、信号供給部３０は、電子デバイス２００に試験パターンを印加するタイミングを示すタイミング信号、電子デバイス２００の試験を開始するタイミングを示すタイミング信号、電子デバイス２００の試験を停止するタイミングを示すタイミング信号、電子デバイス２００のフェイルデータを取りこむタイミングを示すタイミング信号等を、出力部９０を介してテストモジュール１４に供給する。

40

【００２６】

本例においてそれぞれの信号供給部３０は、入力される基準クロックに基づいて、位相の異なる複数のタイミング信号を、前述した出力信号として生成する。そして、制御部１２は、信号供給部３０が生成した複数のタイミング信号のうちいずれのタイミング信号をそれぞれのテストモジュール１４に供給させるかを、それぞれの信号供給部３０において切り替える。これにより、例えばそれぞれのテストモジュール１４が、電子デバイス２０

50

0に試験パターンを供給するタイミングを制御することができる。また、信号供給部30は、タイミング信号と同期して、タイミング信号の生成に用いた基準クロックを出力する。

【0027】

また、複数の信号供給部30は、電子デバイス200に試験パターンを印加するタイミングの制御、電子デバイス200の試験を開始するタイミングの制御、電子デバイス200の試験を停止するタイミングの制御、電子デバイス200のフェイルデータを取りこむタイミングの制御等のように、予め機能が割り当てられる。また、それぞれの信号供給部30は、同一の構成を有する集積回路であって、動作モードを切り替えることにより、前述した機能の全てを実行する回路構成を有する。当該動作モードは、制御部12により制

10

【0028】

また、信号供給部30のピン数によっては、一の信号供給部30に前述した機能の全てを実行できる回路構成を備えさせた場合、信号供給部30の入出力ピン数が不足する場合がある。このような場合、複数の信号供給部30を組み合わせることにより、入出力ピン不足を解消する。例えば、試験装置100は、図2に示すように、信号供給部30-1と信号供給部30-2を組み合わせさせて動作させる。本例における制御部12は、信号供給部30のそれぞれの組み合わせに、上述した機能のいずれかを割り当てて動作させる。

【0029】

20

複数の出力部90は、複数のテストモジュール14と対応して設けられ、複数の信号供給部30のうち、いずれかからタイミング信号を受け取り、受け取ったタイミング信号を対応するテストモジュール14に供給する。それぞれの出力部90に、いずれの信号供給部30からタイミング信号を供給するかは、それぞれのテストモジュール14の機能、及びそれぞれの信号供給部30の機能に応じて制御部12が制御する。

【0030】

試験装置100は、複数の信号供給部30、複数のテストモジュール14を用いて電子デバイス200の試験を行っているため、これらの間の信号の授受で同期を取ることが好ましい。本例における試験装置100は、以下の調整を行う。

(1) 複数の信号供給部30が、タイミング信号を出力するタイミングの調整

30

(2) テストモジュール14の特性に応じた、タイミング信号の位相の調整

(3) 複数の信号供給部30を組み合わせした場合における、それぞれの信号供給部30に与えられる基準クロックの位相の調整

まず、複数の信号供給部30が、タイミング信号を出力するタイミングの調整について、図3から図6を用いて説明する。

【0031】

図3は、信号供給部30及びクロック制御回路70の構成の一例を示す図である。信号供給部30は、タイミング信号分配回路56、集約回路46、ジェネレート回路48、複数の戻り系回路40、複数のタイミング供給部60、位相調整回路50、基準クロック用可変遅延回路36、フリップフロップ38、カウンタ部32及び基準クロック通過経路234を有する。また、クロック制御回路70は、フリップフロップ72、選択部74、カウンタ76、及び論理回路78を有する。

40

【0032】

基準クロック通過経路234は、基準クロック生成部10から、基準クロック分配回路80を介して基準クロックを受け取り、ループ回路110に出力する。基準クロック通過経路234は、受け取った基準クロックを信号供給部30のそれぞれのブロックに分配するための複数の分配点を有しており、信号供給部30に設けられたフリップフロップ等は、当該基準クロックに応じて動作する。

【0033】

基準クロック用可変遅延回路36は、基準クロック通過経路234に設けられ、基準ク

50

ロックを遅延させる。基準クロック用可変遅延回路 36 は、基準クロック通過経路 234 における複数の分配点より上流に設けられることが好ましい。基準クロック通過経路 234 を通過した基準クロックは、ループ回路 110 に入力される。

【0034】

ループ回路 110 は、それぞれの信号供給部 30 が出力する基準クロックをループさせ、それぞれの基準クロックを出力した信号供給部 30 に入力信号として入力する。ループ回路 110 は、順次選択したそれぞれの基準クロックを、略同一の経路でループさせて信号供給部 30 に入力することが好ましい。試験装置 100 は、当該ループの周期を測定することにより、それぞれの信号供給部 30 がタイミング信号を出力するタイミングのバラツキを検出する。それぞれの信号供給部 30 がタイミング信号を出力するタイミングを調整することにより、複数の信号供給部 30 から複数のテストモジュール 14 にタイミング信号を供給しても、複数のテストモジュール 14 を同期させて動作させることができる。

10

【0035】

図 4 は、ループ回路 110 の構成の一例を示す図である。ループ回路 110 は、複数の基準クロック選択部（112-1～112-4、114-1～114-2）、論理和回路 116、論理積回路 117、フリップフロップ 119、及び分配器 118 を有する。ループ回路 110 は、複数の信号供給部 30 が出力する基準クロック受け取り、受け取った基準クロックを順次選択してループさせる。

【0036】

本例においては、複数の基準クロック選択部（112-1～112-4、114-1～114-2）、及び論理和回路 116 が、複数の基準クロックのうちの一の基準クロックを順次選択する。論理積回路 117 は、選択された基準クロックと、フリップフロップ 119 が出力する信号との論理積を分配器 118 に出力する。フリップフロップ 119 は、基準クロックのループを行うか否かを制御する。フリップフロップ 119 には、制御部 12 から、基準クロックのループを行うか否かを制御する信号が与えられ、分配器 118 から与えられる基準クロックの反転信号に応じて、当該信号を出力する。分配器 118 は、論理積回路 117 が出力する基準クロックを、基準クロック分配回路 80 にループさせる。ループ回路 110 は、順次選択したそれぞれの基準クロックを、同一の経路で基準クロック分配回路 80 にループさせる。これにより、それぞれの信号供給部 30 の周期の測定誤差を低減することができる。

20

30

【0037】

図 5 は、基準クロック分配回路 80 の構成の一例を示す図である。基準クロック分配回路 80 は、分配器 82、論理積回路 84、論理和回路 86、及び分配器 88 を有する。分配器 82 は、基準クロック生成部 10 から基準クロックを受け取り、当該基準クロックに応じて動作すべき構成要素に基準クロックを分配する。論理積回路 84 は、分配器 82 から基準クロックを受け取り、後述するクロック制御回路 70 から与えられる信号と、基準クロックとの論理積を出力する。つまり、論理積回路 84 は、クロック制御回路 70 から与えられる信号に基づいて、基準クロックを通過させるか否かを選択する。

【0038】

論理和回路 86 は、論理積回路 84 から受け取る基準クロックと、ループ回路 110 からループされた基準クロックとの論理和を出力する。ループの周期を測定する場合、クロック制御回路 70 は、論理積回路 84 に L 論理を入力し、基準クロック生成部 10 から供給される基準クロックを通過させないように制御する。ループの周期を測定しない場合、クロック制御回路 70 は、論理積回路 84 に H 論理を入力する。分配器 88 は、論理和回路 86 が出力した基準クロックを、複数の信号供給部 30 に供給する。ループの周期を測定する場合、分配器 88 は、受け取った基準クロックを、ループの周期の測定を行っている信号供給部 30 に供給する。

40

【0039】

また、ループ回路 110 は、一の信号供給部 30 から受け取る基準クロックを連続してループさせることが好ましい。つまり、それぞれの基準クロックを所定時間内で複数回ル

50

ープさせることが好ましい。カウンタ部 3 2（図 3 参照）は、所定時間内に基準クロックが何回ループしたかを計数し、計数結果に基づいて、ループ回路 1 1 0 が順次ループさせた基準クロックに対応する信号供給部 3 0 における周期を測定する。

【0040】

例えば、カウンタ部 3 2 は、分配器 8 2 から基準クロックを受け取り、当該基準クロックのパルス在所定回数計数する間に、ループ回路 1 1 0 が基準クロックを何回ループさせたかを計数する。この場合、カウンタ部 3 2 には、ループ回路 1 1 0 によってループされた基準クロックが入力される。

【0041】

そして、カウンタ部 3 2 は、これらの計数結果に基づいて、それぞれの信号供給部 3 0 において、入力信号（基準クロック）が入力されてから、ループ信号（基準クロック）が入力されるまでの周期を測定する。基準クロックを複数回ループさせることにより、それぞれの信号供給部 3 0 における周期をより精度よく測定することができる。例えば、ループ回路 1 1 0 は、それぞれの基準クロックを 4 0 0 0 回程度ループさせることが好ましい。

10

【0042】

制御部 1 2 は、カウンタ部 3 2 が測定したそれぞれの信号供給部 3 0 における周期に基づいて、それぞれの信号供給部 3 0 に設けられた基準クロック用可変遅延回路 3 6 の遅延時間を制御し、それぞれの信号供給部 3 0 の周期を略同一にする。このような制御により、複数の信号供給部 3 0 間のバラツキによって生じる、タイミング信号の出力タイミングのずれを低減することができる。

20

【0043】

また、信号供給部 3 0 のジェネレート回路 4 8 は、基準クロック通過経路 2 3 4 における第 1 分配点 2 3 0 から、位相調整回路 5 0 を介して基準クロックが分配され、分配された基準クロックに基づいて位相の異なる複数のタイミング信号を生成する。本例において、ジェネレート回路 4 8 は、基準クロックの周期と等しい位相分解能で、位相の異なる複数のタイミング信号を生成する。

【0044】

タイミング信号分配回路 5 6 は、ジェネレート回路 4 8 が生成した複数のタイミング信号のうち、いずれかのタイミング信号をタイミング供給部 6 0 毎に選択し、それぞれのタイミング供給部 6 0 に供給する。複数のタイミング供給部 6 0 は、2 つ毎に 1 の出力部 9 0 に対応して設けられ、対応する出力部 9 0 にタイミング信号を供給する。それぞれのタイミング供給部 6 0 は、基準クロック通過経路 2 3 4 において第 1 分配点 2 3 0 より下流に設けられた第 2 分配点 2 3 2 から基準クロックが分配され、分配された基準クロックに同期して、タイミング信号分配回路 5 6 が選択したタイミング信号をテストモジュールに出力する同期回路 6 6 を有する。

30

【0045】

ループ回路 1 1 0 は、第 2 分配点 2 3 2 を通過した基準クロックを受け取り、受け取った基準クロックをループさせる。制御部 1 2 が基準クロック用可変遅延回路 3 6 の遅延量を制御することにより、複数の信号供給部 3 0 の同期回路 6 6 に基準クロックが分配されるタイミングを略同一にすることができる。このため、複数の信号供給部 3 0 は、タイミング信号を略同一のタイミングで出力することができる。

40

【0046】

また、基準クロック通過経路 2 3 4 は、第 2 分配点 2 3 2 を、複数の分配点のうち最も下流に有することが好ましい。また、それぞれの信号供給部 3 0 は、信号供給部 3 0 が形成された半導体基板において、第 2 分配点 2 3 2 の近傍から基準クロックをループ回路 1 1 0 に出力することが好ましい。第 2 分配点 2 3 2 から、ループ回路 1 1 0 に出力するまでの経路を短くして基準クロックのループの周期を測定することにより、ループ回路 1 1 0 が受け取る基準クロックと、信号供給部 3 0 が出力するタイミング信号との位相のずれを低減することができる。このため、それぞれの信号供給部 3 0 がタイミング信号を出力

50

するタイミングのずれをより低減することができる。

【0047】

また、試験装置100は、複数のテストモジュール14から、一の電子デバイス200に試験パターンを供給可能であり、制御部12は、一の電子デバイス200に試験パターンを供給する複数のテストモジュール14にタイミング信号を供給する信号供給部30における周期を略同一とするように、それぞれの基準クロック用可変遅延回路36の遅延量を制御してもよい。

【0048】

図6は、図3から図5において説明した、複数の信号供給部30がタイミング信号を出力するタイミングの調整方法の一例を示すフローチャートである。まず、S1000で、
10 ループ回路110が、複数の信号供給部30が出力する複数の基準クロックのいずれかを選択する。次に、S1002で、ループ回路110が選択した基準クロックをループさせ、当該基準クロックを出力した信号供給部30に入力する。

【0049】

そして、S1004で、カウンタ部32が、所定時間経過したかを判定し、所定時間が経過していない場合、基準クロックのループを継続する。所定時間が経過した場合、S1006で、基準クロックのループ回数に基づいて、当該信号供給部30における周期を算出する。次に、S1008で、複数の信号供給部30が出力する全ての基準クロックを選択したか否かを判定し、全ての基準クロックを選択していない場合、次の基準クロックを選択し（S1000）、S1002～S1006の処理を繰り返す。
20

【0050】

全ての基準クロックを選択し、全ての信号供給部30における周期を算出した場合、S1010で、それぞれの信号供給部30の基準クロック用可変遅延回路36の遅延量を調整し、それぞれの信号供給部30がタイミング信号を出力するタイミングを略同一とし、調整を終了する。

【0051】

次に、テストモジュール14の特性に応じた、タイミング信号の位相の調整について、図3及び図7を用いて説明する。上述したように、信号供給部30の複数のタイミング供給部60は、複数のテストモジュール14に対応して設けられる。しかし、それぞれのテストモジュール14において、タイミング信号を受け取ってから、試験パターンを出力するまでの時間は必ずしも同一とはならない。例えば、それぞれのテストモジュール14の特性によって、当該時間にはバラツキが生じる。このため、複数のテストモジュール14に同時にタイミング信号を入力しても、電子デバイス200には同時に試験パターン等が入力されない場合がある。本例における試験装置100は、当該バラツキを補償するために、それぞれの信号供給部30が出力するタイミング信号の位相を調整する。
30

【0052】

図3に示すように、それぞれのタイミング供給部60は、縦続接続された複数のフリップフロップ62、タイミング信号選択部64、及び同期回路66を有する。また、それぞれのタイミング供給部60は、複数のテストモジュール14に対応して設けられ、タイミング信号分配回路56からタイミング信号を受け取り、対応するテストモジュール14に
40 タイミング信号を供給する。

【0053】

ジェネレート回路48は、所定時間において立ち下がり又は立ち上がりのエッジを一つのみ有するタイミング信号を生成し、タイミング信号分配回路56に供給する。当該所定時間は、基準クロックの周期より十分大きいことが好ましい。複数のフリップフロップ62は、タイミング信号分配回路56からタイミング信号を受け取り、基準クロック通過経路234から分配される基準クロックに応じて、タイミング信号を次段のフリップフロップに順次受け渡す。つまり、複数のフリップフロップ62のそれぞれのフリップフロップは、基準クロックに応じてタイミング信号の値を次段のフリップフロップに順次受け渡す。
50

【0054】

タイミング信号選択部64は、複数のフリップフロップ62の、それぞれのフリップフロップが出力するタイミング信号を受け取り、受け取った複数のタイミング信号のうち、いずれかを選択してテストモジュールに供給することにより、テストモジュールに供給するタイミング信号の位相を調整する。

【0055】

制御部12は、複数のタイミング供給部60がそれぞれのテストモジュール14に供給するタイミング信号の位相を制御する。本例においては、制御部12は、それぞれのテストモジュール14がタイミング信号に応じて試験パターンを出力するタイミングが略同一となるように、タイミング信号選択部64が複数のタイミング信号のうちいずれを選択するかを制御する。試験装置100は、テストモジュール14が試験パターンを出力するタイミングを検出する手段を備えることが好ましい。

10

【0056】

本例においては、複数の戻り系回路40によって、テストモジュール14が試験パターンを出力したタイミングを検出する。複数の戻り系回路40は、複数のタイミング供給部60と同様に、複数のテストモジュール14と対応して設けられ、テストモジュール14は、試験パターンを出力したタイミングで値の変化する信号を、対応する戻り系回路40に入力する。戻り系回路40は、縦続接続された複数のフリップフロップ42を有する。複数のフリップフロップ42のそれぞれのフリップフロップは、テストモジュール14から入力された信号を、基準クロックに応じて次段のフリップフロップに順次受け渡す。

20

【0057】

制御部12は、複数のフリップフロップ42が格納した値を読み出し、いずれの段のフリップフロップで値が変化するかに基づいて、テストモジュール14が試験パターンを出力するタイミングを検出する。また、制御部12には、それぞれのテストモジュール14の仕様に基づいて、それぞれのテストモジュール14に供給するべきタイミング信号の位相が予め与えられていてもよい。

【0058】

また、制御部12は、基準クロック用可変遅延回路36の遅延量を順次変化させ、タイミング信号の値が変化するタイミングが、複数のフリップフロップ62のいずれかのフリップフロップがタイミング信号の値を取り込むタイミングと略同一となる遅延量を検出し、検出した遅延量から基準クロックの半周期ずれた遅延量に、基準クロック用可変遅延回路36の遅延量を設定してもよい。この場合、制御部12は、複数のフリップフロップ62のそれぞれのフリップフロップが格納するタイミング信号の値を検出する手段を有することが好ましい。

30

【0059】

まず制御部12は、基準クロック用可変遅延回路36の遅延量を所定の値に設定する。そして、ジェネレート回路48に、基準クロック分配回路80から受け取った基準クロックに基づいてタイミング信号を生成させ、複数のフリップフロップ62が格納したそれぞれの値を検出し、値の変化するフリップフロップの段数を検出する。次に、制御部12は、基準クロック用可変遅延回路36の遅延量を所定量だけ変化させてから、同様にタイミング信号を生成させ、複数のフリップフロップ62が格納したそれぞれの値を検出し、値の変化するフリップフロップの段数を検出する。このように、基準クロック用可変遅延回路36の遅延量を順次変化させる毎に、複数のフリップフロップ62が格納したそれぞれの値を検出し、値の変化するフリップフロップの段数を検出する。そして、検出したフリップフロップの段数が変化する遅延量を検出することにより、タイミング信号の値が変化するタイミングが、複数のフリップフロップ62のいずれかのフリップフロップがタイミング信号の値を取り込むタイミングと略同一となる遅延量を検出する。そして、検出した遅延量から基準クロックの半周期ずれた遅延量に、基準クロック用可変遅延回路36の遅延量を設定する。このような制御により、それぞれのフリップフロップにおいて、安定してタイミング信号の値を検出することができる。

40

50

【0060】

図7は、タイミング信号と基準クロックとの関係を示す図である。図7（a）は、基準クロック用可変遅延回路36の遅延量を調整しない場合の一例を示し、図7（b）は、基準クロック用可変遅延回路36の遅延量を調整した場合の一例を示す。

【0061】

基準クロック用可変遅延回路36の遅延量を調整しない場合、複数のフリップフロップ62のいずれかのフリップフロップが、基準クロックに応じてタイミング信号の値を取り込んだ場合に、図7（a）に示すように、タイミング信号の値が変化するタイミングでタイミング信号の値を取り込んでしまう場合がある。このような場合、当該フリップフロップは、タイミング信号の値を安定して取り込むことができない。

10

【0062】

このため、本例における制御部12は、上述したように基準クロック用可変遅延回路36の遅延量を調整し、図7（b）に示すように、フリップフロップがタイミング信号の値を取り込むタイミングと、タイミング信号の値が変化するタイミングをずらしている。

【0063】

また、それぞれの戻り系回路40は、対応する複数のテストモジュール14から、電子デバイス200が出力する出力パターンにフェイルが生じたタイミングを示すフェイルタイミング信号等のような、テストモジュール14からの信号を受け取り、フェイルタイミング信号を、集約回路46及びタイミング信号分配回路56を介してタイミング供給部60に供給する。このとき、それぞれのテストモジュール14の特性により、それぞれの戻り系回路40におけるフェイルタイミング信号の位相にずれが生じる場合がある。つまり、それぞれのテストモジュール14が、フェイルタイミング信号を生成してから、それぞれの戻り系回路40に供給するまでの時間が、テストモジュール14によって異なる場合がある。

20

【0064】

試験装置100は、例えばいずれかのテストモジュール14でフェイルを検出した場合に、複数のテストモジュール14における試験パターンの印加を停止するというように、テストモジュール14から信号供給部30に供給される信号に基づいて、複数のテストモジュール14の動作を制御する場合がある。このような動作を行う場合に、それぞれのテストモジュール14が、例えばフェイルタイミング信号を生成してから、それぞれの戻り系回路40に供給するまでの時間が、テストモジュール14によって異なると、複数のテストモジュール14を同期して制御できない。制御部12は、それぞれの戻り系回路40がフェイルタイミング信号を出力するタイミングが略同一となるように複数の戻り系回路40を制御し、前述したずれを補償する。

30

【0065】

本例においては、それぞれの戻り系回路40は、縦続接続された複数のフリップフロップ42、戻り系用可変遅延回路34、及び戻り信号選択部44を有する。複数のフリップフロップ42のそれぞれのフリップフロップは、フェイルタイミング信号を受け取り、基準クロック通過経路234から分配される基準クロックに応じて、フェイルタイミング信号を次段のフリップフロップに順次受け渡す。

40

【0066】

戻り信号選択部44は、複数のフリップフロップ42のそれぞれのフリップフロップが出力するフェイルタイミング信号を受け取り、受け取った複数のフェイルタイミング信号のうち、いずれかを選択する。そして、選択したフェイルタイミング信号を、集約回路46及びタイミング信号分配回路56を介してタイミング供給部60に供給することにより、タイミング供給部60にフェイルタイミング信号を供給するタイミングを調整する。

【0067】

制御部12は、複数の戻り系回路40がそれぞれのタイミング供給部60に供給するフェイルタイミング信号の位相を制御する。本例においては、制御部12は、戻り信号選択部44が複数のフェイルタイミング信号のうちいずれを選択するかを制御する。本例にお

50

いて、制御部 12 は、複数のフリップフロップ 42 が格納した値を読み出し、いずれの段のフリップフロップで値が変化するかを検出する。そして、検出したフリップフロップの段数の、それぞれの戻り系回路 40 における差異に応じて、戻り信号選択部 44 にいずれのフェイルタイミング信号を選択させるかを制御する。

【0068】

また、戻り系用可変遅延回路 34 は、テストモジュール 14 と、複数のフリップフロップ 42 との間に設けられ、フェイルタイミング信号を遅延させて複数のフリップフロップ 42 に供給する。制御部 12 は、戻り系用可変遅延回路 34 の遅延量を順次変化させ、フェイルタイミング信号の値が変化するタイミングが、複数のフリップフロップ 42 のいずれかのフリップフロップがフェイルタイミング信号の値を取り込むタイミングと略同一となる戻り系用可変遅延回路 34 の遅延量を検出し、検出した遅延量から基準クロックの半周期ずれた遅延量に、戻り系用可変遅延回路 34 の遅延量を設定する。

10

【0069】

また、複数のフリップフロップ (42、52、62) のそれぞれのフリップフロップが格納した値を検出する場合、基準クロック分配回路 80 から供給される基準クロックを停止し、複数のフリップフロップ (42、52、62) の動作を停止することが好ましい。本例においては、クロック制御回路 70 が、基準クロック分配回路 80 に、基準クロックを停止するための信号を供給する。

【0070】

クロック制御回路 70 は、フリップフロップ 72、選択部 74、カウンタ 76、及び論理回路 78 を有する。フリップフロップ 72 は、複数の信号供給部 30 が出力するタイミング信号を受け取り、選択部 74 に供給する。選択部 74 は、フリップフロップ 72 から受け取った複数のタイミング信号のうち、タイミング又は位相の調整を行う信号供給部 30 が出力したタイミング信号を選択し、カウンタ 76 に供給する。カウンタ 76 は、受け取ったタイミング信号の値が変化した場合に基準クロックの計数を開始し、所定の数となった場合に、論理回路 78 に基準クロックを停止する旨の信号を出力する。論理回路 78 は、カウンタ 76 から受け取った信号を基準クロック分配回路 80 の論理積回路 84 に供給し、信号供給部 30 に供給される基準クロックを停止する。

20

【0071】

制御部 12 は、カウンタ 76 に所定の数を設定し、基準クロックを停止するタイミングを制御する。例えば、制御部 12 は、複数のフリップフロップ 42 のうち、略中央に設けられたフリップフロップが、フェイルタイミング信号の値の変化を検出するように、カウンタ 76 を制御する。

30

【0072】

また、複数の戻り系回路 40 は、集約回路 46、タイミング信号分配回路 56、及びタイミング供給部 60 を介してフェイルタイミング信号をそれぞれのテストモジュール 14 に供給する。集約回路 46 は、複数の戻り系回路 40 が出力するフェイルタイミング信号を受け取り、複数のフェイルタイミング信号に基づいて複数種類の論理演算を行い、それぞれの演算結果をタイミング信号分配回路 56 に供給する。タイミング信号分配回路 56 は、受け取った演算結果のそれぞれを任意の 1 又は複数のタイミング供給部 60 に供給する。集約回路 46 及びタイミング信号分配回路 56 の構成については、図 8 及び図 9 において後述する。

40

【0073】

次に、複数の信号供給部 30 を組み合わせた場合における、それぞれの信号供給部 30 に与えられる基準クロックの位相の調整について、図 3 及び図 8 を用いて説明する。複数の信号供給部 30 を組み合わせた場合、組み合わされた信号供給部 30 のいずれかが、テストモジュール 14 が試験パターンを電子デバイス 200 に供給するタイミングを制御するための第 1 タイミング信号を、基準クロックの位相に応じて生成し、テストモジュール 14 の予め定められた 1 又は複数のピンに供給する、主信号供給部として機能する。また、他の信号供給部 30 は、主信号供給部から基準クロックを受け取り、テストモジュール

50

14が試験パターンを電子デバイス200に供給するタイミングを制御するための第2タイミング信号を、受け取った基準クロックの位相に応じて生成し、テストモジュール14のピンのうち、主信号供給部とは異なる1又は複数のピンに供給する、従信号供給部として機能する。本例においては、信号供給部30-1が主信号供給部として機能し、信号供給部30-2が従信号供給部として機能する場合について説明する。

【0074】

それぞれの信号供給部30には、当該信号供給部30が従信号供給部30として機能する場合に、主信号供給部30から受け取った基準クロックを遅延させる位相調整回路50を有する。位相調整回路50は、基準クロック通過経路234の第1分配点230から基準クロックが分配される。このとき、第1分配点230と位相調整回路50との間には、基準クロックを、基準クロックより十分周期の大きいクロックに乗せ換えるクロック乗せ換え回路が設けられていることが好ましい。

10

【0075】

また、それぞれの信号供給部30は、主信号供給部として機能する場合に、従信号供給部に基準クロックを供給するためのフリップフロップ38を有する。フリップフロップ38は、前述したクロック乗せ換え回路が乗せ換えた基準クロックを受け取り、従信号供給部に供給する。

【0076】

また、信号供給部30が従信号供給部として機能する場合、位相調整回路50は、主信号供給部のフリップフロップ38から、基準クロックを受け取る。位相調整回路50は、受け取った基準クロックの位相を調整して、ジェネレート回路48に供給する。ジェネレート回路48、タイミング信号分配回路56、及びタイミング供給部60は、受け取った基準クロックの位相に基づいてタイミング生成信号を生成し、テストモジュール14に供給する。ここで、従信号供給部の位相調整回路50は、主信号供給部から受け取った基準クロックを遅延させることにより、主信号供給部が第1タイミング信号を出力するタイミングと、従信号供給部が第2タイミング信号を出力するタイミングとを略同一とする。

20

【0077】

図8は、位相調整回路50の構成の一例を示す図である。位相調整回路50は、位相調整用可変遅延回路236、縦続接続された複数のフリップフロップ52、主従選択部258、及びクロック選択部54を有する。主従選択部258は、位相調整用可変遅延回路236が遅延させた基準クロック、又は基準クロック生成部10が生成し、基準クロック用可変遅延回路36が遅延させた基準クロックのいずれを複数のフリップフロップ52に供給するかを選択する。

30

【0078】

制御部12は、信号供給部30が、主信号供給部又は従信号供給部のいずれとして機能するかに基づいて、主従選択部258にいずれの基準クロックを選択させるかを制御する。つまり、信号供給部30が主信号供給部として機能する場合、主従選択部258は、基準クロック用可変遅延回路36が遅延させた基準クロックを選択し、従信号供給部として機能する場合、主従選択部258は、位相調整用可変遅延回路236が遅延させた基準クロックを選択する。

40

【0079】

複数のフリップフロップ52は、主従選択部258が選択した基準クロックを受け取り、基準クロック生成部10が生成し、基準クロック通過経路234から分配される基準クロックに応じて、受け取った基準クロックを順次受け渡す。クロック選択部54は、複数のフリップフロップ52のそれぞれのフリップフロップが出力する基準クロックを受け取り、受け取った複数の前記基準クロックのうち、いずれかを選択して、ジェネレート回路48、タイミング信号分配回路56、及びタイミング供給部60を介して第2タイミング信号として出力する。

【0080】

制御部12は、クロック選択部54がいずれの基準クロックを選択するかを制御して、

50

主信号供給部が第1 タイミング信号を出力するタイミングと、従信号供給部が第2 タイミング信号を出力するタイミングとを略同一とする。例えば、制御部12は、主信号供給部のクロック選択部54に、予め定められたフリップフロップが出力する基準クロックを選択させ、従信号供給部のクロック選択部54がいずれの基準クロックを選択するかを制御して、主信号供給部が第1 タイミング信号を出力するタイミングと、従信号供給部が第2 タイミング信号を出力するタイミングとを略同一とする。この場合、制御部12は、主信号供給部のクロック選択部54に、縦続接続された複数のフリップフロップ52のうち、略中央に設けられたフリップフロップが出力する基準クロックを選択させることが好ましい。

【0081】

このような制御により、複数の信号供給部30を組み合わせた場合における、それぞれの信号供給部30に与えられる基準クロックの位相のバラツキによる、第1 タイミング信号が出力されるタイミングと、第2 タイミング信号が出力されるタイミングとの誤差を調整することができる。

【0082】

また、位相調整用可変遅延回路236は、主信号供給部から受け取った基準クロックを遅延させて、主従選択部258に供給する。制御部12は、位相調整用可変遅延回路236の遅延量を順次変化させ、当該基準クロックの値が変化するタイミングが、複数のフリップフロップ52のいずれかのフリップフロップが基準クロックの値を取り込むタイミングと略同一となる位相調整用可変遅延回路236の遅延量を検出し、検出した遅延量から基準クロックの半周期ずれた遅延量に、位相調整用可変遅延回路236の遅延量を設定する。位相調整用可変遅延回路236の設定は、クロック選択部54が選択するフリップフロップの段数の調整より前に行うことが好ましい。

【0083】

以上、図3～図8において説明したように、本例における試験装置100によれば、複数の信号供給部30がタイミング信号を出力するタイミングの調整、テストモジュール14の特性に応じたタイミング信号の位相の調整、複数の信号供給部30を組み合わせた場合におけるそれぞれの信号供給部30に与えられる基準クロックの位相の調整を行うことができ、複数のテストモジュール14を同期して動作させ、電子デバイス200の試験を精度よく行うことができる。

【0084】

図9は、ジェネレート回路48及びタイミング信号分配回路56の構成の一例を示す図である。ジェネレート回路48は、複数のバス(120-1～120-8、以下120と総称する)、及び演算回路130を有する。

【0085】

複数のバス120は、制御部12の複数のホストコンピュータと対応して設けられており、それぞれ対応するホストコンピュータによって制御される。バス120は、フリップフロップ122、分配回路124、及び複数のフリップフロップ(126-1～126-64、以下126と総称する)を有する。

【0086】

分配回路124は、64個の出力ポートを有しており、フリップフロップ122を介して制御部12から与えられるレート信号を、位相調整回路50から与えられる基準クロックに応じて、64個の出力ポートのうち1又は複数の出力ポートから出力する。また、分配回路124には、フリップフロップ122を介して制御部12から、いずれの出力ポートからレート信号を出力するかを制御する制御信号が与えられる。レート信号は、例えばH論理を示す信号であって、分配回路124がレート信号を出力する出力ポートを、基準クロックに応じて順次変化させることにより、位相の異なる複数のタイミング信号を生成して出力することができる。例えば、基準クロックに応じて、分配回路124がレート信号を出力する出力ポートを、1から64まで順次切り替えることにより、位相分解能が基準クロックの周期と等しい、位相の異なる64種類のタイミング信号を生成することがで

10

20

30

40

50

きる。また、それぞれの出力ポートを所望の周期で選択することにより、任意の周期のタイミング信号を生成することができる。例えば、複数のバス120毎に、出力ポートを選択する周期を変化させることにより、複数のバス120毎に、周期の異なる複数のタイミング信号を生成することができる。出力ポートを選択する周期は、制御部12から与えられる制御信号の周期を変更することによって容易に変更することができる。

【0087】

演算回路130は、複数のフリップフロップ（132-1～132-64、以下132と総称する）、複数の論理和回路（134-1～134-64、以下134と総称する）、及び複数のフリップフロップ（136-1～136-64、以下136と総称する）を有する。

10

【0088】

複数のフリップフロップ132、複数の論理和回路134、及び複数のフリップフロップ136は、分配回路124の出力ポートと対応して設けられ、対応する出力ポートが出力するタイミング信号を受け取る。論理和回路134は、複数のバス120のそれぞれの分配回路124の対応する出力ポートが出力するタイミング信号を受け取り、受け取ったそれぞれのタイミング信号の論理和を出力する。制御部12は、複数の分配回路124が、同時に同一の出力ポートからタイミング信号を出力しないように、それぞれの分配回路124を排他的に制御する。例えば、複数のホストコンピュータは、分配回路124の1～64の出力ポートのうち、いずれの出力ポートの制御を行うかが予め割り当てられる。そして、それぞれのホストコンピュータは、対応するバス120の分配回路124において、割り当てられた出力ポートから、タイミング信号を出力する出力ポートを順次選択する。また、複数のフリップフロップ136は、それぞれのタイミング信号を同期して、タイミング信号分配回路56に供給する。

20

【0089】

タイミング信号分配回路56は、複数の分配部（140-1～140-64、以下140と総称する）、複数の論理和回路（150-1～150-96、以下150と総称する）、及び複数のフリップフロップ（152-1～152-96、以下152と総称する）を有する。

【0090】

複数の分配部140は、分配回路124の複数の出力ポートに対応して設けられ、対応する出力ポートが出力するタイミング信号を受け取る。それぞれの分配部140は、フリップフロップ142、分配器144、レジスタ部146、及び複数の論理積回路（148-1～148-96、以下148と総称する）を有する。

30

【0091】

分配器144は、フリップフロップ142を介してタイミング信号を受け取り、複数の論理積回路148のそれぞれにタイミング信号を分配する。複数の論理積回路148は、複数のタイミング供給部60と対応して設けられ、受け取ったタイミング信号と、レジスタ部146から与えられる信号との論理積を出力する。

【0092】

レジスタ部146には、当該タイミング信号を、いずれのタイミング供給部60に供給するかを示すコマンドデータを格納する。本例において、レジスタ部146は、それぞれのビットが、複数のタイミング供給部60のいずれかと対応する、複数ビットのコマンドデータを格納する。レジスタ部146には、制御部12から当該コマンドデータが与えられる。制御部12は、当該タイミング信号を供給するべきタイミング供給部60に対応するビットをH論理としたコマンドデータをレジスタ部146に格納する。

40

【0093】

また、複数の論理和回路150は、複数の論理積回路148と対応して設けられ、複数の分配部140において、それぞれ対応する論理積回路148が出力するタイミング信号の論理和を出力する。制御部12は、それぞれの分配部140において、同一のタイミング供給部60に対応する論理積回路148が同時にタイミング信号を出力しないように、

50

それぞれのレジスタ部146にコマンドデータを格納する。つまり、それぞれのレジスタ部146が格納するコマンドデータにおいて、同一のビットが同時にH論理を示さないように、それぞれのレジスタ部146にコマンドデータを供給する。

【0094】

複数のフリップフロップ152は、複数の論理和回路150と対応して設けられ、複数の論理和回路150が出力するタイミング信号を同期させ、対応するタイミング供給部60に供給する。

【0095】

上述したように本例におけるジェネレート回路48によれば、基準クロックの周期と等しい分解能で、位相及び周波数が任意に設定可能な複数のタイミング信号を生成することができる。また、タイミング信号分配回路56によれば、それぞれのタイミング供給部60に、ジェネレート回路48が生成した複数のタイミング信号のうちのいずれかを任意に選択して供給することができる。

10

【0096】

図10は、集約回路46及びタイミング信号分配回路56の構成の一例を示す図である。本例において、タイミング信号分配回路56は、図9において説明したタイミング信号分配回路56と同一の構成を有する。

【0097】

集約回路46は、複数の集約部(160-1~160-64、以下160と総称する)を有する。複数の集約部160は、複数の分配部140と対応して設けられる。それぞれの集約部160は、レジスタ部162、複数の論理積回路(164-1~164-96、以下164と総称する)、論理和回路166、及びシフトレジスタ部168を有し、複数の戻り系回路40が出力するフェイルタイミング信号を受け取り、複数のフェイルタイミング信号のうちの2以上のフェイルタイミング信号の論理和を出力する。また、複数の分配部140は、複数の集約部160に対応して設けられ、対応する集約部160の演算結果を複数のテストモジュール14に分配する。

20

【0098】

複数の論理積回路164は、複数の戻り系回路40と対応して設けられ、対応する戻り系回路40が出力するフェイルタイミング信号等を受け取る。そして、受け取ったフェイルタイミング信号と、レジスタ部162から与えられる信号との論理積を出力する。そして、論理和回路166は、複数の論理積回路164が出力するフェイルタイミング信号の論理和を出力する。

30

【0099】

レジスタ部162には、複数のフェイルタイミング信号のうち、いずれのフェイルタイミング信号の論理和を論理和回路166に出力させるかを示すコマンドデータを格納する。本例において、レジスタ部162は、それぞれのビットが、複数の戻り系回路40のいずれかと対応する、複数ビットのコマンドデータを格納する。レジスタ部162には、制御部12から当該コマンドデータが与えられる。制御部12は、論理和回路166に供給すべきフェイルタイミング信号に対応するビットをH論理としたコマンドデータをレジスタ部162に格納する。

40

【0100】

本例においては、制御部12は、それぞれの分配部140のレジスタ部146に格納したコマンドデータと同一のコマンドデータを、それぞれの分配部140に対応する集約部160のレジスタ部162に格納する。つまり、制御部12は、レジスタ部146が格納したコマンドデータによってグループ化される複数のテストモジュール14のいずれかがフェイルタイミング信号を生成した場合に、当該フェイルタイミング信号に基づくタイミング信号を当該複数のテストモジュール14の全てに供給させる。

【0101】

また、対応する分配部140と集約部160とは、共通のレジスタ部を有していてもよい。例えば、集約部160は、対応する分配部140のレジスタ部146からコマンドデ

50

ータを受け取ってもよい。これにより、試験装置 100 のレジスタ素子の数を低減することができる。

【0102】

図 11 は、複数の集約部 160 及び複数の分配部 140 の、半導体基板（図示しない）上における配置例を示す図である。図 11（a）～図 11（c）は、それぞれ、複数の集約部 160 及び複数の分配部 140 の、半導体基板上における配置の一例を示す図である。

【0103】

図 11（a）に示すように、集約部 160 及び対応する分配部 140 の複数の組み合わせは、半導体基板上において並列に設けられる。また、集約回路 46 は、複数の集約部 160 に対応して設けられた複数のフリップフロップ（172-1～172-64、以下 172 と総称する）を更に有する。複数のフリップフロップ 172 は、戻り系回路 40 から受け取った複数のフェイルタイミング信号を、複数の集約回路 46 に同期させて供給する。

10

【0104】

また、タイミング信号分配回路 56 は、複数の分配部 140 に対応して設けられた複数のフリップフロップ（174-1～174-64、以下 174 と総称する）を更に有する。複数のフリップフロップ 174 は、対応する分配部 140 から受け取った複数のフェイルタイミング信号を、論理和回路 150 に同期させて供給する。このような構成により、それぞれの集約部 160 及び分配部 140 の処理を、同期してパイプライン処理することができる。

20

【0105】

また、図 11（b）に示すように、集約回路 46 は、複数の集約部 160 に対応して設けられた複数のフリップフロップ（180-1～180-64、以下 180 と総称する）を有していてもよい。複数のフリップフロップ 180 は縦続接続され、それぞれ対応する集約回路 46 に順次フェイルタイミング信号を供給する。すなわち、それぞれの集約回路 46 に異なるタイミングでフェイルタイミング信号を供給する。

【0106】

また、図 11（b）に示すように、論理和回路 150 に代えて、複数の論理和回路（250-2～250-64、以下 250 と総称する）を備えてもよい。複数の論理和回路 250 は、複数の分配部（140-2～140-64）に対応して設けられる。それぞれの論理和回路 250 は縦続接続され、論理和回路 250-2 は、分配部 140-1 及び分配部 140-2 が出力するフェイルタイミング信号の論理和を出力する。また、他の論理和回路 250 は、前段の論理和回路 250 が出力した論理和と、対応する分配部 140 が出力するフェイルタイミング信号との論理和を出力する。このような構成により、複数の集約回路 46 及び複数のタイミング信号分配回路 56 の動作の遅延を低減することができる。

30

【0107】

また、集約部 160 及び対応する分配部 140 は、半導体基板上における第 1 の方向で直列に接続される。また、図 10 においては、レジスタ部 162 及びレジスタ部 146 はそれぞれ集約部 160 及び分配部 140 に設けられているが、本例においては、共通のレジスタ部 146 が外部に設けられる。

40

【0108】

複数のレジスタ部 146 は、複数の集約部 160 及び複数の分配部 140 に対応して設けられ、集約部 160 において複数のフェイルタイミング信号のうちいずれのフェイルタイミング信号を用いて論理演算を行うか、及び分配部 140 において複数のテストモジュール 14 のうちいずれのテストモジュール 14 に論理演算結果を分配するかを制御する複数ビットの制御信号を、対応する集約部 160 及び分配部 140 に供給する。図 11（b）に示すように、それぞれのレジスタ部 146 と、対応する集約部 160 及び分配部 140 とは、第 1 の方向で接続されることが好ましい。

50

【0109】

また、図11(c)に示すように、半導体基板上において、集約部160とテストモジュール14とを接続する配線、即ち集約部160と戻り系回路40とを接続する配線のうちの少なくとも一部は、第1の方向と垂直な第2の方向に沿って設けられることが好ましい。また、半導体基板上において、分配部140と、テストモジュール14とを接続する配線、即ち分配部140とタイミング供給部60とを接続する配線のうちの少なくとも一部は、第1の方向と垂直な第2の方向に沿って設けられることが好ましい。

【0110】

このような構成により、信号線が多数必要な配線が、半導体基板上における横方向又は縦方向に偏ることを防ぐことができる。半導体基板上において、同一方向の信号線数は一定数以上作成することができないが、本例における構成によれば、横方向及び縦方向に効率よく信号線を配分することができる。

10

【0111】

図12は、複数のフリップフロップ部(186-1~186-7、以下186と総称する)及び複数の選択部(188-1~188-7、以下188と総称する)の構成の一例を示す。図3に関連して説明した複数のフリップフロップ(42、52、62)のそれぞれは、図12において説明する複数のフリップフロップ部186と同一の構成を有してよく、図3に関連して説明したクロック選択部54、戻り信号選択部44、及びタイミング信号選択部64のそれぞれは、図12において説明する複数の選択部188と同一の構成を有してよい。

20

【0112】

複数のフリップフロップ部186は縦続接続されており、それぞれのフリップフロップ部186は、縦続接続されたフリップフロップを有する。フリップフロップ部186は、入力される基準クロック、タイミング信号、フェイルタイミング信号等を受け取り、縦続接続されたフリップフロップは、基準クロックに応じて、受け取った信号を順次次段のフリップフロップに受け渡す。

【0113】

また、それぞれのフリップフロップ部186におけるフリップフロップの縦続数は異なることが好ましい。例えば、それぞれのフリップフロップ部186-mは、 2^{m-1} 段縦続接続されたフリップフロップを有する。そして、複数の選択部188は、複数のフリップフロップ部186と対応して設けられ、対応するフリップフロップ部186に入力される信号、又は対応するフリップフロップ部186が出力する信号のいずれかを選択して、次段のフリップフロップ部186に供給する。それぞれの選択部188がいずれの信号を選択するかは、制御部12により制御される。このような構成により、基準クロック、タイミング信号、フェイルタイミング信号等が、所望の数のフリップフロップを通過するように、容易に制御することができる。

30

【0114】

また、戻り系回路40、位相調整回路50、及びタイミング供給部60は、複数のフリップフロップ(42、52、62)のそれぞれのフリップフロップが格納した値を読み出す手段を更に有することが好ましい。例えば、図12に示すように、複数の論理積回路190を更に有してよい。複数の論理積回路190は、それぞれのフリップフロップが格納した値を受け取り、制御部12から与えられる制御信号に応じて、それぞれのフリップフロップが格納した値を制御部12に供給する。

40

【0115】

図13は、制御部12に設けられる、複数のレジスタ部146を制御する書込制御回路の構成の一例を示す。書込制御回路は、複数の要求信号格納部(212-1~212-8、以下212と総称する)、セレクト202、フリップフロップ206、複数のフリップフロップ(208-1~208-4、以下208と総称する)、複数の論理積回路210、カウンタ222、リセット部228、論理積回路216、及び書込部204を備える。

【0116】

50

セクタ 202 は、制御部 12 に設けられた複数のホストコンピュータの内部クロック (CLKA~CLKH) を受け取り可能に設けられ、いずれかの内部クロックを選択して出力する。セクタ 202 には、フリップフロップ 206 から選択制御信号が与えられ、選択制御信号に応じていずれかのクロックを選択する。

【0117】

フリップフロップ 206 は、選択制御信号が与えられ、入力されるクロックに応じて選択制御信号をセクタ 202 に供給する。選択制御信号は、ホストコンピュータからセクタ 202 に与えられる内部クロックのうちから、いずれかを選択させる信号である。

【0118】

複数の要求信号格納部 212 は、複数のホストコンピュータに対応して設けられ、対応するホストコンピュータからの書込要求信号を格納する。本例において、書込要求信号とは、いずれかのレジスタ部 146 のコマンドデータを書き換える旨を示す H 論理の信号である。それぞれの要求信号格納部 212 は、複数のフリップフロップ 208 及び論理積回路 210 を介して書込要求信号を受け取る。複数のフリップフロップ (208-1~208-3) は、書込要求信号のいわゆるメタステーブルを除去する。

【0119】

また、フリップフロップ 208-4 及び論理積回路 210 は、与えられる書込制御信号の立ち上がりエッジから微小時間の間だけ、書込制御信号を対応する要求信号格納部 212 に供給するために設けられる。

【0120】

ホスト選択部 214 は、複数の要求信号格納部 212 を順次選択し、選択した要求信号格納部 212 が格納している格納データを受け取り、出力する。カウンタ 222 は、複数の要求信号格納部 212 を示す複数のホスト特定信号を順次生成し、ホスト選択部 214 に供給し、ホスト選択部 214 は、順次受け取るホスト特定信号で特定される要求信号格納部 212 を順次選択する。カウンタ 222 は、例えば零から、複数の要求信号格納部 212 の数の 2 倍の数までの 2 進数を順次生成し、生成した 2 進数から最下位ビットを除去したデータを、ホスト特定信号として出力する。本例においては、書込制御回路は 8 個の要求信号格納部 212 を備えており、カウンタ 222 は、0000~1111 までの 2 進数を昇順に順次生成する。

【0121】

また、ホスト選択部 214 は、それぞれのホストコンピュータから、書込要求信号に対応して書き込むべきコマンドデータ (CS_ST1~CS_ST8)、及びコマンドデータを書き込むべきレジスタ部 146 を特定するレジスタ部特定データ (WDT_ST1~WDT_ST8) を受け取り、選択した要求信号格納部 212 に対応するホストコンピュータから受け取ったコマンドデータ及びレジスタ部特定データを、書込部 204 に供給する。

【0122】

書込部 204 は、ホスト選択部 214 が出力した格納データ、レジスタ部 146 に書き込むべきコマンドデータ、及びコマンドデータを書き込むべきレジスタ部 146 を特定するレジスタ部特定データを受け取り、受け取った格納データが書込要求信号である場合に、レジスタ部特定データで特定されるレジスタ部 146 に、コマンドデータを書き込む。書込部 204 は、フリップフロップ 218 及びフリップフロップ 220 を有する。フリップフロップ 218 は、レジスタ部特定データで特定されるレジスタ部 146 にコマンドデータを供給し、フリップフロップ 220 は、レジスタ部 146 への書込を許可するライトイネーブル信号を出力する。

【0123】

リセット部 228 は、ホスト選択部 214 が受け取った格納データが、書込要求信号である場合に、ホスト選択部 214 が選択した要求信号格納部 212 が格納している書込要求信号をリセットする。例えば、リセット部 228 は、複数の要求信号格納部 212 が格納している複数の格納データ、及びカウンタ部が生成するホスト特定信号を受け取り、ホ

10

20

30

40

50

スト特定信号に応じた要求信号格納部 2 1 2 が格納している格納データが、書込要求信号である場合に、ホスト特定信号で特定される要求信号格納部 2 1 2 が格納している書込要求信号をリセットする。

【0 1 2 4】

リセット部 2 2 8 は、セレクト 2 2 4 及び論理積回路 2 2 6 を有する。セレクト 2 2 4 は、複数の要求信号格納部 2 1 2 が格納している格納データをそれぞれのビットとした 8 ビットの信号を受け取り、受け取った信号において、ホスト特定信号で特定されるビットが H 論理である場合に、当該ビットのみを H 論理としたリセット信号を論理積回路 2 2 6 に供給する。論理積回路 2 2 6 は、カウンタ 2 2 2 が生成した 2 進数の最下位ビットを受け取り、カウンタ 2 2 2 が生成した 2 進数の最下位ビットが H 論理である場合に、リセッ
10

【0 1 2 5】

また、論理積回路 2 1 6 は、カウンタ 2 2 2 が生成した 2 進数の最下位ビットが H 論理を示す場合に、ホスト選択部 2 1 4 が出力した格納データを、書込部 2 0 4 のフリップフロップ 2 2 0 に供給する。

【0 1 2 6】

本例における書込制御回路によれば、それぞれのレジスタ部 1 4 6 のコマンドデータを効率よく書き換えることができる。また、複数のホストコンピュータのいずれからもレジスタ部 1 4 6 のコマンドデータを書き換えることができるため、複数のホストコンピュ
20

【0 1 2 7】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【図面の簡単な説明】

【0 1 2 8】

【図 1】本発明の実施形態に係る試験装置 1 0 0 の構成の一例を示す図である。

【図 2】スイッチマトリクス 2 0 の構成の一例を示す図である。

【図 3】信号供給部 3 0 及びクロック制御回路 7 0 の構成の一例を示す図である。

【図 4】ループ回路 1 1 0 の構成の一例を示す図である。

【図 5】基準クロック分配回路 8 0 の構成の一例を示す図である。

【図 6】図 3 から図 5 において説明した、複数の信号供給部 3 0 がタイミング信号を出力するタイミングの調整方法の一例を示すフローチャートである。

【図 7】タイミング信号と基準クロックとの関係を示す図である。図 7 (a) は、基準クロック用可変遅延回路 3 6 の遅延量を調整しない場合の一例を示し、図 7 (b) は、基準クロック用可変遅延回路 3 6 の遅延量を調整した場合の一例を示す。
40

【図 8】位相調整回路 5 0 の構成の一例を示す図である。

【図 9】ジェネレート回路 4 8 及びタイミング信号分配回路 5 6 の構成の一例を示す図である。

【図 1 0】集約回路 4 6 及びタイミング信号分配回路 5 6 の構成の一例を示す図である。

【図 1 1】複数の集約部 1 6 0 及び複数の分配部 1 4 0 の、半導体基板（図示しない）上における配置例を示す図である。図 1 1 (a) ～図 1 1 (c) は、それぞれ、複数の集約部 1 6 0 及び複数の分配部 1 4 0 の、半導体基板上における配置の一例を示す図である。

【図 1 2】複数のフリップフロップ部 1 8 6 及び複数の選択部 1 8 8 の構成の一例を示す図である。

【図 1 3】制御部 1 2 に設けられる、複数のレジスタ部 1 4 6 を制御する書込制御回路の
50

構成の一例を示す図である。

【符号の説明】

【0129】

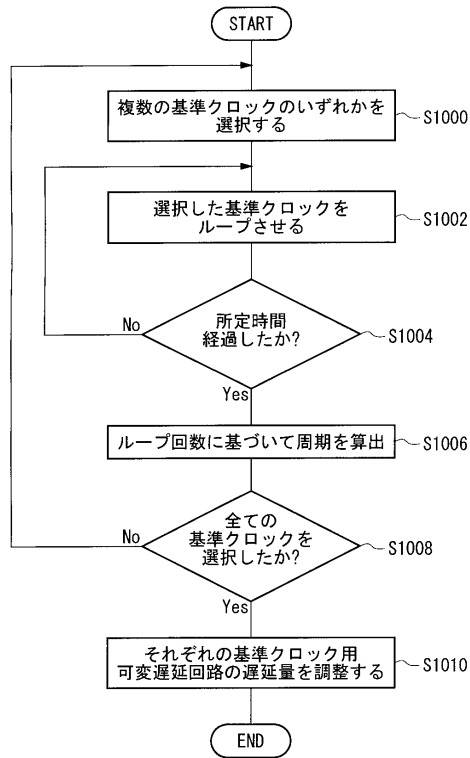
10・・・基準クロック生成部、12・・・制御部、14・・・テストモジュール、16
 ・・・デバイス接触部、20・・・スイッチマトリクス、30・・・信号供給部、32・
 ・・・・カウンタ部、34・・・戻り系用可変遅延回路、36・・・基準クロック用可変遅延
 回路、38・・・フリップフロップ、40・・・戻り系回路、42・・・複数のフリップ
 フロップ、44・・・戻り信号選択部、46・・・集約回路、48・・・ジェネレート回
 路、50・・・位相調整回路、52・・・複数のフリップフロップ、54・・・クロック
 選択部、56・・・タイミング信号分配回路、60・・・タイミング供給部、62・・・
 複数のフリップフロップ、64・・・タイミング信号選択部、66・・・同期回路、70
 ・・・クロック制御回路、72・・・フリップフロップ、74・・・選択部、76・・・
 カウンタ、78・・・論理回路、80・・・クロック分配回路、82・・・分配器、84
 ・・・論理積回路、86・・・論理和回路、88・・・分配器、90・・・出力部、10
 0・・・試験装置、110・・・ループ回路、112・・・基準クロック選択部、114
 ・・・基準クロック選択部、116・・・論理和回路、117・・・論理積回路、118
 ・・・分配器、119・・・フリップフロップ、120・・・バス、122・・・フリッ
 プフロップ、124・・・分配回路、126・・・フリップフロップ、130・・・演算
 回路、132・・・フリップフロップ、134・・・論理和回路、136・・・フリップ
 フロップ、140・・・分配部、142・・・フリップフロップ、144・・・分配器、1
 46・・・レジスタ部、148・・・論理積回路、150・・・論理和回路、152・・・
 フリップフロップ、160・・・集約部、162・・・レジスタ部、164・・・論理
 積回路、166・・・論理和回路、168・・・シフトレジスタ部、172・・・フリッ
 プフロップ、174・・・フリップフロップ、178・・・フリップフロップ、180・
 ・・・・フリップフロップ、186・・・フロップフロップ部、188・・・選択部、190
 ・・・論理積回路、200・・・電子デバイス、202・・・セクタ、204・・・書
 込部、206・・・フリップフロップ、208・・・フリップフロップ、210・・・論
 理積回路、212・・・要求信号格納部、214・・・ホスト選択部、216・・・論理
 積回路、218・・・フリップフロップ、220・・・フリップフロップ、222・・・
 カウンタ、224・・・セクタ、226・・・論理積回路、230・・・第1分配点、
 232・・・第2分配点、234・・・基準クロック通過経路、236・・・位相調整用
 可変遅延回路、250・・・論理和回路、258・・・主従選択部

10

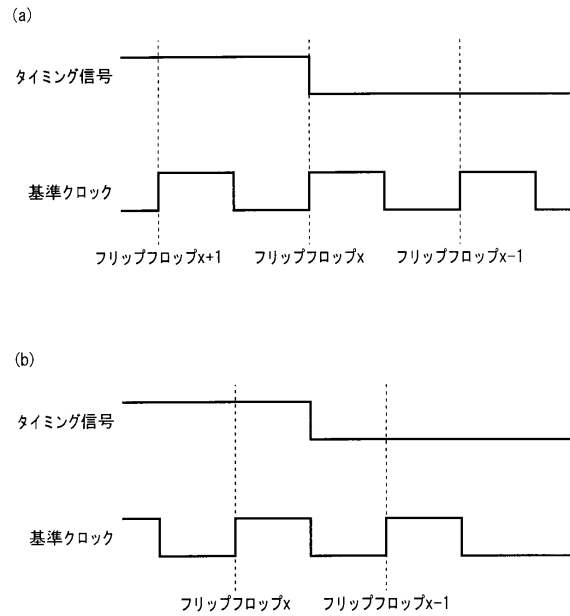
20

30

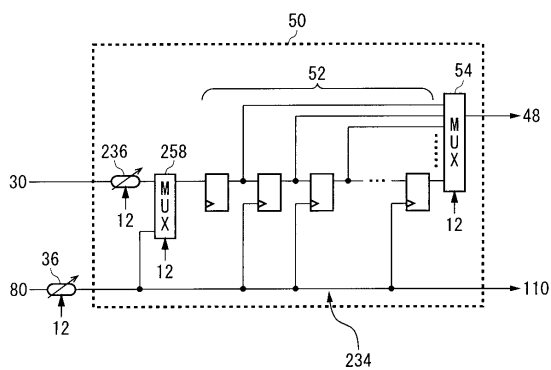
【図 6】



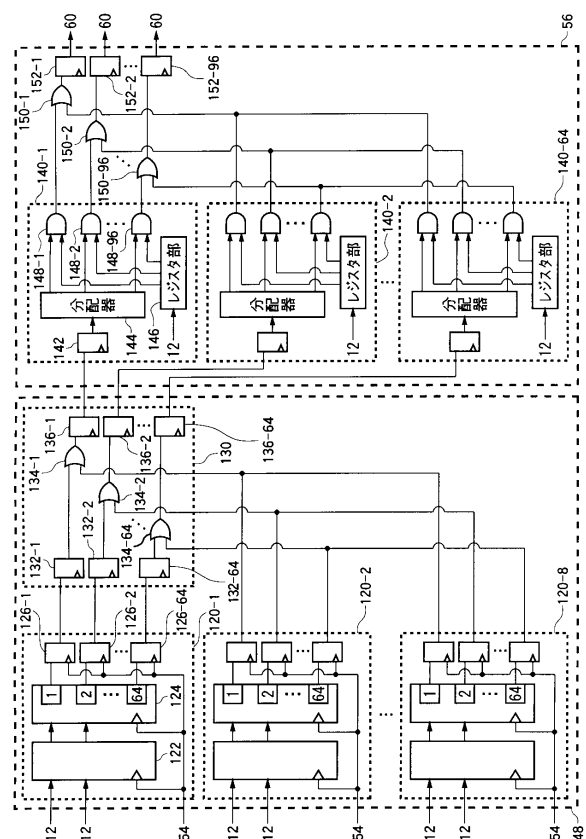
【図 7】



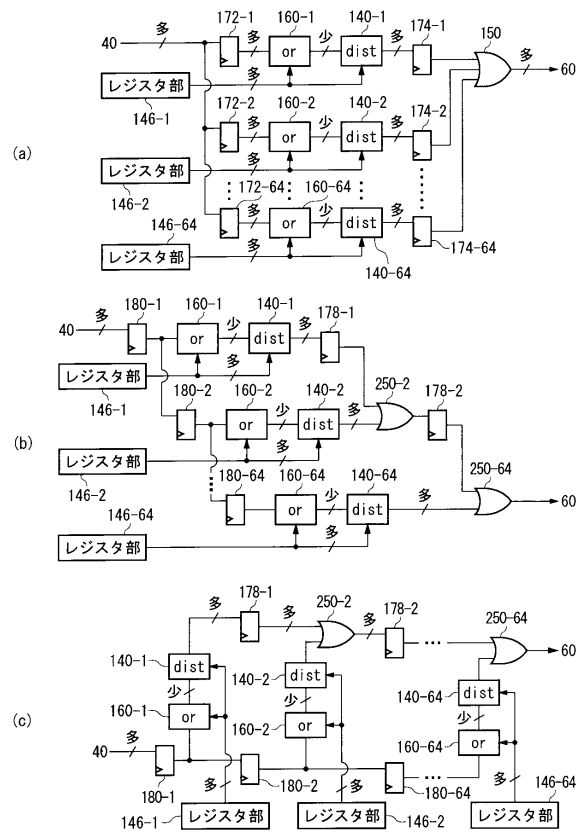
【図 8】



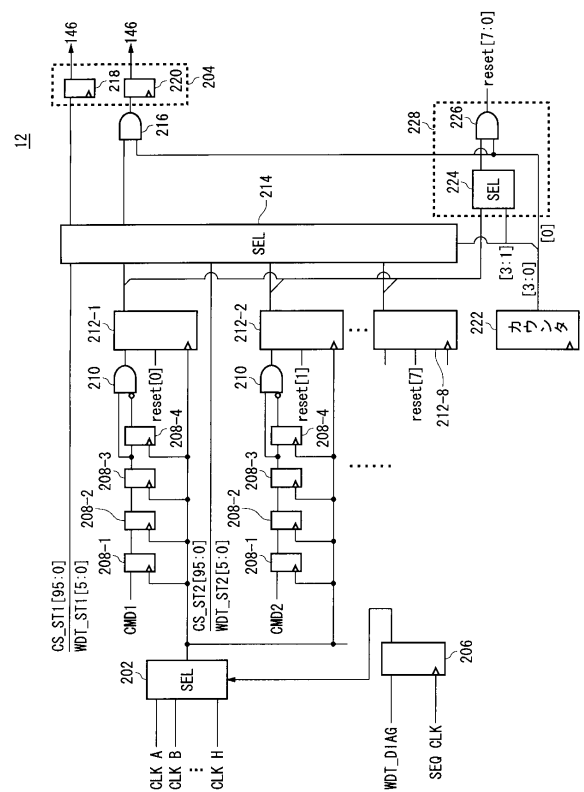
【図 9】



【図 1 1】



【図 1 3】



フロントページの続き

- (56)参考文献 特開昭61-176871 (JP, A)
特開平03-216568 (JP, A)
特開平11-304888 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G01R 31/28-31/3193