

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7618594号  
(P7618594)

(45)発行日 令和7年1月21日(2025.1.21)

(24)登録日 令和7年1月10日(2025.1.10)

(51)国際特許分類	F I
H 0 1 L 23/52 (2006.01)	H 0 1 L 23/52 Z
H 0 1 L 21/60 (2006.01)	H 0 1 L 21/60 3 0 1 N
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/08 Y
H 0 1 L 25/065 (2023.01)	
H 0 1 L 25/18 (2023.01)	

請求項の数 20 (全19頁)

(21)出願番号	特願2021-573729(P2021-573729)	(73)特許権者	507107291
(86)(22)出願日	令和2年6月12日(2020.6.12)		テキサス インスツルメンツ インコーポ
(65)公表番号	特表2022-536515(P2022-536515		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和4年8月17日(2022.8.17)		- 5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2020/037482		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2020/252299	(74)代理人	230129078
(87)国際公開日	令和2年12月17日(2020.12.17)		弁護士 佐藤 仁
審査請求日	令和5年6月8日(2023.6.8)	(73)特許権者	390020248
(31)優先権主張番号	62/860,593		日本テキサス・インスツルメンツ合同会
(32)優先日	令和1年6月12日(2019.6.12)		社
(33)優先権主張国・地域又は機関	米国(US)		東京都港区港南一丁目2番70号
(31)優先権主張番号	16/897,996	(72)発明者	トーマス ダイヤー ボニフィールド
(32)優先日	令和2年6月10日(2020.6.10)		アメリカ合衆国 7 5 2 1 4 テキサス州
	最終頁に続く		ダラス, スイス アヴェニュー 5 7 1 4
			最終頁に続く

(54)【発明の名称】 複数ダイを備えるICパッケージ

(57)【特許請求の範囲】

【請求項1】

集積回路(IC)パッケージであって、

第1の基板と、

前記第1の基板に重なる第1の表面と前記第1の表面に対向する第2の表面とを有する第1のダイであって、前記第2の表面において第1の金属パッドを含む、前記第1のダイと、

前記第1のダイの第2の表面に接する第1の表面と前記第1の表面に対向する第2の表面とを有する誘電体層と、

前記誘電体層の第2の表面に接する第1の表面と前記第1の表面に対向する第2の表面とを有する第2のダイであって、前記第1のダイの第1の金属パッドに整合される第2の金属パッドを前記第1の表面において含み、第3の金属パッドを前記第2の表面において含む、前記第2のダイと、

を含み、

前記第1のダイの第2の表面に垂直な平面が前記第1の金属パッドと前記第2の金属パッドとに交差する、ICパッケージ。

【請求項2】

請求項1に記載のICパッケージであって、

前記第1の金属パッドと前記第2の金属パッドとがキャパシタを形成し、前記第1のダイと前記第2のダイとが前記キャパシタを介して通信する、ICパッケージ。

10

20

## 【請求項 3】

請求項 2 に記載の IC パッケージであって、  
前記第 1 のダイと前記第 2 のダイとがガルバニック絶縁されている、IC パッケージ。

## 【請求項 4】

請求項 3 に記載の IC パッケージであって、  
前記第 1 のダイが第 1 の接地電位を有し、前記第 2 のダイが第 2 の接地電位を有し、前記第 1 の接地電位が前記第 2 の接地電位と少なくとも 40 ボルト異なる、IC パッケージ。

## 【請求項 5】

請求項 1 に記載の IC パッケージであって、  
前記第 2 のダイの第 2 の表面に接する第 2 の基板を更に含む、IC パッケージ。

10

## 【請求項 6】

請求項 1 に記載の IC パッケージであって、  
前記誘電体層が、  
前記第 1 のダイの第 2 の表面に接する第 1 の保護オーバーコートと、  
前記第 2 のダイの第 1 の表面に接する第 2 の保護オーバーコートと、  
前記第 1 の保護オーバーコートと前記第 2 の保護オーバーコートとの間に挟まれる非導電性ダイ接着剤と、  
を含む、IC パッケージ。

## 【請求項 7】

請求項 6 に記載の IC パッケージであって、  
前記第 1 のダイの第 2 の表面において形成される第 4 の金属パッドを露出させる、前記第 1 の保護オーバーコートにおける凹部と、  
前記第 4 の金属パッドに結合されるワイヤボンダと、  
を更に含む、IC パッケージ。

20

## 【請求項 8】

集積回路 (IC) パッケージであって、  
第 1 の基板と、  
前記第 1 の基板に重なる第 1 の表面と前記第 1 の表面に対向する第 2 の表面とを有する第 1 のダイであって、前記第 2 の表面において第 1 の金属パッドを含む、前記第 1 のダイと、

30

前記第 1 のダイの第 2 の表面に接する第 1 の表面と前記第 1 の表面に対向する第 2 の表面とを有する誘電体層と、

前記誘電体層の第 2 の表面に接する第 1 の表面と前記第 1 の表面に対向する第 2 の表面とを有する第 2 のダイであって、前記第 1 の表面側における第 2 の金属パッドと前記第 2 の表面側における金属層と前記第 2 の表面側における前記金属層の上の絶縁層とを含む、前記第 2 のダイと、

前記第 2 のダイの第 2 の表面に接し、前記第 2 のダイの絶縁層によって前記第 2 のダイの金属層から分離される第 2 の基板と、

前記第 2 のダイの第 2 の表面側において第 3 の金属パッドを提供するように前記第 2 の基板と前記第 2 のダイの絶縁層とにおいて前記第 2 のダイの金属層の一部を露出させる凹部と、

40

前記第 3 の金属パッドに結合されるワイヤボンダと、  
を含み、

前記第 1 の金属パッドが前記第 2 の金属パッドに整合され、前記第 1 のダイの第 2 の表面に垂直な平面が前記第 1 の金属パッドと前記第 2 の金属パッドとに交差する、IC パッケージ。

## 【請求項 9】

請求項 8 に記載の IC パッケージであって、  
前記第 2 のダイが、前記第 1 のダイよりも小さいフットプリントを有する、IC パッケージ。

50

## 【請求項 10】

集積回路（IC）パッケージであって、

第1の基板と、

前記第1の基板に重なる第1の表面と前記第1の表面に対向する第2の表面とを有する第1のダイであって、前記第2の表面において第1の金属パッドと第2の金属パッドとを含む、前記第1のダイと、

第1の表面と前記第1の表面に対向する第2の表面とを有する第2のダイであって、前記第1の表面側における第3の金属パッドと前記第2の表面側における金属層と前記第2の表面側における前記金属層の上の絶縁層とを含む、前記第2のダイと、

前記第1のダイの第2の表面に接する第1の表面を有する誘電体層であって、

前記第1のダイの第2の表面に接する第1の保護オーバーコートと、

前記第2のダイの第1の表面に接する第2の保護オーバーコートと、

前記第1の保護オーバーコートと前記第2の保護オーバーコートとの間に挟まれる非導電性ダイ接着剤層と、

を含む、前記誘電体層と、

前記第2のダイの第2の表面に接し、前記第2のダイの絶縁層によって前記第2のダイの金属層から分離される第2の基板と、

前記第2のダイの第2の表面側における第4の金属パッドを提供するように前記第2の基板と前記第2のダイの絶縁層とにおいて前記第2のダイの金属層を露出させる第1の凹部と、

前記第4の金属パッドに結合される第1のワイヤボンドと、

前記第2の金属パッドを露出させる、前記第1の保護オーバーコートにおける第2の凹部と、

前記第2の金属パッドに結合される第2のワイヤボンドと、

を含み、

前記第1の金属パッドが前記第3の金属パッドに整合される、ICパッケージ。

## 【請求項 11】

請求項10に記載のICパッケージであって、

前記第2のダイが、前記第1のダイよりも小さいフットプリントを有する、ICパッケージ。

## 【請求項 12】

請求項10に記載のICパッケージであって、

前記第1のダイと前記第2のダイとがガルバニック絶縁されている、ICパッケージ。

## 【請求項 13】

集積回路（IC）パッケージであって、

第1の基板と、

前記第1の基板に重なる第1の表面と前記第1の表面に対向する第2の表面とを有する第1のダイであって、前記第2の表面において第1の金属パッドと第3の金属パッドとを含む、前記第1のダイと、

開口を有する第2の基板と、

第1の表面と前記第1の表面に対向し前記第2の基板に接する第2の表面とを有する第2のダイであって、前記第1の表面側における第2の金属パッドと前記第2の表面側における金属層と前記第2の表面側における前記金属層の上の絶縁層とを含み、前記絶縁層が、

開口を有し、前記金属層を前記第2の基板から分離する、前記第2のダイと、

前記第1のダイの第2の表面に接する第1の表面を有する誘電体層であって、

前記第1のダイの第2の表面に接する第1の保護オーバーコートと、

前記第2のダイの第1の表面に接する第2の保護オーバーコートと、

前記第1の保護オーバーコートと前記第2の保護オーバーコートとの間に挟まれるスペーサプレートであって、第1の表面と前記第1の表面に対向する第2の表面とを有する、

前記スペーサプレートと、

10

20

30

40

50

前記第 3 の金属パッドを露出させる、前記第 1 の保護オーバーコートにおける第 1 の凹部と、

前記第 1 の保護オーバーコートと前記スペーサプレートの第 1 の表面との間に挟まれる第 1 の非導電性ダイ接着剤 (N C D A) 層であって、前記第 1 の保護オーバーコートにおける前記第 1 の凹部から横方向に離間されている前記第 1 の保護オーバーコートの一部に重なる、前記第 1 の N C D A 層と、

前記第 2 の保護オーバーコートと前記スペーサプレートの第 2 の表面との間に挟まれる第 2 の N C D A 層と、

を含み、

前記第 1 の金属パッドが前記第 2 の金属パッドに整合され、  
前記第 2 の基板の開口と前記第 2 のダイの絶縁層の開口とが第 2 の凹部を形成し、前記第 2 の凹部が第 4 の金属パッドを提供するように前記第 2 のダイの金属層を露出させる、I C パッケージ。

【請求項 1 4】

請求項 1 3 に記載の I C パッケージであって、

前記第 3 の金属パッドに結合される第 1 のワイヤボンドと、

前記第 4 の金属パッドに結合される第 2 のワイヤボンドと、

を更に含む、I C パッケージ。

【請求項 1 5】

請求項 1 4 に記載の I C パッケージであって、

前記スペーサプレートと前記第 2 のダイとが、前記第 1 のダイよりも小さいフットプリントを有する、I C パッケージ。

【請求項 1 6】

請求項 1 3 に記載の I C パッケージであって、

前記第 1 のダイと前記第 2 のダイとがガルバニック絶縁されている、I C パッケージ。

【請求項 1 7】

集積回路 (I C) パッケージであって、

第 1 の基板と、

前記第 1 の基板に重なる第 1 の表面と前記第 1 の表面に対向する第 2 の表面とを有する第 1 のダイであって、前記第 2 の表面において第 1 の金属パッドと第 3 の金属パッドとを含む、前記第 1 のダイと、

第 1 の表面と前記第 1 の表面に対向する第 2 の表面とを有する第 2 のダイであって、前記第 1 の表面において第 2 の金属パッドを含み、前記第 2 の表面において絶縁層を含む、前記第 2 のダイと、

前記第 1 のダイの第 2 の表面に接する第 1 の保護オーバーコート層であって、前記第 3 の金属パッドを露出させる第 1 の凹部を含む、前記第 1 の保護オーバーコート層と、

前記第 2 のダイの第 1 の表面に接する第 2 の保護オーバーコート層と、

前記第 1 の保護オーバーコート層と前記第 2 の保護オーバーコート層との間に挟まれる第 1 の非導電性ダイ接着剤 (N C D A) 層であって、前記第 1 の凹部から横方向に離間されている前記第 1 の保護オーバーコート層の一部に重なる、前記第 1 の N C D A 層と、

前記第 2 のダイの第 2 の表面に接する第 2 の基板であって、前記第 2 の基板と前記第 2 のダイの絶縁層とを介して延在する第 2 の凹部を含み、前記第 2 の凹部が前記第 2 のダイの金属層の一部を露出させて第 4 の金属パッドを提供する、前記第 2 の基板と、

を含み、

前記第 1 の金属パッドが前記第 2 の金属パッドに整合され、前記第 1 の金属パッドと前記第 2 の金属パッドとが前記第 1 のダイと前記第 2 のダイとを結合するキャパシタを形成する、I C パッケージ。

【請求項 1 8】

請求項 1 7 に記載の I C パッケージであって、

前記第 3 の金属パッドに結合される第 1 のワイヤボンドと、

前記第 4 の金属パッドに結合される第 2 のワイヤボンドと、  
を更に含む、IC パッケージ。

【請求項 19】

請求項 17 に記載の IC パッケージであって、  
前記第 1 のダイと前記第 2 のダイとがガルバニック絶縁される、IC パッケージ。

【請求項 20】

請求項 17 に記載の IC パッケージであって、  
前記第 2 の保護オーバーコートと前記第 1 の保護オーバーコートとの間に挟まれる第 2 の N C D A 層と、  
前記第 1 の N C D A 層と前記第 2 の N C D A 層との間のスペーサと、  
を更に含む、IC パッケージ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、集積回路 (IC) パッケージに関し、特に、複数ダイを備える IC パッケージに関する。

【背景技術】

【0002】

ガルバニック絶縁は、電氣的システムの機能セクションを絶縁し、電流の流れを防止して、直接的な導通経路が許可されないようにする原理である。その場合でも、キャパシタンス、インダクタンス、又は電磁波等の他のメカニズムによって、エネルギー又は情報がセクション間で交換され得る。ガルバニック絶縁は、2 つ又はそれ以上の電気回路が通信するところに用いられるが、そのような電子回路は異なる電位であり得る接地を有する。ガルバニック絶縁は、接地導体を共有する 2 つのユニット間で不要な電流が流れるのを防止することによって、接地ループを遮断する有効な方法である。ガルバニック絶縁は、安全のためにも用いられ得、偶発的な電流が人体を通過して接地に到達することを防ぐ。

20

【0003】

キャパシタは、交流 (AC) を流し、直流を遮断することによってガルバニック絶縁を提供し得る。従って、キャパシタは、異なる直流電圧において回路間で AC 信号を結合し得る。

30

【発明の概要】

【0004】

第 1 の例が、基板に重なる第 1 の表面を備える第 1 のダイを含む集積回路 (IC) パッケージに関する。第 1 のダイは、第 1 の表面に対向する第 2 の表面における第 1 の金属パッドと、第 1 のダイの第 2 の表面に接する第 1 の表面を有する誘電体層とを含む。IC パッケージはまた、誘電体層の第 2 の表面に接する表面を備える第 2 のダイを含む。第 2 のダイは、第 1 のダイの第 1 の金属パッドに整合された第 2 の金属パッドを含む。第 1 のダイの第 2 の表面に垂直な平面が、第 1 の金属パッド及び第 2 の金属パッドと交差する。

【0005】

第 2 の例は IC パッケージに関する。IC パッケージは、第 1 の基板に重なる第 1 の表面を備える第 1 のダイを含み、第 1 のダイは、第 1 の表面に対向する第 2 の表面において第 1 の金属パッドを含む。IC パッケージはまた、第 1 の金属パッドに整合された第 2 の金属パッドを含む第 2 のダイを含む。第 1 の保護オーバーコート層は、第 1 のダイの第 2 の表面に接する。第 1 の保護オーバーコート層は、第 1 のダイの第 2 の表面に配置された第 3 の金属パッドを露出させる第 1 の凹部を含む。第 2 の保護オーバーコート層が、第 2 のダイの第 1 の表面に接する。非導電性ダイ接着剤 (N C D A) 層が、第 1 の保護オーバーコートと第 2 の保護オーバーコートとの間に挟まれている。N C D A 層は、第 1 の凹部から離間されている第 1 の保護オーバーコート層の一部に重なる。第 1 の金属パッド及び第 2 の金属パッドは、第 1 のダイを第 2 のダイに結合するキャパシタを形成する。IC パッケージは、第 2 のダイの第 2 の表面に接する第 2 の基板を更に含む。第 2 の基板及び第

40

50

2のダイの絶縁層を介して延在する第2の凹部が、金属層の一部を露出させて第4の金属パッドを提供する。

【0006】

第3の例は、ICパッケージを形成するための方法に関する。この方法は、第1のダイを含む第1のダイウエハ及び第2のダイを含む第2のダイウエハに保護オーバーコートを付けることを含む。第1のダイの第1の表面が基板に重なり、第1のダイの第2の表面が第1の金属パッドを含む。第1のダイの第2の表面は、第1のダイの第1の表面に対向する。この方法は、第1のダイウエハから第1のダイを、第2のダイウエハから第2のダイを個片化することを含む。この方法はまた、NCDA層を第1のダイの第2の表面に付けることと、第2のダイの表面上に配置された第2の金属パッドを第1のダイの第1の金属パッドに整合させることとを含む。この方法は更に、第2のダイをNCDA層に接着して、第1の金属パッド及び第2の金属パッドを備えるキャパシタを形成することを含む。キャパシタは、第1のダイを第2のダイに結合する。

10

【図面の簡単な説明】

【0007】

【図1】ガルバニック絶縁された第1のダイ及び第2のダイを備える集積回路(IC)パッケージの一例の図を示す。

【0008】

【図2】ガルバニック絶縁された第1のダイ及び第2のダイを備えるICパッケージの別の例を示す。

20

【0009】

【図3】ガルバニック絶縁された第1のダイ及び第2のダイを備えるICパッケージの更に別の例を示す。

【0010】

【図4】ICパッケージを形成する例示の方法のフローチャートを示す。

【0011】

【図5】図4の方法によって形成されるICパッケージのためのパッケージングの第1の段階を示す。

【0012】

【図6】図4の方法によって形成されるICパッケージのためのパッケージングの第2の段階を示す。

30

【0013】

【図7】図4の方法によって形成されるICパッケージのためのパッケージングの第3の段階を示す。

【0014】

【図8】図4の方法によって形成されるICパッケージのためのパッケージングの第4の段階を示す。

【0015】

【図9】ICパッケージを形成する別の例示の方法を示す。

【0016】

【図10】図9の方法によって形成されるICパッケージのためのパッケージングの第1の段階を示す。

40

【0017】

【図11】図9の方法によって形成されるICパッケージのためのパッケージングの第2の段階を示す。

【0018】

【図12】図9の方法によって形成されるICパッケージのためのパッケージングの第3の段階を示す。

【0019】

【図13】図9の方法によって形成されるICパッケージのためのパッケージングの第4

50

の段階を示す。

【 0 0 2 0 】

【 図 1 4 】 図 9 の方法によって形成される I C パッケージのためのパッケージングの第 5 の段階を示す。

【 発明を実施するための形態 】

【 0 0 2 1 】

本明細書は、ガルバニック絶縁され容量結合された第 1 のダイ及び第 2 のダイを備える集積回路 ( I C ) パッケージに関する。第 1 のダイ及び第 2 のダイは、埋め込み回路を含む。また、第 1 のダイ及び第 2 のダイはガルバニック絶縁されているので、第 1 のダイに埋め込まれた回路は、第 2 のダイに埋め込まれた回路の接地とは異なる電位の接地を有し得る。第 1 のダイは、第 1 の基板に重なる第 1 の表面を有し、第 1 のダイは、第 1 の表面に対向する第 2 の表面において第 1 の金属パッドを有する。第 1 の保護オーバーコートが、第 1 のダイの第 2 の表面に接する。第 2 のダイは、第 2 の保護オーバーコートに接する第 1 の表面を有する。第 2 のダイは、第 1 の金属パッドに整合された第 2 の金属パッドを含む。第 1 の金属パッド及び第 2 の金属パッドは、第 1 のダイを第 2 のダイに結合するキャパシタのノードを形成する。

10

【 0 0 2 2 】

非導電性ダイ接着剤 ( N C D A ) 層が、第 1 の保護オーバーコートと第 2 の保護オーバーコートとの間に挟まれている。幾つかの例において、複数の N C D A 層及び / 又はスペーサが、第 1 の保護オーバーコートと第 2 の保護オーバーコートとの間に挟まれている。第 1 の保護オーバーコート、第 2 の保護オーバーコート、第 1 のダイの第 1 の金属パッドと第 2 のダイの第 2 の金属パッドとの間に介在する N C D A 層 ( 及び / 又はその他の層 ) の組み合わせは、誘電体層を形成する。第 1 のダイの第 1 の金属パッド及び第 2 のダイの第 2 の金属パッドは、誘電体層によって分離され、それによって、第 1 のダイを第 2 のダイに容量結合するためのキャパシタを形成する。

20

【 0 0 2 3 】

また、第 1 のダイ及び第 2 のダイを、 I C パッケージの他のダイ及び / 又は外部リード構成要素等の他の構成要素に結合するためにワイヤボンドが用いられ得る。特に、第 1 の保護オーバーコートにおける第 1 の凹部が、第 1 のダイの第 2 の表面上に配置された第 3 の金属接点を露出させる。同様に、第 2 の基板 ( 例えば、シリコンで形成されている ) が、第 2 のダイの第 2 の表面に接する。第 2 の基板は、第 2 のダイの第 2 の表面に配置された第 4 の金属パッドを露出させる第 2 の凹部を含む。ワイヤボンドがそれぞれの第 3 の金属パッド及び第 4 の金属パッドに結合されて、第 1 のダイ及び第 2 のダイを I C パッケージの他の構成要素に結合する。

30

【 0 0 2 4 】

I C パッケージをこのように実装することによって、機能絶縁、基礎絶縁、又は強化絶縁等の電氣的絶縁が達成可能である。また、第 1 のダイ及び第 2 のダイはガルバニック絶縁されているため、特に、第 1 のダイの最大電圧が第 2 のダイの最大電圧とは異なる状況において、第 1 のダイ及び第 2 のダイを製造するために異なる処理技法が採用可能である。

【 0 0 2 5 】

図 1 は、パッケージングを完了するための状態における I C パッケージ 1 0 0 の一例の図を示す。 I C パッケージ 1 0 0 は第 1 のダイ 1 0 2 及び第 2 のダイ 1 0 4 を含む。第 1 のダイ 1 0 2 及び第 2 のダイ 1 0 4 は、それぞれの埋め込み回路を含む。 1 つの配向において、第 2 のダイ 1 0 4 は、第 1 のダイ 1 0 2 に重なり、第 1 のダイ 1 0 2 及び第 2 のダイ 1 0 4 は、誘電体層 1 0 6 によって分離される。

40

【 0 0 2 6 】

第 1 のダイ 1 0 2 の第 1 の表面 1 0 8 が基板 1 1 6 に重なる。基板 1 1 6 は、シリコンで形成され得る。第 1 のダイ 1 0 2 の第 2 の表面 1 1 8 が第 1 の表面 1 0 8 に対向する。幾つかの例において、第 1 のダイ 1 0 2 の第 2 の表面 1 1 8 は、第 1 のダイ 1 0 2 のフェースと呼ばれる。 1 つの配向において、第 1 のダイ 1 0 2 の第 2 の表面 1 1 8 は、誘電体

50

層 106 の下にあり、その結果、誘電体層 106 の第 1 の表面 119 が第 1 のダイ 102 の第 2 の表面に接する。

【0027】

第 2 のダイ 104 は、第 1 の表面 120 及び第 2 の表面 122 を含む。第 2 のダイ 104 の第 2 の表面 122 は、第 2 のダイ 104 の第 1 の表面 120 に対向する。幾つかの例において、第 2 のダイ 104 は、第 1 のダイ 102 よりも小さいフットプリントを有する。ダイのフットプリントは、それぞれのダイの表面の面積を指す。幾つかの例において、第 2 のダイ 104 の第 1 の表面 120 は、誘電体層 106 の第 2 の表面 121 に接する。誘電体層 106 の第 2 の表面 121 は、誘電体層 106 の第 1 の表面 119 に対向する。

【0028】

幾つかの例において、誘電体層 106 は、第 1 のダイ及び第 2 のダイのための保護オーバーコート、並びに、エポキシで形成された層等の非導電性ダイ接着剤 (NCDA) 層等の同種の材料の単層を用いて実装される。他の例において、誘電体層 106 は、第 1 のダイ及び第 2 のダイのための保護オーバーコート、NCDA の複数の層、及び NCDA の複数の層の間に挟まれたスペーサ等の異種材料の複数層で実装され得る。

【0029】

第 1 のダイ 102 及び第 2 のダイ 104 は埋め込み回路を含む。第 1 のダイ 102 及び第 2 のダイ 104 は、異なる材料及び/又は処理技法を用いて形成され得る。このように、第 1 のダイ 102 及び第 2 のダイ 104 を製造するための材料及び/又は製造技法は、第 1 のダイ 102 及び第 2 のダイ 104 の動作パラメータ (例えば、最大電圧) に基づいて、個々に選択可能である。

【0030】

幾つかの例において、第 1 のダイ 102 及び第 2 のダイ 104 の配置は、フェースツーフェース構成と称される。第 1 のダイ 102 は第 1 の金属パッド 130 (例えば、コネクタ) を含み、第 2 のダイ 104 は第 2 の金属パッド 132 を含む。第 1 の金属パッド 130 及び第 2 の金属パッド 132 は、合同であり、整合されている。従って、1 つの配向において、第 1 のダイ 102 の第 2 の表面 118 に垂直に延在する平面 136 等の平面は、第 1 の金属パッド 130 及び第 2 の金属パッド 132 と交差する。第 1 の金属パッド 130 は、キャパシタ 140 の第 1 のノードを形成し、第 2 の金属パッド 132 は、キャパシタ 140 の第 2 のノードを形成する。

【0031】

第 1 のダイ 102 及び第 2 のダイ 104 は、ガルバニック絶縁され、キャパシタ 140 を介して容量結合されている。このようにして、第 1 のダイ 102 に埋め込まれた回路は、キャパシタ 140 を介して、第 2 のダイ 104 に埋め込まれた回路と通信する。第 1 のダイ 102 及び第 2 のダイ 104 は、ガルバニック絶縁されているので、幾つかの例において、第 1 のダイ 102 及び第 2 のダイ 104 は、異なる電位の接地を有する。高電圧応用例の 1 つの例において、第 1 のダイ 102 の接地は、第 2 のダイ 104 の接地との高い電圧差 (例えば、約 40 ボルト (V) 又はそれ以上の電圧差) を有する。実際、第 1 のダイ 102 がモータを駆動するための回路を有し、第 2 のダイ 104 が第 1 のダイ 102 に対する動作を制御する状況等の幾つかの例において、第 1 のダイ 102 の接地電圧は、第 2 のダイ 104 の接地電圧より、1 キロボルト (kV) 又はそれ以上大きくなり得る。

【0032】

第 1 のダイ 102 は、第 1 のダイ 102 の第 2 の表面 118 に配置された第 3 の金属パッド 150 を含む。第 1 のワイヤボンダ 152 が、第 3 の金属パッド 150 に結合される。また、第 4 の金属パッド 154 が、第 2 のダイ 104 の第 2 の表面 122 上に配置される。第 2 のワイヤボンダ 156 が、第 4 の金属パッド 154 に結合される。第 1 のワイヤボンダ 152 及び第 2 のワイヤボンダ 156 は、IC パッケージの他のダイ及び/又はリード等、IC パッケージの他の構成要素に結合される。

【0033】

IC パッケージ 100 は、ガルバニック絶縁を達成するシンプルな設計を提供する。ま

10

20

30

40

50

た、幾つかの例において、ICパッケージ100は、基礎絶縁を達成し、他の例において、ICパッケージ100は、強化絶縁を達成する。また、上述のように、第1のダイ102及び第2のダイ104は、異なる接地電位を有する回路を埋め込む。第1のダイ102及び第2のダイ104の特定の電圧範囲及び/又はその他の動作パラメータに対して選択されたウェハ材料及び処理技法が用いられ得る。これに対し、第1のダイ102及び第2のダイ104の回路が、絶縁を提供する特定の技術に基づいて集積されている状況では、設計者は、その単一の特定のタイプの材料及び処理技法を用いることに限定され得る。

#### 【0034】

図2は、パッケージングを完了するための状態におけるICパッケージ200の一例の詳細図を示す。ICパッケージ200は、図1のICパッケージ100を実装するために用いられ得る。ICパッケージ200は、ガルバニック絶縁された第1のダイ202及び第2のダイ204を含む。

10

#### 【0035】

第1のダイ202の第1の表面208が、第1の基板210に重なる。第1の基板210は、シリコンで形成され得る。第1の保護オーバーコート212が第1のダイ202の第2の表面214に付けられ、第2の表面214は、第1の表面208に対向する。幾つかの例において、第1のダイ202の表面214は、第1のダイ202のフェースと呼ばれる。

#### 【0036】

第2のダイ204は、第1の表面220及び第2の表面222を含む。第2のダイ204の第2の表面222は、第2のダイ204の第1の表面220に対向する。第2のダイ204の第1の表面220は、第2のダイ204のフェースと呼ばれる。幾つかの例において、第2のダイ204は、第1のダイ202よりも小さいフットプリントを有する。第2の保護オーバーコート224が、第2のダイ204の第1の表面220に接着される。

20

#### 【0037】

第1のダイ202及び第2のダイ204は埋め込み回路を含む。第1のダイ202及び第2のダイ204は、異なる材料及び/又は処理技法を用いて形成され得る。このように、第1のダイ202及び第2のダイ204を製造するための材料及び/又は処理技法は、第1のダイ202及び第2のダイ204の動作パラメータに基づいて個別に選択可能である。

30

#### 【0038】

N C D A層226が、第1の保護オーバーコート212及び第2の保護オーバーコート224に接着される。言い換えると、N C D A層226は、第1の保護オーバーコート212と第2の保護オーバーコート224との間に挟まれている。幾つかの例において、N C D A層226は、エポキシを用いて実装される。

#### 【0039】

幾つかの例において、第1のダイ202及び第2のダイ204の配置はフェースツーフェース構成と呼ばれる。第1のダイ202は第1の金属パッド230(例えば、コネクタ)を含み、第2のダイ204は第2の金属パッド232を含む。第1の金属パッド230及び第2の金属パッド232は、各々、40~200マイクロメートル( $\mu\text{m}$ )の範囲の直径を有し得る。第1の金属パッド230及び第2の金属パッド232は、製造公差(例えば、 $\pm 10\mu\text{m}$ )の範囲内で、合同であり整合されている。従って、1つの配向において、第1のダイ202の第2の表面214に垂直に延在する平面236等の平面は、第1の金属パッド230及び第2の金属パッド232と交差する。第1の金属パッド230は、キャパシタ240の第1のノードを形成し、第2の金属パッド232で、キャパシタ240の第2のノードを形成する。

40

#### 【0040】

第1の保護オーバーコート212及び第2の保護オーバーコート224は、各々、材料のスタックで形成され得る。例えば、第1の保護オーバーコート212及び第2の保護オーバーコート224は、少なくとも約 $1\mu\text{m}$ (例えば、 $\pm 0.7\mu\text{m}$ )の厚みの二酸化シ

50

リコン ( $\text{SiO}_2$ ) の第 1 の層と、少なくとも約  $1 \mu\text{m}$  (例えば、 $\pm 0.7 \mu\text{m}$ ) の厚みの酸窒化シリコン ( $\text{SiON}$ ) の第 2 の層と、少なくとも約  $10 \mu\text{m}$  (例えば、 $\pm 8 \mu\text{m}$ ) の厚みの二酸化シリコン ( $\text{SiO}_2$ ) の第 3 の層とを用いて形成され得る。また、NCDA 層 226 は、少なくとも約  $6 \mu\text{m}$  (例えば、 $\pm 4 \mu\text{m}$ ) の厚みを有し得る。第 1 の保護オーバーコート 212、第 2 の保護オーバーコート 224、及び NCDA 層 226 の組み合わせが、図 1 の誘電体層 106 を実装するために用いられ得る。このような状況において、第 1 の金属パッド 230 及び第 2 の金属パッド 232 は、約  $30 \mu\text{m}$  (例えば、 $\pm 22.8 \mu\text{m}$ ) の距離だけ離れている。

#### 【0041】

第 1 のダイ 202 及び第 2 のダイ 204 は、ガルバニック絶縁され、キャパシタ 240 を介して容量結合されている。このように、第 1 のダイ 202 に埋め込まれた回路が、キャパシタ 240 を介して、第 2 のダイ 204 に埋め込まれた回路と通信し得、またその逆も同様である。第 1 のダイ 202 及び第 2 のダイ 204 はガルバニック絶縁されているので、幾つかの例において、第 1 のダイ 202 及び第 2 のダイ 204 は、異なる電位における接地を有する。高電圧応用例の一例において、第 1 のダイ 202 の接地は、第 2 のダイ 204 の接地との高い電圧差 (例えば、約  $40 \text{V}$  又はそれ以上の電圧差) を有する。実際、第 1 のダイ 202 がモータを駆動するための回路を含み、第 2 のダイ 204 が第 1 のダイ 202 の動作を制御する状況等の幾つかの例において、第 1 のダイ 202 の接地電圧は、第 2 のダイ 204 の接地電圧より、 $1 \text{kV}$  又はそれ以上高くなり得る。

#### 【0042】

幾つかの例において、第 1 の保護オーバーコート 212 に第 1 の凹部 242 がエッチングされる。第 1 の保護オーバーコート 212 における第 1 の凹部 242 は、第 1 のダイ 202 の第 2 の表面 214 上に配置された第 3 の金属パッド 250 を露出させる。第 1 の凹部 242 は、NCDA 層 226 から離間されている。言い換えると、第 1 の凹部 242 が含まれる例では、第 1 の NCDA 層 226 は、第 1 の凹部 242 から離間されている第 1 のダイ 202 に重なる第 1 の保護オーバーコート 212 の一部に付けられる。従って、第 1 の NCDA 層 226 は、第 1 の凹部 242 に重なることもなく、覆ってもいない。第 1 のワイヤボンド 252 が第 3 の金属パッド 250 に結合される。また、第 2 の基板 254 (例えば、シリコンで形成されている) は、第 2 のダイ 204 の第 2 の表面 222 に接する。特に、第 2 の表面 222 は、第 2 のダイ 204 の絶縁層 255 に近接しており、第 2 の基板 254 は、第 2 のダイ 204 の絶縁層 255 に接する。裏面処理技法を用いて形成された第 2 の凹部 256 が、第 2 の基板 254 と第 2 のダイ 204 の絶縁層 255 にエッチングされ、第 2 のダイ 204 内の金属層の一部を露出させて、第 4 の金属パッド 260 を提供する。従って、幾つかの例において、凹部 256 を形成する、第 2 の基板 254 及び絶縁層 255 における開口は自己整合される。また、第 2 のダイ 204 の絶縁層 255 は、第 4 の金属パッド 260 を基板 254 から分離させる。第 2 のワイヤボンド 262 が、第 4 の金属パッド 260 に結合される。第 1 のワイヤボンド 252 及び第 2 のワイヤボンド 262 は、IC パッケージ 200 の他のダイ及び/又は外部リード等の IC パッケージ 200 の他の構成要素に結合され得る。

#### 【0043】

IC パッケージ 200 は、ガルバニック絶縁を達成するシンプルな設計を提供する。また、幾つかの例において、IC パッケージ 200 は、基礎絶縁を達成し、他の例において、IC パッケージ 200 は、強化絶縁を達成する。また、上述のように、幾つかの例において、第 1 のダイ 202 及び第 2 のダイ 204 は、異なる最大電圧を有する回路を埋め込む。従って、第 1 のダイ 202 及び第 2 のダイ 204 の特定の電圧範囲及び/又は他の動作パラメータのために選択されたウェハ材料及び処理を採用し得る。これに対し、第 1 のダイ 202 及び第 2 のダイ 204 の回路が単一の技術を用いて集積されている状況では、設計者は、単一のタイプの材料及び処理技法を用いることに限定され得る。

#### 【0044】

図 3 は、パッケージングを完了するための状態における IC パッケージ 300 の詳細図

を示す。ICパッケージ300は、図1のICパッケージ100を実装するために用いられ得る。ICパッケージ300は、ガルバニック絶縁された第1のダイ302及び第2のダイ304を含む。

【0045】

第1のダイ302の第1の表面308が、第1の基板310に重なる。第1の基板310はシリコンであり得る。第1の保護オーバーコート312が、第1のダイ302の第2の表面316に付けられ、第2の表面316は、第1の表面308に対向する。幾つかの例において、第1のダイ302の第2の表面316は、第1のダイ302のフェースと呼ばれる。

【0046】

第2のダイ304は、第1の表面320及び第2の表面322を含む。第2のダイ304の第2の表面322は、第2のダイ304の第1の表面320に対向する。第2のダイ304の第1の表面320は、第2のダイ304のフェースと呼ばれる。幾つかの例において、第2のダイ304は、第1のダイ302よりも小さいフットプリントを有する。第2の保護オーバーコート324が、第2のダイ304の第1の表面320に接着される。

【0047】

第1のダイ302及び第2のダイ304は、埋め込み回路を含む。第1のダイ302及び第2のダイ304は、異なる材料及び/又は処理技法を用いて形成され得る。このように、第1のダイ302及び第2のダイ304を製造するための材料及び/又は処理技法は、第1のダイ302及び第2のダイ304の動作パラメータに基づいて個別に選択可能である。

【0048】

スペーサプレート326が、第1の保護オーバーコート312と第2の保護オーバーコート324との間に挟まれている。スペーサプレート326は非導電性材料から形成される。幾つかの例において、スペーサプレート326は、溶融シリカ又は石英等の二酸化シリコン( $SiO_2$ )材料を用いて形成される。

【0049】

第1のNCDA層328が、第1の保護オーバーコート312及びスペーサプレート326に接着される。従って、第1のNCDA層328は、第1の保護オーバーコート312とスペーサプレート326との間に挟まれる。第2のNCDA層330が第2の保護オーバーコート324に接着される。従って、第2のNCDA層330は、第2の保護オーバーコート324とスペーサプレート326との間に挟まれる。幾つかの例において、第1のNCDA層328及び第2のNCDA層330は、エポキシを用いて形成される。

【0050】

幾つかの例において、第1のダイ302及び第2のダイ304の配置はフェースツーフェース構成と呼ばれる。第1のダイ302は第1の金属パッド332(例えば、コネクタ)を含み、第2のダイ304は第2の金属パッド334を含む。第1の金属パッド332及び第2の金属パッド334は、各々、約120 $\mu m$ (例えば、 $\pm 80\mu m$ )の直径を有し得る。第2のダイ304は、第1の金属パッド332及び第2の金属パッド334が、合同であり、製造公差(例えば、 $\pm 10\mu m$ )の範囲内で整合されるように、第1のダイ302に整合される。従って、1つの配向において、第1のダイ302の第2の表面316に垂直に延在する平面338等の平面が、第1の金属パッド332及び第2の金属パッド334と交差する。第1の金属パッド332は、キャパシタ340の第1のノードを形成し、第2の金属パッド334は、キャパシタ340の第2のノードを形成する。図2のICパッケージ200と比べると、ICパッケージ300は、一層薄い第1の保護オーバーコート312及び一層薄い第2の保護オーバーコート324を有する。スペーサプレート326は、第1の保護オーバーコート312及び第2の保護オーバーコート324の低減された厚みを補償する。

【0051】

第1の保護オーバーコート312及び第2の保護オーバーコート324は、各々、材料

10

20

30

40

50

のスタックから形成され得る。例えば、第1の保護オーバーコート312及び第2の保護オーバーコート324は、少なくとも約 $1\mu\text{m}$ （例えば、 $\pm 0.7\mu\text{m}$ ）の厚みの酸化シリコン（ $\text{SiO}_2$ ）の第1の層と、少なくとも約 $1\mu\text{m}$ （例えば、 $\pm 0.7\mu\text{m}$ ）の厚みの酸化窒化シリコン（ $\text{SiON}$ ）の第2の層とを用いて形成され得る。また、第1のNCDA層328及び第2のNCDA層330は、少なくとも約 $6\mu\text{m}$ （例えば、 $\pm 4\mu\text{m}$ ）の厚みを有する。スペーサプレート326は少なくとも約 $20\mu\text{m}$ （例えば、 $\pm 10\mu\text{m}$ ）の厚みを有する。第1の保護オーバーコート312、第2の保護オーバーコート324、第1のNCDA層328、第2のNCDA層330、及びスペーサプレート326の組み合わせが、図1の誘電体層106を実装するために用いられ得る。このような状況において、第1の金属パッド332と第2の金属パッド334は、約 $36\mu\text{m}$ （例えば、 $\pm 20.8\mu\text{m}$ ）の距離だけ離されている。

10

#### 【0052】

第1のダイ302及び第2のダイ304は、ガルバニック絶縁され、キャパシタ340を介して容量結合される。このように、第2のダイ304に埋め込まれた回路は、キャパシタ340を介して、第2のダイ304に埋め込まれた回路と通信し得、またその逆も同様である。第1のダイ302及び第2のダイ304はガルバニック絶縁されているので、第1のダイ302及び第2のダイ304は、異なる接地電位を有する。高電圧応用例の一例において、第1のダイ302の接地は、第2のダイ304の接地との高い電圧差（例えば、約 $40\text{V}$ 又はそれ以上の電圧差）を有する。実際、第1のダイ302がモータを駆動するための回路を含み、第2のダイ304が第1のダイ302上の動作を制御する状況等の、幾つかの例において、第1のダイ302の接地電圧は、第2のダイ304の接地電圧より $1\text{kV}$ 又はそれ以上大きくなり得る。

20

#### 【0053】

一例において、第1の凹部342が、第1の保護オーバーコート312にエッチングされる。第1の保護オーバーコート312における第1の凹部342は、第1のダイ302の第2の表面316上に配置された第3の金属パッド350を露出させる。第1の凹部342は、第1のNCDA層328から離間されている。言い換えると、第1の凹部342が含まれる例において、第1のNCDA層328は、第1の凹部342から離間された第1のダイ302に重なる第1の保護オーバーコート312の一部に付けられる。従って、第1のNCDA層342は、第1の凹部342に重なることもなく、第1の凹部342を覆ってもない。第1のワイヤボンド352が、第3の金属パッド350に結合される。また、第2の基板354（例えば、シリコンを用いて形成されている）は第2のダイ304の第2の表面322に接する。特に、第2のダイ304は、第2のダイ304の第2の表面322に近接する絶縁層355を含む。従って、第2の基板354は、幾つかの例において、第2のダイ304の絶縁層355に接する。裏面処理技法を用いて第2の基板354及び第2のダイ304の絶縁層355にエッチングされた第2の凹部356が、第2のダイ304の金属層の一部を露出させて、第2のダイ304内に第4の金属パッド360を提供する。従って、幾つかの例において、第2の凹部356を形成する、第2のダイ304の第2の基板354及び絶縁層355に形成される開口が自己整合される。また、第2のダイ304の絶縁層355は、第4の金属パッド360を基板354から分離する

30

40

#### 【0054】

ICパッケージ300は、ガルバニック絶縁を達成するシンプルな設計を提供する。また、幾つかの例において、ICパッケージ300は基礎絶縁を達成し、他の例において、ICパッケージ300は強化絶縁を達成する。また、上述のように、幾つかの例において、第1のダイ302及び第2のダイ304は、異なる最大電圧を有する回路を埋め込む。従って、第1のダイ302及び第2のダイ304の特定の電圧範囲及び/又はその他の動作特性に対して選択されたウェハ材料及び処理技法が採用され得る。これに対し、第1の

50

ダイ 302 及び第 2 のダイ 304 の回路が単一のダイ上に集積される状況では、設計者は、単一のタイプの材料及び処理技法を用いることに限定され得る。

【0055】

図 4 は、IC パッケージを形成するための方法 400 を図示する。方法 400 は、例えば、図 1 の IC パッケージ 100 及び/又は図 2 の IC パッケージ 200 を形成するために用いられ得る。従って、IC パッケージは、図 2 の第 1 のダイ 202 及び第 2 のダイ 204 等の第 1 のダイ及び第 2 のダイを含む。方法 400 は、図 5 ~ 図 8 を用いて説明される。図 5 ~ 図 8 は、図 2 の IC パッケージ 200 の製造の段階を示す。また、図 2 及び図 5 ~ 図 8 は、同じ構造を示すために同じ参照番号を用いる。

【0056】

405 において、保護オーバーコートが、それぞれ第 1 のダイウエハ及び第 2 のダイウエハと呼ばれ得る第 1 のダイ及び第 2 のダイを含むダイウエハに付けられる。より具体的には、図 5 に示すように、第 1 の保護オーバーコート 212 及び第 2 の保護オーバーコート 224 が、それぞれ、図 5 に示すように、第 1 のダイ 202 を含む第 1 のダイウエハ 280、及び第 2 のダイ 204 を含む第 2 のダイウエハ 282 に付けられる。また、第 1 のダイ 202 は、図 5 に示されるように、第 1 の基板 210 等の第 1 の基板に重なる。

【0057】

図 4 に戻って参照すると、410 において、第 1 の凹部が、第 1 のダイウエハに付けられた第 1 の保護オーバーコートにパターンニング及びエッチングされる。412 において、第 2 のダイウエハの裏側がパターン化され、第 2 のダイウエハの裏側のパターンは、第 2 のダイウエハの表側のパターンに整合される。413 において、第 2 の凹部が、第 2 の基板及び第 2 のダイウエハの裏側の絶縁層に、第 2 のダイに重なる領域において、エッチングされる。幾つかの例において、第 2 の基板及び絶縁層内の第 2 の凹部は、裏面処理技法を用いて形成される。図 6 に図示されるように、第 1 の凹部 242 は、第 1 のダイ 202 の第 3 の金属パッド 250 を露出させ、第 2 の凹部 256 は、第 2 のダイ 204 の金属層の一部を露出させて第 4 の金属パッド 260 を提供する。

【0058】

図 4 に戻って参照すると、414 において、第 1 のダイ及び第 2 のダイは、第 1 のダイウエハ及び第 2 のダイウエハから個片化される。幾つかの例において、第 1 のダイ及び第 2 のダイは、レーザ処理又は切断処理を用いて個片化され得る。415 において、図 7 の NCDA 層 226 によって示されるように、NCDA 層が第 1 のダイに付けられる。図 7 に図示されるように、NCDA 層 226 は、第 1 の凹部 242 から離間されている第 1 のダイ 202 の第 1 の保護オーバーコート 212 の一部に付けられる。図 4 に戻って参照すると、420 において、第 1 のダイの第 1 の金属パッド及び第 2 のダイ上の第 2 の金属パッドが整合され、第 2 のダイは、NCDA 層に取り付けられ、425 において、第 2 のダイは NCDA 層に接着される。図 8 に図示されるように、第 2 の金属パッド 232 は、第 1 の金属パッド 230 に整合され、その結果、平面 236 は、第 1 の金属パッド 230 及び第 2 の金属パッド 232 を介して延在してキャパシタを形成する。図 4 に戻って参照すると、430 において、ワイヤボンドが、第 1 の凹部及び第 2 の凹部によって露出された金属パッドに取り付けられて、図 2 に示される IC パッケージ 200 を形成する。

【0059】

図 9 は、IC パッケージを形成するための方法 1000 を示す。方法 1000 は、例えば、図 1 の IC パッケージ 100 及び/又は図 3 の IC パッケージ 300 を形成するために用いられ得る。従って、IC パッケージは、図 2 の第 1 のダイ 302 及び第 2 のダイ 304 等の第 1 のダイ及び第 2 のダイを含む。方法 1000 は、図 10 ~ 図 14 を用いて説明される。図 10 ~ 図 14 は、図 3 の IC パッケージ 300 の製造の段階を示す。また、図 3 及び図 10 ~ 図 14 は、同じ構造を示すために同じ参照番号を用いる。

【0060】

1005 において、保護オーバーコートが、第 1 のダイウエハ及び第 2 のダイウエハと呼ばれ得る第 1 のダイ及び第 2 のダイを含むダイウエハに付けられる。より具体的には、

10

20

30

40

50

図10に示されるように、第1の保護オーバーコート312及び第2の保護オーバーコート324が、それぞれ、第1のダイ302を含む第1のダイウエハ380、及び第2のダイ304を含む第2のダイウエハ382に付けられる。また、図10に示されるように、第1のダイは、第1の基板310に重なる。図9に戻って参照すると、1010において、第1の凹部が、第1のダイを含む第1のウエハに付けられた第1の保護オーバーコートにエッチングされる。1012において、第2のダイウエハの裏側がパターン化され、第2のダイウエハの裏側のパターンが、第2のダイウエハ282の表側のパターンに整合される。1013において、第2の凹部が、第2の基板、及び第2のダイウエハの裏側の絶縁層内に、第2のダイに重なる領域において、エッチングされる。幾つかの例において、第2の基板及び絶縁層内の第2の凹部は、裏面処理技法を用いて形成される。図11に示すように、第1の凹部342は、第1のダイ302の第3の金属パッド350を露出させ、第2の凹部356は、第2のダイ304の金属層を露出させて、第4の金属パッド360を提供する。

10

**【0061】**

図9に戻って参照すると、1014において、第1のダイ及び第2のダイは、それぞれ、第1のダイウエハ及び第2のダイウエハから個片化される。幾つかの例において、第1のダイ及び第2のダイは、レーザ処理及び切断処理を用いて個片化され得る。1015において、第1のNCDA層が第1のダイに付けられる。図12は、第1のダイ302の第2の表面316に付けられた第1のNCDA層328を示す。図12に示されるように、第1のNCDA層328は、第1の凹部342から離間されている第1のダイ302の第1の保護オーバーコート312の一部に付けられる。

20

**【0062】**

図9に戻って参照すると、1020において、スペーサプレートが第1のNCDA層上に取り付けられる。1025において、第2のNCDA層が、スペーサプレートに付けられる。図13は、第1のNCDA層328上に取り付けられたスペーサプレート326及びスペーサプレート326上に付けられた第2のNCDA層330を示す。図9に戻って参照すると、1030において、第1のダイの第1の金属パッド及び第2のダイの第2の金属パッドが整合される。1035において、第2のダイは、第2のNCDA層に取り付けられる。図14に図示されるように、第2の金属パッド334は、第1の金属パッド332に整合され、その結果、平面338が、第1の金属パッド332及び第2の金属パッド334を介して延在してキャパシタを形成する。図9に戻って参照すると、1040において、ワイヤボンドが、第1の凹部342及び第2の凹部356によって露出された金属パッドに取り付けられて、図3に図示されるICパッケージ300を形成する。

30

**【0063】**

上述されたものは例である。もちろん、構成要素又は方法の全ての可能性のある組み合わせを説明するのは不可能であるが、当業者であれば、更に多くの組み合わせ及び置換が可能であることを理解するであろう。従って、本明細書は、添付の特許請求の範囲を含む本願の範囲内に入るそのような全ての変更、修正、及び変形例を包含する。

40

50

【図面】

【図 1】

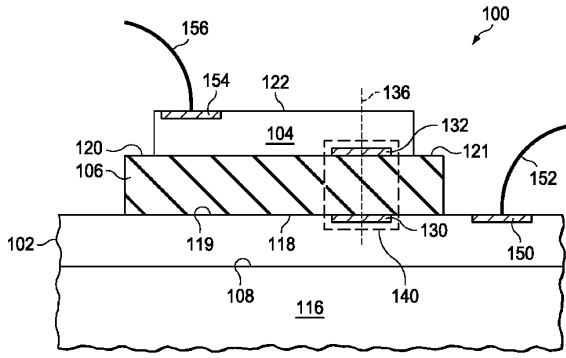


FIG. 1

【図 2】

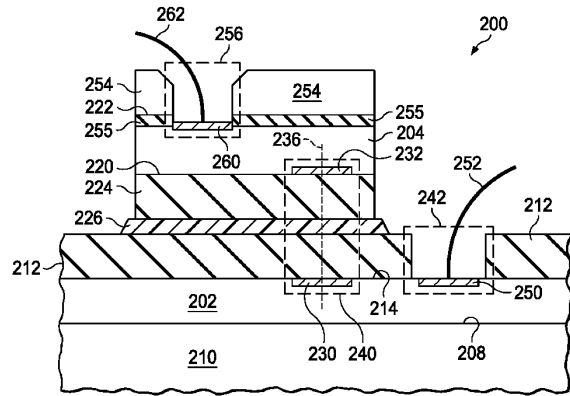


FIG. 2

【図 3】

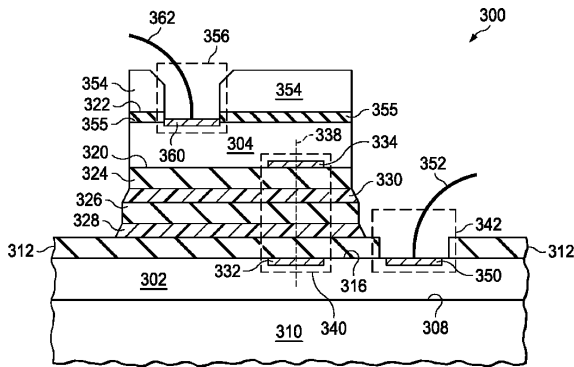


FIG. 3

【図 4】

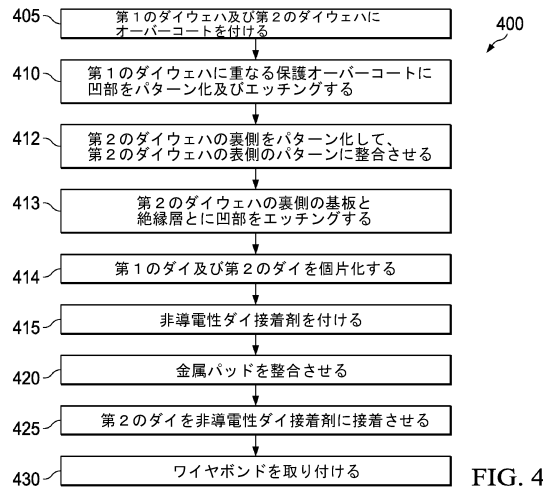


FIG. 4

10

20

30

40

50

【 図 5 】

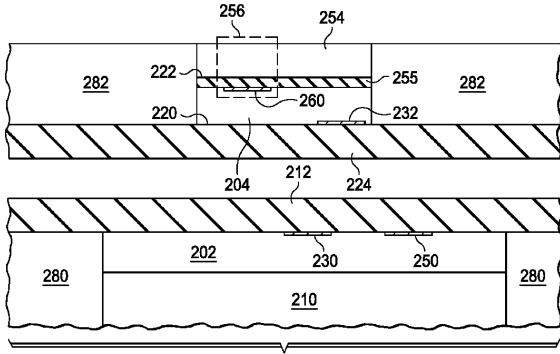


FIG. 5

【 図 6 】

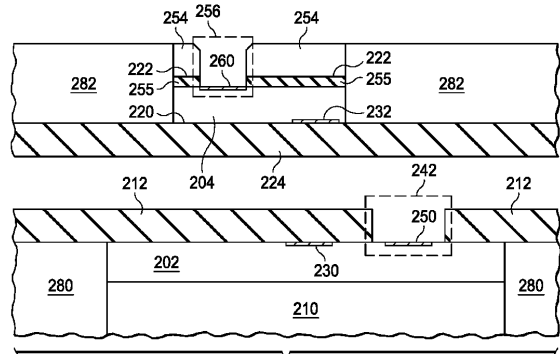


FIG. 6

【 図 7 】

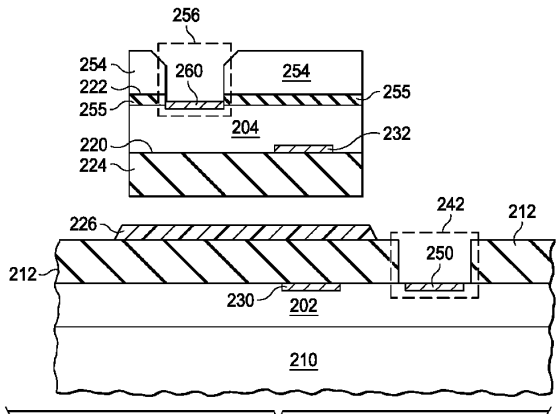


FIG. 7

【 図 8 】

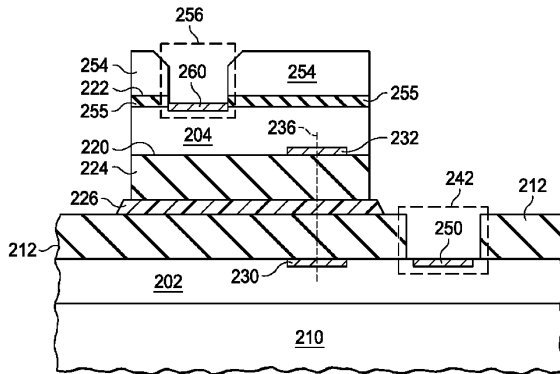


FIG. 8

10

20

30

40

50

【 図 9 】

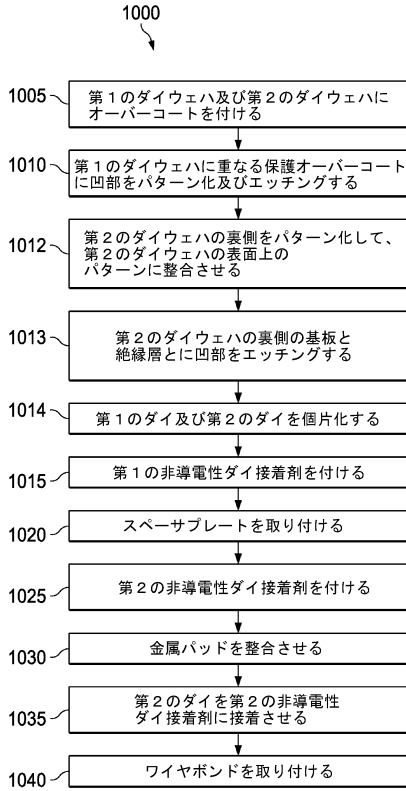


FIG. 9

【 図 1 0 】

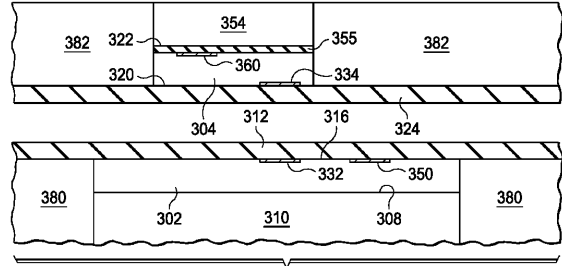


FIG. 10

10

20

【 図 1 1 】

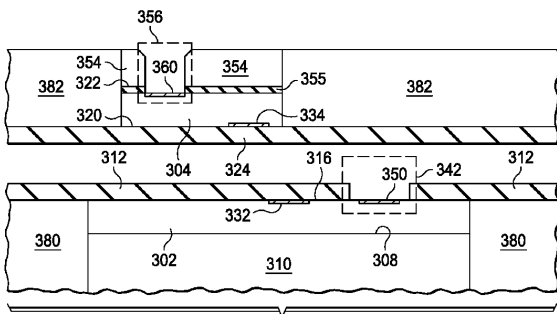


FIG. 11

【 図 1 2 】

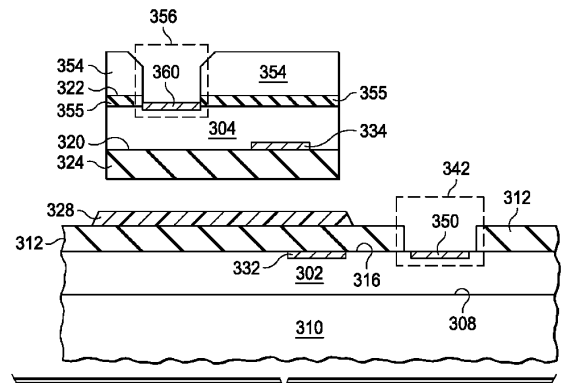


FIG. 12

30

40

50

【 図 1 3 】

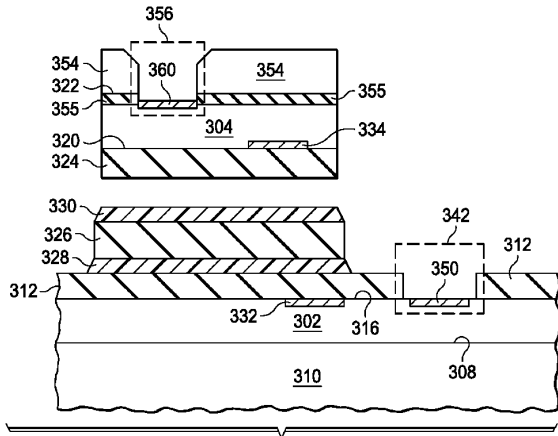


FIG. 13

【 図 1 4 】

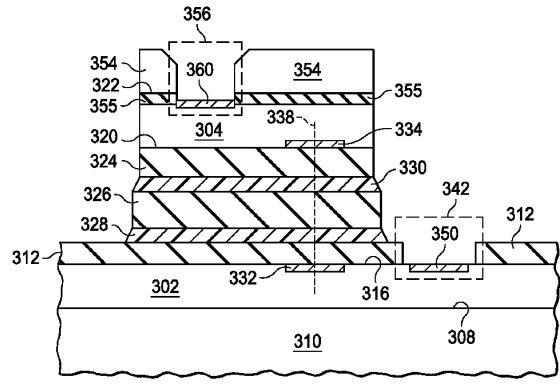


FIG. 14

10

20

30

40

50

---

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

審査官 齊藤 健一

(56)参考文献

特表平9 - 504908 (JP, A)

特開2015 - 95469 (JP, A)

特開2006 - 253330 (JP, A)

特開平5 - 83011 (JP, A)

特開2007 - 43172 (JP, A)

国際公開第2011/001992 (WO, A1)

特開2018 - 46213 (JP, A)

米国特許出願公開第2019/0088576 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/58

H01L 21/60

H01L 23/12 23/15

H01L 23/52 23/538

H01L 23/58

H01L 25/07

H05K 1/00 3/46