

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年11月12日(12.11.2009)

PCT

(10) 国際公開番号
WO 2009/136606 A1

(51) 国際特許分類:

H01L 21/8247 (2006.01) H01L 29/423 (2006.01)
H01L 21/28 (2006.01) H01L 29/49 (2006.01)
H01L 21/306 (2006.01) H01L 29/788 (2006.01)
H01L 21/318 (2006.01) H01L 29/792 (2006.01)
H01L 27/115 (2006.01)

(21) 国際出願番号: PCT/JP2009/058574

(22) 国際出願日: 2009年5月1日(01.05.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2008-123561 2008年5月9日(09.05.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目3番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 廣田 良浩 (HIROTA, Yoshihiro) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町1番8号 東京エレクトロン株式会社内 Hyogo (JP). 佐藤 吉宏 (SATO, Yoshihiro) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町1番

8号 東京エレクトロン株式会社内 Hyogo (JP). 奥村 信夫 (OKUMURA, Nobuo) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町1番8号 東京エレクトロン株式会社内 Hyogo (JP).

(74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

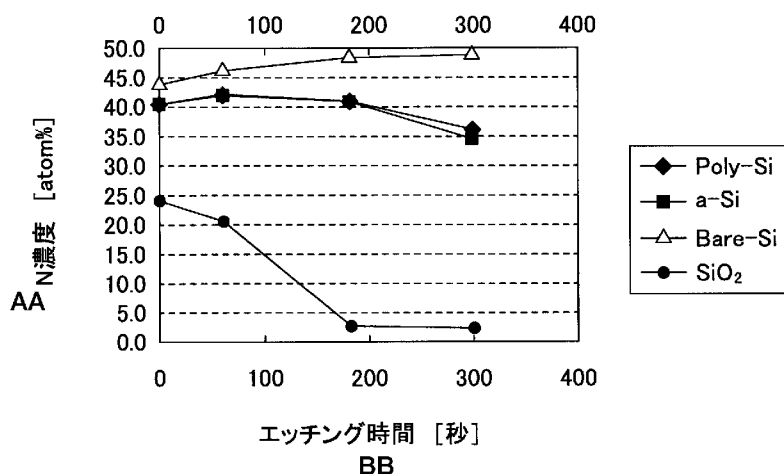
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置の製造方法

[図2A]



AA N CONCENTRATION [atom%]
BB ETCHING TIME [SECOND]

(57) Abstract: A plasma nitriding process is followed by a selective etching process which removes a silicon nitride-oxide film formed on the surface of an element separation film and an insulation film while leaving a silicon nitride film formed on an electrode layer. Thus, the selective etching process removes the silicon nitride-oxide film formed on the surface of the element separation film and the insulation film.

(57) 要約: プラズマ窒化処理工程の後に、選択エッチング処理工程において、電極層に形成された窒化珪素膜を残しつつ、素子分離膜および絶縁膜の表面に形成された窒化酸化珪素膜が除去される。選択エッチング工程により、素子分離膜および絶縁膜の表面に形成された窒化酸化珪素膜が除去される。

WO 2009/136606 A1



NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, 添付公開書類:

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, — 国際調査報告 (条約第 21 条(3))
TG).

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] フラッシュメモリは小さいセルサイズ、大きい記憶容量、および高い衝撃耐性という利点を有しているため、近年、フラッシュメモリに対する需要が急増している。代表的なフラッシュメモリは、コントロールゲート電極と対になるフローティングゲート電極を含んでおり、データ書き込み時にはフローティングゲート電極へ電子が注入され、データ消去時にはフローティングゲート電極から電子が放出される。このようなフラッシュメモリはフローティングゲート電極を覆う絶縁膜を更に含んでいる。この絶縁膜によってフローティングゲート電極に注入された電子の漏洩が防止されるため、フラッシュメモリは、外部回路から電力が供給されない限り、長期間にわたってデータを記憶することができる。

[0003] フローティングゲート電極を覆う絶縁膜、例えばトンネル絶縁膜やONO（Oxide-Nitride-Oxide）構造を有する層間容量膜などを厚くすれば、フローティングゲート電極から電子が漏洩し難くなるため、フラッシュメモリのデータ保持特性を向上させることができる。しかし、フローティングゲート電極を覆う絶縁膜を厚くすると、フローティングゲート電極への電子の注入／放出の効率が低下するため、データの書き込み特性、消去特性が低下してしまう。

[0004] また、フラッシュメモリの製造過程では、コントロールゲート電極がエッチングによって形成される際に、多結晶シリコンからなるフローティングゲート電極の側壁が露出してしまうため、熱処理を行って側壁を酸化膜で覆う工程が行われる。しかし、この熱処理によりトンネル絶縁膜やONO構造を有する層間容量膜が酸化されて厚くなってしまうので、フローティングゲート電極の側壁が露出してしまうため、熱処理を行って側壁を酸化膜で覆う工程が行われる。しかし、この熱処理によりトンネル絶縁膜やONO構造を有する層間容量膜が酸化されて厚くなってしまうので、フローティングゲート電極の側壁が露出してしまうため、熱処理を行って側壁を酸化膜で覆う工程が行われる。

ト電極への電子の注入／放出の効率が低下するという問題が生じる。この問題を解決するため、フローティングゲート電極を形成した後、フローティングゲート電極に窒素をイオン注入し、800℃以上の温度で熱酸化することにより、フローティングゲート電極表面に酸化珪素膜を形成して、フローティングゲート電極と層間容量膜およびトンネル絶縁膜との界面に窒素を偏在させる（すなわち、窒化珪素膜を形成する）技術が提案されている（特許文献1）。

先行技術文献

特許文献

[0005] 特許文献1：特許第3312102号

発明の概要

発明が解決しようとする課題

[0006] 上記特許文献1のように、フローティングゲート電極に窒素をイオン注入する方法で窒化珪素膜を形成する場合には、フローティングゲート電極と絶縁膜との界面にのみ窒素を偏在させて窒化珪素膜を形成することが可能である。しかし、特許文献1の技術は、窒素注入後に熱処理が不可欠であるため、サーマルバジェットを増大させてしまう懸念があり、また、注入した窒素の分布を厳密に制御することが難しいという点で、不利である。

[0007] 一方、シリコン層の表面に薄く窒素を導入して窒化珪素膜を形成する手段として、プラズマ窒化処理が知られており、これをフローティングゲート電極の窒化に適用することも可能である。プラズマ窒化処理は、特許文献1のように窒素をイオン注入した後に熱処理する方法に比べて、窒素分布の制御性が高い点で有利である。また、プラズマの使用により、例えば400℃～600℃程度の低温で窒化処理を実施できるため、特許文献1におけるような800℃以上の高温での熱処理による諸問題を回避できる。しかし、プラズマ窒化処理では、選択的な窒化が困難であり、すなわち、被処理体の全露出表面が窒化されてしまうため、窒化が不必要な部分にも窒素含有層が形成

されてしまう。このように残存した不必要な窒素含有層が、フラッシュメモリに残存すると、例えば残存した窒素含有層を介して隣接するセル間での電氣的な干渉が生じるなど、フラッシュメモリの性能に悪影響を及ぼす場合がある。

[0008] 例えば、フラッシュメモリのフローティングゲート電極の表面に窒化珪素膜を形成する場合、シリコン基板上にフローティングゲート電極を形成した後にプラズマ窒化処理を行うと、フローティングゲート電極の表面だけでなく、隣接するセルを分離する素子分離膜の表面も窒化されて窒化酸化珪素膜が形成されてしまう。このため、完成品のフラッシュメモリの素子分離膜には、本来不必要な窒素含有層（窒化酸化珪素膜）が残存する。このように残存した不必要な窒化酸化珪素膜は、隣接するセル間で電氣的な干渉を引き起こし、フラッシュメモリのデータ保持性能を低下させてしまう場合がある。

[0009] 本発明は上記実情に鑑みてなされ、その目的は、各種半導体装置の製造過程で、プラズマ窒化処理によって形成された窒素含有層を不必要な部位に残存させない半導体装置の製造方法を提供することである。

課題を解決するための手段

[0010] 本発明の第1の態様は、酸素を含有する素子分離膜によってフィールド領域とアクティブ領域が画定され、前記アクティブ領域に、電極層と、該電極層に接して形成された窒素含有層と、を有する半導体装置の製造方法を提供する。この製造方法は、露出した電極層と露出した素子分離膜とに窒素含有プラズマが作用されて、当該電極層および当該素子分離膜それぞれに窒素含有層が形成されるプラズマ窒化処理工程と、前記電極層の表面に形成された窒素含有層を残しながら前記素子分離膜の表面に形成された窒素含有層が選択的に除去される選択エッチング工程と、を含む。

[0011] 本発明の第2の態様は、第1の態様の製造方法であって、前記電極層が主成分としてポリシリコンを含み、該電極層に形成された窒素含有層が窒化珪素である製造方法を提供する。

[0012] 本発明の第3の態様は、第1または第2の態様の製造方法であって、前記

素子分離膜が主成分として酸化珪素を含み、該素子分離膜に形成された窒素含有層が窒化酸化珪素である製造方法を提供する。

[0013] 本発明の第４の態様は、第１から第３の態様のいずれかの製造方法であって、前記選択エッチング工程において、希フッ酸溶液を用いたウェットエッチング処理が行われる製造方法を提供する。

[0014] 本発明の第５の態様は、第１から第４の態様のいずれかの製造方法であって、前記プラズマ窒化処理工程において前記電極層に形成された窒素含有層中の窒素濃度が３５ａｔｏｍ％以上４５ａｔｏｍ％以下の範囲内にある製造方法を提供する。

[0015] また、本発明の半導体装置の製造方法において、前記電極層が不揮発性メモリのフローティングゲート電極であり、前記窒化珪素膜が該フローティングゲート電極とコントロールゲート電極との間に介在する層間容量膜の一部を構成するものであることが好ましい。

[0016] 本発明の第６の態様は、第１から第５の態様のいずれかの製造方法であって、前記電極層が不揮発性メモリのフローティングゲート電極であり、前記窒化珪素膜が該フローティングゲート電極とコントロールゲート電極との間に介在する層間容量膜の一部である製造方法を提供する。

発明の効果

[0017] 本発明の実施の形態による、半導体装置の製造方法によれば、プラズマ窒化処理によって電極層および素子分離膜の表面にそれぞれ窒素含有層を形成した後、選択エッチング工程を行うことにより、電極層の表面に形成された窒素含有層を残しながら素子分離膜の表面に形成された不必要な窒素含有層を選択的に除去することができる。

[0018] 従って、本発明の実施の形態による製造方法によって製造される半導体装置においては不必要な窒素含有層による悪影響例えば隣接するセル間での電氣的な干渉が防止され、信頼性を向上することができる。

図面の簡単な説明

[0019] [図１Ａ]本発明の第１の実施の形態による、半導体装置の製造方法の一の主要

工程を説明する図面である。

[図1B]本発明の第1の実施の形態による、半導体装置の製造方法の他の主要工程を説明する図面である。

[図1C]本発明の第1の実施の形態による、半導体装置の製造方法のまた別の主要工程を説明する図面である。

[図2A]窒素含有層中の窒素濃度（a t o m %）とエッチング時間との関係を示すグラフである。

[図2B]窒素含有層中の窒素濃度（a t o m %）とエッチング時間との関係を示す他のグラフである。

[図3]窒素含有層中の窒素濃度（a t o m %）と物理膜厚との関係を示すグラフである。

[図4]本発明の第2の実施の形態による、半導体装置の製造方法により製造されたフラッシュメモリの構造を示す断面図である。

[図5]本発明の第2の実施の形態による、半導体装置の製造方法の工程を説明する図面である。

[図6]図5に引き続く工程を説明する図面である。

[図7]図6に引き続く工程を説明する図面である。

[図8]図7に引き続く工程を説明する図面である。

[図9]比較例のフラッシュメモリの構造を示す断面図である。

[図10A]比較例のフラッシュメモリにおける電子の漏洩の機構を説明する図面である。

[図10B]本発明の実施形態による、半導体装置の製造方法により製造されたフラッシュメモリにおけるバリアハイト図である。

発明を実施するための形態

[0020] [第1の実施の形態]

以下、本発明の実施の形態について添付図面を参照して説明する。図1Aから図1Cは、本実施の形態に係る、半導体装置の製造工程の一部を説明する図面である。図1Aに示したように、シリコン基板101には、例えばS

T I (Shallow Trench Isolation) 法により凹部 (トレンチ) が形成され、この凹部に、実質的に二酸化珪素 (SiO_2) からなる素子分離膜 103 が埋め込まれ、アクティブ領域とフィールド領域とが分離されている。また、シリコン基板 101 の表面には、二酸化珪素 (SiO_2) からなる絶縁膜 105 が形成され、その上にパターニングされた実質的にポリシリコンからなる電極層 107 が形成されている。

[0021] 本実施の形態による、半導体装置の製造方法は、電極層 107 と、素子分離膜 103 とが露出しているシリコン基板 101 に窒素含有プラズマを作用させることにより、電極層 107 および素子分離膜 103 の表面にそれぞれ窒素含有層を形成するプラズマ窒化処理工程と、電極層 107 の表面に形成された窒素含有層を残しながら素子分離膜 103 の表面に形成された窒素含有層を選択的に除去する選択エッチング処理工程と、を含んでいる。図 1 A は、表面がプラズマ窒化処理されているシリコン基板 101 を示し、図 1 B は、プラズマ窒化処理を経たシリコン基板 101 を示している。プラズマ窒化処理によって、電極層 107 の表面には窒素含有層としての窒化珪素 (Si_3N_4) 膜 109 が形成される。ところが、プラズマ窒化処理では、シリコン基板 101 が高いイオンエネルギーを有するプラズマに晒されるので、素子分離膜 103 および絶縁膜 105 の表面も窒化され、素子分離膜 103 および絶縁膜 105 の表面に窒素含有層としての窒化酸化珪素膜 (SiON) 111 が形成されてしまう。このようにプラズマ窒化処理では、窒化対象である電極層 107 のポリシリコンだけでなく、窒化対象ではない素子分離膜 103 および絶縁膜 105 の二酸化珪素も窒化されてしまうことが避けられない。

[0022] 図 1 B に示したように、素子分離膜 103 および絶縁膜 105 の表面に形成された不必要な窒化酸化珪素膜 111 は、その後のプロセス中で除去される場合もあるが、除去されることなく半導体装置 (例えば MOSFET) に最終的に残存する場合がある。窒化酸化珪素 (SiON) は、緻密な二酸化珪素 (SiO_2) に比べて空孔等の欠陥が多いため、電子を通過させる経路と

して働やすい。つまり、残存した窒化酸化珪素膜 1 1 1 中に存在する電気的な欠陥を通して隣接するセルへ電子が漏洩するため、半導体装置の性能が悪化することが懸念される。

[0023] そこで、本実施の形態による、半導体装置の製造方法では、プラズマ窒化処理工程の後に、選択エッチング処理工程を設け、電極層 1 0 7 に形成された窒化珪素膜 1 0 9 を残しつつ、素子分離膜 1 0 3 および絶縁膜 1 0 5 の表面に形成された窒化酸化珪素膜 1 1 1 を除去する。選択エッチング工程により、図 1 C に示したように、素子分離膜 1 0 3 および絶縁膜 1 0 5 の表面に形成された窒化酸化珪素膜 1 1 1 が除去される。不必要な窒化酸化珪素膜 1 1 1 を除去することにより、窒化酸化珪素膜 1 1 1 が残存した場合に生じ得る、半導体装置への悪影響（例えば隣接するセル間での電気的な干渉の問題）が防止され、信頼性に優れた半導体装置を製造することができる。

[0024] 選択エッチング処理工程は、プラズマ窒化処理工程の直後か、少なくとも後続の加熱を伴う処理が行われる前に実施することが好ましい。窒化酸化珪素膜 1 1 1 が残ったまま加熱を伴う処理を行うと、窒化酸化珪素膜 1 1 1 中の窒素原子が素子分離膜 1 0 3 および絶縁膜 1 0 5 内へと拡散し、素子分離膜 1 0 3 および絶縁膜 1 0 5 の実効的な厚さが減少し、その機能が低下してしまうためである。

[0025] 本実施の形態における選択エッチング処理においては、窒化珪素（SiN）と、窒化酸化珪素（SiON）とのエッチング液に対する溶解性の相違が利用される。この選択エッチング処理の選択性に影響を与える主な要因として、ウエットエッチング条件およびプラズマ窒化処理条件が考慮される。

[0026] （１）ウエットエッチング条件；

ウエットエッチング処理には、エッチング液として酸化珪素を溶解し、窒化珪素を溶解し難い希フッ酸（DHF）を用いることが好ましい。使用する希フッ酸の濃度は、窒素含有層の厚さに依存するが、例えば 0.07% 以上 1% 以下の範囲内が好ましく、0.1% 以上 0.3% 以下の範囲内がより好ましい。また、希フッ酸による処理時間は、窒素含有層の厚さや希フッ酸の

濃度に依存するが、窒化酸化珪素膜 111 を除去し、かつ窒化珪素膜 109 を出来るだけ残存させることができるように（つまり、時間的マージンを考慮して）例えば 10 秒以上の範囲内が好ましく、30 秒以上 300 秒以下の範囲内がより好ましく、150 秒以上 210 秒以下の範囲内が更に好ましい。

[0027] （２）プラズマ窒化処理条件；

プラズマ窒化処理は、生成されるプラズマの電子温度がウエハ表面で 0.7 eV 以上 2 eV 以下であり、制御性良く数 nm（例えば 2 nm 以上 5 nm 以下）の厚さ（深さ）範囲で、かつ一定レベル以上の比較的高濃度（例えば 35 atom% 以上、好ましくは 40 atom% 以上の濃度）で窒素を導入できる方法を採用することが好ましい。このような観点から、本実施の形態では、プラズマ窒化処理に、複数のスロットを有する平面アンテナ（例えばラジアルラインスロットアンテナ（RLSA））により処理室内にマイクロ波を導入してマイクロ波励起プラズマを形成させるプラズマ処理装置が用いられる。なお、プラズマ窒化処理には、誘導結合プラズマ（Inductively Coupled Plasma（ICP））方式のプラズマ処理装置を利用しても良い。

[0028] 次に、プラズマ窒化処理について説明する。まず、電極層 107 と素子分離膜 103 とが形成されたウエハ W を準備し、このウエハ W をプラズマ処理装置に搬入する。次に、プラズマ処理装置のチャンバ内を減圧排気しながら、ガス供給機構から、不活性ガスおよび窒素含有ガスを所定の流量でそれぞれチャンバ内に導入する。このようにして、チャンバ内を所定の圧力に調節する。

[0029] 次に、マイクロ波発生装置で発生させた所定の周波数、例えば 2.45 GHz を有するマイクロ波を、マッチング回路と導波管を介して平面アンテナに供給する。平面アンテナから透過板を通してチャンバ内に放射されたマイクロ波により、チャンバ内に、不活性ガスおよび窒素含有ガスのプラズマが励起される。このマイクロ波励起プラズマは、略 $1 \times 10^{10} \sim 5 \times 10^{12} / \text{cm}^3$ の高い密度と、ウエハ W 近傍における略 1.2 eV 以下の低電子温度と

を有している。このようなマイクロ波励起高密度プラズマは、下地膜へのイオン等によるプラズマダメージが少ない。そして、プラズマ中の活性種例えばイオンやラジカル等によりウエハW表面に形成された電極層107および素子分離膜103に対してプラズマ窒化処理が行われる。

[0030] プラズマ窒化処理の処理ガスとしては、希ガスと窒素含有ガスとを含むガスを用いることが好ましい。希ガスとしてArガスを使用し、窒素含有ガスとしてN₂ガスを使用することが好ましい。このとき、全処理ガスに対するN₂ガスの体積流量比率は、形成すべき窒化酸化珪素膜111（図1B）中の窒素濃度を高くする観点から、1%以上90%以下の範囲内が好ましく、2%以上20%以下の範囲内がより好ましい。例えば直径200mm以上のウエハWを処理する場合には、Arガスの流量は200mL/min（sccm）以上2000mL/min（sccm）以下の範囲内、N₂ガスの流量は10mL/min（sccm）以上2000mL/min（sccm）以下の範囲内において、上記流量比になるように設定することができる。

[0031] また、プラズマ窒化処理時のプラズマ処理装置のチャンバ内の圧力は、プラズマのイオン性を強め、窒素含有層中の窒素濃度を高くする観点から、1.3Pa以上667Pa以下の範囲内が好ましく、13.3Pa以上400Pa以下の範囲内がより好ましい。

[0032] また、マイクロ波のパワー密度は、プラズマを安定して維持するため、1.4W/cm²以上7W/cm²以下の範囲内が好ましい。なお、マイクロ波のパワー密度は、透過板の面積1cm²あたりに供給されるマイクロ波パワーを意味する（以下、同様である）。例えば直径200mm以上のウエハWを処理する場合には、マイクロ波パワーを1000W以上5000W以下の範囲内とすることが好ましい。

[0033] また、ウエハWの加熱温度は、上記のチャンバ内に設けられウエハWが載置される載置台の温度として、例えば200℃以上600℃以下の範囲内に設定することが好ましく、400℃以上500℃以下の範囲内に設定することがより好ましい。

[0034] 以上の手順でプラズマ窒化処理が終了した後、窒化されたウエハWをプラズマ処理装置から搬出する。

[0035] 次に、プラズマ窒化処理の条件が、選択的エッチングに与える影響について図2および図3を参照しながら説明する。まず、シリコン基板上に、二酸化珪素膜 (SiO_2)、アモルファスシリコン膜 (a-Si) またはポリシリコン膜 (Poly-Si) をそれぞれ堆積させてサンプル「 SiO_2 」、サンプル「 a-Si 」およびサンプル「 Poly-Si 」を準備した。これらの膜の厚さは20nm以上30nm以下の範囲内とした。また、膜が堆積されていないシリコン基板 (Bare-Si) もサンプル「 Bare-Si 」として準備した。

[0036] 次に、各サンプルに対して種々の条件でプラズマ窒化処理を行い、各サンプルの表面に窒素含有層を形成した。プラズマ窒化処理の条件は以下のとおりである。

[共通条件]

載置台の温度：500℃

マイクロ波パワー：1500W

マイクロ波パワー密度：2.1W/cm² (透過板の面積1cm²あたり)

[条件1]

Arガス流量：1000mL/min (sccm)

N₂ガス流量：200mL/min (sccm)

N₂の流量割合 (N₂/Ar+N₂の百分率)：16.7%

処理圧力：20Pa

処理時間：90秒

[条件2]

Arガス流量：1000mL/min (sccm)

N₂ガス流量：200mL/min (sccm)

N₂の流量割合 (N₂/Ar+N₂の百分率)：16.7%

処理圧力：20Pa

処理時間：30秒

[条件3]

Arガス流量：980mL/min (sccm)

N₂ガス流量：20mL/min (sccm)

N₂の流量割合 (N₂/Ar+N₂の百分率)：2%

処理圧力：20Pa

処理時間：30秒

[条件4]

Arガス流量：980mL/min (sccm)

N₂ガス流量：20mL/min (sccm)

N₂の流量割合 (N₂/Ar+N₂の百分率)：2%

処理圧力：67Pa

処理時間：60秒

[条件5]

Arガス流量：980mL/min (sccm)

N₂ガス流量：20mL/min (sccm)

N₂の流量割合 (N₂/Ar+N₂の百分率)：2%

処理圧力：127Pa

処理時間：90秒

[条件6]

Arガス流量：980mL/min (sccm)

N₂ガス流量：20mL/min (sccm)

N₂の流量割合 (N₂/Ar+N₂の百分率)：2%

処理圧力：400Pa

処理時間：120秒

窒素含有層 (SiN膜、SiON膜) を形成した各サンプルを、0.125体積%の希フッ酸 (DHF) 溶液に浸漬することにより、ウェットエッチングした。エッチング時間は60秒、180秒および300秒とした。ウエ

ットエッチングの後、窒素含有層中の窒素濃度をXPS（X線光電子分光）法により測定した。各窒素含有層中の窒素濃度（atom%）とエッチング時間との関係について、条件1でプラズマ窒化処理を行った場合の結果を図2Aに示し、条件2でプラズマ窒化処理を行った場合の結果を図2Bに示した。

[0037] 図2Aおよび図2Aから、シリコンを窒化処理したサンプル「Poly-Si」、サンプル「a-Si」およびサンプル「Bare-Si」のエッチングレートは、二酸化珪素を窒化処理したサンプル「SiO₂」のエッチングレートとは大きく異なることが分かる。サンプル「SiO₂」に着目すると、図2Aでは180秒で、図2Bでは60秒で窒素濃度がほぼゼロとなり、窒素含有層（窒化酸化珪素膜）が除去されている。これに対して、シリコンを窒化処理したサンプル「Poly-Si」、サンプル「a-Si」およびサンプル「Bare-Si」では、同じエッチング時間でほとんど窒素濃度が低下しておらず、窒素含有層（窒化珪素膜）がほぼ残存していた。これにより、窒化酸化珪素膜が選択的に除去されたことが分かる。

[0038] また、条件1でプラズマ窒化処理が行われた図2Aと、条件2でプラズマ窒化処理が行われた図2Bとを比較すると、図2Aでは、シリコンを窒化処理したサンプル「Poly-Si」、サンプル「a-Si」およびサンプル「Bare-Si」における窒素濃度は、エッチング時間が長くなっても大きく減少することがなく、窒化珪素膜を残存させる選択的エッチングの視点から好ましいことが示された。条件1では20Paの比較的低い圧力であっても90秒間プラズマ窒化処理を行ったことにより、エッチング開始時点での窒素濃度は、図2Aに示したように、サンプル「Poly-Si」、サンプル「a-Si」およびサンプル「Bare-Si」のいずれにおいても40atom%を超えていたが、条件2でプラズマ窒化処理を行った場合は、サンプル「Poly-Si」およびサンプル「a-Si」のエッチング開始時点での窒素濃度は、図2（b）に示したように、共に40%未満であった。

[0039] 以上から、残存させる窒化珪素膜においてエッチング処理後の窒素濃度が減少するのを出来るだけ防止する目的で、膜中の窒素濃度を出来るだけ高くできるようなプラズマ窒化処理条件（例えばプラズマ中の窒素イオン成分が多くなる条件、または電子温度が高くなる条件）を選択することが好ましいと考えられる。これを更に検討するため、図3に、条件1～条件6でプラズマ窒化処理を行ったサンプル「P o l y - S i」およびサンプル「a - S i」について、エッチング開始時点における膜中の窒素濃度と、エッチング終了時点（サンプル「S i O₂」の窒素濃度が略ゼロになった時点）における窒素含有層の物理膜厚との関係を示した。この図3から、選択的エッチング終了時点で残存させる窒素含有層（サンプル「P o l y - S i」およびサンプル「a - S i」の窒化珪素膜）の膜厚を十分に確保するためには、プラズマ窒化処理によって窒素含有層中の窒素濃度を35 a t o m %以上（例えば35 a t o m %以上45 a t o m %以下、好ましくは40 a t o m %以上45 a t o m %以下）にしておくことがよいと考えられる。

[0040] 以上の結果から、窒化珪素膜中の窒素濃度を高くすることにより、ウェットエッチングの高い選択性を得るためには、プラズマ窒化処理における圧力は例えば、13.3 P a以上400 P a以下の範囲内に設定することが好ましく、処理時間は例えば30秒以上240秒以下の範囲内に設定することが好ましく、窒素ガスの流量比率は1%以上20%以下の範囲内に設定することが好ましいと考えられる。

[0041] なお、プラズマ窒化処理工程では、R L S A方式のプラズマ処理装置の代わりに、I C P方式のプラズマ処理装置を用いることもできる。I C P方式のプラズマ処理装置を用いる場合、高周波電力の周波数は400 k H z以上60 M H z以下（例えば、13.56 M H z）の範囲内が好ましく、高周波パワーは50 W以上2000 W以下の範囲内が好ましい。また、処理温度（載置台の温度）は、100℃以上600℃以下の範囲内が好ましく、処理圧力は、0.13 P a以上667 P a以下の範囲内が好ましい。処理ガスとしては、A r ガスとN₂ガスを用いることが好ましく、A r ガス流量は100 m

$L/min (sccm)$ 以上 $2000 mL/min (sccm)$ 以下の範囲内が好ましく、 N_2 流量は、 $1 mL/min (sccm)$ 以上 $500 mL/min (sccm)$ 以下の範囲内が好ましい。例えば、ICP方式のプラズマ処理装置を用い、高周波電力の周波数 $13.56 MHz$ 、高周波パワー $500 W$ 、処理温度 $400^\circ C$ 、処理圧力 $6.7 Pa$ 、 Ar ガス流量 $1000 mL/min (sccm)$ 、 N_2 ガス流量 $50 mL/min (sccm)$ の条件でプラズマ窒化処理を実施し、その後、上記と同じ条件で選択エッチング処理を行った結果、不必要な窒素含有層（酸化窒化珪素膜）を選択的に除去することができた。従って、ICP方式のプラズマ処理装置も、RLSA方式のプラズマ処理装置と同様に、本実施の形態の半導体装置の製造方法に適用可能である。

[0042] 以上説明したように、本実施の形態の半導体装置の製造方法によれば、残存した不必要な窒素含有層により引き起こされる悪影響、例えば隣接するセル間での電氣的な干渉を防止し、信頼性に優れた半導体装置を製造することができる。

[第2の実施の形態]

次に、図4から図8を参照しながら、本発明の実施の形態による、半導体装置の製造方法が適用された、不揮発性メモリの製造工程について説明する。図4は、本発明の実施の形態による製造方法を適用して製造可能なフラッシュメモリの概略構成を示す断面図である。このフラッシュメモリ200は、フローティングゲート電極とコントロールゲート電極の間に介在する層間容量膜として、NONON（窒化珪素膜－酸化珪素膜－窒化珪素膜－酸化珪素膜－窒化珪素膜）の積層構造を有している。

[0043] フラッシュメモリ200では、シリコン基板201に例えばSTI（Shallow Trench Isolation）法により凹部（トレンチ）が形成されており、その内部には、ライナー酸化珪素膜203を介して素子分離膜205が埋め込まれている。シリコン基板201の凸部の上（隣接する2つの凹部の間）には、トンネル絶縁膜207を介して例えばポリシリコンからなるフローティング

ゲート電極 209 が形成されている。電荷を蓄積する部分であるフローティングゲート電極 209 は、層間容量膜 221 によって覆われている。層間容量膜 221 は、内側から順に積層された第 1 の窒化珪素膜 211、第 1 の酸化珪素膜 213、第 2 の窒化珪素膜 215、第 2 の酸化珪素膜 217 および第 3 の窒化珪素膜 219 を有している。そして、層間容量膜 221 の上には例えばポリシリコンからなるコントロールゲート電極 223 が形成され、フラッシュメモリ 200 が構成されている。図 4 から明らかなように、第 1 の窒化珪素膜 211 は、フローティングゲート電極 209 の表面を覆うように形成されているが、素子分離膜 205 上には形成されていない。このような構造により、フラッシュメモリ 200 では、隣接するセル間での干渉、具体的には電子の移動を抑制することができ、優れたデータ保持特性を奏することができる。この点については後述する。

[0044] 次に、図 5～図 8 を参照しながら、フラッシュメモリ 200 の製造工程を説明する。図 5 は、プラズマ窒化処理の対象となるウエハ W の要部の断面構造を示している。シリコン基板 201 には、トンネル絶縁膜 207 を介してポリシリコンを主成分とするフローティングゲート電極 209 が形成されている。トンネル絶縁膜 207 およびフローティングゲート電極 209 は、既知の成膜処理、フォトリソグラフィ技術およびエッチング処理によって形成できる。

[0045] シリコン基板 201 の凹部の内面はライナー酸化珪素膜 203 で覆われ、このライナー酸化珪素膜 203 で覆われた凹部が素子分離膜 205 で埋め込まれている。素子分離膜 205 は、フラッシュメモリ 200 においてアクティブ領域とフィールド領域とを画定している。素子分離膜 205 は、例えば HDP-CVD (High Density Plasma Chemical Vapor Deposition) 法や、SOG (Spin-On-Glass) 法により二酸化珪素 (SiO_2) 膜を形成した後、希フッ酸などを用いてウエットエッチングし、エッチバックすることにより形成されている。

[0046] 次に、図 5 の状態のウエハ W (シリコン基板 201) のフローティングゲ

ート電極 209 のポリシリコンに対してプラズマ窒化処理を行う。プラズマ窒化処理によって、図 6 に示すように、窒素含有層 212 が形成される。窒素含有層 212 は、フローティングゲート電極 209 の表面と素子分離膜 205 の表面に形成される。この場合、ポリシリコンを主成分とするフローティングゲート電極 209 の表面には、窒化珪素 (SiN) の窒素含有層 212a が形成される。一方、二酸化珪素 (SiO₂) からなる素子分離膜 205 の表面には、窒化酸化珪素 (SiON) の窒素含有層 212b が形成される。窒素含有層 212 を形成するプラズマ窒化処理は、第 1 の実施の形態と同様のプラズマ処理装置を用い、第 1 の実施の形態と同様の条件で行うことができる。

[0047] 次に、窒素含有層 212b に対する選択エッチング処理を行う。図 7 は、選択エッチング処理後のウエハ W (シリコン基板 201) を示している。選択エッチング処理は、第 1 の実施の形態と同様の条件で行うことができる。選択エッチング処理によって、素子分離膜 205 表面に形成されていた窒素含有層 212b (破線で示した部分) が選択的に除去されるが、フローティングゲート電極 209 の表面の窒素含有層 212a はほとんど除去されずに残存する。この選択エッチング処理には、エッチング液 (希フッ酸) に対する、窒化珪素 (SiN) と窒化酸化珪素 (SiON) との溶解性の相違が利用される。残存した窒素含有層 212a は、フラッシュメモリ 200 において層間容量膜 221 の一部分である第 1 の窒化珪素膜 211 となる (図 4 参照)。

[0048] 選択エッチング処理の後、第 1 の窒化珪素膜 211 および素子分離膜 205 の上に、第 1 の酸化珪素膜 213、第 2 の窒化珪素膜 215、第 2 の酸化珪素膜 217 および第 3 の窒化珪素膜 219 を順次積層し、図 8 に示すように、層間容量膜 221 を形成する。第 1 の酸化珪素膜 213 は、例えば減圧 CVD 法などにより HTO (High Temperature Oxide) 膜として成膜できる。第 2 の窒化珪素膜 215 は、例えば、DCS (ジクロロシラン) を原料とする減圧 CVD 法などにより成膜できる。第 2 の酸化珪素膜 217 は、例え

ば減圧CVD法などによりHTO (High Temperature Oxide) 膜として成膜できる。第3の窒化珪素膜219は、例えばプラズマ窒化法などにより成膜できる。そして、第3の窒化珪素膜219の上に、CVD法、プラズマCVD法などによりコントロールゲート電極223を形成することにより、図4に示した構造のフラッシュメモリ200が製造される。

[0049] 次に、本発明の実施の形態による製造方法により製造されたフラッシュメモリ200の長所について、他の方法により製造された比較例のフラッシュメモリを参照しながら説明する。図9は、比較例のフラッシュメモリ300の構造を模式的に示している。フラッシュメモリ300の製造工程においては、プラズマ窒化処理の後、素子分離膜205の表面に形成された窒化酸化珪素(SiON)の窒素含有層212bを除去する工程が設けられていない。このため、フラッシュメモリ300は、層間容量膜221aが窒素含有層212の全体の上に形成されている点で、図4に示したフラッシュメモリ200と相違している。なお、図9に示したフラッシュメモリ300において、図4に示したフラッシュメモリ200と同じ構成には同一の符号を付して説明を省略する。

[0050] 残存した不必要な窒素含有層212b(窒化酸化珪素膜)は、電子の移動経路として働き、隣接するセル間で干渉を生じさせるため、フラッシュメモリ300のデータ保持特性が低下するという問題が生じる。すなわち、フラッシュメモリ300の隣接するセルで書き込み状態が異なる場合(つまり、0または1)に、フローティングゲート電極209に電荷が注入されたセルから、フローティングゲート電極209に電荷が注入されていない隣接するセルへ向け、素子分離膜205に接する窒素含有層212を介して電子が移動し、データ保持特性が低下してしまう。例えば、図9では、素子分離膜205により隔てられた二つのセルのうち、片方(左側)のセルのフローティングゲート電極209に電子が注入された書き込み状態(write; 1)とし、他方(右側)のセルのフローティングゲート電極209は、電子が注入されていない消去状態(write; 0)である。この状態で長時間放置すると、図9に

矢印で示したように、素子分離膜 205 と第 1 の酸化珪素膜 213 との間に残存した窒素含有層 212 を介して電子が書き込み状態のセルから消去状態のセルへ向けて流れ、書き込み状態 (write; 1) のセルのしきい値電圧が変化してしまう。すなわち、長時間に亘ってデータを保持できなくなってしまう。

[0051] このようなデータ保持特性の低下が生じる機構は、層間容量膜 221a のバリアハイトからも説明できる。図 10A は、比較例のフラッシュメモリ 300 におけるフローティングゲート電極 209 とコントロールゲート電極 223 との間のバンドダイアグラムを模式的に示したものである。フローティングゲート電極 209 とコントロールゲート電極 223 との間には、層間容量膜 221a 中の特に第 1 の酸化珪素膜 213 による高いバリアがあるため、電子の層間容量膜 221a を通したトンネリング、すなわち電子の漏洩は生じ難い。しかし、プラズマ窒化処理により形成された、フローティングゲート電極 209 に接する窒素含有層 212 は、比較的小さいエネルギーバンドギャップを有するため、フローティングゲート電極 209 に対して比較的低いバリアを提供するに過ぎない。このため、フローティングゲート電極 209 から窒素含有層 212 中に僅かではあるが電子が漏洩する。そして、窒素含有層 212 中の電氣的な欠陥を伝わって隣接するセルへ電子が移動していくものと考えられる。

[0052] 一方、本発明の実施の形態による製造方法により製造されたフラッシュメモリ 200 (図 4) では、素子分離膜 205 上の窒素含有層 (窒化酸化珪素膜; 図 6 の符号 212b) がエッチングによって除去されており、第 1 の酸化珪素膜 211 はフローティングゲート電極 209 の周囲で終端している。それ故、素子分離膜 205 上の窒素含有層に沿って電子が移動することがなく、隣接するセル間での干渉が防止されている。また、図 10B に示すように、フラッシュメモリ 200 においては、フローティングゲート電極 209 に対して、第 1 の酸化珪素膜 213 による高いバリアが直接に作用し、フローティングゲート電極 209 から第 1 の窒化珪素膜 213 への電子の漏洩 (

トンネリング)が十分に低減される。

[0053] 以上のように、本発明の実施の形態による製造方法によれば、隣接セル間での干渉を防止することにより優れたデータ保持特性が実現され、フラッシュメモリの信頼性を向上させることができる。

[0054] 第2の実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

[0055] 以上、本発明の実施の形態を参照しながら本発明を説明したが、本発明は上記の実施の形態に制約されることはなく、種々の変形が可能である。例えば、上記の実施の形態では、第1の窒化珪素膜(窒素含有層)を形成する工程で、RLSA方式またはICP方式のプラズマ処理装置を使用したが生成されるプラズマの電子温度がウエハ表面で0.7 eV以上2 eV以下であれば、他の方式のプラズマ処理装置を用いてもよく、例えば電子サイクロトロン共鳴(ECR)プラズマ、マグネトロンプラズマ、表面波プラズマ(SWP)等の方式のプラズマ処理装置を利用してもよい。

[0056] また、第2の実施の形態では、層間容量膜221をNONON構造としたが、これに限るものではなく、例えば内側(フローティングゲート電極側)からNONOとなる構造のフラッシュメモリの製造にも、同様に本発明を適用できる。

[0057] 本国際出願は2008年5月9日に提出された日本国特許出願2008-123561号に基づく優先権を主張するものであり、その全内容をここに援用する。

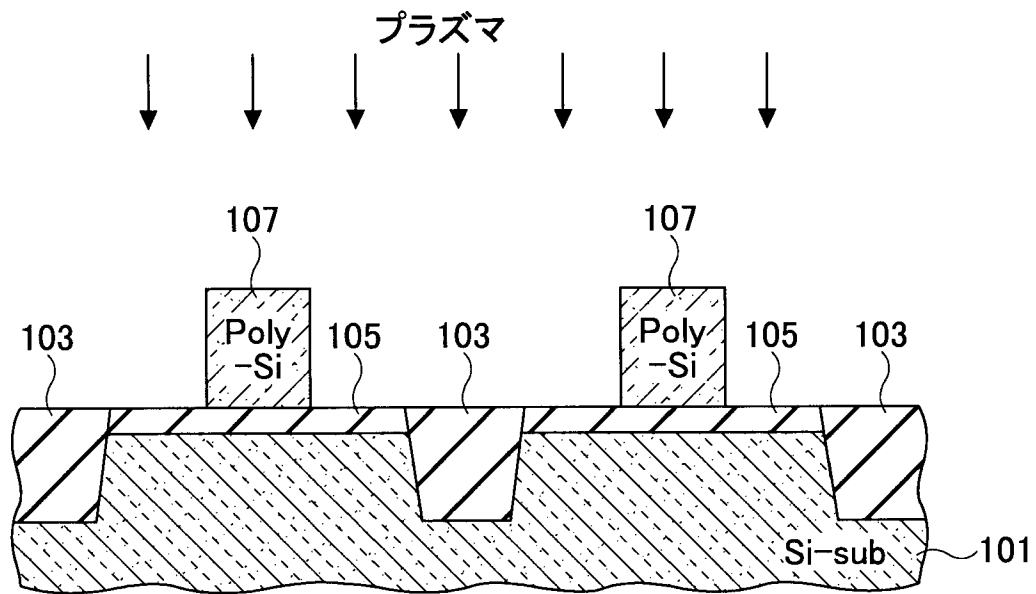
符号の説明

[0058] 101…シリコン基板、103…素子分離膜、105…絶縁膜、107…電極層、109…窒化珪素膜、111…窒化酸化珪素膜。

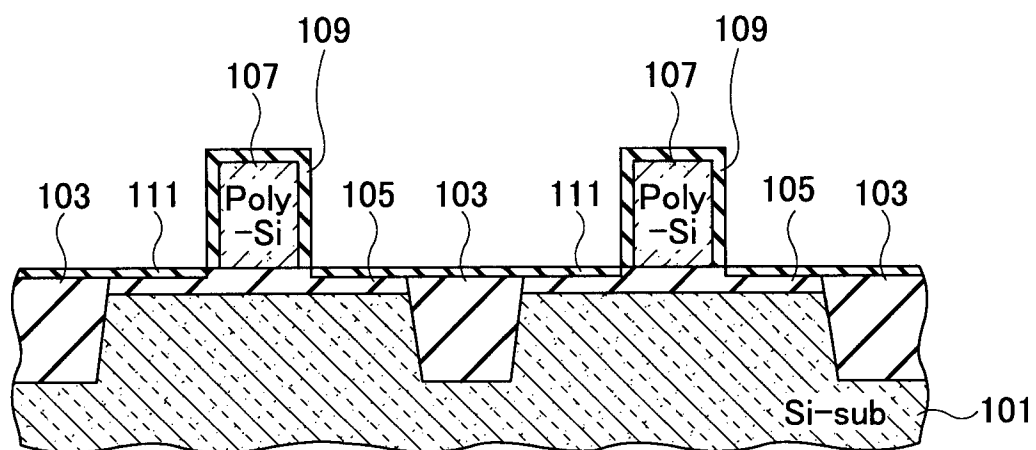
請求の範囲

- [請求項1] 酸素を含有する素子分離膜によってフィールド領域とアクティブ領域が画定され、前記アクティブ領域に、電極層と、該電極層に接して形成された窒素含有層と、を有する半導体装置の製造方法であって、
- 露出した前記電極層と露出した前記素子分離膜との表面に窒素含有プラズマが作用されて、当該電極層および当該素子分離膜それぞれの表面に窒素含有層が形成されるプラズマ窒化処理工程と、
- 前記電極層の表面に形成された窒素含有層を残しながら前記素子分離膜の表面に形成された窒素含有層が選択的に除去される選択エッチング工程と、
- を含む、半導体装置の製造方法。
- [請求項2] 前記電極層が主成分としてポリシリコンを含み、該電極層に形成された窒素含有層が窒化珪素である、請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記素子分離膜が主成分として酸化珪素を含み、該素子分離膜に形成された窒素含有層が窒化酸化珪素である、請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記選択エッチング工程において、0.07%以上1%以下の範囲の濃度を有する希フッ酸溶液を用いたウエットエッチング処理が行われる、請求項1に記載の半導体装置の製造方法。
- [請求項5] 前記プラズマ窒化処理工程において前記電極層に形成された窒素含有層中の窒素濃度が35atom%以上45atom%以下の範囲内にある、請求項1に記載の半導体装置の製造方法。
- [請求項6] 前記電極層が不揮発性メモリのフローティングゲート電極であり、前記窒化珪素膜が該フローティングゲート電極とコントロールゲート電極との間に介在する層間容量膜の一部である、請求項1に記載の半導体装置の製造方法。

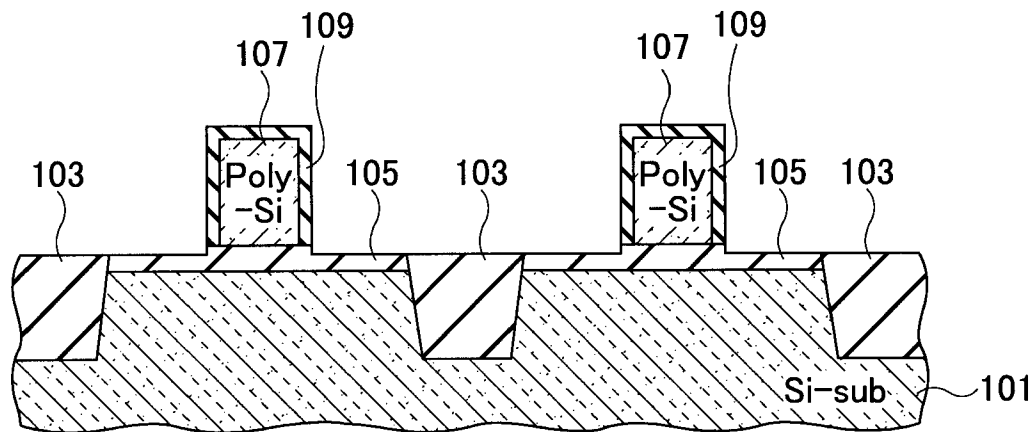
[図1A]



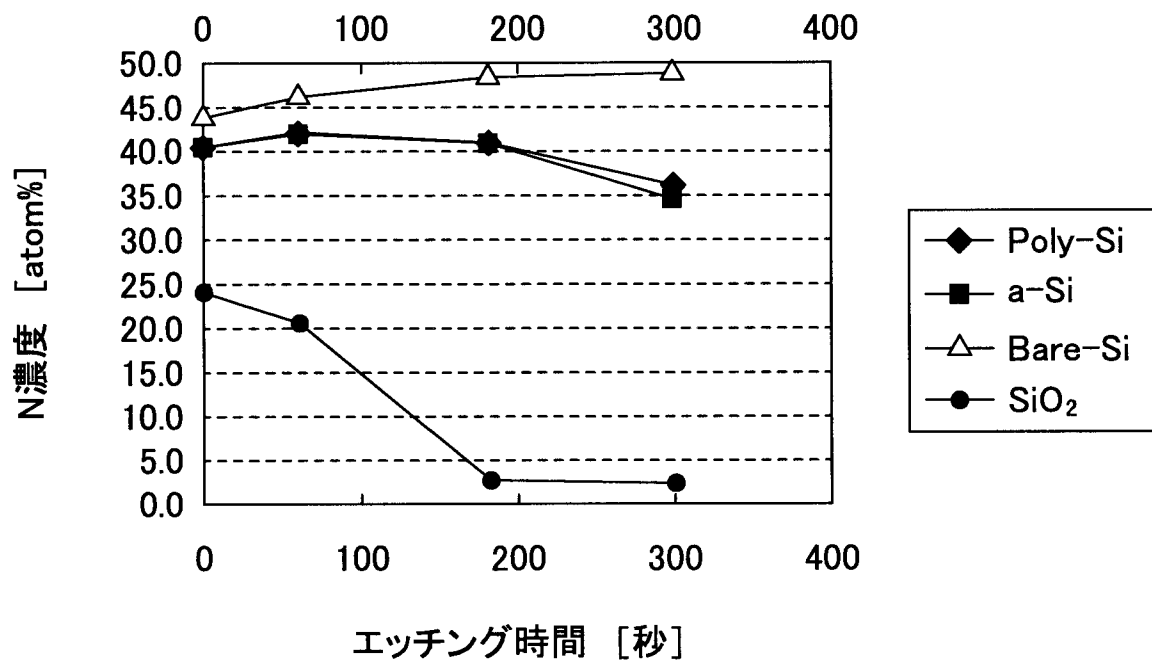
[図1B]



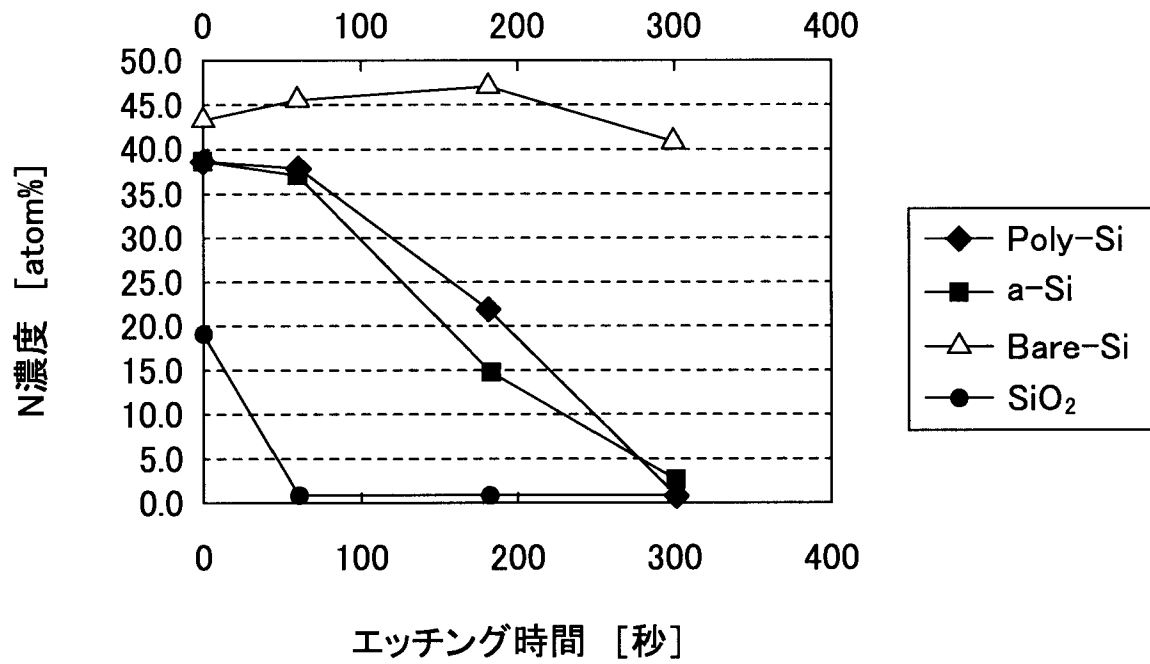
[図1C]



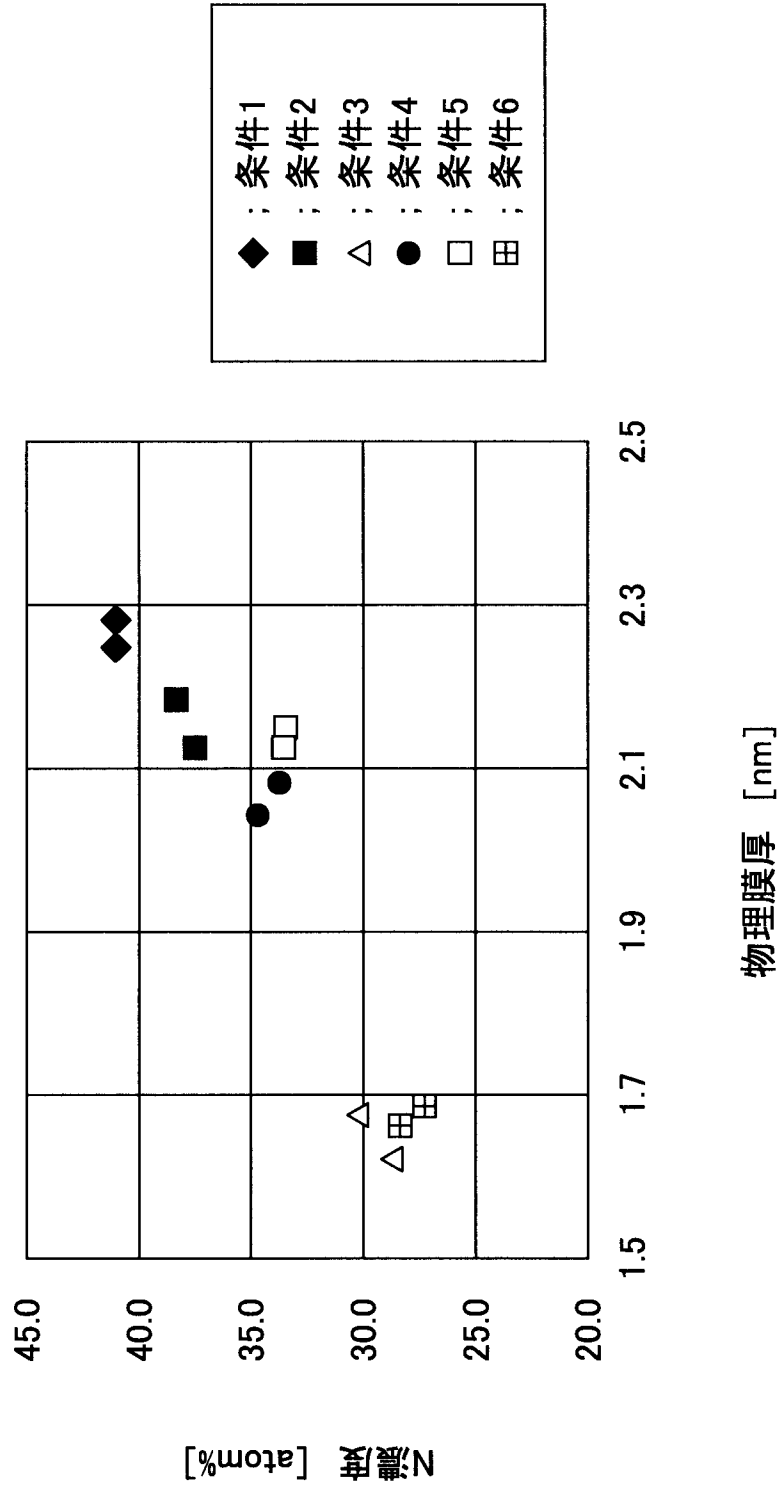
[図2A]



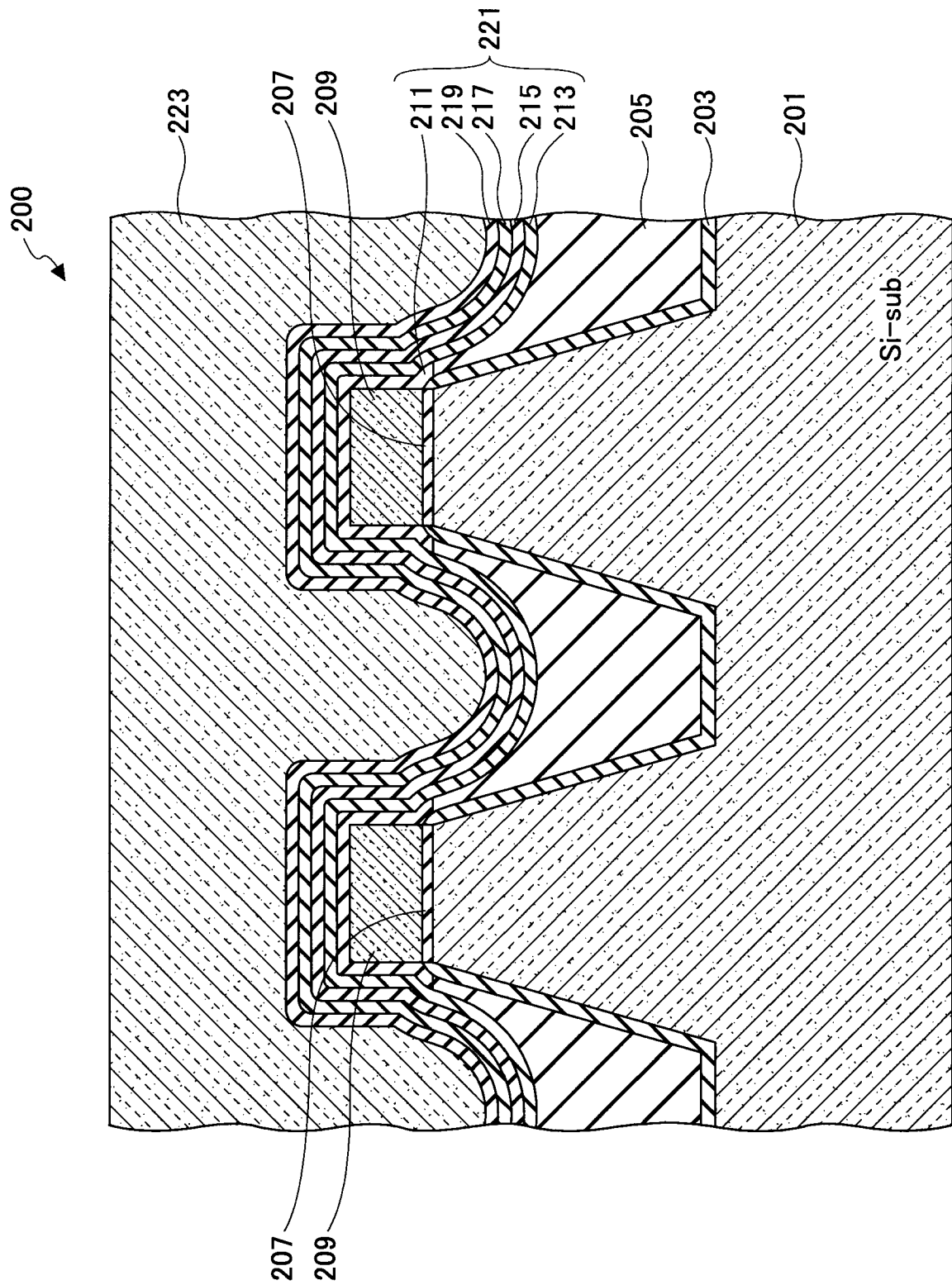
[図2B]



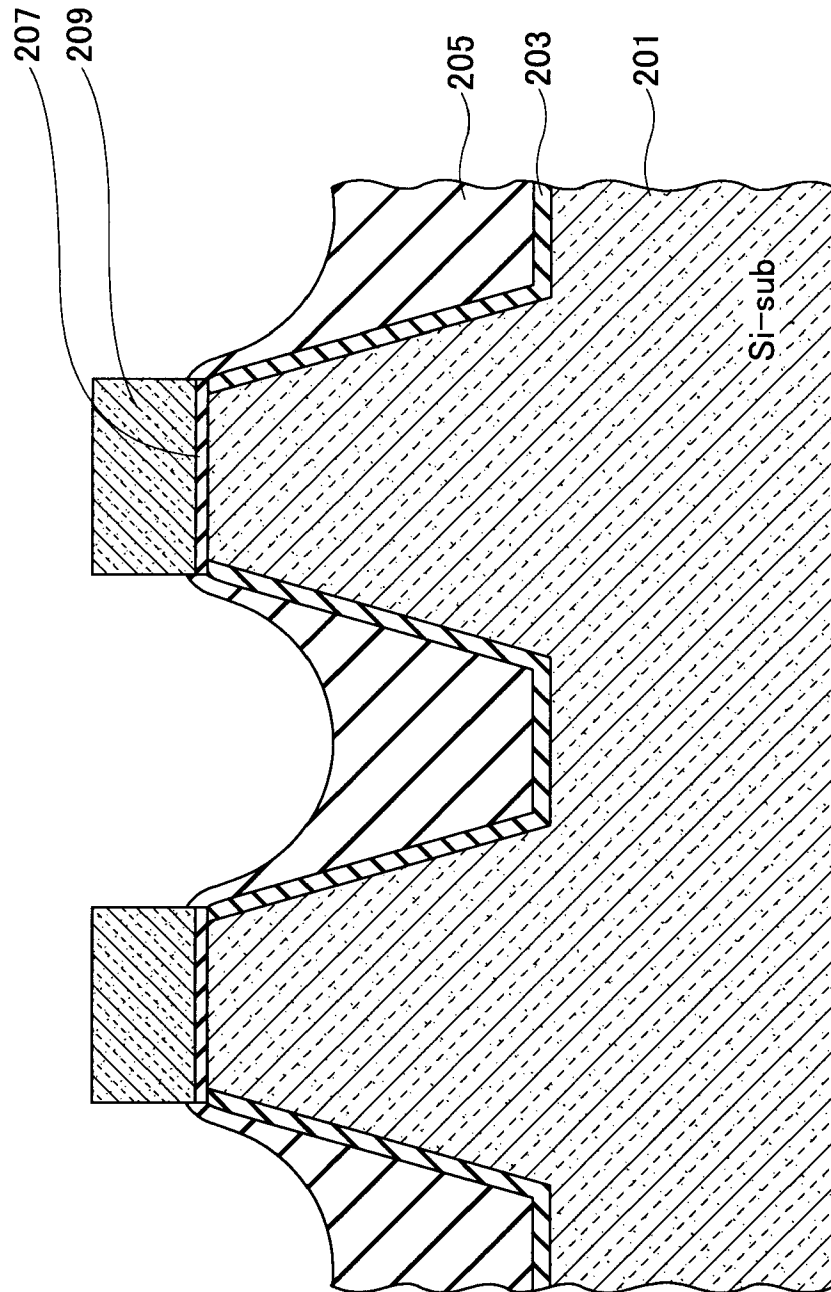
[図3]



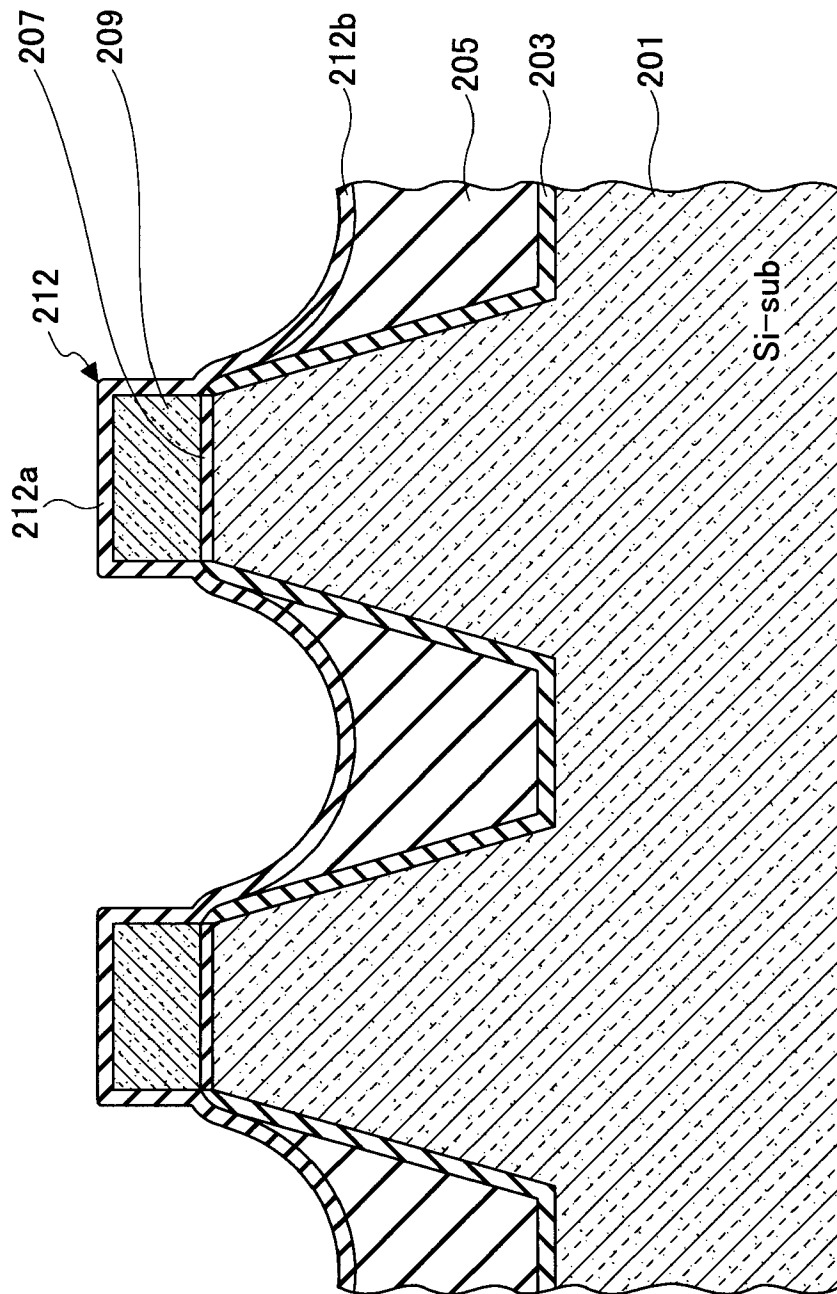
[図4]



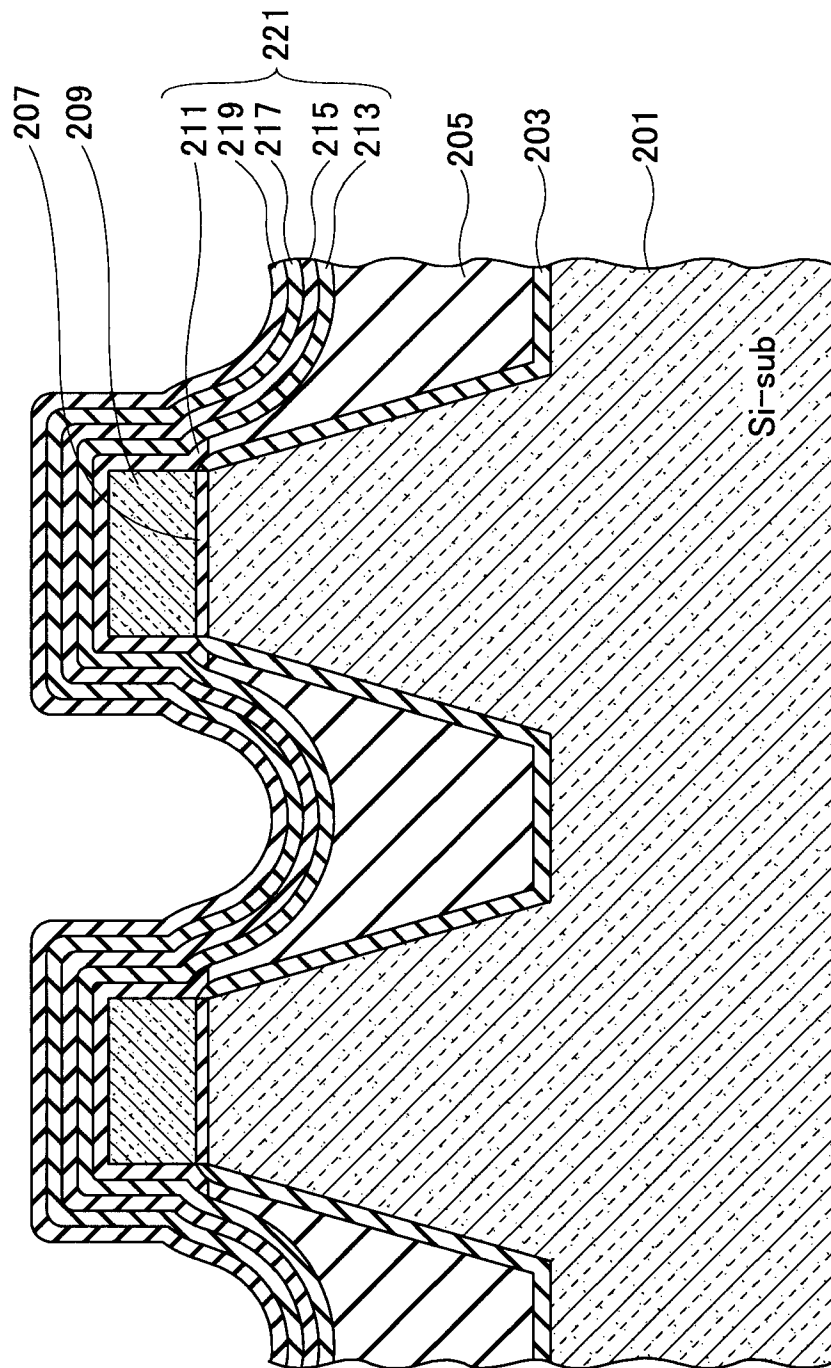
[図5]



[図6]



[図8]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/058574

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, H01L21/28(2006.01)i, H01L21/306(2006.01)i,
H01L21/318(2006.01)i, H01L27/115(2006.01)i, H01L29/423(2006.01)i,
H01L29/49(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L21/28, H01L21/306, H01L21/318, H01L27/115, H01L29/423,
H01L29/49, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-26590 A (Toshiba Corp.), 27 January, 2005 (27.01.05), Par. Nos. [0002] to [0007] & US 2005/0002231 A1 & US 2006/0054957 A1 & US 2006/0060927 A1 & KR 10-2005-0004109 A	1-6
Y	JP 2007-5696 A (Tokyo Electron Ltd.), 11 January, 2007 (11.01.07), Claim 1; Par. No. [0075] & US 2006/0166446 A1	1-6
Y	JP 2001-176839 A (Fujitsu Ltd.), 29 June, 2001 (29.06.01), Claim 2; Par. Nos. [0020], [0041] (Family: none)	4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 August, 2009 (04.08.09)

Date of mailing of the international search report
11 August, 2009 (11.08.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8247(2006.01)i, H01L21/28(2006.01)i, H01L21/306(2006.01)i, H01L21/318(2006.01)i,
H01L27/115(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/788(2006.01)i,
H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8247, H01L21/28, H01L21/306, H01L21/318, H01L27/115, H01L29/423, H01L29/49, H01L29/788,
H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-26590 A (株式会社東芝) 2005.01.27, 段落【0002】 - 【0007】 & US 2005/0002231 A1 & US 2006/0054957 A1 & US 2006/0060927 A1 & KR 10-2005-0004109 A	1-6
Y	JP 2007-5696 A (東京エレクトロン株式会社) 2007.01.11, 【請求 項 1】, 段落【0075】 & US 2006/0166446 A1	1-6
Y	JP 2001-176839 A (富士通株式会社) 2001.06.29, 【請求項 2】, 段 落【0020】, 段落【0041】 (ファミリーなし)	4

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 8 . 2 0 0 9

国際調査報告の発送日

1 1 . 0 8 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

井原 純

4 M

9 3 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2