



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201209735 A1

(43)公開日：中華民國 101 (2012) 年 03 月 01 日

(21)申請案號：100124090

(22)申請日：中華民國 100 (2011) 年 07 月 07 日

(51)Int. Cl. : G06N3/063 (2006.01)

(30)優先權：2010/07/07 美國

12/831,871

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：阿帕霖伏拉德米爾 APARIN, VLADIMIR (US)；文克塔拉曼蘇巴曼尼姆

VENKATRAMAN, SUBRAMANIAM (IN)

(74)代理人：李世章

申請實體審查：有 申請專利範圍項數：33 項 圖式數：11 共 46 頁

(54)名稱

用於具有離散級突觸和概率性 S T D P 的數位神經處理的方法和系統

METHODS AND SYSTEMS FOR DIGITAL NEURAL PROCESSING WITH DISCRETE-LEVEL
SYNAPSES AND PROBABILISTIC STDP

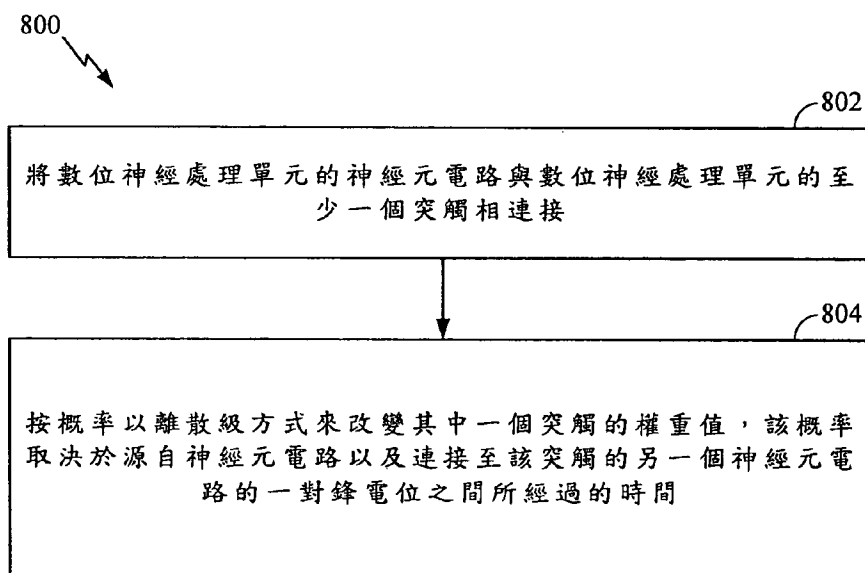
(57)摘要

本發明的某些實施例支援具有離散級突觸和概率性突觸權重訓練的數位神經處理器的實施。

800：操作

802：步驟

804：步驟





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201209735 A1

(43)公開日：中華民國 101 (2012) 年 03 月 01 日

(21)申請案號：100124090

(22)申請日：中華民國 100 (2011) 年 07 月 07 日

(51)Int. Cl. : G06N3/063 (2006.01)

(30)優先權：2010/07/07 美國

12/831,871

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：阿帕霖伏拉德米爾 APARIN, VLADIMIR (US)；文克塔拉曼蘇巴曼尼姆

VENKATRAMAN, SUBRAMANIAM (IN)

(74)代理人：李世章

申請實體審查：有 申請專利範圍項數：33 項 圖式數：11 共 46 頁

(54)名稱

用於具有離散級突觸和概率性 S T D P 的數位神經處理的方法和系統

METHODS AND SYSTEMS FOR DIGITAL NEURAL PROCESSING WITH DISCRETE-LEVEL
SYNAPSES AND PROBABILISTIC STDP

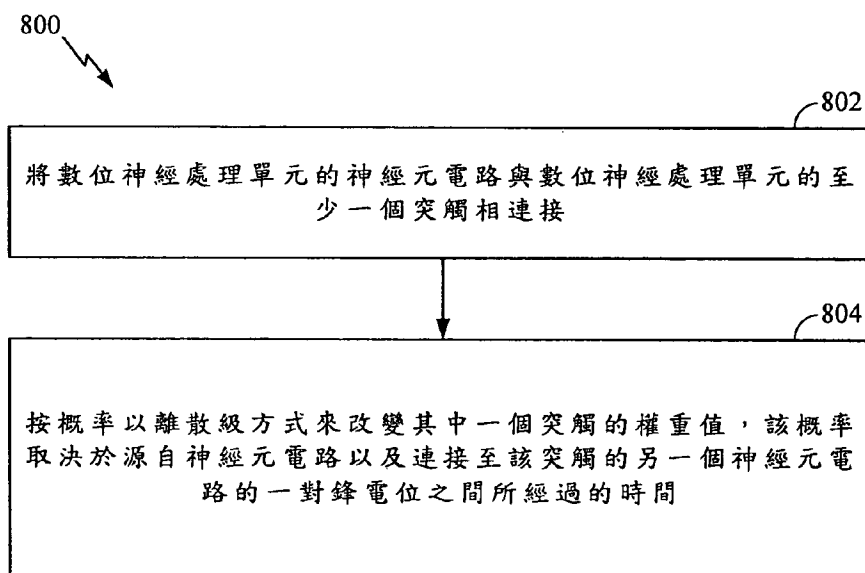
(57)摘要

本發明的某些實施例支援具有離散級突觸和概率性突觸權重訓練的數位神經處理器的實施。

800：操作

802：步驟

804：步驟



六、發明說明：

【發明所屬之技術領域】

本發明的某些實施例整體上係關於神經系統工程，且更特定言之，係關於一種用於實施具有離散級突觸和概率性突觸權重訓練的數位神經處理器的方法。

【先前技術】

連接神經系統的神經元的突觸通常僅僅展現出少量的離散強度級。例如，在海馬神經結構的 *Cornu Ammonis* (海馬角) CA3-CA1 通道中的突觸可以是雙態的或三態的。例如，在三態突觸的情況下，一個強度級可以對應於由長期抑制 (LTD) 引起的抑制狀態，另一個強度級可以對應於由長期增強 (LTP) 引起的增強狀態，並且第三個強度級可以對應於施加 LTP 或 LTD 之前存在的未受激狀態。在突觸強度的離散級之間的轉換可以以類似於切換的方式進行。

可以在類比、數位或混合信號域中實施神經形態處理器。通常使用決定性的鋒電位時序依賴型可塑性 (spike-timing-dependent plasticity, STDP) 規則來訓練突觸，此舉需要類比或多級數位記憶體，以便儲存突觸權重。此等兩種類型的記憶體中任一種皆存在技術難題。類比記憶體有較差的保持和克隆能力。其亦需要大晶粒面積以便實施 STDP 衰減。另一方面，多級數位記憶體需要大量位元，此舉導致大量的並行互連線路以便實施給定精度

的突觸權重增量。

【發明內容】

本發明的某些實施例提供了一種電路。該電路整體上包括數位神經處理單元，其具有一或多個突觸和連接至該等突觸的突觸後神經元電路，其中該一或多個突觸中的一個突觸的權重按概率以離散級來改變數值，該概率取決於在源自該突觸後神經元電路以及連接至該突觸的突觸前神經元電路的一對鋒電位（spike）之間所經過的時間。

本發明的某些實施例提供了一種用於實施數位神經處理單元的方法。該方法整體上包括：將該神經處理單元的突觸後神經元電路與該神經處理單元的至少一個突觸相連接，及按概率以離散級來改變該至少一個突觸中的一個突觸的權重值，該概率取決於在源自該突觸後神經元電路以及連接至該突觸的突觸前神經元電路的一對鋒電位之間所經過的時間。

本發明的某些實施例提供了一種用於實施數位神經處理單元的裝置。該裝置整體上包括：用於將該神經處理單元的突觸後神經元電路與該神經處理單元的至少一個突觸相連接的構件，及用於按概率以離散級來改變該至少一個突觸中的一個突觸的權重值的構件，該概率取決於在源自該突觸後神經元電路以及連接至該突觸的突觸前神經元電路的一對鋒電位之間所經過的時間。

【實施方式】

以下參考附圖更充分地描述本發明的各種實施例。然而，本發明可以以許多不同形式來實施，並且不應理解為局限於本發明通篇中提出的任何特定結構或功能。實情為，提供該等實施例以使得本發明全面完整，並且將向本領域技藝人士充分地傳達本發明的範疇。基於本文的教示，本領域技藝人士應瞭解本發明的範疇意欲覆蓋本文揭示的發明的任何實施例，不論是該實施例是獨立於本發明中任何其他實施例而實施的還是與之相結合而實施的。例如，使用本文闡述的任何數量的實施例可以實施裝置或實施方法。另外，本發明的範疇意欲覆蓋使用作為本文闡述的本發明的各種實施例的補充或替代的其他結構、功能性或結構與功能性實現的此類裝置或方法。應理解，本文揭示的發明的任何實施例皆可以由請求項的一或多個要素來實施。

本文使用用語「示例性的」意謂「充當示例、實例或說明」。本文中被描述為「示例性的」任何實施例未必解釋為對於其他實施例而言是較佳的或有優勢的。

儘管本文描述了特定實施例，但該等實施例的許多改變和置換亦屬於本發明的範疇內。儘管提及了較佳實施例的一些益處和優點，但本發明的範疇並非意欲局限於特定益處、使用或目的。實情為，本發明的實施例意欲廣泛應用於不同技術、系統配置、網路和協定，其中一些藉助於實例而在附圖和針對較佳實施例的以下描述中進行說明。該詳細描述和附圖對本發明僅僅是說明性的而非限制性

的，本發明的範疇由所附請求項及其均等物來定義。

示例性神經系統

圖 1 圖示根據本發明的某些實施例的具有多級神經元的示例性神經系統 100。神經系統 100 可以包括一級神經元 102，其經由突觸連接網路 104 連接至另一級神經元 106。為了簡明，圖 1 中僅圖示兩級神經元，儘管在典型神經系統中可以存在更多級的神經元。

如圖 1 所示，級 102 中的每一個神經元皆可以接收輸入信號 108，其可以由前一級的複數個神經元（圖 1 中未圖示）產生。信號 108 可以表示級 102 的神經元的輸入電流。可以在神經元膜上累積該電流以對膜電位進行充電。當膜電位達到其閾值時，神經元可以觸發（fire）並輸出要傳遞到下一級神經元（例如，級 106）的鋒電位。

如圖 1 所示，可以經由突觸連接網路（或者簡稱為「突觸」）104 來達成鋒電位從一級神經元到另一級神經元的傳遞。突觸 104 可以從級 102 的神經元接收輸出信號（亦即，鋒電位），根據可調整的突觸權重 $w_1^{(i,i+1)}$ 、...、 $w_P^{(i,i+1)}$ （其中 P 是在級 102 與級 106 的神經元之間的突觸連接的總數）來對彼等信號進行縮放，並將縮放後的信號組合為級 106 中每一個神經元的輸入信號。級 106 中的每一個神經元皆可以基於相應的組合輸入信號產生輸出鋒電位 110。隨後可以使用另一突觸連接網路（圖 1 中未圖示）將輸出鋒電位 110 傳遞到另一級神經元。

神經系統 100 可以由電路來模擬並可以用於大規模應用

中，諸如模式辨識、機器學習和馬達控制之類。神經系統 100 中的每一個神經元皆可以實施為神經元電路。被充電至閾值從而啟動輸出鋒電位的神經元膜可以實施為電容器，其對流過其的電流進行積分。

可以消除作為神經元電路的電流積分設備的電容器，並可以在其位置處使用憶阻器元件。該方法可以應用於神經元電路中以及將大電容器用作電流積分器的各種其他應用中。另外，可以基於憶阻器元件來實施每一個突觸 104，其中突觸權重的改變可以與憶阻器的電阻的改變相關。使用奈米特徵尺寸的憶阻器，可以充分減小神經元電路和突觸的面積，此舉可以使得超大規模神經系統硬體實施的實現切實可行。

本發明的某些實施例提供了模擬神經系統 100 的神經元及其相關聯突觸的數位神經處理單元的實施。神經處理單元的突觸權重可以包括經量化的級，且基於鋒電位時序依賴型可塑性（STDP）的權重訓練在性質上可以是概率性的。換句話說，並不是每一對突觸前與突觸後鋒電位皆會導致相應突觸的增強或抑制。例如，突觸可以僅包括三級或者甚至兩級強度（亦即，雙態（binary）突觸）。在數學上，雙態突觸可以能夠在整體上實施連續的 STDP 規則，其中個別突觸可以經受概率性的類似切換的增強或抑制。概率性 STDP 可以導致數位神經處理單元的更簡單的硬體實施。

示例性離散級突觸和概率性權重改變

在一般的決定性 STDP 中，突觸權重的改變 ΔW 可以是在突觸前鋒電位與突觸後鋒電位之間的時間差 Δt 的函數，如圖 2A 中所示的。作為替代，突觸权重改變 ΔW 可以保持為常數，同時該权重改變的概率可以是在突觸前鋒電位與突觸後鋒電位之間的時間差的函數，如圖 2B 中所示的。該方法可以稱為概率性 STDP。經由大量的鋒電位，決定性 STDP 方法和概率性 STDP 方法可以收斂至相同結果。然而，概率性 STDP 在硬體上可更易於實施。

根據被廣泛接受的一個 STDP 理論，可以根據單個突觸前/突觸後鋒電位對的兩階段型的、以指數衰減的曲線來修改個別突觸。因此，與突觸強度相關聯的離散級的假設與分級 STDP 理論相矛盾。然而，已經基於實驗發展了該理論，在該等實驗中，針對許多突觸且針對多個鋒電位對而量測了突觸改變。若以指數衰減的 LTP 和 LTD 曲線屬於突觸的整體，則就可以用由概率性（隨機）STDP 訓練的離散態突觸來實現該等曲線。個別突觸可以依據可取決於鋒電位時序的概率而經受單步增強或抑制，其中與較小時間差相比，在突觸前鋒電位與突觸後鋒電位之間的較大時間差減小了此概率。

使用前述的離散步驟的概率性 STDP，即使突觸強度是雙態的，在傳入與目標之間的完整的多突觸 (polysynaptic) 投影仍可以表達分級 STDP，儘管個別突觸可能不會。若單個突觸包括若干個強度級，則該突觸就可以在多個鋒電位對上表達分級 STDP，但在較高或較低強度級處有可能

飽和，此取決於強度級的數量。

圖 3 圖示對於不同數量的強度級（亦即，強度級數量 s 可以是 10、30、60、90 及大於 90），在許多突觸前與突觸後鋒電位對上的單個突觸強度的平均相對修正的示例性圖表 300。可以在較高突觸強度級處觀察到飽和，尤其是對於較低的強度級數量而言（例如，參見分別針對 s 等於 10 和 30 的曲線 308 和 310）。此外，可以觀察到，對於所有強度級數量，隨著在突觸前鋒電位與突觸後鋒電位之間的時間變大，突觸強度的改變可以相當大地減小。

憶阻器型突觸的基於決定性 STDP 的訓練通常可以依賴於隨時間衰減的脈衝寬度調制（PWM）信號。圖 4 圖示根據本發明的某些實施例的示例性的基於 PWM 的憶阻器型突觸的權重改變。可以觀察到，可以用隨時間衰減的 PWM 信號 402 來表示突觸前神經元的鋒電位。當在突觸後鋒電位 404 期間橫跨突觸的電壓 406 超過閾值位準 408 時，其就會導致突觸權重 410 的改變。因此，突觸權重的改變可以是在突觸前鋒電位 402 與突觸後鋒電位 404 之間的時間差的函數。

圖 5 圖示根據本發明的某些實施例的示例性的概率性突觸權重改變。可以利用在概率中衰減的恆定寬度脈衝 502，該概率可以是從突觸前鋒電位開始經過的時間的函數。當在突觸後鋒電位 504 和概率性突觸前脈衝 502 期間橫跨突觸的電壓 506 超過閾值位準 508 時，就會發生突觸權重改變 510。經由大量試驗，該概率性方法可以產生與

圖 4 所示的 PWM 方案相同的突觸權重改變。然而，來自圖 5 的概率性方案在硬體上可更易於實施。

藉由應用概率性 STDP，用於表示突觸權重的最低有效位元 (LSB) 的有效值可以減少，並且可以用更少的位元來表示突觸權重。另外，可以調整影響突觸權重的脈衝的概率 (例如，可以設定為較低值)，以便補償奈米設備在一個方向上的非線性切換。概率性 STDP 亦可以應用於學習規則，因為權重學習可以在慢速時間標度上在幾十或幾百個鋒電位上進行。

在示例性情況下，若在突觸網路中存在足夠的冗餘，亦即多個雙態設備可以組成具有任意數量的強度級的任何突觸，就可以採用具有概率性 STDP 的雙態突觸。若雙態奈米設備的切換閾值極易改變，此舉是非常似是而非的情況，則該等雙態突觸亦可以是適用的。此外，若電子設備自身中的切換是概率性的 (例如，自旋扭矩轉換 RAM (隨機存取記憶體))，則概率性 STDP 就可以用於實施概率性突觸，而無需用以產生具有以指數減小的概率的脈衝的電路。

示例性神經處理單元架構

本發明的某些實施例支援實施具有經量化的突觸權重級的數位神經處理單元，而權重訓練可以基於前述概率性 STDP。圖 6 圖示根據本發明的某些實施例的具有 8 級 (亦即，3 位元) 突觸和概率性 STDP 的神經處理單元 600 的示例性架構。

神經元 602 可以包括鋒電位產生器 604 和分別用於長期增強 (LTP) 和長期抑制 (LTD) 的兩個隨機二進位產生器電路 606 和 608。產生器電路 606-608 可以由與神經元 602 相關聯的鋒電位信號 610 重置 (觸發)，並且其可以產生二進位碼 (亦即，脈衝信號) 612-614，其所具有的邏輯「1」 (亦即，脈衝) 在規定的時間間隔中出現的概率從重置時刻起隨時間而以指數衰減。概率性脈衝信號 612 和 614 可以分別表示 LTD 和 LTP 訓練信號。此概率的衰減時間常數對於 STDP 特性的 LTP 和 LTD 部分可以是特定的 (例如，對於 LTP 和 LTD 的典型值可以分別是 $\tau_+ = 16.8 \text{ ms}$ 和 $\tau_- = 33.7 \text{ ms}$)。應注意，概率性 LTP 信號 614 可以導致連接至神經處理單元 600 的另一個突觸的另一個權重值增加一個規定離散級。

每一個突觸 616 皆可以接收突觸前鋒電位 618 和突觸前 LTP 信號 620，以及突觸後鋒電位 622 和突觸後 LTD 信號 624。由圖 6 可以觀察到，突觸後鋒電位 622 可以對應於鋒電位信號 610，並且突觸後 LTD 信號 624 可以對應於概率性二進位碼信號 612。由兩個「與」(AND) 閘 626-628 和兩個反相器 630-632 組成的邏輯可以偵測到訓練事件。當突觸前 LTP 信號 620 等於邏輯「1」，突觸後鋒電位信號 622 等於邏輯「1」且突觸前鋒電位信號 618 等於邏輯「0」時，可以偵測到 LTP 訓練事件。另一方面，當突觸後 LTD 信號 624 等於邏輯「1」，突觸前鋒電位信號 618 等於邏輯「1」且突觸後鋒電位信號 622 等於邏輯「0」時，可以偵

測到 LTD 訓練事件。

根據該邏輯，當突觸前神經元與突觸後神經元同時觸發鋒電位時（亦即，當突觸前鋒電位信號 618 與突觸後鋒電位信號 622 皆等於邏輯「1」時），可以沒有訓練發生。在獎勵調制（reward-modulated）STDP 情況下，當滿足上述條件時可以不立即進行權重訓練。作為替代，訓練事件偵測器的輸出 634 可以重置（亦即，觸發）突觸 616 的隨機產生器電路 636，其可以隨後開始產生二進位碼 638，其所具有的邏輯「1」的概率從重置時刻起隨時間以指數衰減。此概率的衰減時間常數對於獎勵調制 STDP 的資格軌跡（eligibility trace）可以是特定的。

隨機二進位產生器 636 的輸出 638 可以由末端獎勵（distal reward, DR）開信號 640 來開控，並且其可以隨後作為時脈信號 642 施加到上-下計數器（up-down counter）644，上-下計數器 644 儲存突觸 616 的當前權重值。若偵測到的訓練事件對應於 LTP（亦即，SR 鎖存器 648 的輸出 646 等於邏輯「1」），則就遞增計數器 644 的狀態。另一方面，若偵測到的訓練事件對應於 LTD（亦即，SR 鎖存器 648 的輸出 646 等於邏輯「0」），則就遞減計數器的狀態。

隨機產生器 636 的開控輸出 642 亦可以用於觸發計數器狀態到非揮發性記憶體（NVM）650 的傳遞。儲存在上-下計數器 644 中的突觸權重亦可以用作至二進位加權數位類比轉換器（DAC）電路 652 的輸入。在與連接至神經電

路 602 的輸入 656 的其他突觸的輸出電流進行求和之前，DAC 652 的輸出電流 654 可以由突觸前鋒電位信號 618 開控。

示例性隨機二進位產生器

邏輯「1」的概率以指數衰減的隨機二進位產生器 636 可以代表圖 6 所示的神經處理單元 600 的主要部分。圖 7 中圖示該產生器的一個可能的實施。隨機二進位產生器 700 可以採用基於環形振盪器 704 的隨機子產生器 702_1 - 702_4 ，環形振盪器 704 用以產生 4 位元串列二進位數，其在較新的位元中所具有的邏輯「1」的概率衰減。

每一個子產生器 702_1 - 702_4 中的環形振盪器 704 皆可以以高信號干擾和高漂移頻率來振盪，此舉可以有助於在由 D 正反器 (flip-flop) 706 以外部時脈週期 (亦即，外部時脈 708 的週期) 的固定間隔對振盪進行取樣時產生隨機二進位信號。為了降低功耗，藉由由「與非」(NAND) 閘 710 替代在環中的一個反相器，可以禁用每一個子產生器 702_1 - 702_4 中的環形振盪器 704。

可以由重置信號 712 觸發隨機產生器 700，重置信號 712 可以賦能四個子產生器 702_1 - 702_4 的四個環形振盪器 704。該重置信號亦可以重置時間計數器 714。在重置信號 710 之後的輸出 716 處的第一個輸出位元可以僅僅是第一子產生器 702_1 的輸出 718。可以作為第一子產生器 702_1 的輸出 718 與第二子產生器 702_2 的輸出 720 的「與」(AND) 函數，來獲得在輸出 716 處的第二個輸出位元，依此類推。

元

所述隨機產生器 700 的邏輯「1」的概率可以從第一個輸出位元的 0.5 衰減到第四個輸出位元的 0.0625。藉由使用子產生器 702₁-702₄ 的輸出的不同邏輯函數，可以修改該概率。「與」(AND) 閘可以減小邏輯 1 出現的概率。另一方面，「或」(OR) 閘可以增大邏輯 1 出現的概率。因此，經由兩個基本分析概率公式，可以達成特定概率的導出：

$$P(A \cdot B) = P(A) \cdot P(B), \quad (1)$$

$$P(A + B) = P(A) + P(B) - P(A) \cdot P(B). \quad (2)$$

圖 8 圖示根據本發明的某些實施例的用於實施具有離散級突觸和概率性權重訓練的數位神經處理器（諸如圖 6 的處理單元 600）的示例性操作 800。在 802 處，神經處理單元的神經元電路（例如，突觸後神經元電路 602）可以與神經處理單元的至少一個突觸（例如，突觸 616）相連接。

在 804 處，可按概率而以離散級來改變其中一個突觸的權重值，該概率取決於在源自神經元電路的鋒電位（例如，鋒電位 610）與源自連接至該突觸的另一個神經元電路（亦即，來自突觸前神經元電路）的鋒電位（例如，鋒電位 618）之間的時間。突觸後神經元電路可以包括至少一個產生器電路（例如，隨機產生器 606 和 608 中的至少一個），該至少一個產生器電路由其中一個鋒電位觸發以產生至少一個脈衝信號，每一個脈衝在規定的時間間隔內出現的概率隨時間而以指數衰減。其中一個脈衝（例如，

LTD 信號 612 的脈衝) 可以導致權重值減小。

所提出的採用離散級突觸和概率性 STDP 的數位神經形態處理器相對於採用決定性 STDP 的類比和數位實施而言可以提供若干個優勢。首先，其可以需要較少數量的突觸強度離散級：甚至兩級或三級突觸強度就足夠了。此舉可以需要在突觸記憶體中儲存較少的位元。其次，突觸的實施可以需要較少的硬體，並且因此，突觸連接會佔用較少晶粒面積。第三，由於以一位元 LTP、LTD 和鋒電位輸入代替了多位元 LTD 和 LTP 輸入，突觸可以包括比決定性數位實施中的突觸更少的輸入。更少的突觸輸入可以轉變為更易於佈線並有可能節省晶粒面積。

應注意，術語「概率性的」僅可以適用於突觸訓練而不是鋒電位信號發送。一旦以概率性方式訓練了突觸，就可以關閉訓練程序，並且神經系統可以繼續以決定性方式操作以避免不明確的行為。

示例性模擬結果

可以執行模擬以顯示決定性 STDP 和以數位方式實施的概率性 STDP 可以收斂到相同的結果。圖 9(a)-圖 9(b)圖示根據本發明的某些實施例的具有模擬中使用的突觸的示例性神經元 900。神經元 902₁-902₃ 可以例如以 5 Hz 的平均觸發速率提供隨機鋒電位，並且神經元 904₁-904₂ 可以與受測試的突觸 906 相連接。

在圖 9(a)所示的實驗中，神經元 904₁-904₂ 皆可以連接至同一突觸前神經元 902₂，其中突觸後神經元 904₂ 可以經由

突觸 908 與突觸前神經元 902_2 相連接，其同具有與突觸 908 相同權重的突觸 910 相比具有 5 ms 延遲。因此，神經元 904_1 - 904_2 可以接收相關聯的鋒電位，並且突觸 906 可以由於 STDP 而增強。另一方面，在圖 9(b)中所示的實驗中，經由突觸 914 和 916 而傳遞到神經元 912_1 - 912_2 的輸入可以是相互完全隨機的，因此可以預期突觸 918 的權重值或者保持大約相同的值或者受到降低。

圖 10A-圖 10B 圖示在應用決定性 STDP 時模擬的圖 9(a)-圖 9(b)的前述實驗的結果 1000。可以觀察到，突觸 906 和 918 可以按預期增強。使用概率性 STDP 規則重複相同的實驗，並且在圖 11A-圖 11B 中圖示相應的模擬結果 1100。現在對權重改變進行量化，並且權重改變僅能夠按概率而在一部分鋒電位上發生，該概率由在突觸前鋒電位時間與突觸後鋒電位時間之間的時間差提供。可以由圖 11A-圖 11B 觀察到，突觸 906 和 918 的最終權重值可以非常接近於使用決定性 STDP 規則獲得的圖 10A-圖 10B 中提供的最終權重值。

上述方法的各個操作可以由能夠執行相應功能的任何適合的構件來執行。該構件可以包括各種硬體及/或軟體組件及/或模組，包括但不限於，電路、特殊應用積體電路（ASIC）或處理器。通常，在附圖中圖示操作的情況下，彼等操作就會具有採用類似編號的相應配對的手段功能組件。例如，圖 8 中圖示的操作 800 對應於圖 8A 中圖示的組件 800A。

本文使用的術語「決定」包含各種動作。例如，「決定」可以包括演算、計算、處理、推導、調查、檢視（例如，在表、資料庫或另一個資料結構中檢視）、查明等。此外，「決定」可以包括接收（例如，接收資訊）、存取（例如，存取記憶體中的資料）等。此外，「決定」可以包括解決、選擇、挑選、確立等。

本文使用的稱為項目列表中的「至少一個」的用語代表彼等項目的任何組合，包括單個成員。作為實例，「 a 、 b 或 c 中的至少一個」意欲涵蓋： a 、 b 、 c 、 $a-b$ 、 $a-c$ 、 $b-c$ 和 $a-b-c$ 。

可以用通用處理器、數位信號處理器（DSP）、特殊應用積體電路（ASIC）、現場可程式閘陣列（FPGA）信號或其他可程式邏輯設備（PLD）、個別閘門或電晶體邏輯、個別硬體組件或者被設計為執行本文所述功能的其任何組合，來實施或執行結合本發明所描述的各種說明性的邏輯區塊、模組和電路。通用處理器可以是微處理器，但是或者，該處理器亦可以是任何市售的處理器、控制器、微控制器或者狀態機。處理器亦可以實施為計算設備的組合，例如，DSP和微處理器的組合、複數個微處理器的組合、一或多個微處理器與DSP核心的組合或者任何其他此種配置。

結合本發明所描述的方法或者演算法的步驟可直接實施為硬體、由處理器執行的軟體模組或兩者的組合。軟體模組可以常駐於本領域中已知的任何形式的儲存媒體

中。可以使用的一些儲存媒體的實例包括隨機存取記憶體 (RAM)、唯讀記憶體 (ROM)、快閃記憶體、EPROM 記憶體、EEPROM 記憶體、暫存器、硬碟、可移除磁碟、CD-ROM 等等。軟體模組可以包括單個指令或者多個指令，並可以分佈在若干個不同程式碼區段中、在不同程式中以及跨越多個儲存媒體。儲存媒體可耦合至處理器，使得處理器能夠從該儲存媒體讀取資訊且可向該儲存媒體寫入資訊。或者，儲存媒體可以整合到處理器中。

本文揭示的方法包括用於達成所述方法的一或多個步驟或動作。在不脫離請求項的範疇的情況下，方法的步驟及/或動作可以彼此互換。換句話說，除非指明了步驟或動作的特定順序，否則在不脫離請求項的範疇的情況下，可以修改特定步驟及/或動作的順序及/或使用。

述及之功能可以在硬體、軟體、韌體或其任何組合中實施。若在軟體中實施，則該等功能可以作為一或多個指令儲存在電腦可讀取媒體上。儲存媒體可以是可由電腦存取的任何可用媒體。舉例而言（但並非限制），此種電腦可讀取媒體可以包括 RAM、ROM、EEPROM、CD-ROM 或其他光碟儲存、磁碟儲存或其他磁性儲存設備或者可用於以指令或資料結構的形式攜帶或儲存預期程式碼並且可由電腦存取的任何其他媒體。本文使用的磁碟（disk）和光碟（disc）包括壓縮光碟（CD）、雷射光碟、光碟、數位多功能光碟（DVD）、軟碟和藍光[®]光碟，其中磁碟常常以磁性方式再現資料，而光碟用雷射以光學方式來再現資

料。

因此，某些實施例可以包括用於執行本文提出的操作的電腦程式產品。例如，此種電腦程式產品可以包括其上儲存（及/或編碼）了指令的電腦可讀取媒體，該等指令可以由一或多個處理器執行，以執行本文述及之操作。對於某些實施例，電腦程式產品可以包括封裝材料。

軟體或指令亦可以經由傳輸媒體發送。例如，若使用同軸電纜、光纖電纜、雙絞線、數位用戶線路（DSL）或諸如紅外、無線電和微波的無線技術將軟體從網站、伺服器或其他遠端源進行發送，則同軸電纜、光纖電纜、雙絞線、DSL 或諸如紅外、無線電和微波的無線技術包括在傳輸媒體的定義中。

此外，應瞭解，在適用的情況下，可以由使用者終端及/或基地台來下載及/或以其他方式獲取用於執行本文述及之方法和技術的模組及/或其他適當的構件。例如，可以將此種設備耦合到伺服器以促進對用於執行本文所述方法的構件的傳送。或者，可以經由儲存構件（例如：RAM、ROM、諸如壓縮光碟（CD）或軟碟的實體儲存媒體等）來提供本文述及之各種方法，以使得在將該儲存構件耦合或提供到該設備後，使用者終端及/或基地台可以獲取該等各種方法。此外，可以採用用於將本文述及之方法和技術提供給設備的任何其他合適的技術。

應當理解，請求項不局限於上述的精確的配置和組件。在不脫離請求項的範疇的情況下，可以在上述方法和裝置

的佈置、操作和細節中進行各種修改、變化和改變。

儘管前述內容針對本發明的實施例，但在不脫離其基本範疇的情況下可以設計出本發明的其他及進一步的實施例，並且其範疇是由以下請求項來決定的。

【圖式簡單說明】

因此，可以詳細理解本發明的上述特徵的方式，即上文簡要概述之本發明之更特定描述可參照實施例進行，在附圖中圖示其中一些實施例。然而，應注意，附圖僅僅圖示本發明的某些典型的實施例，從而不應被認為是限制其範圍，因為本描述可允許其他等效的實施例。

圖 1 圖示根據本發明的某些實施例的示例性神經系統。

圖 2 圖示根據本發明的某些實施例的決定性和概率性突觸權重改變的實例。

圖 3 圖示根據本發明的某些實施例的對於不同數量的強度級，在複數個突觸前與突觸後鋒電位對上的突觸強度的平均相對修正的實例。

圖 4 圖示根據本發明的某些實施例的示例性脈衝寬度調制（PWM）的突觸權重改變。

圖 5 圖示根據本發明的某些實施例的示例性概率性突觸權重改變。

圖 6 圖示根據本發明的某些實施例的具有離散級突觸和概率性權重訓練的神經處理單元的示例性方塊圖。

圖 7 圖示根據本發明的某些實施例的隨機二進位產生器

的示例性方塊圖，其中邏輯「1」的概率以指數衰減。

圖 8 圖示根據本發明的某些實施例的用於實施具有離散級突觸和概率性權重訓練的神經處理器的示例性操作。

圖 8A 圖示能夠執行圖 8 中所示操作的示例性組件。

圖 9(a)-圖 9(b)圖示根據本發明的某些實施例的用於模擬的神經元和突觸的示例性配置。

圖 10A-圖 10B 圖示根據本發明的某些實施例的決定性突觸權重訓練的示例性模擬結果。

圖 11A-圖 11B 圖示根據本發明的某些實施例的概率性突觸權重訓練的示例性模擬結果。

【主要元件符號說明】

100	神經系統
102	一級神經元
104	突觸連接網路
106	另一級神經元
108 ₁	輸入信號
108 ₂	輸入信號
108 _N	輸入信號
110 ₁	輸出鋒電位
110 ₂	輸出鋒電位
110 _M	輸出鋒電位
300	圖表
308	曲線

310	曲線
402	PWM 信號/突觸前鋒電位
404	突觸後鋒電位
406	橫跨突觸的電壓
408	閾值位準
410	突觸權重
502	寬度脈衝/概率性突觸前脈衝
504	突觸後鋒電位
506	橫跨突觸的電壓
508	閾值位準
510	突觸權重改變
600	神經處理單元
602	神經元
604	鋒電位產生器
606	隨機二進位產生器電路
608	隨機二進位產生器電路
610	鋒電位信號
612	二進位碼/概率性脈衝信號
614	二進位碼/概率性脈衝信號
616	突觸
618	突觸前鋒電位
620	突觸前 LTP 信號
622	突觸後鋒電位
624	突觸後 LTD 信號

626	與 閘
628	與 閘
630	反 相 器
632	反 相 器
634	輸 出
636	隨 機 產 生 器 電 路
638	二 進 位 碼 / 輸 出
640	末 端 獎 勵 閘 信 號
642	時 脈 信 號 / 閘 控 輸 出
644	上 - 下 計 數 器
646	輸 出
648	SR 鎖 存 器
650	非 揮 發 性 記 憶 體 (NVM)
652	數 位 類 比 轉 換 器 (DAC)
654	輸 出 電 流
656	輸 入
800A	組 件
700	隨 機 二 進 位 產 生 器
702 ₁	隨 機 子 產 生 器
702 ₂	隨 機 子 產 生 器
702 ₃	隨 機 子 產 生 器
702 ₄	隨 機 子 產 生 器
704	環 形 振 盪 器
706	D 正 反 器

708	外 部 時 脈
710	與 非 閘
712	重 置 信 號
714	時 間 計 數 器
716	輸 出
718	輸 出
720	輸 出
800	操 作
802	步 驟
804	步 驟
902 ₁	神 經 元
902 ₂	神 經 元
902 ₃	神 經 元
904 ₁	神 經 元
904 ₂	神 經 元
912 ₁	神 經 元
912 ₂	神 經 元
906	突 觸
908	突 觸
910	突 觸
914	突 觸
916	突 觸
918	突 觸
1000	結 果

1100

模 擬 結 果

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：100124090

※ 申請日期：100 年 7 月 7 日

※IPC 分類：

G06N 3/063 (2006.01)

一、發明名稱：(中文/英文)

用於具有離散級突觸和概率性 STDP 的數位神經處理的方法和系統
/METHODS AND SYSTEMS FOR DIGITAL NEURAL PROCESSING
WITH DISCRETE-LEVEL SYNAPSES AND PROBABILISTIC STDP

○ 二、中文發明摘要：

本發明的某些實施例支援具有離散級突觸和概率性突觸權重訓練的數位神經處理器的實施。

三、英文發明摘要：

Certain embodiments of the present disclosure support implementation of a digital neural processor with discrete-level synapses and probabilistic synapse weight training.

○

七、申請專利範圍：

1. 一種電路，包括：

一數位神經處理單元，其具有一或多個突觸和連接至該一或多個突觸的一突觸後神經元電路，

其中該一或多個突觸中的一個突觸的一權重按一概率以離散級來改變一數值，該概率取決於在源自該突觸後神經元電路以及連接至該突觸的一突觸前神經元電路的一對鋒電位之間所經過的一時間。

2. 如請求項 1 之電路，其中該概率作為該所經過的時間的一函數而以指數衰減。

3. 如請求項 1 之電路，其中該突觸後神經元電路進一步包括：

至少一個產生器電路，其由該等鋒電位中的一個觸發，以產生至少一個脈衝信號，其中每一個脈衝在一規定的時間間隔內出現的一概率隨時間而以指數衰減。

4. 如請求項 3 之電路，其中該等脈衝中的一個脈衝導致該權重值減小。

5. 如請求項 3 之電路，其中該等脈衝中的一個脈衝導致連接至該神經處理單元的另一個突觸的另一個權重值增

加一規定的離散級。

6. 如請求項 3 之電路，其中該等產生器電路中的每一個皆包括環形振盪器。

7. 如請求項 1 之電路，其中該突觸進一步包括：
一產生器電路，其至少部分地由該等鋒電位中的一個觸發，以產生一脈衝信號，其中每一個脈衝在一規定的時間間隔內出現的一概率隨時間而以指數衰減。

8. 如請求項 7 之電路，其中該等脈衝中的一個脈衝和一閘信號導致該權重值增加。

9. 如請求項 7 之電路，其中該等脈衝中的一個脈衝和一閘信號導致該權重值減小。

10. 如請求項 7 之電路，其中該產生器電路包括環形振盪器。

11. 如請求項 1 之電路，其中該突觸進一步包括：
一數位類比轉換電路，其由該等鋒電位中的一個閘控，產生被輸入到該突觸後神經元電路中的一電流，該電流的一值基於該突觸的該權重值。

12. 一種用於實施一數位神經處理單元的方法，包括以下步驟：

將該神經處理單元的一突觸後神經元電路與該神經處理單元的至少一個突觸相連接；及

按一概率以離散級來改變該至少一個突觸中的一個突觸的一權重值，該概率取決於在源自該突觸後神經元電路以及連接至該突觸的一突觸前神經元電路的一對鋒電位之間所經過的一時間。

13. 如請求項 12 之方法，其中該概率作為該所經過的時間的一函數而以指數衰減。

14. 如請求項 12 之方法，進一步包括以下步驟：

由該等鋒電位中的一個觸發在該突觸後神經元電路中的至少一個產生器電路，以開始產生至少一個脈衝信號，其中每一個脈衝在一規定的時間間隔內出現的一概率隨時間而以指數衰減。

15. 如請求項 14 之方法，其中該等脈衝中的一個脈衝導致該權重值減小。

16. 如請求項 14 之方法，其中該等脈衝中的一個脈衝導致連接至該神經處理單元的另一個突觸的另一個權重值增加一規定的離散級。

17. 如請求項 14 之方法，其中該等產生器電路中的每一個皆包括環形振盪器。

18. 如請求項 12 之方法，進一步包括以下步驟：

至少部分地由該等鋒電位中的一個觸發該突觸中的一產生器電路，以開始產生一脈衝信號，其中每一個脈衝在一規定的時間間隔內出現的一概率隨時間而以指數衰減。

19. 如請求項 18 之方法，其中該等脈衝中的一個脈衝和一開信號導致該權重值增加。

20. 如請求項 18 之方法，其中該等脈衝中的一個脈衝和一開信號導致該權重值減小。

21. 如請求項 18 之方法，其中該產生器電路包括環形振盪器。

22. 如請求項 12 之方法，進一步包括以下步驟：

由該突觸中的一數位類比轉換電路產生要輸入到該突觸後神經元電路中的一電流，其中該電流的一值基於該突觸的該權重值，該數位類比轉換電路由該等鋒電位中的一個開控。

23. 一種用於實施一數位神經處理單元的裝置，包括：
用於將該神經處理單元的一突觸後神經元電路與該神經處理單元的至少一個突觸相連接的構件；及
用於按一概率以離散級來改變該至少一個突觸中的一個突觸的一權重值的構件，該概率取決於在源自該突觸後神經元電路以及連接至該突觸的一突觸前神經元電路的一對鋒電位之間所經過的一時間。

24. 如請求項 23 之裝置，其中該概率作為該所經過的時間的一函數而以指數衰減。

25. 如請求項 23 之裝置，進一步包括：
用於由該等鋒電位中的一個觸發在該突觸後神經元電路中的至少一個產生器電路，以開始產生至少一個脈衝信號的構件，其中每一個脈衝在一規定的時間間隔內出現的一概率隨時間而以指數衰減。

26. 如請求項 25 之裝置，其中該等脈衝中的一個脈衝導致該權重值減小。

27. 如請求項 25 之裝置，其中該等脈衝中的一個脈衝導致連接至該神經處理單元的另一個突觸的另一個權重值增加一規定的離散級。

28. 如請求項 25 之裝置，其中每一個該等產生器電路皆包括環形振盪器。

29. 如請求項 23 之裝置，進一步包括：

用於至少部分地由該等鋒電位中的一個觸發該突觸中的一產生器電路以開始產生一脈衝信號的構件，其中每一個脈衝在一規定的時間間隔內出現的一概率隨時間而以指數衰減。

30. 如請求項 29 之裝置，其中該等脈衝中的一個脈衝和一閘信號導致該權重值增加。

31. 如請求項 29 之裝置，其中該等脈衝中的一個脈衝和一閘信號導致該權重值減小。

32. 如請求項 29 之裝置，其中該產生器電路包括環形振盪器。

33. 如請求項 23 之裝置，進一步包括：

用於由該突觸中的一數位類比轉換電路來產生要輸入到該突觸後神經元電路中的一電流的構件，其中該電流的一值基於該突觸的該權重值，該數位類比轉換電路由該等鋒電位中的一個閘控。

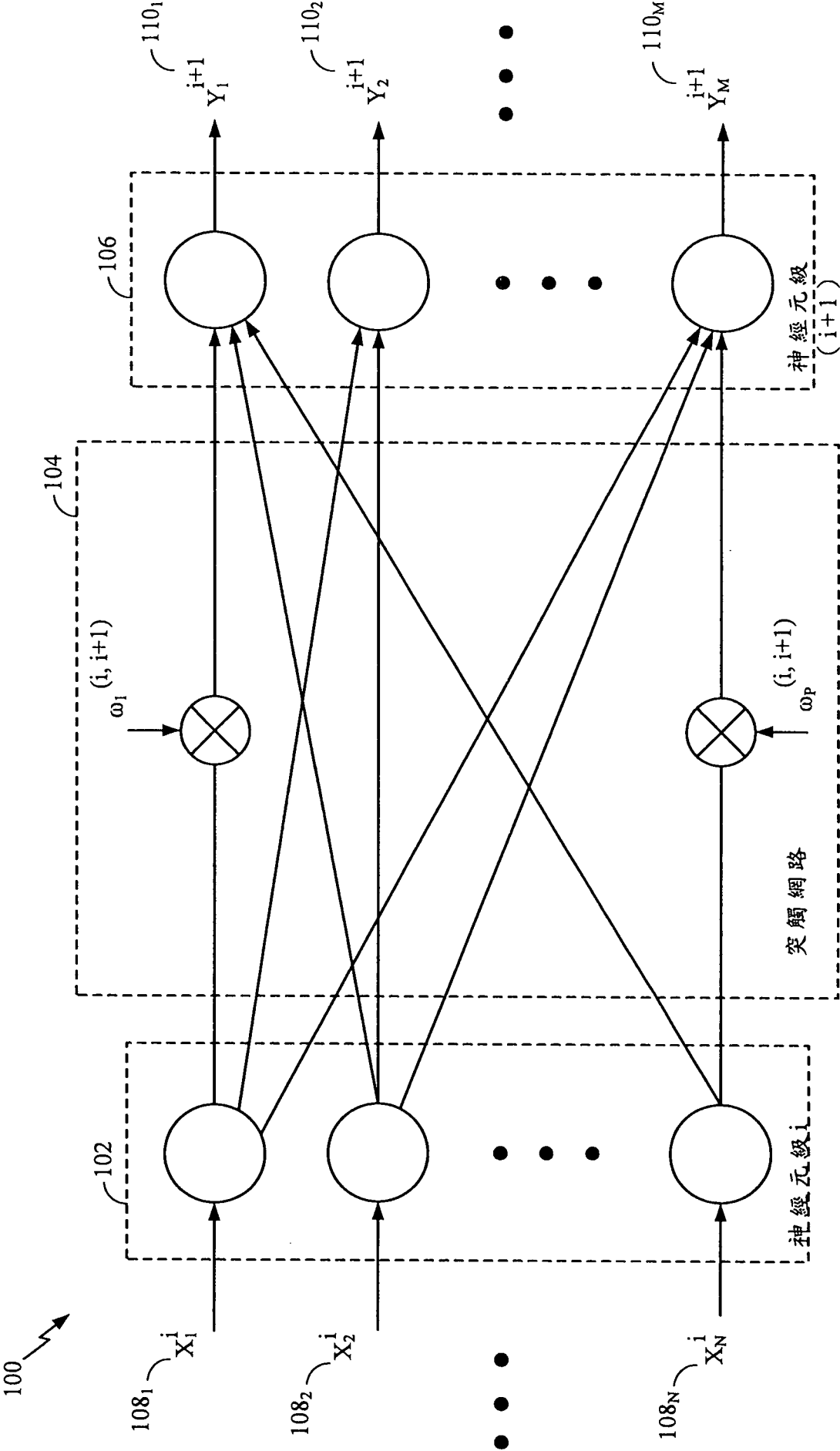


圖 1

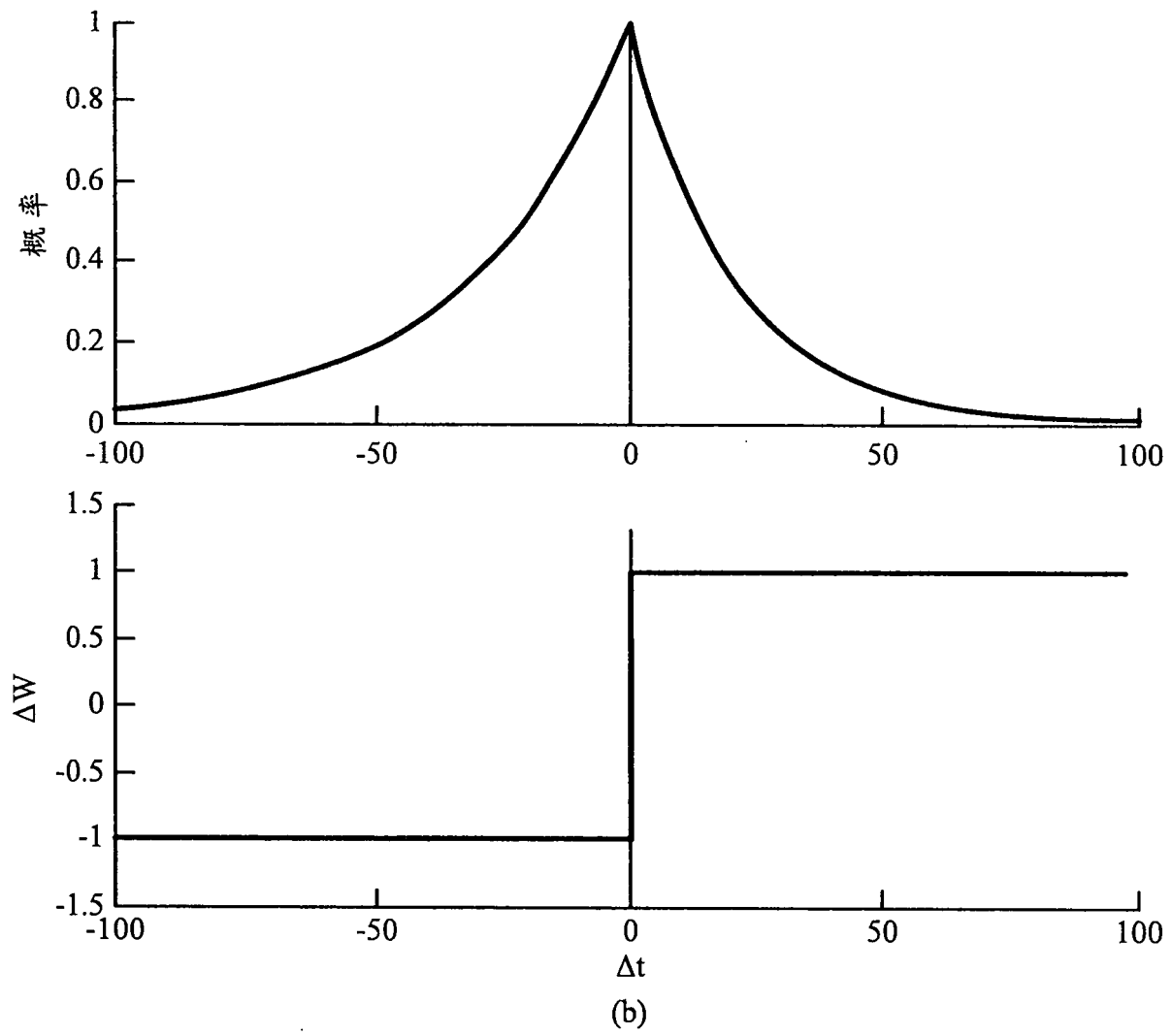
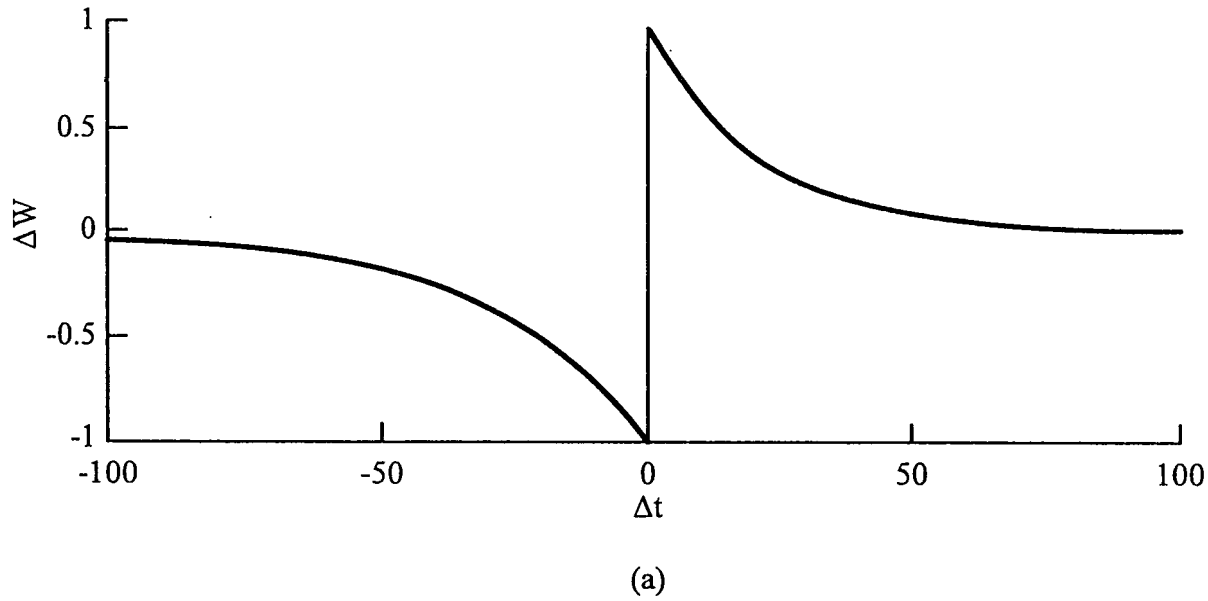


圖 2

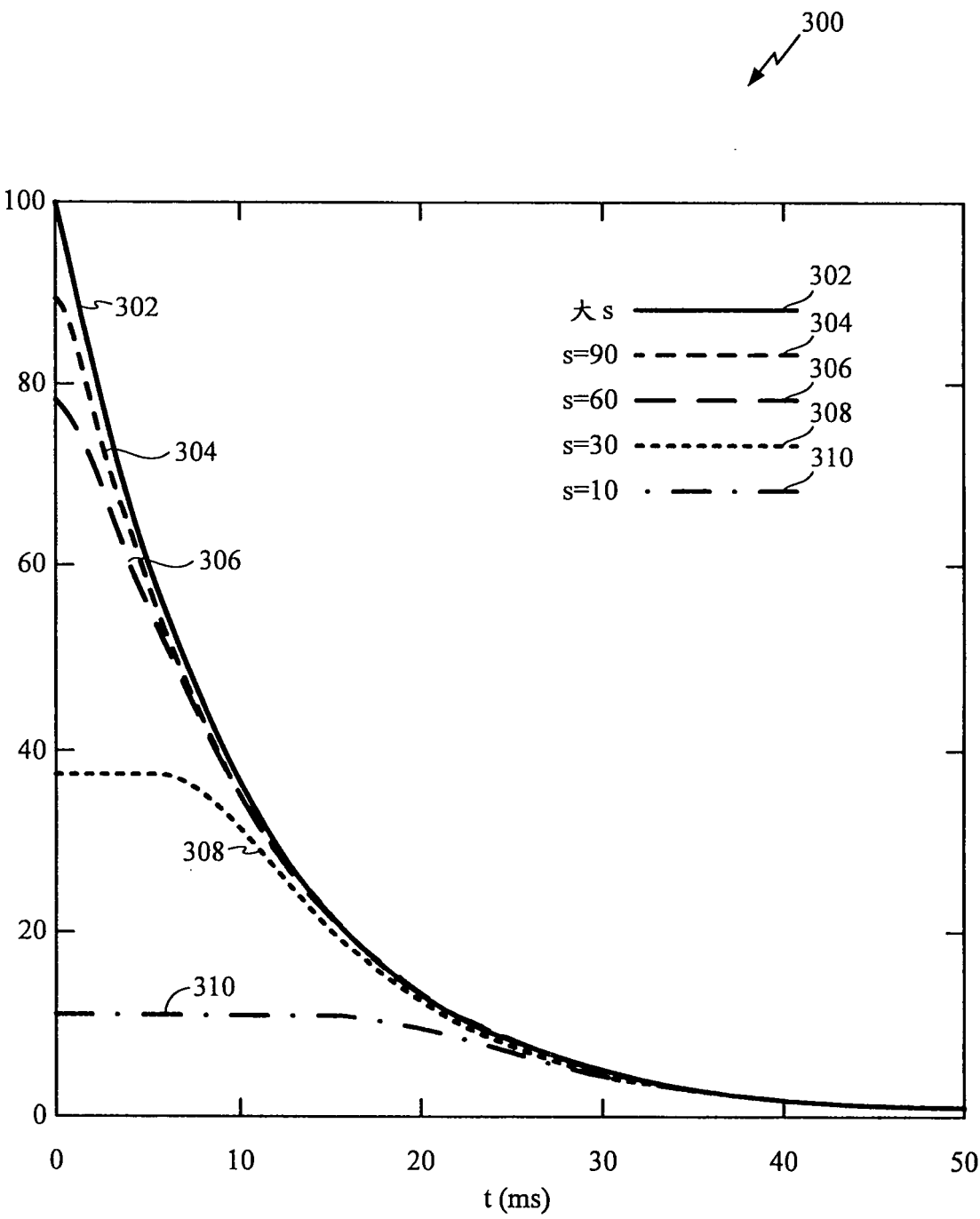


圖 3

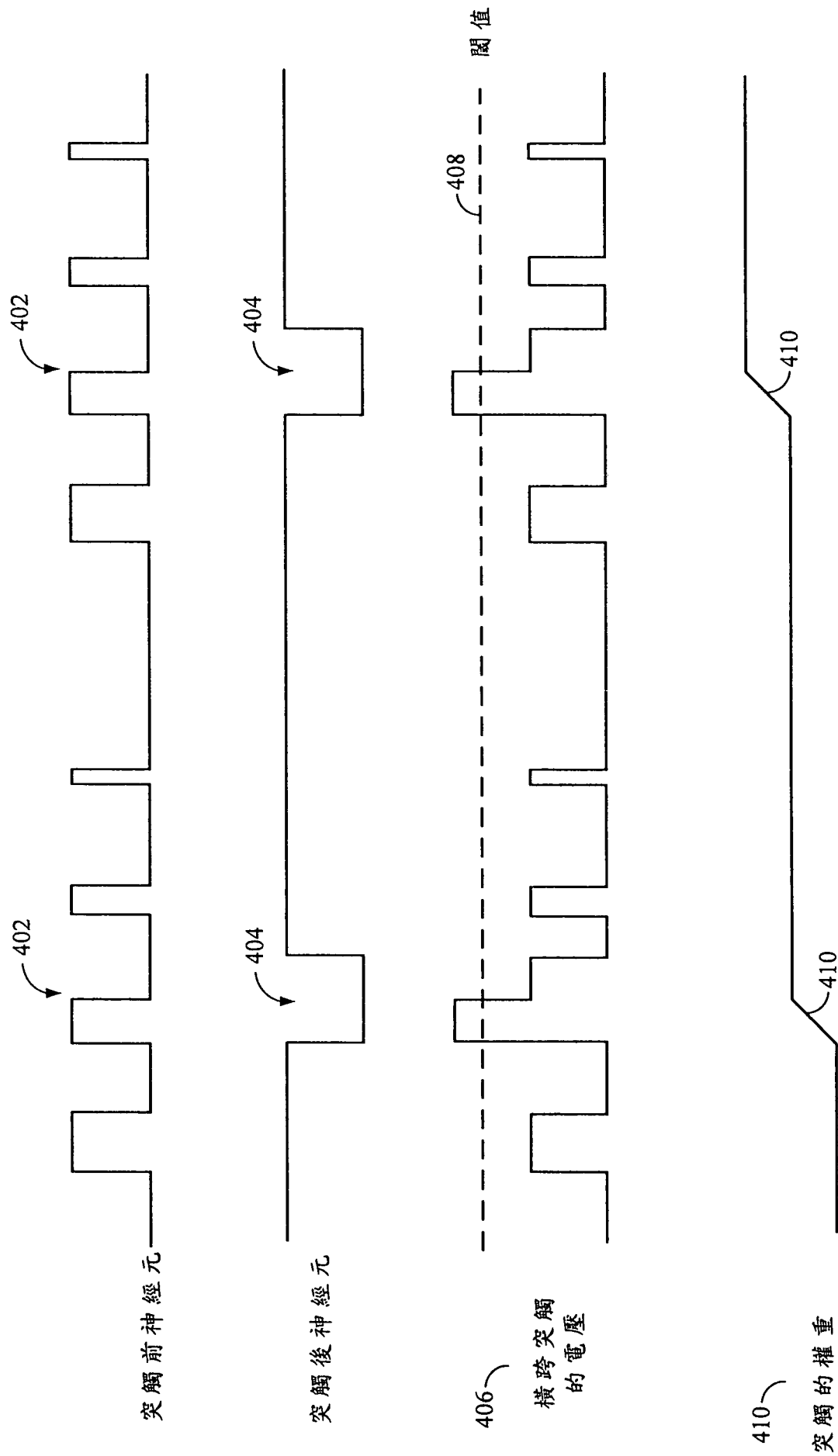


圖 4

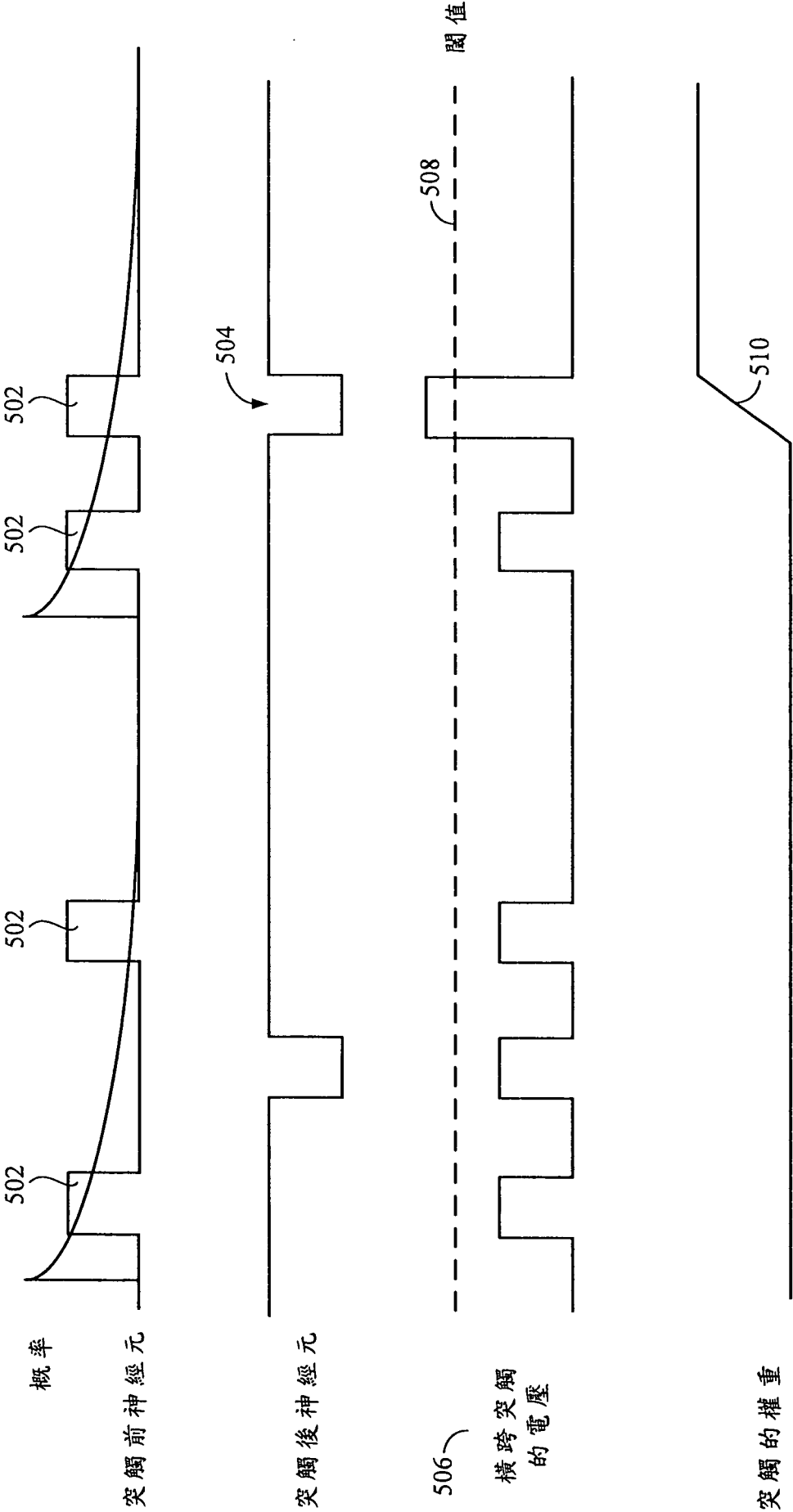
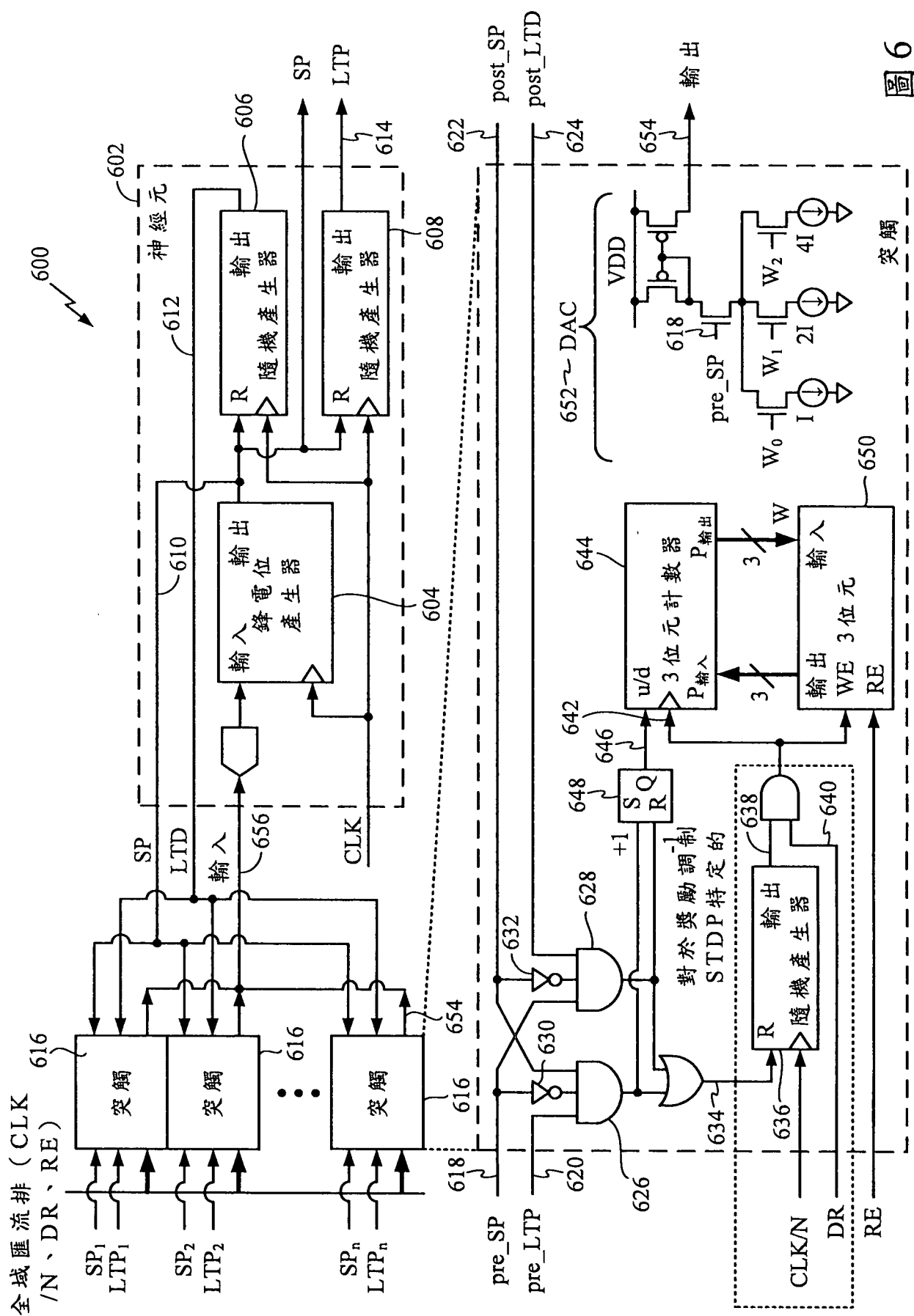


圖 5



9
回

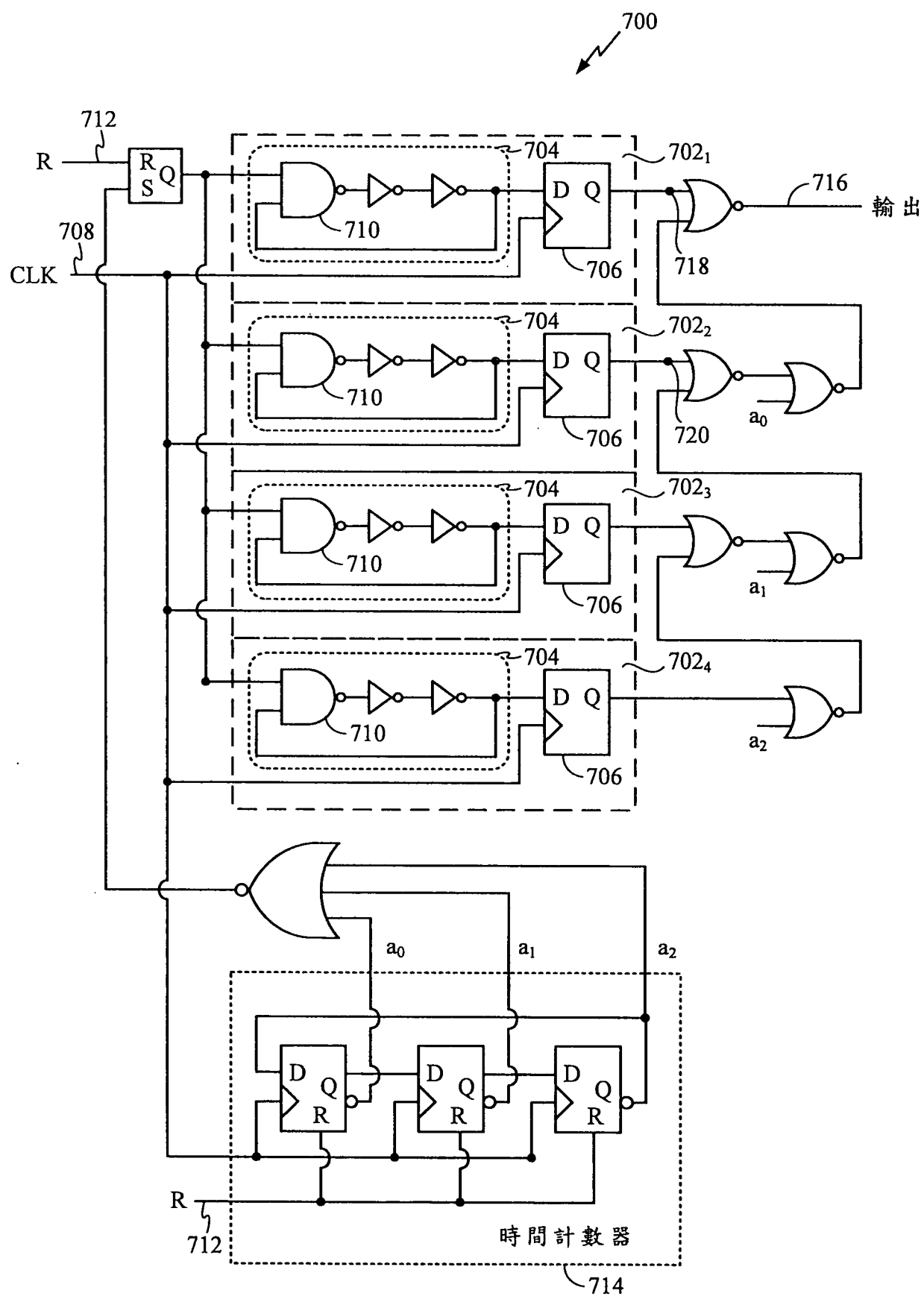


圖 7

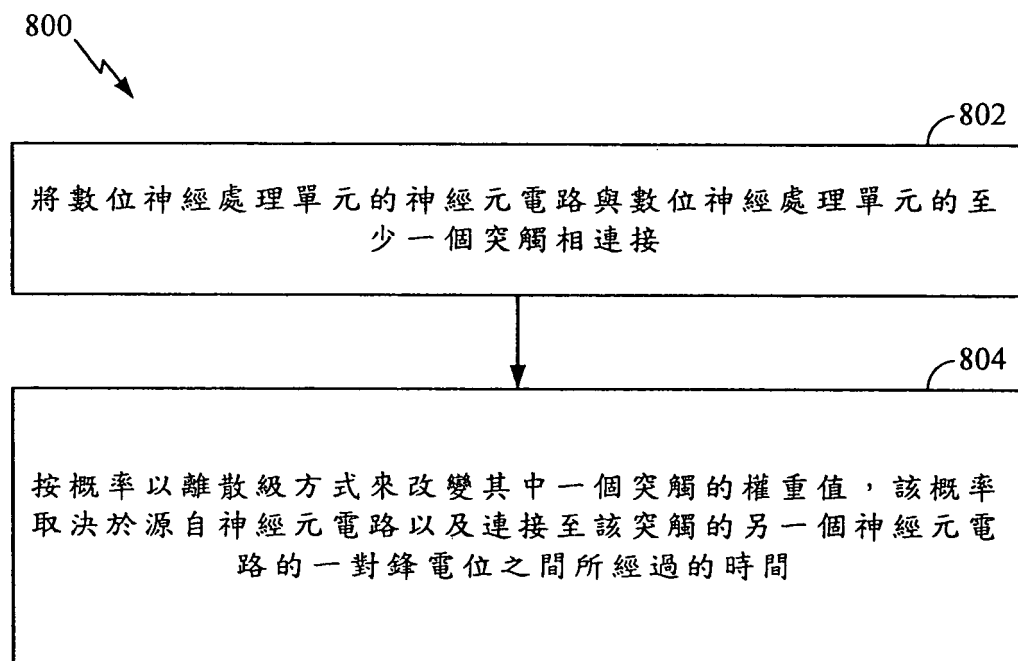


圖 8

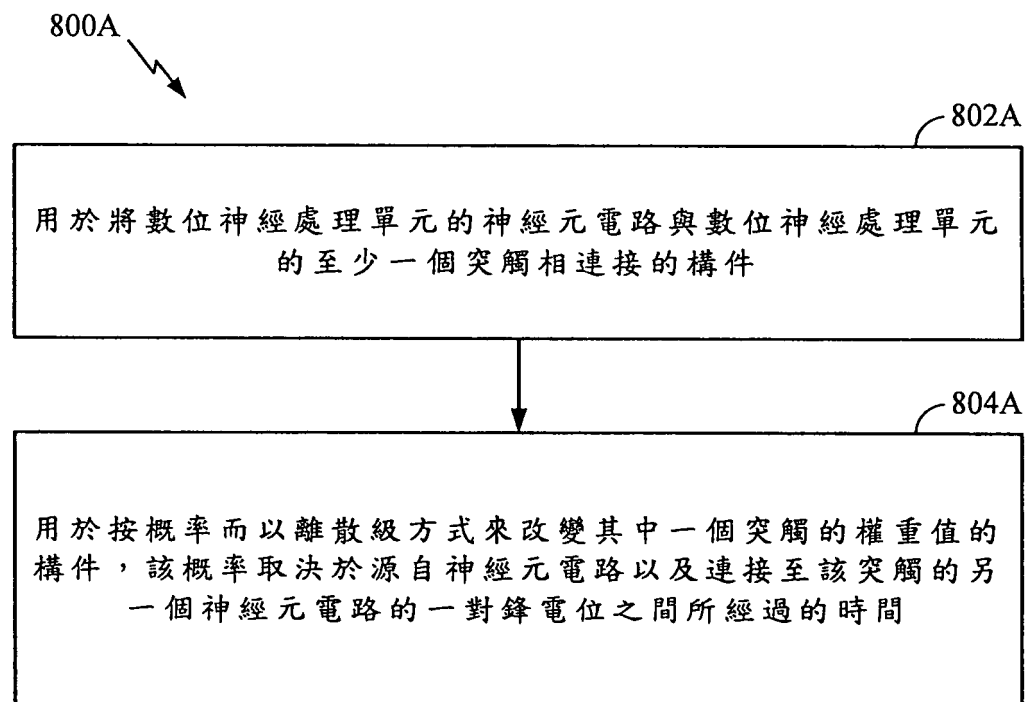


圖 8A

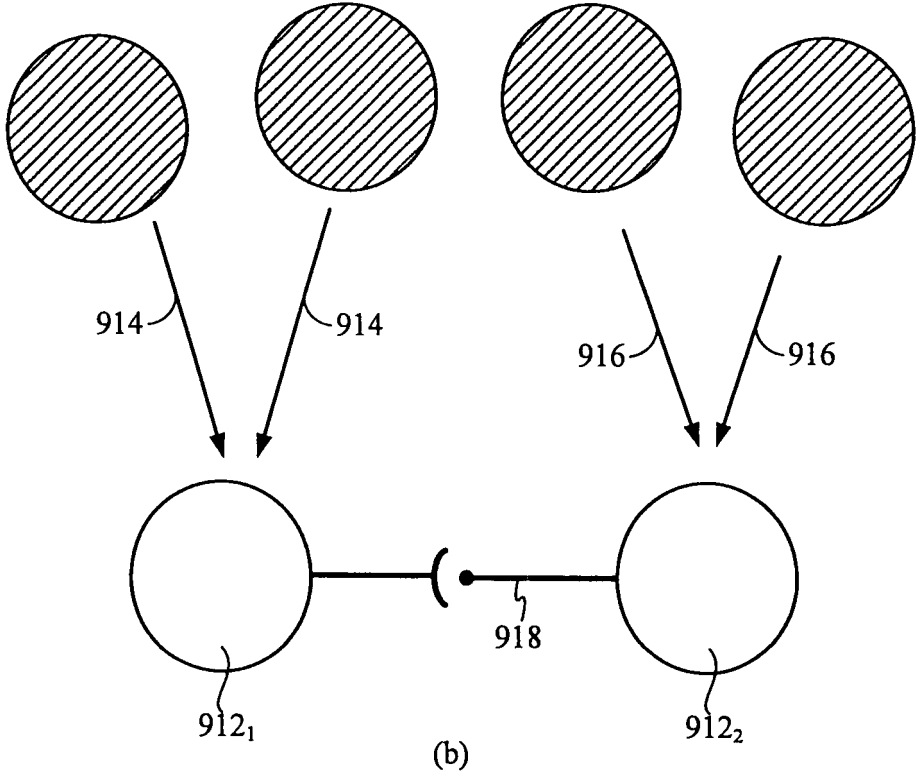
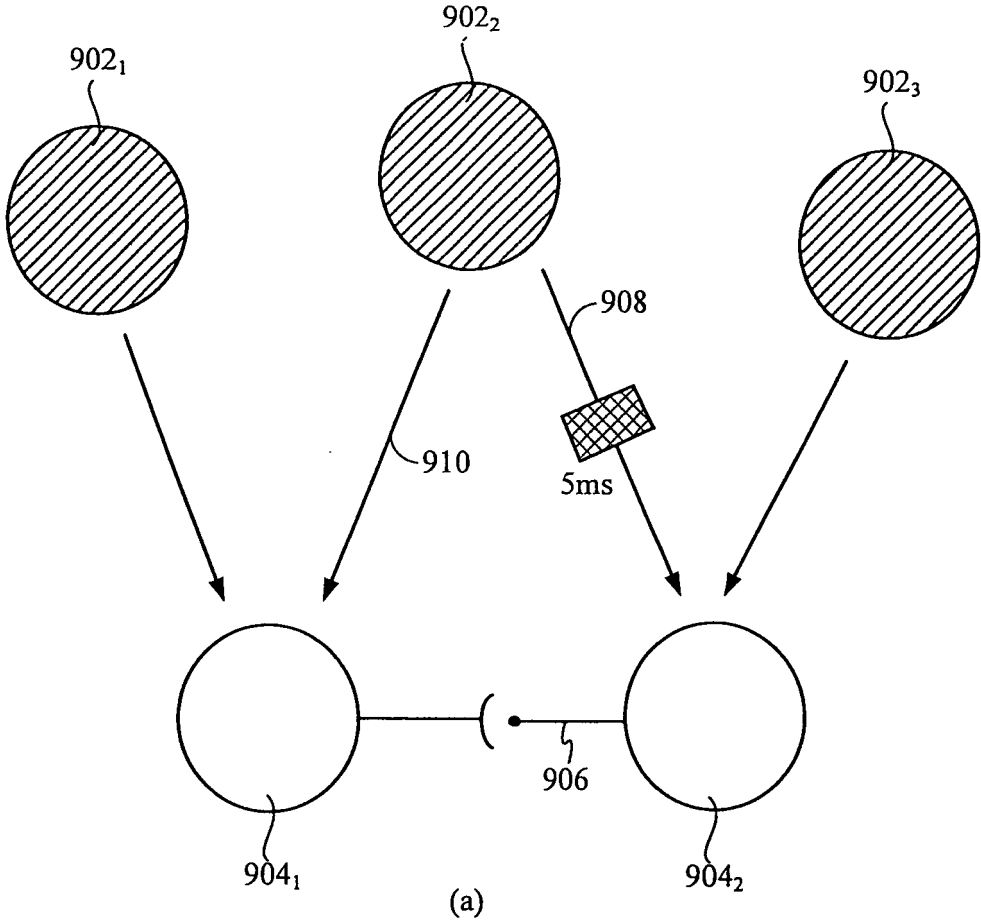


圖 9

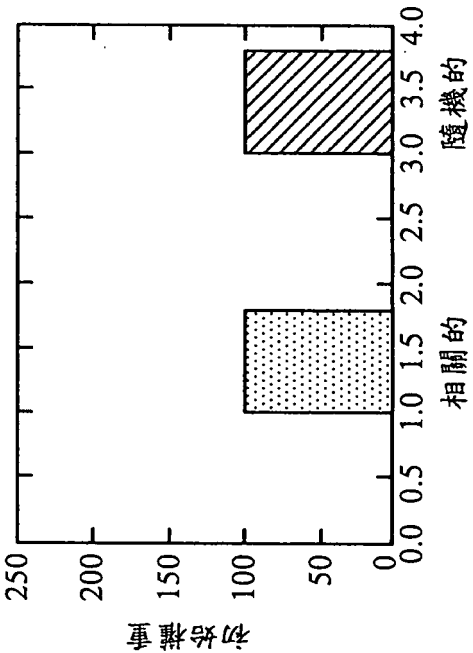
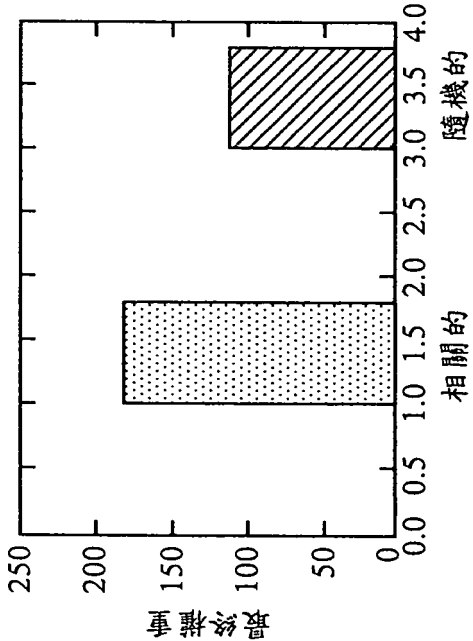
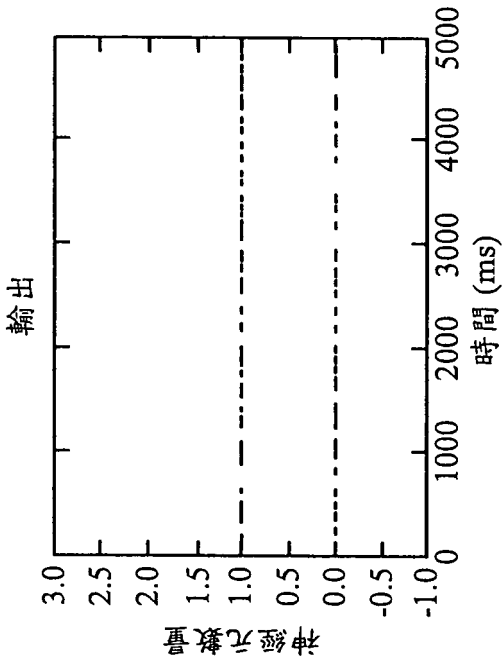
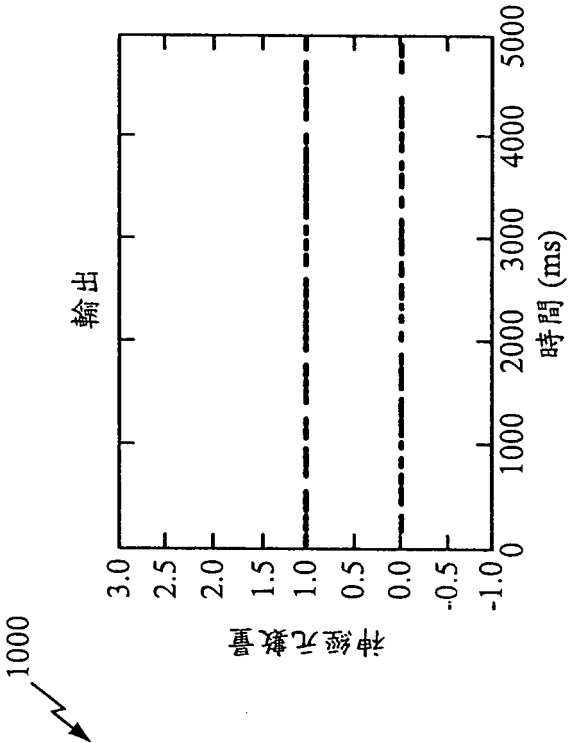


圖 10A

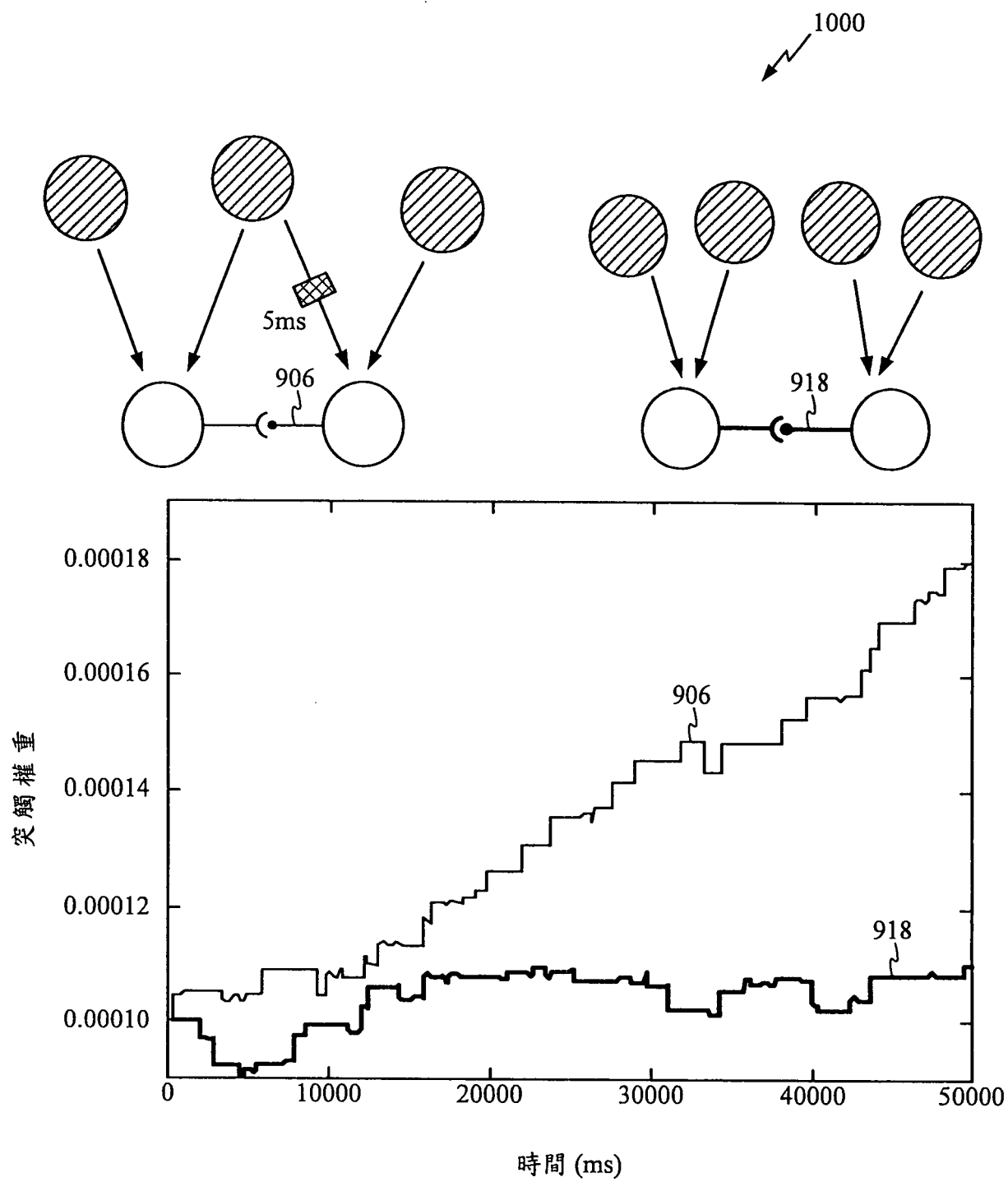


圖 10B

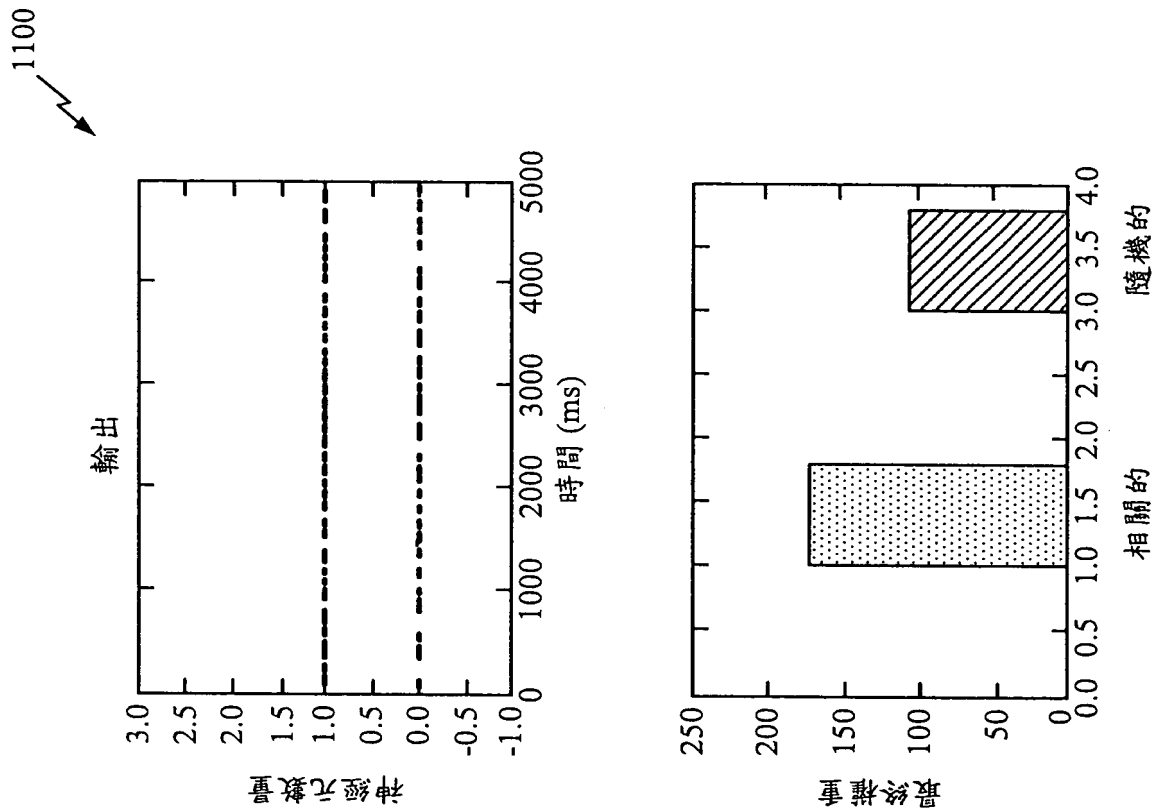


圖 11A

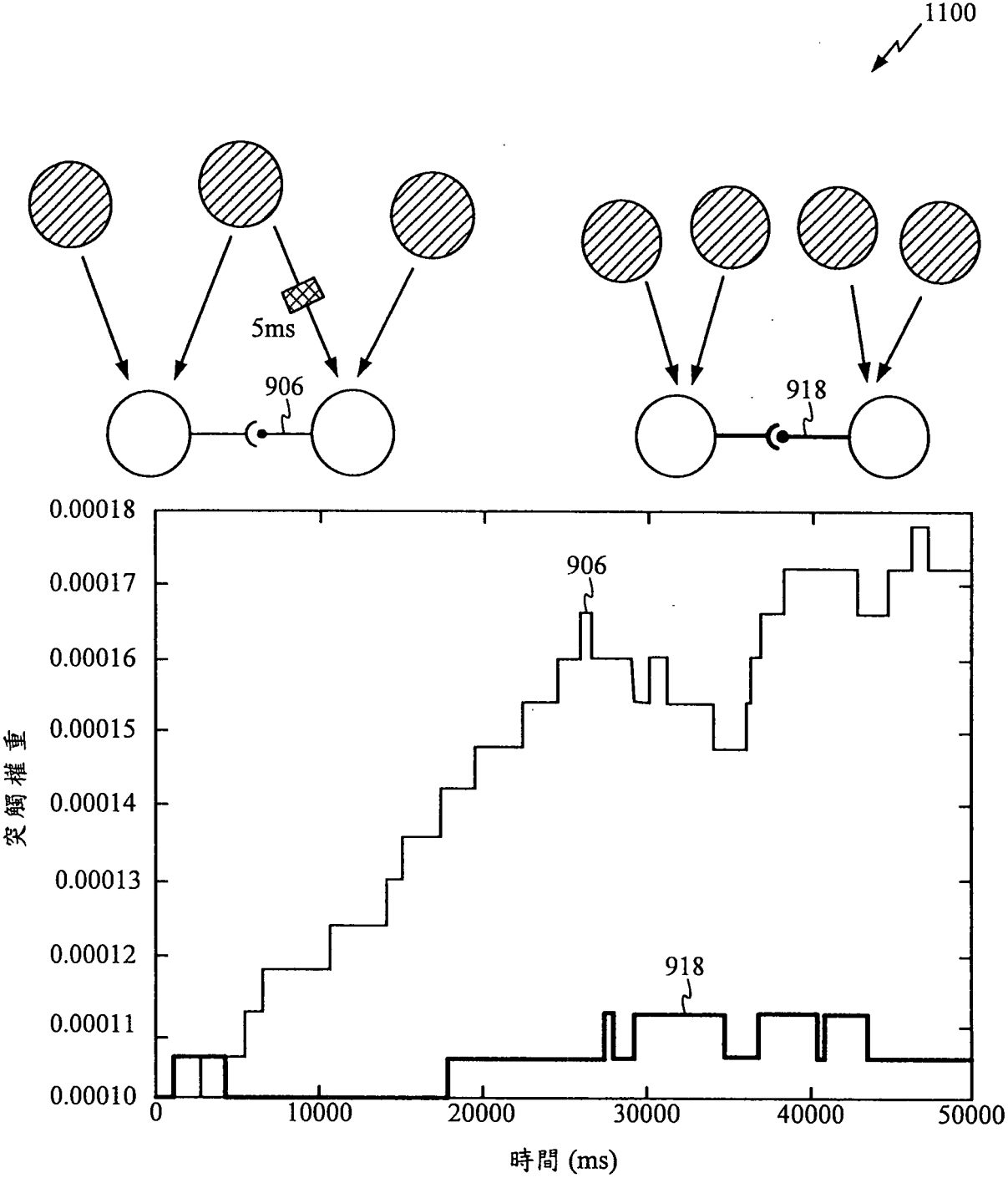


圖 11B

四、指定代表圖：

(一)本案指定代表圖為：第（ 8 ）圖。

(二)本代表圖之元件符號簡單說明：

800 操 作

802 步 驟

804 步 驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無