

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4856191号
(P4856191)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月4日(2011.11.4)

(51) Int.Cl. F I
H O 3 L 7/093 (2006.01) H O 3 L 7/08 E

請求項の数 13 (全 16 頁)

(21) 出願番号	特願2008-545644 (P2008-545644)	(73) 特許権者	591025439
(86) (22) 出願日	平成18年12月5日 (2006.12.5)		ザイリンクス インコーポレイテッド
(65) 公表番号	特表2009-519679 (P2009-519679A)		X I L I N X I N C O R P O R A T E D
(43) 公表日	平成21年5月14日 (2009.5.14)		アメリカ合衆国 カリフォルニア州 95
(86) 国際出願番号	PCT/US2006/046423		1 2 4 - 3 4 0 0 サン ホセ ロジック
(87) 国際公開番号	W02007/070286		ドライブ 2 1 0 0
(87) 国際公開日	平成19年6月21日 (2007.6.21)	(74) 代理人	100064746
審査請求日	平成20年7月30日 (2008.7.30)		弁理士 深見 久郎
(31) 優先権主張番号	11/299,974	(74) 代理人	100085132
(32) 優先日	平成17年12月12日 (2005.12.12)		弁理士 森田 俊雄
(33) 優先権主張国	米国 (US)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】 位相ロックループ内でのキャパシタンス乗算のための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

基準信号と P L L 出力信号とを受けると結合され、前記基準信号と前記 P L L 出力信号との差を示す誤差信号を生成する検出器と、

前記誤差信号を受けると結合され、前記誤差信号に応答して電流信号を提供するようにされる第 1 のチャージポンプと、

前記電流信号を受けると結合されるループフィルタとを備え、

前記ループフィルタは、

前記第 1 のチャージポンプに結合される第 1 の導体と第 1 のノードに結合される第 2 の導体とを有し、前記電流信号を前記第 1 のノードに伝えるようにされた抵抗器と、

前記第 1 のノードに結合されるとともに、前記第 1 のノードからの前記電流信号の第 1 の部分を伝えるようにされる第 1 のキャパシタと、

前記第 1 のノードに結合されるとともに、前記第 1 のノードからの前記電流信号の第 2 の部分を伝えるようにされる電流ミラーとを含み、前記電流信号の前記第 2 の部分は前記電流信号の前記第 1 の部分に対して大きさが比例して前記第 1 のキャパシタのキャパシタンス値の第 1 の増倍率を与え、さらに、

前記第 1 のノードに結合されるとともに、前記第 1 のノードからの前記電流信号の第 3 の部分を伝えるようにされる第 2 のチャージポンプを含み、前記電流信号の前記第 2 および第 3 の部分は、前記抵抗器によって伝えられている前記電流信号の大きさに対して前記電流信号の前記第 1 の部分の大きさを減少させるよう伝えられて前記第 1 のキャパシタの

10

20

前記キャパシタンス値の第 2 の増倍率を与え、前記第 1 および第 2 の増倍率は前記第 1 のキャパシタの前記キャパシタンス値の有効乗算係数を与え、さらに

前記抵抗器の前記第 1 の導体と前記第 1 のチャージポンプに結合される入力と前記ループフィルタの出力に結合される出力とを有する増幅器と、

前記増幅器の出力に結合される第 2 のキャパシタとを備え、前記第 1 のキャパシタおよび前記第 2 のキャパシタは前記ループフィルタの有効インピーダンスを制御する、位相ロックループ回路。

【請求項 2】

前記電流ミラーは、

前記第 1 のノードに結合される第 3 の導体と第 2 のノードに結合される制御端子とを有する第 1 のトランジスタと、

前記第 1 のノードに結合される第 4 の導体と第 3 のノードに結合される制御端子とを有する第 2 のトランジスタと、

前記第 2 のノードに結合される第 5 の導体と前記第 3 のノードに結合される制御端子とを有する第 3 のトランジスタとを含み、前記第 3 のトランジスタは前記第 2 のトランジスタに寸法が比例する、請求項 1 に記載の位相ロックループ回路。

【請求項 3】

前記電流ミラーは、第 6 の導体と前記第 2 のノードに結合される制御端子とを有する第 4 のトランジスタをさらに含み、前記第 4 のトランジスタは前記第 1 のトランジスタに対して寸法が比例する、請求項 2 に記載の位相ロックループ回路。

【請求項 4】

前記電流ミラーは、第 7 の導体と前記第 3 のノードに結合される制御端子とを有する第 5 のトランジスタをさらに含む、請求項 3 に記載の位相ロックループ回路。

【請求項 5】

前記電流ミラーは、前記第 3 のノードに結合される電流源をさらに含む、請求項 4 に記載の位相ロックループ回路。

【請求項 6】

前記検出器は、前記誤差信号として、前記基準信号と前記 PLL 出力信号の位相 / 周波数エラーに対応する電流制御信号を生成する位相 / 周波数検出器を備え、

前記第 2 のチャージポンプは、

前記第 1 のノードに結合される第 8 の導体と前記位相 / 周波数検出器からの前記電流制御信号を受取るよう結合される制御端子とを有する第 6 のトランジスタと、

前記第 1 のノードに結合される第 9 の導体と前記電流制御信号を受取るよう結合される制御端子とを有する第 7 のトランジスタとを含む、請求項 1 に記載の位相ロックループ回路。

【請求項 7】

前記第 2 のチャージポンプは、

前記第 6 のトランジスタの第 1 2 の導体に結合される第 1 0 の導体を有する第 8 のトランジスタと、

前記第 7 のトランジスタの第 1 1 の導体に結合される第 1 3 の導体を有する第 9 のトランジスタとをさらに含む、請求項 6 に記載の位相ロックループ回路。

【請求項 8】

位相ロックループを動作させる方法であって、

第 1 のチャージポンプを用いて前記位相ロックループが測定した位相誤差を示す電流信号を生成するステップと、

前記電流信号を抵抗素子を介して前記位相ロックループのループフィルタの共通ノードへ伝達するステップと、

前記共通ノードから前記電流信号の第 1 の部分を第 1 のキャパシタを介して伝達するステップと、

前記電流信号の前記第 1 の部分に比例する割合で、前記共通ノードからカレントミラー

10

20

30

40

50

を介して前記電流信号の第2の部分¹⁰を伝達して前記第1のキャパシタのキャパシタンス値の第1の増倍率を与えるステップと、

前記共通ノードから第2のチャージポンプを用いて前記電流信号の第3の部分¹⁰を伝達するステップとを備え、前記電流信号の第1の部分の大きさは、前記抵抗素子が伝達する電流信号の大きさに対して低減されて前記第1のキャパシタのキャパシタンス値の第2の増倍率に従って前記第1のキャパシタのキャパシタンス値の実効的な増加をもたらし、前記第1および第2の増倍率は、有効増倍キャパシタンス値を与え、さらに

前記第1のチャージポンプの出力の増幅器の利得を調整して、前記位相ロックループの出力のノイズを低減するステップと、

前記増幅器の出力を第2のキャパシタに結合するステップとを備え、前記第1のキャパシタおよび前記第2のキャパシタは、前記ループフィルタの有効インピーダンスを制御する、位相ロックループを動作させる方法。

【請求項9】

前記電流信号が前記ループフィルタの出力に伝播するのを防止するステップをさらに備える、請求項8記載の位相ロックループを動作させる方法。

【請求項10】

前記第1のキャパシタのキャパシタンス値の増加に伴って前記ループフィルタのループ帯域を減少させるステップをさらに備える、請求項8記載の位相ロックループを動作させる方法。

【請求項11】

前記ループフィルタの利得を低減させて前記位相ロックループの出力の第1のノイズ成分の大きさを低減するステップと、

前記ループフィルタの利得を増加させて前記位相ロックループの出力の第2のノイズ成分の大きさを低減するステップとをさらに備える、請求項8記載の位相ロックループを動作させる方法。

【請求項12】

前記第1のキャパシタは、前記第2のキャパシタのキャパシタンス値の少なくとも1.6倍のキャパシタンス値を有する、請求項1記載の位相ロックループ回路。

【請求項13】

前記第1のキャパシタは、前記第2のキャパシタのキャパシタンス値の少なくとも1.6倍のキャパシタンス値を有する、請求項8記載の位相ロックループを動作させる方法。

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

この発明は一般的にキャパシタンス乗算に関し、より特定的には2つのチャージポンプを用いるキャパシタンス乗算に関する。

【背景技術】

【0002】

背景

電子回路網のさまざまな適用例には、集積回路(IC)の使用が含まれる。ICは、たとえば、非常に多くの回路素子を非常に小さい領域に組込む能力を促進する。ICは、トランジスタおよびダイオードのようなアクティブコンポーネントが特定の設計を実現するのに必要とされる場合に特に有用である。今日の半導体技術を用いると、たとえば、何億、さらには何十億ものアクティブ装置が単一のICの中に組込まれ得る。

【発明の開示】

【発明が解決しようとする課題】

【0003】

残念ながら多くの回路適用例は、抵抗器、キャパシタ、およびインダクタのようなパッシブコンポーネントの使用も必要とする。適用例の中には、パッシブコンポーネントの形

10

20

30

40

50

成は半導体ダイそれ自体の中で直接的に実現され得るものがある。しかしながら、他の適用例では、パッシブコンポーネントの半導体ダイ実現例の使用は除外される。なぜならば、シリコン処理のリアクタンス密度または抵抗密度が、必要とされるリアクタンスまたは抵抗の大きさを支持し得ないからである。

【 0 0 0 4 】

たとえば、今日のシリコン処理の最大キャパシタンス密度は1平方マイクロメートルあたり約10フェムトファラッド(fF/μ^2)である。したがって、半導体ダイの中で実際のトランジスタを用いる10nFキャパシタンスの実現例は1平方ミリメートル(mm^2)の半導体ダイ領域を必要とする。これにより、過剰な半導体領域の要件のために、多くの適用例ではそれらの使用が除外される。したがって、多くの電子設計では、半導体ダイ領域を用いる必要なしでより大きなキャパシタンス値が実現され得るように、半導体ダイの外部の個別の容量性コンポーネントの使用が必要とされる。

10

【 0 0 0 5 】

たとえば、1つのこのような電子設計は、いわゆる「クリーンアップ」位相ロックループ(PLL)の使用を含む。クリーンアップPLLは、基準入力クロックからの位相ジッターおよび位相ノイズをフィルタリングするのに用いられる。したがって、それらのループ帯域幅は、高周波数ノイズによる位相変動が実質的に取り除かれ得るようにかなり小さい必要がある。したがって、ループ帯域幅と、必要とされるループ帯域幅を達成するのにループフィルタが必要とするキャパシタンス値との間に逆相関が存在するので、半導体ダイ領域の大部分はループフィルタキャパシタンスによって占められる。

20

【 0 0 0 6 】

したがって、回路設計者に残されているのは、大量の半導体ダイ領域を用いてループフィルタキャパシタンスを実現する選択か、または半導体ダイの外部に個別の容量性素子を用いてループフィルタキャパシタンスを実現する選択である。したがって、半導体ダイの中に容量性コンポーネントを実現する代替的なオプションを回路設計者に与える方法が開発され続けている。このような方法は、使用される半導体ダイ領域の量を最小限にしつつ、生成されるキャパシタンスを増加させるべきである。

【課題を解決するための手段】

【 0 0 0 7 】

概要

30

先行技術での制限を克服するとともに、本明細書を読み理解すると明らかになるであろうその他の制限を克服するよう、この発明のさまざまな実施例は、半導体ダイの中に統合されるキャパシタを実現するのに必要とされる半導体領域を最小限にしつつ、当該キャパシタのキャパシタンスの大きさを効果的に乗算する装置および方法を開示する。

【 0 0 0 8 】

この発明の一実施例に従えば、位相ロックループ(PLL)は、基準信号とPLL出力信号とを受取るよう結合されるとともに、基準信号とPLL出力信号との差を示す誤差信号を提供するようにされる検知器を含む。PLLは、誤差信号を受取るよう結合されるとともに、誤差信号に応答して第1の電流信号を提供するようにされる第1のチャージポンプをさらに含む。PLLは、第1の電流信号を受取るよう結合されるループフィルタをさらに含む。ループフィルタは、第1のチャージポンプに結合される第1の導体と、共通ノードに結合される第2の導体とを有する抵抗素子と、共通ノードに結合される第1の導体と、基準電位に結合される第2の導体とを有する容量素子と、共通ノードに結合されるとともに、キャパシタによって伝えられる電流に対して大きさが比例して第1の電流信号の第1の部分を伝えるようにされる電流ミラーとを含む。PLLは、共通ノードに結合されるとともに、誤差信号を受取るよう結合される第2のチャージポンプをさらに含む。第2のチャージポンプは、第1の電流信号の第2の部分をループフィルタから抽出するようにされる。

40

【 0 0 0 9 】

この発明の別の実施例に従えば、キャパシタンス乗算回路は電流信号を提供するように

50

される第1のチャージポンプと、第1のチャージポンプに結合される第1の導体と第1のノードに結合される第2の導体とを有する抵抗器とを含む。抵抗器は電流信号を第1のノードに伝えるようにされる。キャパシタンス乗算回路はさらに、第1のノードに結合されるとともに、第1のノードからの電流信号の第1の部分を伝えるようにされるキャパシタを含む。キャパシタンス乗算回路はさらに、第1のノードに結合されるとともに、第1のノードからの電流信号の第2の部分を伝えるようにされる電流ミラーを含む。電流信号の第2の部分は電流信号の第1の部分に対して大きさが比例する。キャパシタンス乗算回路はさらに、第1のノードに結合されるとともに、第1のノードからの電流信号の第3の部分を伝えるようにされる第2のチャージポンプを含む。電流信号の第2および第3の部分は、抵抗器によって伝えられている電流信号の大きさに対して電流信号の第1の部分の大きさを減少させるよう伝えられる。

10

【0010】

この発明の別の実施例に従えば、位相ロックループ(PLL)を動作させる方法は、電流信号がPLLによって測定される位相エラーを示す場合、第1のチャージポンプを用いて電流信号を生成するステップを含む。この方法は、抵抗器を介してPLLのループフィルタの共通ノードに電流信号を伝えるステップと、キャパシタを介して共通ノードからの電流信号の第1の部分を伝えるステップと、電流ミラーを介して共通ノードからの電流信号の第2の部分を電流信号の第1の部分に対して比において比例して伝えるステップと、第2のチャージポンプを用いて、共通ノードから電流信号の第3の部分を伝えるステップとをさらに含む。電流信号の第1の部分の大きさが、抵抗器によって伝えられる電流信号の大きさに対して減少し、これによりキャパシタのキャパシタンスの大きさに効果的な増加が生じる。

20

【0011】

この発明のさまざまな局面および利点は、以下の詳細な説明を考察するとともに添付の図面を参照すると明らかになるであろう。

【発明を実施するための最良の形態】

【0012】

詳細な説明

一般的に、この発明のさまざまな実施例はキャパシタンス乗算技術に適用される。このようなキャパシタンス乗算技術は個別素子の使用を通じて用いられてもよく、または逆に、キャパシタンス乗算技術は集積回路(IC)の中で用いられてもよい。ICの中でキャパシタンス乗算技術を用いることは多くの理由から魅力的であり、そのどれもが完全にモノリシックシリコンチップまたはICの範囲内の相対的に大きいキャパシタンス値の実現を含む。たとえば、IC内でキャパシタンス乗算を用いると、外部のキャパシタの必要性がなくなり得る。なぜならば、キャパシタンス乗算により達成される大きいキャパシタンス値は、外部のキャパシタが必要でなくなるほど十分大きくなり得るからである。

30

【0013】

キャパシタンス乗算の適用は事実上無制限である。一実施例では、たとえば、キャパシタンス乗算はモノリシックシリコンチップ内で実現される位相ロックループ(PLL)のループフィルタ内で適用されてもよい。特に、相対的に小さいループ帯域幅を必要とするPLLは、このループ帯域幅要件に適合するよう十分大きい有効なキャパシタンスをモノリシックシリコンチップ内で実現するようキャパシタンス乗算を利用してもよい。

40

【0014】

得られるPLLは次いで、通信システム100によって例示されるような、PLL動作を必要とする任意の通信プロトコルを促進するよう用いられてもよい。通信システム100は集積回路(IC)102を用いて、外部通信機器(図示せず)とシリアル通信を行なう。一実施例では、IC102は、フィールド・プログラマブル・ゲート・アレイ(FPGA)のようなプログラム可能ロジックデバイス(PLD)であってもよい。これにより、構成可能な論理部分、すなわちファブリック104と、構成モジュール110の、関係付けられるプロセッサがサポートする機能とが、さまざまな通信プロトコルをサポートし

50

て通信スタック 1 2 4 および 1 2 6 を実現するよう用いられる。

【 0 0 1 5 】

このような構成を用いると、FPGA ファブリック 1 0 4 から出ていくデータフレームは、たとえば、通信路 1 1 4 を介して通信スタック 1 2 4 のアプリケーション層から物理層に伝播し得る。同様に、FPGA ファブリック 1 0 4 に入ってくるデータフレームは、たとえば、通信路 1 2 2 を介して通信スタック 1 2 6 の物理層からアプリケーション層に伝播し得る。通信システム 1 0 0 が実現する特定の通信プロトコルはたとえばギガビットイーサネット（登録商標）であってもよく、物理（PHY）層は、マルチギガビットトランシーバ（MGT）1 1 2 の物理媒体接続部（PMA）および物理符号化副層（PCS）を用いて実現される。

10

【 0 0 1 6 】

MGT 1 1 2 は、たとえば、送信機 1 0 6 および受信機 1 0 8 を介して PMA および PCS を実現し得る。PMA 機能とともに含まれるのは、たとえば、MGT 1 1 2 のシリアルライザ/デシリアルライザ（SERDES）と、送信線ドライバと、受信機入力増幅器と、クロック生成ならびにクロックおよびデータリカバリ（CDR）部分（図示せず）である。

【 0 0 1 7 】

他方では、PCS 機能とともに含まれるのは、8 B / 1 0 B または 6 4 B / 6 6 B 符号化/復号化が行なわれる符号化/復号化機能である。PCS 機能はさらに、チャネルボンディングおよびクロック補正をサポートして、スクランプリング/デスクランプリング機能および弾性バッファリングを行ない得る。FPGA ファブリック 1 0 4 および MGT 1 1 2 の構成および/または部分的再構成をサポートするのが、オンボードのマイクロプロセッサを与え得る構成モジュール 1 1 0 である。これはさらに通信プロトコルサポートおよび PMA / PCS パラメータ制御を可能にする。

20

【 0 0 1 8 】

通信システム 1 0 0 は、代替的实施例では、同期光ネットワーク（SONET）光送信システムであってもよい。したがって、送信機 1 0 6 の出力は、高品質の光送信を達成するジッター生成要件に適合しなければならない。しかしながら、基準クロック 1 1 8 が極端にノイジーな出力を与える場合、送信機 1 0 6 の出力でジッター生成仕様に合うように基準クロック 1 1 8 の出力上のジッターを減衰させるようクリーンアップ PLL 1 1 6 が必要であるかもしれない。なお、MGT 1 1 2 の送信機 1 0 6 および受信機 1 0 8 のために単一の PLL が用いられてもよい。

30

【 0 0 1 9 】

図 2 に目を向けると、図 1 の PLL 1 1 6 を実現するよう用いられてもよい 3 次のタイプ II の PLL の例示的なブロック図が示される。PLL 1 1 6 の実現例は、デュアルチャージポンプ 2 0 6 および 2 0 8 を用いることにより行なわれるキャパシタンス乗算動作のため、モノリシックシリコンチップ内に完全に含まれ得る。以下により詳細に論じられるように、電流信号 2 1 6 および電流信号 2 1 8 は、ループフィルタ 2 1 0 の中に含まれるループフィルタキャパシタンス（図示せず）のプログラム可能な乗算に対してさらなる自由度を与える。したがって、モノリシックシリコンチップ内で実現される実際のループフィルタキャパシタンスは、必要とされる半導体領域の量を最小限にするよう構成され得る。さらに、キャパシタンス乗算は、PLL の設計基準に適合する有効キャパシタンスを作り出すよう実現される実際のキャパシタンスを増大するよう用いられてもよい。

40

【 0 0 2 0 】

PLL 1 1 6 は、ループ帯域幅、減衰係数、およびロックレンジのようなさまざまな設計パラメータを切離すことにより柔軟な設計トレードオフを促進する魅力的な PLL 設計実現例であるチャージポンプベースの PLL（CPLL）を例示する。CPLL 1 1 6 は、たとえば、クロック乗算を必要とする PLL 適用例において用いられてもよい位相/周波数検知器 2 0 4、チャージポンプ 1 2 0 6、チャージポンプ 2 2 0 8、ループフィルタ 2 1 0、電圧制御発振器（VCO）2 1 2、および随意的除算器 2 1 4 からなる

50

。

【 0 0 2 1 】

クロック乗算は、たとえば、VCO 2 1 2 の出力周波数が 5 ギガヘルツ (G H z) の範囲内で作動的である場合に必要となり得るが、基準発振器 2 0 2 は 1 5 6 . 2 5 メガヘルツ (M h z) の周波数でのみ動作していてもよい。このような場合、基準発振器 2 0 2 が供給する 1 5 6 . 2 5 M h z 基準信号である f_{REF} が VCO 2 1 2 の 5 G H z の出力に対して位相および周波数の両方で比較され得るように、フィードバック除算の利用により 3 2 のクロック乗算が実現される。したがって、フィードバック周波数である $f_{FEEDBACK}$ は式 (1) に従って生成され得る。

【 0 0 2 2 】

10

【 数 1 】

$$f_{FEEDBACK} = f_{VCO}/M, \quad (1)$$

【 0 0 2 3 】

式中、 f_{VCO} は VCO 2 1 2 の出力周波数であり、M は除算器 2 1 4 が与える整数の除数である。この場合、 $5 G H z / 3 2 = 1 5 6 . 2 5 M h z$ であり、これは基準周波数 f_{REF} と等しいので、M は 3 2 に設定され得る。

【 0 0 2 4 】

動作において、位相 / 周波数検知器 2 0 4 は 2 対のデジタル信号、たとえば UP および DN と、相補的な信号、たとえば / UP および / DN とを供給し、これは f_{REF} と $f_{FEEDBACK}$ との間の位相 / 周波数エラーに対応する。たとえば、除算器 2 1 4 の出力の位相 / 周波数が信号 f_{REF} に対して遅れているならば、信号 UP のパルス幅は増加し得、信号 DN のパルス幅は減少し得、これにより VCO 2 1 2 の位相 / 周波数が位相 / 周波数において進む。逆に、除算器 2 1 4 の出力の位相 / 周波数が信号 f_{REF} に対して進んでいるならば、信号 UP のパルス幅は減少し得、信号 DN のパルス幅は増加し得、これにより VCO 2 1 2 の位相 / 周波数が位相 / 周波数において遅延される。

20

【 0 0 2 5 】

チャージポンプ 2 0 6 および 2 0 8 は、位相 / 周波数誤差信号に応答して電流信号 2 1 6 である I_{216} および電流信号 2 1 8 である I_{218} を生成することにより位相 / 周波数誤差信号に対して反応する。たとえば、信号 UP のパルス幅が増加すると、電流信号 2 1 6 および 2 1 8 の大きさも増加し得る。逆に、信号 DN のパルス幅が増加すると、電流信号 2 1 6 および 2 1 8 の大きさも減少し得る。なお、電流信号 I_{216} および I_{218} の符号は極性が反対であるため、アップパルスの場合、 I_{216} はループフィルタ 2 1 0 に流れ込む一方、 I_{218} がループフィルタ 2 1 0 から離れるように流れる。ダウNPパルスの場合は逆のことが当てはまり、電流 I_{216} はループフィルタ 2 1 0 から流れ出る一方、 I_{218} がループフィルタ 2 1 0 に流れ込む。

30

【 0 0 2 6 】

次いで、電流信号 I_{216} および I_{218} はループフィルタ 2 1 0 によってエラー電圧 V_{ERROR} に変換され、それは次いで VCO 2 1 2 に供給され、VCO 2 1 2 の出力周波数 f_{VCO} を設定する。負のフィードバックにより、 f_{REF} と $f_{FEEDBACK}$ との間の位相 / 周波数エラーが CPLL 1 1 6 の動作によって強制的に実質的に 0 になる。除数 M の値を変えることにより、出力周波数 f_{VCO} は、基準周波数 f_{REF} との周波数 / 位相の一貫性を維持しつつ、特定の適用例が必要とするように 1 つ以上の周波数ディケードの周波数範囲にわたって動作するようプログラムされてもよい。

40

【 0 0 2 7 】

図 3 を参照すると、ループフィルタ 2 1 0 の例示的な概略図が図示される。ループフィルタ 2 1 0 は、増幅器 3 1 2 の動作のためアクティブループフィルタであると言われ、後で詳細に論じられるように選択的なノイズフィルタリング能力を提供する。さらに、増幅器 3 1 2 は、その高い入力インピーダンスにより、抵抗器 3 1 0 によってチャージポンプ

50

1 206の出力信号 I_{216} の大きさが完全に伝えられるのを事実上保証する。この状態は、チャージポンプ 2 208の出力電流 I_{218} の大きさがチャージポンプ 1 206の出力電流 I_{216} に近づくと重要になる。しかしながら、代替的实施例では、抵抗器 314およびキャパシタ 316が与えるインピーダンスが、事実上すべての電流 I_{216} が増幅器 312がなくても抵抗器 310によって伝えられるのを実質的に保証するほど十分に大きくされるならば、増幅器 312は取り除かれてもよい。代替的实施例では、増幅器 312が取り除かれる場合、抵抗器 314も取り除かれてもよい。

【0028】

キャパシタンス乗算回路 302は、キャパシタ 306のキャパシタンスの大きさを乗算するのに用いられ、キャパシタ 306の実際のキャパシタンス値である C_{306} よりも大きい有効キャパシタンス C'_{306} を生成する。特定的には、電流ミラー 308が第1のキャパシタンス乗算部を促進し、これによりキャパシタ 306のキャパシタンスの大きさが電流ミラー 308のプログラム可能な電流ゲインである係数 $(1 + \beta_{LF})$ で変倍増加される。したがって、電流ミラー 308が伝える電流は、キャパシタ 306が伝える電流 I_{306} の倍数である。

10

【0029】

キャパシタンス乗算がノード 320で以下のように達成される。ノード 320での有効インピーダンスは、ノード 320への電流入力量、すなわち電流 I_{216} に反比例する。ノード 320に流れ込む電流量が、ノード 320での電圧が一定の間増加すれば、ノード 320でのインピーダンスは効果的に低減される。ノード 320でのインピーダンスは容量性であるので、有効キャパシタンスはこれにより必ず増加する。なぜならば、キャパシタ 306のインピーダンスはそのキャパシタンスに反比例するからである。

20

【0030】

チャージポンプ 2 208は、チャージポンプ 2 208が伝える電流の符号が電流 I_{216} に対して負であるという点を除いて、同様のキャパシタンス乗算器を提供する。したがって、この場合、キャパシタ 306のキャパシタンスは、 $1 / (1 - \beta_{CP})$ に比例する係数で変倍増加される。式中 β_{CP} は、0以上であるが、1より小さいプログラム可能な値である。したがって、 β_{LF} および β_{CP} は、式(2)によって記載され得るキャパシタンス乗算器を作り出すのに組合せる第1および第2のキャパシタンス変倍係数を示す。

30

【0031】

【数2】

$$C'_{306} = C_{306} \left[\frac{1 + \beta_{LF}}{1 - \beta_{CP}} \right]. \quad (2)$$

【0032】

β_{CP} は1より小さいので、分母の項 $1 - \beta_{CP}$ は分子の項 $1 + \beta_{LF}$ の倍数になる。これにより、キャパシタンス C_{306} が有効キャパシタンス C'_{306} を作り出すよう乗算される場合に2乗効果を与える。

【0033】

40

同様に、キャパシタンス C_{316} は、随意の電流ミラー 318の動作を介して、変倍係数 $(1 + \beta_{LF})$ で乗算され得、これにより式(3)で示されるようにキャパシタ 316のためのキャパシタンス乗算器を発生させる。

【0034】

【数3】

$$C'_{316} = C_{316} (1 + \beta_{LF}). \quad (3)$$

【0035】

したがって、ループフィルタ 210についての有効インピーダンスは式(4)によって与えられ得る。

50

【 0 0 3 6 】

【 数 4 】

$$Z(s) = \frac{V_{ERROR}}{I_{216}} \cong A * \frac{1 + s\tau'_{306}}{sC'_{306}(1 + s\tau'_{316})}, \quad (4)$$

【 0 0 3 7 】

式中、 $\tau'_{306} = R_{310} * C'_{306}$ 、 $\tau'_{316} = R_{314} * C'_{316}$ であり、Aは増幅器312のゲインであり、 R_{310} は抵抗器310の抵抗の大きさであり、 R_{314} は抵抗器314の抵抗の大きさである。

10

【 0 0 3 8 】

安定性、たとえば、少なくとも60度の位相マージンを維持するよう、時定数 τ'_{306} は τ'_{316} よりも少なくとも16倍大きくあるべきであり、このことは、 R_{310} が R_{314} と等しいとすれば、 C'_{306} は C'_{316} の16倍大きくあるべきであることを意味する。 C'_{306} の C'_{316} に対する比を取ることににより、以下の式が得られる。

【 0 0 3 9 】

【 数 5 】

$$\frac{C'_{306}}{C'_{316}} = \frac{C_{306}}{C_{316}} * \frac{1}{1 - \beta_{CP}}. \quad (5)$$

20

【 0 0 4 0 】

ほとんどの実際の実施例では C_{306} は C_{316} よりもはるかに大きいので、 β_{CP} の実際の最大値がたとえば0.9に設定され得るとすると、式(5)のキャパシタンス比は16よりもはるかに大きくなる。したがって、電流ミラー318を用いるキャパシタ C_{316} のキャパシタンス乗算は必要なくなり得、これらの実施例では、電流ミラー318は取り除かれてもよい。

【 0 0 4 1 】

β_{CP} をたとえば0.9に設定にするとともに、 C'_{306} の最大値をたとえば10ナノファラッド(nF)であることににより、式(2)は、式(6)にあるように C_{306} につ

30

【 0 0 4 2 】

【 数 6 】

$$C_{306} = \frac{C'_{306}}{10 * (1 + \beta_{LF})} \quad (6)$$

【 0 0 4 3 】

したがって、 β_{LF} をたとえば20に設定することにより、47.62 pFの C_{306} の実際のキャパシタンス値が与えられる。ループフィルタ210は差動ループフィルタとして実現されてもよいので、合計のキャパシタンスの大きさ95.24 pFのために2つのキャパシタが必要とされ得る。10 fF/ μ^2 のキャパシタンス密度を想定すると、2つの10 nFキャパシタのために必要とされる全シリコン領域は、式(7)で以下のように与えられる。

40

【 0 0 4 4 】

【 数 7 】

$$Area = \frac{C_{TOTAL}}{C_{DENSITY}} = \frac{95.24 pF}{10 fF / \mu^2}, \quad (7)$$

50

【 0 0 4 5 】

これにより 0.009524 mm^2 が得られる。言い換えれば、2つの 47.62 pF (たとえば C_{306}) の物理的に実現されるキャパシタを用いて、2つの 10 nF の効果的に乗算されたキャパシタ (たとえば C'_{306}) を実現するには、 $98 \mu \times 98 \mu$ の半導体ダイ領域が必要とされる。キャパシタンス乗算係数 $(1 + \beta_{LF}) / (1 - \beta_{CP})$ がなければ、2つの 10 nF キャパシタを実現するのに $2 \text{ 平方ミリメートル (mm}^2\text{)}$ の半導体ダイ領域が必要となるであろう。なお、抵抗器 310 および 314 は、ループフィルタ 210 が必要とする半導体ダイ領域をさらに減らすようトランジスタを用いて実現されてもよい。

【 0 0 4 6 】

10

クリーンアップ PLL の主な機能の 1 つは、ノイジーな基準クロックまたは基準発振器からのノイズをフィルタリングすることである。一般的に言えば、CPLL には 2 つの主なノイズ源がある。すなわち基準ノイズと VCO ノイズとである。まず CPLL 116 の基準ノイズのノイズ伝達関数に目を向けると、以下の式が得られる。

【 0 0 4 7 】

【 数 8 】

$$\frac{\Phi_{OUT}}{\Phi_{REF}} = \frac{G_{fwd}}{1+T_A} = M * \frac{T_A}{1+T_A} = M * \frac{T * A}{1+T * A}, \quad (8)$$

20

【 0 0 4 8 】

式中、 G_{fwd} は、位相 / 周波数検知器 204 から PLL 出力への順方向ゲインであり、 M は除算器 214 の除数であり、 T は順方向ゲイン G_{fwd} と逆方向ゲイン G_{rev} との積であり、 A は増幅器 312 のゲインである。逆方向ゲイン G_{rev} は、PLL 出力から位相 / 周波数検知器 204 の入力へのゲインとして規定される。

【 0 0 4 9 】

0 Hz の周波数または DC では、式 (8) の基準ノイズ伝達関数により M が求められ、非常に高い周波数では、式 (8) の基準ノイズ伝達関数により 0 が求められる。したがって、基準ノイズ伝達関数の周波数応答は、すべての他のループ成分が一定のままであるとすると、ローパスであり、ループゲイン T によって規定されるとともに増幅器 312 のゲイン A によって変倍される $3 - \text{dB}$ コーナー周波数を有する。

30

【 0 0 5 0 】

なお、増幅器 312 のゲイン A を調節する場合は、安定性を維持するよう、ループ抵抗 (抵抗器 310 および 314) の値が、式 (9) によって記載されるように、ゲインの平方根に反比例して変倍されるべきである。

【 0 0 5 1 】

【 数 9 】

$$R_{SCALED} = R * \frac{1}{\sqrt{A}}, \quad (9)$$

40

【 0 0 5 2 】

たとえば、増幅器 312 のゲイン A が 100 まで増加するならば、抵抗器 310 および 314 の抵抗値の大きさが $1/10$ で縮小されるべきである。逆に、増幅器 312 のゲイン A が 100 から 1 に減少するならば、抵抗器 310 および 314 の抵抗値の大きさは係数が 10 で増加されるべきである。

【 0 0 5 3 】

基準ノイズ伝達関数の $3 - \text{dB}$ コーナー周波数は以下の式で与えられる。

【 0 0 5 4 】

【数 1 0】

$$f_c = \frac{1}{2\pi} \times \frac{I_{216} \cdot K_{VCO} \cdot A \cdot R_{310}}{M}, \quad (10)$$

【0 0 5 5】

K_{VCO} はVCOゲインである。

たとえば、式(8)において $A = 1$ を設定することにより、基準ノイズ伝達関数の3 - d Bコーナー周波数は、ゲイン設定 $A = 100$ を用いた場合の基準ノイズ伝達関数の3 - d Bコーナー周波数と比較すると、係数が10で減少する。したがって、CPLL116の出力での全体の基準ノイズ寄与は、ループフィルタ210における増幅器312のゲインの減少により減少する。

10

【0 0 5 6】

VCOノイズ伝達関数は式(11)によって与えられる。

【0 0 5 7】

【数 1 1】

$$\frac{\Phi_{OUT}}{\Phi_{VCO}} = \frac{M}{M + G_{fwd}} = \frac{1}{1 + T_A} = \frac{1}{1 + T^* A}, \quad (11)$$

【0 0 5 8】

これにより、0 Hzでは0が求められ、非常に高い周波数では1が求められる。したがって、VCOノイズ伝達関数の周波数応答は、3 - d Bコーナー周波数が増幅器312のゲインAで変倍されるループゲインTによって規定される場合、ハイパスである。

20

【0 0 5 9】

式(11)のVCOノイズ伝達関数の3 - d Bコーナー周波数は、増幅器312のゲインAが100で増加する場合は、係数が10で増加する。しかしながら、VCOノイズ伝達関数の周波数応答はハイパスであるので、CPLL116の出力での全VCOノイズ寄与は、ループフィルタ210における増幅器312のゲインの増加により減少する。逆に、CPLL116の出力での全VCOノイズ寄与は、ループフィルタ210における増幅器312のゲインの減少により増加する。

【0 0 6 0】

30

したがって、式(8)および(11)により、さらなる自由度がループフィルタ210における増幅器312の利用により導入され、これによりCPLLノイズ性能を最適化する。一方では、基準ノイズが問題の場合、増幅器312のゲインAは、CPLL116の出力での基準ノイズ寄与が減少し得るように減少され得る。他方では、VCOノイズが問題の場合、増幅器312のゲインAは、CPLL116の出力でのVCOノイズ寄与が減少され得るように増加され得る。

【0 0 6 1】

さらに、増幅器312の利用により、図2のVCO212の入力にDCオフセットを導入する能力が与えられ得る。特定的には、チャージポンプ206および208のDC動作範囲がVCO212のDC動作範囲と一致しない場合がある。したがって、増幅器312は、可変のゲインAだけでなく、チャージポンプ206、208のDC動作範囲をVCO212のDC動作範囲と一致させるよう利用されてもよい可変のDCオフセットも与えるよう利用され得る。

40

【0 0 6 2】

図4に目を向けると、キャパシタンス乗算回路302の例示的な概略図が図示される。上で論じたように、キャパシタンス乗算回路302はチャージポンプ1206、チャージポンプ2208、および電流ミラー308を用いて、式(2)に従ってキャパシタ306の実際のキャパシタンス値を乗算する。

【0 0 6 3】

図4に例示されるように、第1の電流乗算係数 β_{LF} の選択が電流ミラー308の動作の

50

説明によって示され得る。キャパシタ 306 はトランジスタ 428 と直列に結合され、これにより、キャパシタ 306 によって伝えられる際の電流 I_{306} がさらにトランジスタ 434 によって伝えられることが必要になる。トランジスタ 428 のゲート - ソース電位 V_{GS} は、電流源 420 およびダイオード接続されるトランジスタ 414 の動作によって実質的に一定に保たれる。したがって、トランジスタ 434 が伝える電流は、電流 I_{306} のいかなる増加によっても必ず減少する。

【0064】

ダイオード接続されるトランジスタ 434 のゲートおよびドレイン端子はトランジスタ 410 のゲート端子に結合されるので、トランジスタ 434 を通る電流の減少はトランジスタ 410 を通るドレイン電流の減少を引起す。しかしながら、トランジスタ 424 の V_{GS} が電流源 420 およびダイオード接続されるトランジスタ 414 の動作によって実質的に一定に保たれるので、トランジスタ 424 が伝える電流は実質的に一定に保たれる。

【0065】

したがって、トランジスタ 410 が伝える電流の減少に応答して、電流 $\beta_{LF} I_{306}$ は、トランジスタ 424 が必要とする電流を補完するよう必ず増加する。電流 $\beta_{LF} I_{306}$ の増加量は、電流ミラー 308 の電流ゲインによって決定される。特定のには、トランジスタ 410 が伝える電流は、トランジスタ 434 が伝える電流に幾何学的に比例する。たとえば、トランジスタ 410 のチャネル幅がトランジスタ 434 のチャネル幅より N 倍大きい場合、トランジスタ 410 は、トランジスタ 434 が伝える電流の大きさの N 倍の大きさの電流を伝える。したがって、キャパシタ 306 が伝える際の電流 I_{306} は、第 1 の乗算係数 β_{LF} が N と等しくなるように、乗算係数 N によって電流 $\beta_{LF} I_{306}$ に関係付けられる。

【0066】

チャージポンプ 2208 の動作の説明に目を向けると、第 2 の乗算係数 β_{CP} の導出が促進される。一般的には、チャージポンプ 2208 は、たとえば UP および DN のようなデジタル信号と、たとえば $/UP$ および $/DN$ のような f_{REF} および $f_{FEEDBACK}$ の間の位相 / 周波数エラーに対応するそれらの相補的な信号とが逆であることを除いて、チャージポンプ 1206 と同じである。すなわち、言い換えれば、チャージポンプ 2208 のための電流制御信号は、電流信号 I_{218} と I_{216} との間で符号が異なるのを達成するよう、チャージポンプ 1206 のための電流制御信号に対してそれぞれ切換えられる。

【0067】

動作において、電流制御信号 UP はトランジスタ 406 および電流源 418 によって伝えられている電流信号 I_{218} の大きさを増加するよう動作し、その一方、電流制御信号 $/UP$ はトランジスタ 408 によって伝えられている電流の大きさを減少させるよう動作する。したがって、電流源 418 が生成する電流はトランジスタ 406 とトランジスタ 408 との間で共有され、電流 I_{218} は共通のノード 320 から取り出されている。

【0068】

なお、電流信号 I_{218} の大きさは、電流源 418 が伝える電流と等しい最大値まで増加されてもよい。電流源 418 の大きさを電流信号 I_{216} に比例するように、たとえば I_{216} のすべての値に対して I_{216} の 90% と等しくなるように調節することで、式 (2) のように、 β_{CP} について 0.9 の上限が前もって決定され得る。

【0069】

同様に、電流制御信号 DN および $/DN$ は、共通ノード 320 に「供給」されている電流 I_{218} の大きさを増加させるよう動作する。 $/DN$ が論理ローであり、 DN が論理ハイである場合、電流源 416 からの電流、すなわち I_{416} 、はすべて共通モードノード 320 に流れ込む。代替的には、 DN が論理ローであり、 $/DN$ が論理ハイである場合、電流 I_{416} のどれもが共通ノード 320 に流れ込まない。

【0070】

なお同様に、電流信号 I_{218} の大きさは最小値 0 にまで減少されてもよい。信号 $/DN$

10

20

30

40

50

を論理ハイ値までアサートするとともに信号UPを論理ロー値までデアサートすることにより、0アンペアの値が電流信号 I_{218} の大きさについて達成され得る。代替的には、 I_{218} の大きさは、電流源416および418を互いにマッチングさせるとともに、PLLロック状態の間の場合と同様に、信号UPを等しい持続期間の間、論理ハイ値にパルスングしつつ、信号/DNを論理ロー値にパルスングすることにより0になり得る。

【0071】

図5に目を向けると、図4を参照して、キャパシタンスを乗算するための例示的な方法のフローチャートが図示される。ステップ502では、第1のチャージポンプがたとえば I_{216} のような電流信号を生成するのに用いられ、この電流信号は、ステップ504のように、たとえば抵抗器310のようなRCネットワークの抵抗素子によって伝えられることになる。ノード320では、抵抗器310が伝える電流信号 I_{216} は、ステップ506のように、キャパシタ306によって伝えられる前に別の通路へと分離される。

10

【0072】

ステップ508のように、電流信号 I_{216} のある部分がノード320からキャパシタ306を通して伝えられるように第1の電流路が作り出される。ノード320からの第2の電流路は、ステップ510のように、キャパシタ306が伝える電流をミラーリングすることにより作り出される。第2の電流路は、キャパシタ306が伝える電流量に比例する大きさの電流を伝える。特定的には、第2の電流路が伝える電流量は、電流信号 I_{306} と、電流ミラー308の電流ゲイン、たとえば β_{LF} との積に等しい。

20

【0073】

ステップ512のように、第3の電流路が生成され、これにより電流信号 I_{218} が、電流信号 I_{216} と比較して反対の符号を有するよう作り出される。さらに、電流信号 I_{218} の大きさは0と $0.9 * I_{216}$ との例示的な範囲の間でプログラムされ得るように、電流信号 I_{218} の大きさは電流信号 I_{216} の大きさに部分的に比例する。したがって、式(2)の β_{CP} は、たとえば0と0.9との間の値を取り得る。 β_{CP} の値は1に近づくようプログラムされ得るが、式(5)に関連して上で論じたように、0.9より大きい値はおそらく必要とされず、さらにマッチングおよびフィードフォワードの安定性の制限のため、実用的ではないかもしれない。

【0074】

この発明の他の局面および実施例は、ここで記載したこの発明の明細書および実施を考慮すると当業者には明らかになるであろう。明細書および示された実施例は例としてのみ考慮されることを意図し、この発明の真実の範囲および精神は特許請求の範囲によって示される。

30

【図面の簡単な説明】

【0075】

【図1】位相ロックループ(PLL)の例示的な適用例を示す図である。

【図2】図1のPLLの例示的なブロック図を示す図である。

【図3】図2のPLLのループフィルタの例示的なブロック図を示す図である。

【図4】図3のキャパシタンス乗算回路の例示的な概略図を示す図である。

【図5】キャパシタンス乗算アルゴリズムの例示的なフロー図を示す図である。

40

【 図 1 】

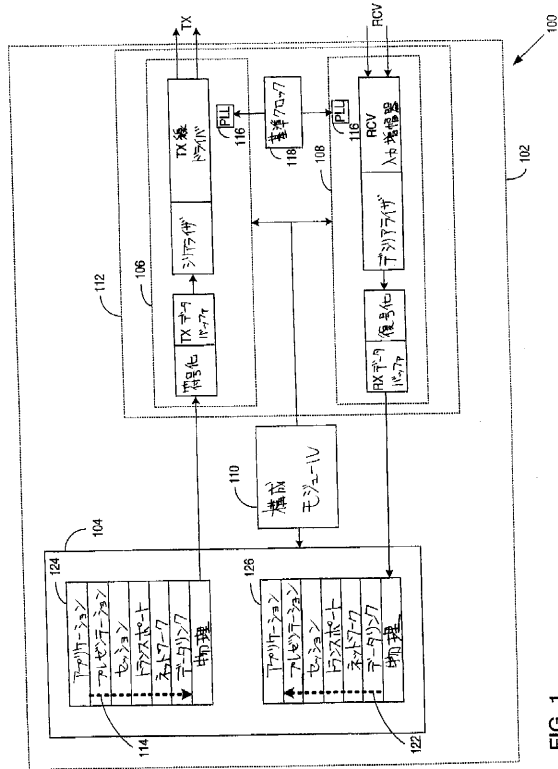


FIG. 1

【 図 2 】

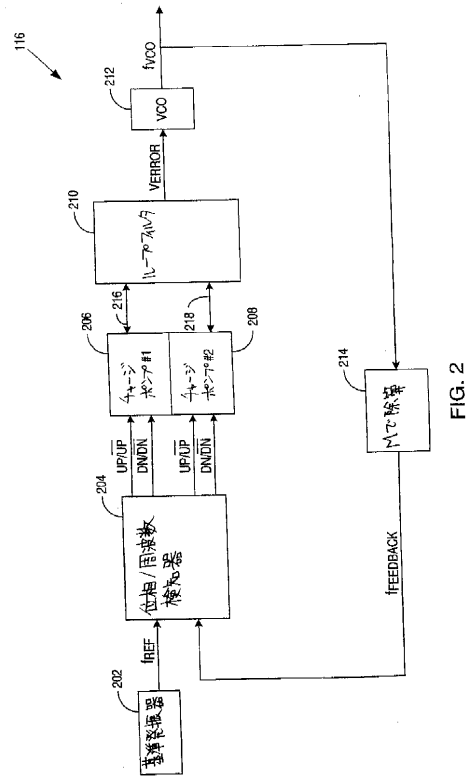


FIG. 2

【 図 3 】

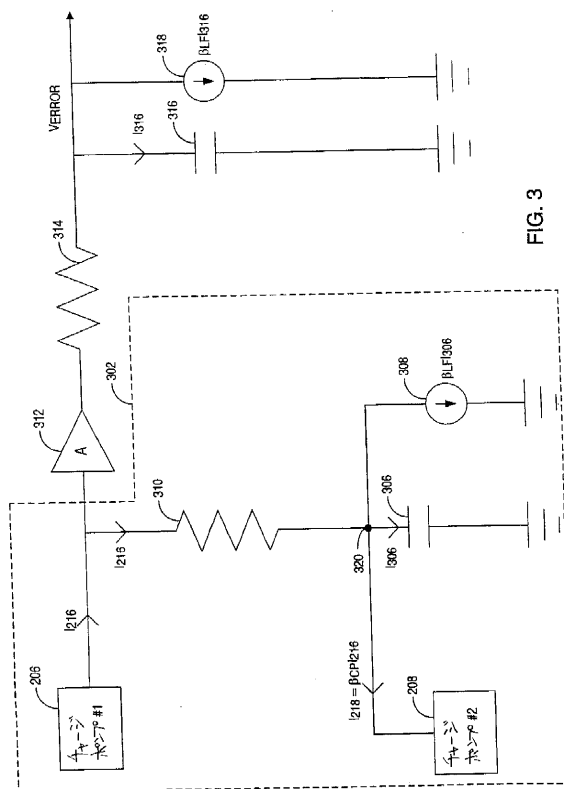


FIG. 3

【圖 4】

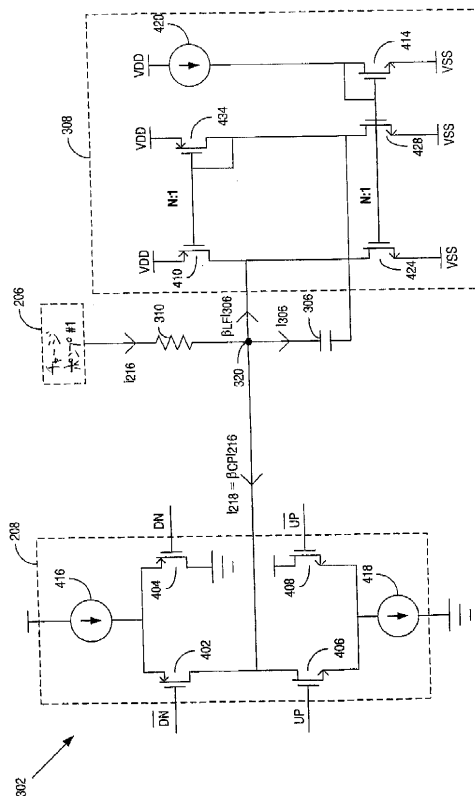


FIG. 4

【図 5】

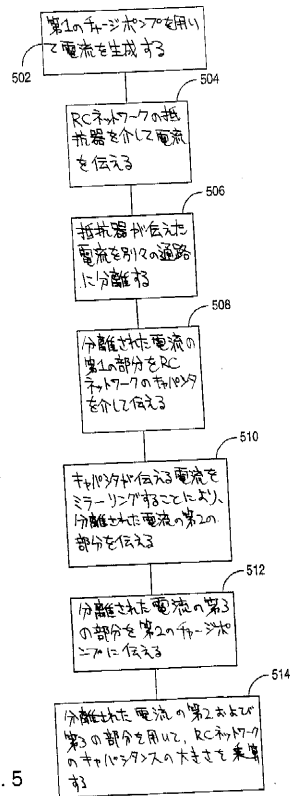


FIG. 5

フロントページの続き

- (74)代理人 100098316
弁理士 野田 久登
- (74)代理人 100109162
弁理士 酒井 將行
- (74)代理人 100111246
弁理士 荒川 伸夫
- (72)発明者 ロビンソン, モイセス・イー
アメリカ合衆国 カリフォルニア州 9 5 1 2 4 サン ホセ ロジック ドライブ 2 1 0 0
- (72)発明者 ハッソウン, マーワン・エム
アメリカ合衆国 カリフォルニア州 9 5 1 2 4 サン ホセ ロジック ドライブ 2 1 0 0
- (72)発明者 スワルツランダー, アール・イー, ジュニア
アメリカ合衆国 カリフォルニア州 9 5 1 2 4 サン ホセ ロジック ドライブ 2 1 0 0

審査官 上田 智志

- (56)参考文献 欧州特許出願公開第0 1 4 1 4 1 5 5 (E P , A 1)
特開2 0 0 1 - 3 2 6 5 3 4 (J P , A)
特開平0 4 - 3 3 0 8 2 5 (J P , A)
欧州特許出願公開第0 1 4 7 1 6 4 5 (E P , A 1)
特開昭5 6 - 1 1 9 5 2 0 (J P , A)
Keliu Shu, et al , A 2.4-GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and Loop Capacitance Multiplier , IEEE Journal of Solid-State Circuits , 2 0 0 3 年 6 月 , Vol.38, No.6 , pp.866-pp.874
Sergio Solis-Bustos, et al , A 60-dB Dynamic-Range COMS Sixth-Order 2.4-Hz Low-Pass Filter for Medical Applications , IEEE Transactions in Circuits and Systems 2. Analog and Digital Signal Processing , 2 0 0 0 年 1 2 月 , Vol.47, No.12 , pp.1391-pp.1398

- (58)調査した分野(Int.Cl. , D B 名)
H03L 7/06-7/23