

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 6 月 4 日(04.06.2015)



(10) 国際公開番号
WO 2015/079762 A1

- (51) 国際特許分類:
H02M 7/12 (2006.01) *H02M 1/08* (2006.01)
- (21) 国際出願番号: PCT/JP2014/073132
- (22) 国際出願日: 2014 年 9 月 3 日(03.09.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-247756 2013 年 11 月 29 日(29.11.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者: 片岡 耕太郎(KATAOKA Kohtaroh). 若生 周治(WAKAIKI Shuji). 五十嵐 弘樹(IGARASHI Hiroki). 柴田 晃秀(SHIBATA Akihide). 岩田 浩(IWATA Hiroshi).
- (74) 代理人: 特許業務法人 佐野特許事務所(SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F Osaka (JP).

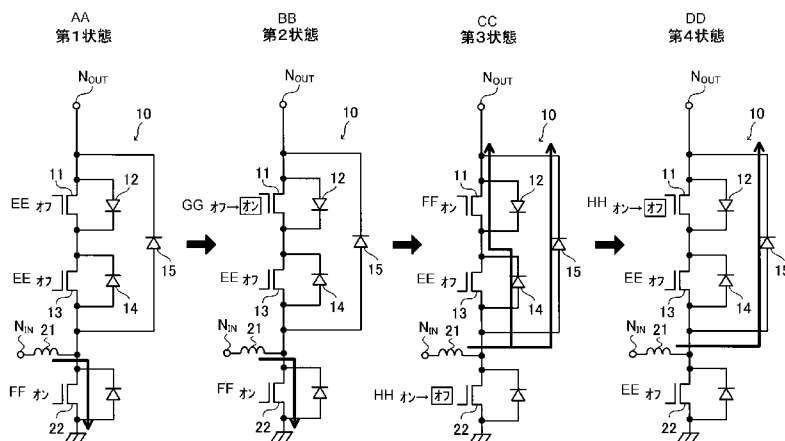
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: RECTIFIER

(54) 発明の名称: 整流装置



AA First state
BB Second state
CC Third state
DD Fourth state
EE Off
FF On
GG Off→On
HH On→Off

(57) Abstract: In the present invention, a switching circuit (10) is used in a rectifying unit on the high side of a boost chopper, the switching circuit (10) having a low-breakdown-voltage transistor (11) and a high-breakdown-voltage transistor (13) that have drains connected to each other, and a diode (15) (high-speed recirculation diode) in which the cathode is connected to the source of the low-breakdown-voltage transistor (11) and in which the anode is connected to the source of the high-breakdown-voltage transistor (13). Prior to a recirculation current being generated due to a low-side transistor (22) turning off, the low-breakdown-voltage transistor (11) is turned on while the high-breakdown-voltage transistor (13) is kept off, whereupon the low-side transistor (22) is turned off.

(57) 要約: ドレイン同士を接続した低耐圧トランジスタ (11) 及び高耐圧トランジスタ (13)、及び、低耐圧トランジスタ (11) のソースにカソードが接続さ

れ且つ高耐圧トランジスタ (13) のソースにアノードが接続されたダイオード (高速還流ダイオード) (15) を有するスイッチ回路 (10) が、昇圧チョップのハイサイド側の整流部に用いられる。ローサイドトランジスタ (22) のターンオフによる還流電流の発生前において、高耐圧トランジスタ (13) をオフにしたまま低耐圧トランジスタ (11) をオンとし、その後、ローサイドトランジスタ (22) をターンオフする。

WO 2015/079762 A1

明 細 書

発明の名称：整流装置

技術分野

[0001] 本発明は、整流装置に関する。

背景技術

[0002] 図25に示すような回路が提案されている（特許文献1参照）。図25では、ダイオード902Aが逆並列接続された高耐圧の主素子901と、内蔵ダイオード902Bを含む低耐圧の逆流防止素子903との直列回路がノード906及び907間に配置され、アノードをノード907側に配置した状態で高速還流ダイオード904がノード906及び907間に接続される。図25の回路では、主素子901と逆流防止素子903が同期して同時にオン、オフされる。逆回復特性の優れた高速還流ダイオード904に還流電流（整流電流）を流すことで損失の低減が図られる。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-115933号公報

発明の概要

発明が解決しようとする課題

[0004] 図25の回路では、ダイオード904による還流の開始前には、ノード906とノード907の間には、ノード906を正電圧とする高電圧が印加されている。この時、素子901及び903は共にオフ状態にあり、結果、素子901及び903に挟まれたノードMは、内蔵ダイオード902Bによりノード906と略同電位にある。還流を開始するべく、ノード907に対するノード906の電位を低下させると、素子901及び903はオフ状態であるため、ノードMはフローティング状態となり、ノードMの電位は素子901及び903の導通電極間容量（コレクターエミッタ間容量、ソースドレイン間容量）によって決まる。高耐圧の素子901の導通電極間容量が素

子 903 のそれに比べて無視できない場合、ノード 906 の電位が低下してもノード M の電位が十分下がらず、結果、素子 903 の耐圧を超えて素子 903 が破壊されるおそれがある。

[0005] そこで本発明は、トランジスタの破損回避に寄与する整流装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明に係る整流装置は、各々に、第 1 及び第 2 導通電極、並びに、第 1 及び第 2 導通電極間の導通をオン又はオフするための制御電極を持った第 1 及び第 2 トランジスタと、整流ダイオードと、前記第 1 トランジスタの第 1 導通電極及び前記整流ダイオードのカソードが接続された第 1 ノードと、前記第 1 及び第 2 トランジスタの第 2 導通電極が接続された第 2 ノードと、前記第 2 トランジスタの第 1 導通電極及び前記整流ダイオードのアノードが接続された第 3 ノードと、を有するスイッチ回路と、前記整流ダイオードの順方向への整流電流を前記スイッチ回路に間欠的に供給する接続回路と、前記整流電流が前記整流ダイオードに流れ始めるとき、前記第 1、第 2 トランジスタを夫々オン、オフとする制御回路と、を備えたことを特徴とする。

発明の効果

[0007] 本発明によれば、トランジスタの破損回避に寄与する整流装置を提供することが可能である。

図面の簡単な説明

[0008] [図1]本発明の第 1 実施形態に係るスイッチ回路の回路図である。

[図2] (a) ~ (c) は、本発明の第 1 実施形態に係り、スイッチ回路の各状態を示す図である。

[図3]本発明の第 2 実施形態に係るスイッチ回路の回路図である。

[図4]本発明の第 2 実施形態に係る昇圧チョッパの回路図である。

[図5]本発明の第 2 実施形態に係る昇圧チョッパの状態遷移を示す図である。

[図6]第 1 参考技術に係る昇圧チョッパの状態遷移を示す図である。

[図7]第 1 参考技術に対して用いたシミュレーションの回路図である。

[図8]第1参考技術に対するシミュレーションの結果を示す図である。

[図9]第2参考技術に係る昇圧チョッパの状態遷移を示す図である。

[図10]第2参考技術に対して用いたシミュレーションの回路図である。

[図11](a)及び(b)は、第2参考技術に対するシミュレーションの結果を示す図である。

[図12](a)及び(b)は、本発明の第2実施形態の技術に対するシミュレーションの結果を示す図である。

[図13]本発明の第3実施形態の昇圧チョッパにおける、同期整流の様子を説明するための図である。

[図14]本発明の第3実施形態の昇圧チョッパに係り、状態遷移の一部を示す図である。

[図15]比較用技術における、状態遷移間のノード電位変化を説明するための図である。

[図16]本発明の第3実施形態の高耐圧先行オフ方法の採用時における、状態遷移間のノード電位変化を説明するための図である。

[図17]本発明の第4実施形態に係る昇圧チョッパの回路図である。

[図18](a)及び(b)は、本発明の第4実施形態に係る昇圧チョッパの動作を説明するための図である。

[図19]本発明の第4実施形態の昇圧チョッパに係り、充電回路の詳細回路例を含む回路図である。

[図20]本発明の第4実施形態の昇圧チョッパに係り、充電回路中の電圧源の詳細回路例を含む回路図である。

[図21]本発明の第5実施形態に係る交流負荷駆動装置の回路図である。

[図22]本発明の第6実施形態に係るスイッチング電源装置の回路図である。

[図23]本発明の第6実施形態に係り、昇圧チョッパモードにおける各スイッチ及び充電回路の状態遷移図である。

[図24]本発明の第7実施形態に係る絶縁型DCDCコンバータの回路図である。

[図25]整流機能を有する従来の回路図である。

発明を実施するための形態

[0009] 以下、本発明の実施形態の例を、図面を参照して具体的に説明する。参照される各図において、同一の部分には同一の符号を付し、同一の部分に関する重複する説明を原則として省略する。尚、本明細書では、記述の簡略化上、情報、信号、物理量、状態量又は部材等を参照する記号又は符号を記すことによって該記号又は符号に対応する情報、信号、物理量、状態量又は部材等の名称を省略又は略記することがある。

[0010] <第1実施形態>

本発明の第1実施形態を説明する。図1は、本発明に係るスイッチ回路1の回路図である。スイッチ回路を整流回路と呼んでも良い。スイッチ回路1は、FET (field-effect transistor; 電界効果トランジスタ) として形成されたスイッチング素子11 (以下、低耐圧トランジスタ11又はトランジスタ11と呼ぶ) と、低耐圧トランジスタ11よりも高い耐圧を有するFETとして形成されたスイッチング素子13 (以下、高耐圧トランジスタ13又はトランジスタ13と呼ぶ) と、ファストリカバリダイオード等にて形成されるダイオード (整流ダイオード、高速還流ダイオード) 15と、を備える。トランジスタ11及び13はNチャンネル型のFETである。スイッチ回路1において、トランジスタ11のソース及びダイオード15のカソードはノードNaにて共通接続され、トランジスタ13のソース及びダイオード15のアノードはノードNcにて共通接続され、トランジスタ11及び13のドレイン同士はノードNbにて共通接続される。

[0011] 図2(a)は、ノードNcからノードNaへの整流電流が発生する前のスイッチ回路1の状態、図2(b)は、その整流電流が発生しているときのスイッチ回路1の状態、図2(c)は、その整流電流が停止する直前のスイッチ回路1の状態を夫々表している。図2(a)に示す如く、スイッチ回路1では、整流電流が発生する前に低耐圧トランジスタ11をオンにし、高耐圧トランジスタ13をオフにしておく。この時、ノードNaにはノードNcに

対して高電圧が印加されており、一方で低耐圧トランジスタ 11 がオンしているので、ノード N b の電位はノード N a の電位と等しくなっている。その後、ノード N a の電位がノード N c の電位よりダイオード 15 の順方向降下電圧 (V_f) を超えて低くなると、図 2 (b) に示すように、ノード N c からノード N a へ整流電流がダイオード 15 を流れる (高耐圧トランジスタ 13 が内蔵ダイオードを有する場合には、その内蔵ダイオード及び低耐圧トランジスタ 11 を経由する経路にも整流電流が流れる)。図 2 (a) から図 2 (b) の状態に遷移する間、低耐圧トランジスタ 11 はオンしているので、低耐圧トランジスタ 11 のソースとドレインの電位はほぼ等しくなり、低耐圧トランジスタ 11 が破壊されることはない。

[0012] 更にその後、ノード N c からノード N a への整流電流が停止する前に、図 2 (c) に示す如く低耐圧トランジスタ 11 をオフにするのが好ましい。これにより、高耐圧トランジスタ 13 が内蔵ダイオードを有していた場合には、内蔵ダイオードの整流電流が停止し、整流電流はダイオード 15 のみを流れる。従って、ダイオード 15 にファストリカバリダイオード等を用いておれば、整流電流の停止時における逆回復特性が良好となるため、スイッチ回路 1 を含む回路の損失やノイズを抑制することができる。

[0013] 低耐圧トランジスタ 11 として、例えば、ドレイン－ソース間耐圧が 10 ～ 100 V (ボルト) 程度のものを用いることができる。シリコンより形成される MOSFET を用いれば安価にトランジスタ 11 を形成できる。高耐圧トランジスタ 13 と比べて、ドレイン－ソース間耐圧が低いトランジスタを低耐圧トランジスタ 11 に用いることで、低耐圧トランジスタ 11 の導通抵抗及びチップ面積を小さくできる。

[0014] 高耐圧トランジスタ 13 として、回路で扱う電圧に対応した耐圧のトランジスタを選べばよい。例えば、回路の入力又は出力電圧が 300 V であるとき、600 V のソースドレイン間耐圧を持ったトランジスタを高耐圧トランジスタ 13 として選ぶことができる。高耐圧トランジスタ 13 として、シリコンより形成された MOSFET を用いると良い。特に高耐圧・大電流用

途ではS J（スーパージャンクション）－MOSFETを用いても良い。この他、SiC（シリコンカーバイド）－MOSFETを高耐圧トランジスタ13として用いても良い。

[0015] スイッチ回路1では、還流開始前において、即ちノードNcに対しノードNaに高電圧が印加されている状態において、トランジスタ11をオンする。このため、トランジスタ13は当該高電圧に単独で耐えうる耐圧性能を有していなければならないが、トランジスタ11は、そのような高電圧に耐える必要はない。故に、トランジスタ11は、トランジスタ13よりも低耐圧とされる。トランジスタ11の耐圧を低くすることは、コスト削減に繋がるし、トランジスタ11としてMOSFETを用いた場合にはオン抵抗の低減に繋がる。尚、トランジスタ13をMOSFETにて形成する場合、高耐圧を確保する必要性から、空乏層が形成されるドリフト層（n型MOSFETではn型不純物層）を厚くして不純物濃度を薄くするため、オン抵抗が高くなる。

[0016] 高耐圧トランジスタ13としてFETを用いた場合、例えば、図2（b）の状態の区間と図2（c）の状態の区間との間において、高耐圧トランジスタ13をオンさせることにより、ダイオード15ではなく、高耐圧トランジスタ13及び低耐圧トランジスタ11のチャネルに整流電流を流す整流、即ち同期整流を行うことができる。ここで、図2（b）の状態の区間と図2（c）の状態の区間との間とは、ダイオード15に整流電流が流れ始めるより後の時点から整流電流が停止するより前の時点までの期間を指している。このような動作を行うことにより、ダイオード電圧降下による損失の無い低損失動作が可能である。

[0017] また、スイッチ回路1によれば、ノードNcからノードNaへ向かう方向の整流のみではなく、トランジスタ11及び13をオンさせれば、ノードNaからノードNcへ電流を流すことも可能になる。故に例えば、スイッチ回路1を、インバータ回路のハイサイド又はローサイドのアーム（スイッチ）に用いることもできる。この場合においては、高耐圧トランジスタ13とし

て、MOSFET等のFETの他、バイポーラトランジスタやIGBT (Insulated Gate Bipolar Transistor) を用いることもできる。特に、高耐圧トランジスタ13としてFETを用いれば、導通損失を抑制することができる。高耐圧トランジスタ13としてIGBT (n型のチャネルが形成されるnチャネル型IGBT) 又はNPN型のバイポーラトランジスタを採用した場合、IGBT又はバイポーラトランジスタのエミッタをノードNcに接続し、IGBT又はバイポーラトランジスタのコレクタをノードNbに接続すれば良い。

[0018] ダイオード15として、ファストリカバリダイオードを用いた場合、例えば、ノードNcに接続されたスイッチング素子のターンオン時にダイオード15にて発生する逆回復電流 (リカバリ電流) を低く抑えることができ、スイッチング動作の高効率化に有利である。但し、高耐圧で逆回復特性 (リカバリ特性) が良好なダイオードであれば、ファストリカバリダイオード以外であっても、ダイオード15として好適である。例えば、シリコンカーバイド等で形成される高耐圧ショットキバリアダイオードにてダイオード15を形成しても良い。

[0019] <第2実施形態>

本発明の第2実施形態を説明する。以下の各実施形態では、スイッチ回路1の例であるスイッチ回路10を含んだ回路を説明する。図3にスイッチ回路10の回路図を示す。スイッチ回路10では、高耐圧トランジスタ11及び高耐圧トランジスタ13として、Nチャネル型のMOSFETが用いられる。従って、トランジスタ11のソースからドレインに向かう方向を順方向とするダイオード12が、トランジスタ11の内蔵ダイオードとしてトランジスタ11に並列付加され、トランジスタ13のソースからドレインに向かう方向を順方向とするダイオード14が、トランジスタ13の内蔵ダイオードとしてトランジスタ13に並列付加されている。スイッチ回路10におけるダイオード15として、ファストリカバリダイオードなどの、逆回復特性が良好なダイオードが用いられる。以下では、ダイオード15をFRD1

5とも呼ぶ。

[0020] 図4に、スイッチ回路10を、昇圧チョッパのハイサイド側スイッチ回路に用いた場合の回路例を示す。図4の昇圧チョッパは、スイッチ回路10と、コイル21と、ローサイドスイッチング素子であるトランジスタ22（以下、ローサイドトランジスタ22とも言う）と、制御回路30とを備える。図4では、トランジスタ22がNチャンネル型のMOSFETにて形成されている。図4において、トランジスタ22に並列接続されたダイオードは、MOSFETとしてのトランジスタ22の内蔵ダイオードである（トランジスタ22が示された他の図でも同様）。図4の昇圧チョッパにおいて、コイル21の一端は入力ノード N_{IN} に接続され、且つ、コイル21の他端はトランジスタ22のドレインに接続されると共にスイッチ回路10のノード N_c に接続され、且つ、トランジスタ22のソースは0V（ボルト）の基準電位を有するグランドに接続され、且つ、スイッチ回路10のノード N_a は出力ノード N_{OUT} に接続される。

[0021] 昇圧チョッパは、入力ノード N_{IN} に加わる所定の直流電圧を昇圧し、昇圧にて得た出力電圧を出力ノード N_{OUT} から出力する。図4の昇圧チョッパでは、スイッチ回路10が出力電圧生成用の整流部として用いられている。出力ノード N_{OUT} には、出力電圧を平滑化するための平滑コンデンサ（不図示）が接続される。

[0022] 制御回路30は、トランジスタ11、13及び22を含む各スイッチング素子のオン／オフを制御することで、昇圧動作を実現する。当然であるが、MOSFETにて形成されたトランジスタのオンとは、当該MOSFETのドレイン及びソース間が導通状態になることを意味し、MOSFETにて形成されたスイッチング素子のオフとは、当該MOSFETのドレイン及びソース間が非導通状態になることを意味する。昇圧動作において、制御回路30は、PWM（パルス幅変調）制御などを用いてローサイドトランジスタ22を交互にオン、オフする。トランジスタ22は、コイル21への電流供給をスイッチングするスイッチング素子として機能する。トランジスタ22を

オンにすることでコイル 21 にエネルギーを蓄積させ、次にトランジスタ 22 をオフにすることでコイル 21 の蓄積エネルギーをスイッチ回路 10 を通じてノード N_{OUT} へ出力し、これによって昇圧された出力電圧を得る。

[0023] 図 5 は、昇圧動作における各スイッチング素子のオン／オフ状態の移り変わりを示している。昇圧チョッパの状態が、第 1 状態を起点とし、第 2、第 3、第 4 状態へと順次変化して第 1 状態へと戻るループ処理が、制御回路 30 により繰り返し実行される。

第 1 状態ではトランジスタ 11、13、22 が、夫々、オフ、オフ、オンであり、

第 2 状態ではトランジスタ 11、13、22 が、夫々、オン、オフ、オンであり、

第 3 状態ではトランジスタ 11、13、22 が、夫々、オン、オフ、オフであり、

第 4 状態ではトランジスタ 11、13、22 が、夫々、オフ、オフ、オフである。

尚、スイッチング状態等を説明するための昇圧チョッパの図面（図 5 を含む）において、図面煩雑化の防止のため、制御回路 30 の図示を割愛することがある。

[0024] 第 1 実施形態で述べた技術の主旨に従い、ローサイドトランジスタ 22 がオンしている最中にハイサイド側の低耐圧トランジスタ 11 をオンする。即ち、第 1 状態を起点として、ローサイドトランジスタ 22 をターンオフする前に低耐圧トランジスタ 11 をターンオンする。その後、ローサイドトランジスタ 22 がターンオフされて第 3 状態に至る。このとき、コイル 21 からの整流電流（換言すれば、コイル 21 の蓄積エネルギーに基づく還流電流）は、高耐圧トランジスタ 13 の内蔵ダイオード 14 及び低耐圧トランジスタ 11 のチャネル（即ちソースドレイン間）を通過する経路と、FRD 15 を通過する経路とを介して、出力ノード N_{OUT} に流れる。第 2 状態から第 3 状態に至るまでの間、低耐圧トランジスタ 11 はオンしているので、低耐圧トラ

ンジスタ 11 のソースとドレインの電位はほぼ等しくなり、低耐圧トランジスタ 11 が破壊されることはない。そして、ローサイドトランジスタ 22 を再びオンにする前に低耐圧トランジスタ 11 をオフにしておく（第 4 状態）のが好ましい。これにより、コイル 21 からの整流電流は F R D 15 のみに流れる。その後、ローサイドトランジスタ 22 をターンオンすることで第 1 状態に戻る。

[0025] 第 3 状態になった後、第 4 状態になる前に、高耐圧トランジスタ 13 をオンすることで同期整流が可能であり、同期整流によりダイオード電圧降下による損失の無い低損失動作が可能である。但し、常に同期整流を行う必要は無く、例えば、大電流時にのみ同期整流を行い且つ小電流時には同期整流を行わない、といったことも可能である。

[0026] ——第 1 参考技術——

図 4 及び図 5 に示す昇圧チョッパの構成及び動作の有益性を説明する。まず、図 6 を参照し、第 1 参考技術として、ハイサイドを単体の MOS F E T 311 で形成した昇圧チョッパを考察する。図 6 の昇圧チョッパにおいても、ローサイド側のトランジスタ 310 が交互にオン、オフする。図 6 において、トランジスタ 310 がオフのとき、MOS F E T 311 の内蔵ダイオード 312 に電流が流れ、この際、内蔵ダイオード 312 の空乏層に少数キャリアが蓄積する。トランジスタ 310 がターンオンすると、蓄積キャリアが逆回復電流として内蔵ダイオード 312 から放出されるが、単体 MOS F E T 311 の内蔵ダイオード 312 の逆回復特性は基本的に良くないため、逆回復電流によるトランジスタ 310 のスイッチング損失が大きい。特に、S J -MOS F E T のような高耐圧・低抵抗の MOS F E T では、ソースドレイン間電圧が低いときのソースドレイン間容量が非常に大きく、この容量に対する充放電電流が、コイル 21 の電流及び内蔵ダイオード 312 の逆回復電流に加えて、トランジスタ 310 がターンオン時にトランジスタ 310 に流れるため、非常に大きなピーク電流が発生して大きなスイッチング損失が生じる。

[0027] 第1参考技術の昇圧チョッパについて、SPICEモデルで第1シミュレーションを行った。図7に、第1参考技術に対して用いたシミュレーションの回路を示す。図7及び後述の図10において、抵抗 R_i の近辺に抵抗 R_i の抵抗値が示され、且つ、コイル L_i 、コンデンサ C_i の近辺にそれらのインダクタンス及び静電容量が示され、且つ、ダイオード D_i は理想ショットキバリアダイオードである（但し、図10のダイオード D_2 を除く； i は整数）。MOSFET Q_2 及び Q_4 のモデルとして “IPW65R037C6__L0” を用いた。第1シミュレーションでは、周波数20kHzにて、ローサイドのMOSFET Q_2 を75%のオンデューティでスイッチングし、100Vの入力電圧から384Vの出力電圧を得る（後述の第2及び第3シミュレーションでも同様）。ハイサイドのMOSFET Q_4 のゲートには、ローサイドのMOSFET Q_2 へのゲート信号の相補信号を3マイクロ秒（以下、 μs と表記する）のデッドタイム付きで入力することで、同期整流を行っている。

[0028] 図8に、第1シミュレーションにおける、MOSFET Q_2 のターンオン時のローサイド電流（ Q_2 に流れる電流）の波形を示す。図8に示す如く、コイル L_2 の電流（約20A）にハイサイドからの逆回復電流が加わり、ピークで約100Aの電流が発生している。逆回復時間も相当に長く（約0.5 μs ）、大きなスイッチング損失が発生する。

[0029] ——第2参考技術——

次に、図9を参照して、第2参考技術を説明する。第2参考技術に係る昇圧チョッパは、図4の昇圧チョッパと同じ回路構成を有している。但し、第2参考技術においては、ハイサイド側の低耐圧トランジスタ11及び高耐圧トランジスタ13が同時にオン、オフされるものとする。図9の回路では、整流時に、低耐圧トランジスタ11が高耐圧トランジスタ13の内蔵ダイオード14に電流を流れることを防ぎ、逆回復特性の優れたFRD15で整流を行う。故に、ローサイドトランジスタ22のターンオン時における逆回復電流が第1参考技術よりも小さくなり、結果、スイッチング損失も小さくな

る。

[0030] しかし、ローサイドトランジスタ22をターンオフした際、ハイサイドの高耐圧トランジスタ13のソース電位の上昇が、高耐圧トランジスタ13のソース及びドレイン間容量結合を介して、フローティングしているドレインの電位（ノードNbの電位）をも上昇させる。従って、高耐圧トランジスタ13のソース及びドレイン間容量によっては、ノードNbの電位が低耐圧トランジスタ11の耐圧を超えて上昇し、低耐圧トランジスタ11を破壊するおそれがある。

[0031] 第2参考技術の昇圧チョッパについて、SPICEモデルで第2シミュレーションを行った。図10に、第2参考技術に対して用いたシミュレーションの回路を示す。MOSFETQ2のモデルとして “IPW65R037C6__L0” を用いた。高耐圧トランジスタ13及び低耐圧トランジスタ11に対応するMOSFETQ4、Q6のモデルとして、夫々、“IPW65R037C6__L0”、“BSZ023N04LS__L0”を用いた。FRD15に対応するダイオードD2のモデルとして “HFA45HC60C”を用いた。ハイサイドのMOSFETQ4及びQ6のゲートには、ローサイドのMOSFETQ2へのゲート信号の相補信号を3 μ sのデッドタイム付きで入力することで、同期整流を行っている。

[0032] 図11（a）に、第2シミュレーションにおける、MOSFETQ2のターンオン時のローサイド電流（Q2に流れる電流）の波形を示す。整流電流（還流電流）がFRD15に相当するダイオードD2を流れるため、逆回復特性が第1参考技術（図8参照）よりも良いことが分かる。一方で、MOSFETQ2のターンオフ時において、低耐圧MOSFETQ6のソースドレイン間に図11（b）に示す大きな電圧が加わるため、FETQ6の破壊の恐れがある。

[0033] ——本実施形態の技術——

そこで、本実施形態に係る昇圧チョッパでは、ハイサイドの整流が始まる前に、ハイサイドの低耐圧MOSFETをオンにしておく。ハイサイドの整

流が始まる際、即ち、ローサイドのトランジスタ 2 2 のターンオフ時に、低耐圧トランジスタ 1 1 をオンにしておけば（図 5 参照）、高耐圧トランジスタ 1 3 のドレインノードの電荷が低耐圧トランジスタ 1 1 のソースへと流れて電位上昇が防がれるため、低耐圧トランジスタ 1 1 の破損が回避される。

[0034] この効果を確認するために、図 1 0 のシミュレーション回路と同等の回路を用いて第 3 シミュレーションを行った（但し、本質的な相違ではないが、シミュレーション回路における各抵抗の抵抗値は第 2 シミュレーションのそれと若干異なる）。第 2 シミュレーションと異なり、第 3 シミュレーションでは、2 0 k H z の一周区間である $0 \mu s \sim 5 0 \mu s$ のタイミングにおいて、以下のスイッチングを行う。

$0 \mu s$ のタイミングにおいて、ハイサイドの MOS FET Q 4 及び Q 6 をオフにしたままローサイドの MOS FET Q 2 をターンオンする（即ち、昇圧チョッパの状態を第 4 状態から第 1 状態に遷移させる；図 5 参照）。

$3 \mu s$ のタイミングにおいて、ハイサイドの低耐圧 MOS FET Q 6 をターンオンする（即ち、昇圧チョッパの状態を第 1 状態から第 2 状態に遷移させる；図 5 参照）。

$3 7 . 5 \mu s$ のタイミングにおいて、ローサイドの MOS FET Q 2 をターンオフする（即ち、昇圧チョッパの状態を第 2 状態から第 3 状態に遷移させる；図 5 参照）。

$4 0 . 5 \mu s$ のタイミングにおいて、ハイサイドの高耐圧 MOS FET Q 4 をターンオンする。これにより同期整流が開始される。 $3 7 . 5 \sim 4 0 . 5 \mu s$ の区間はデッドタイムに相当する。

$4 7 \mu s$ のタイミングにおいて、ハイサイドの MOS FET Q 4 及び Q 6 を共にターンオフする（これにより、昇圧チョッパの状態は第 4 状態となる；図 5 参照）。

[0035] 図 1 2 (a) に、第 3 シミュレーションにおける、MOS FET Q 2 のターンオン時のローサイド電流（Q 2 に流れる電流）の波形を示す。第 2 参照技術（第 2 シミュレーション）と同様、逆回復特性が第 1 参考技術（図 8 参

照) よりも良いことが分かる。第3シミュレーションに係り、MOSFET Q2のターンオフ時において、低耐圧MOSFET Q6のソースドレイン間に加わる電圧波形を図12(b)に示す。図12(b)では、図11(b)との比較において、当該電圧が十分に低く抑えられていることが分かる。

[0036] このように、本実施形態では、コイル21の蓄積エネルギーに基づく還流電流がFRD15に流れ始める前に低耐圧トランジスタ11をターンオンし、当該還流電流が流れ始める時点及び当該時点までには低耐圧トランジスタ11をオン且つ高耐圧トランジスタ13をオフにしておく(図5参照)。これにより、第2参考技術で生じるような、低耐圧トランジスタのソースドレイン間への過大電圧印加及びそれによる低耐圧トランジスタの破損が回避される。また、上記還流電流のスイッチ回路10及びFRD15への供給停止時点及び当該時点までには(図5; 第4状態から第1状態へ遷移する前には) トランジスタ11及び13を共にオフにしておくのが好ましい。これにより、還流停止直前には還流電流が高耐圧MOSFET 13の内蔵ダイオード14に流れずにFRD15を流れるため、良好な逆回復特性が得られて逆回復電流に起因する損失が抑制される。尚、還流電流を整流電流と読み替えても良い。

[0037] <第3実施形態>

本発明の第3実施形態を説明する。本発明の第3実施形態を説明する。第3実施形態及び後述の第4～第7実施形態は第1及び第2実施形態を基礎とする実施形態であり、第3～第7実施形態において特に述べない事項に関しては、特に記述無き限り且つ矛盾の無い限り、第1及び第2実施形態の記載が第3～第7実施形態にも適用される。

[0038] 第3実施形態でも、図4の構成を有する昇圧チョッパを考える。また、昇圧チョッパの状態が図5の第1～第4状態になっている区間を、夫々、便宜上、第1区間～第4区間と呼ぶ。第2実施形態でも述べたが、図4の昇圧チョッパにおいて同期整流を行うようにしてもよい。即ち、昇圧チョッパの昇圧動作において、第3区間と第4区間の間に、昇圧チョッパの状態が同期整

流状態となる同期整流区間が設けられていても良い（図 13 参照）。同期整流状態では、トランジスタ 11、13、22 が、夫々、オン、オン、オフである。

[0039] 上述したように、ローサイドトランジスタ 22 のターンオフによって第 2 状態から第 3 状態に移移すると（図 5 又は図 13 参照）、コイル 21 の蓄積エネルギーに基づく還流電流がハイサイドのスイッチ回路 10 に流れ、この還流電流は、高耐圧トランジスタ 13 の内蔵ダイオード 14 及び低耐圧トランジスタ 11 のチャネル（即ちソースドレイン間）を通過する経路と、FRD 15 を通過する経路とを介して、出力ノード N_{OUT} に流れる。どちらの経路もダイオードを通過するため、ダイオード順方向電圧降下による損失が発生する。そこで、第 3 区間の後、第 4 区間に至る前に、制御回路 30 は高耐圧トランジスタ 13 をオンにして同期整流を実現する。これにより、図 13 に示す如く、還流電流（整流電流）は低抵抗のトランジスタ 13 及び 11 のチャネルを通過するため、ダイオード順方向電圧降下が発生せず、損失を抑えることができる。その後、ローサイドトランジスタ 22 を再びターンオンする直前にトランジスタ 11 及び 13 を共にオフにしてやれば、還流電流は FRD 15 に流れるようになる。このため、第 2 実施形態と同様、ローサイドトランジスタ 22 のターンオン時における損失を抑制することができる。以下では、昇圧チョッパにおいて同期整流が行われることを前提とする。

[0040] 更に、第 2 実施形態では、同期整流を終える際、整流部（ここではハイサイド）の高耐圧トランジスタ 13 を先にターンオフし、しかる後に低耐圧トランジスタ 11 をターンオフする方法（以下、高耐圧先行オフ方法と呼ぶ）が採用される。高耐圧先行オフ方法では、図 14 に示す如く、同期整流区間と第 4 区間との間に、昇圧チョッパの状態が中間遷移状態となる中間遷移区間が設けられる。中間遷移状態では、トランジスタ 11、13、22 が、夫々、オン、オフ、オフである。

[0041] 高耐圧先行オフ方法について詳細に説明する。同期整流状態から第 4 状態へ切り替える際、まず、高耐圧トランジスタ 13 をターンオフする。このと

き、高耐圧トランジスタ 13 のチャネルはオフされるものの、内蔵ダイオード 14 を電流が通過できるため、低耐圧トランジスタ 11 を経由した電流が流れる。尚、内蔵ダイオード 14 に電圧降下が発生するため、図 14 に示す如く、中間遷移状態において還流電流の一部は F R D 15 にも流れ得る。

[0042] 次に、低耐圧トランジスタ 11 をもオフとすることで第 4 状態に至る。これにより、トランジスタ 13 及び 11 経由の電流経路は遮断され、還流電流は F R D 15 のみに流れることになる。ところで、各素子を接続する配線には、必ず寄生インダクタンス成分が存在している（図 14 において、L L は、高耐圧トランジスタ 13 のソースとローサイドトランジスタ 22 のドレインとの間の配線に存在する寄生インダクタンス成分を表している）。従って、低耐圧トランジスタ 11 をターンオフして電流を遮断したとき、その遮断に起因する、寄生インダクタンス成分によるサージ電流が、低耐圧トランジスタ 11 のドレインに供給される。高耐圧トランジスタ 13 はオフであるから、このサージ電流は、高耐圧トランジスタ 13 の内蔵ダイオード 14 を経由して流れてくるものであり、従って、サージ電流による電荷はトランジスタ 11 及び 13 間のノード N b に閉じ込められて逆方向に戻っていくことができない。即ち、寄生インダクタンス成分によるサージ電流の電荷の一部がノード N b に閉じ込められ、第 4 状態において、ノード N b の電位が高耐圧トランジスタ 13 のソースのノード N c の電位よりも高くなる（図 14 参照）。

[0043] この利点を説明するために、同期整流をオフする際に、トランジスタ 11 及び 13 を同時にオフする又は低耐圧トランジスタ 11 を先にオフする比較用技術について説明する。図 15 を参照する。図 15 のノード N a ~ N c は、図 3 のそれらと同じである。比較用技術において、トランジスタ 11 及び 13 をオフにして F R D 15 にのみ還流電流が流れる第 4 状態に至ったとき、ダイオードの電圧降下を無視すると、ノード N a ~ N c の電位は出力ノード N_{OUT} の電位（以下、出力ノード電位 P_{OUT} という）と略等しい。つまり、高耐圧トランジスタ 13 のソースドレイン間には殆ど電圧差が無い。MO

S F E Tでは、ソースドレイン間の電位差が小さいほど、オフ時におけるソースドレイン間の静電容量が大きくなる。特にS J-M O S F E Tなどの高耐圧・低抵抗のM O S F E Tを高耐圧トランジスタ13に用いたならば、ソースドレイン間の電位差が小さいとき当該静電容量は非常に大きなものとなる。

[0044] 比較用技術において、第4状態からローサイドトランジスタ22をターンオンすると、ノードN cの電位がグラウンドの電位 P_{GND} へと低下する（トランジスタ22での電圧降下をゼロと仮定）。一方、ノードN bの電位は、低耐圧トランジスタ11の内蔵ダイオード12により出力ノード電位 P_{OUT} に維持される。結果、高耐圧トランジスタ13のソースドレイン間に出力ノード電位 P_{OUT} に相当する電圧が印加され、高耐圧トランジスタ13のソースドレイン間容量に対する充電電流が発生する。この充電電流は、トランジスタ22のターンオン時にコイル電流と重なってトランジスタ22に流れるので、スイッチング損失増大の要因となる。

[0045] 次に、図16を参照して、同期整流をオフする際に高耐圧トランジスタ13を先にオフする場合の挙動を説明する。この場合、高耐圧トランジスタ13のターンオフ後に低耐圧トランジスタ11をターンオフして第4状態に至ると、図14を参照して説明したように、上記サージ電流による電荷がノードN bに閉じ込められて、ノードN bの電位が出力ノード電位 P_{OUT} よりも高い電位（ $P_{OUT} + \alpha$ ）となる。即ち、第4状態の段階で、高耐圧トランジスタ13のソースドレイン間に電位差 α が生じていることになる。上述したように、ソースドレイン間容量は、ソースドレイン間の電位差が小さいときに非常に大きく、電位差の増大につれて減少する。故に、高耐圧先行オフ方法では、容量の大きい低電位差における充電が第4状態の段階で完了していることになる。

[0046] その後、ローサイドトランジスタ22をターンオンした際、高耐圧トランジスタ13のソースドレイン間にはほぼ出力ノード電圧が印加されるため、比較用技術と同様に、ソースドレイン間容量の充電電流が流れはする。

しかし、トランジスタ 22 をターンオン時における充電は、電位差 α が生じた状態からの充電であり、容量の大きい低電位差における充電は第 4 状態の段階で既に完了しているため、比較用技術と比べて充電電流は随分と小さく、結果、スイッチング損失を低減することができる。

[0047] 第 4 状態においてノード N b の電位を電位 ($P_{OUT} + \alpha$) に上昇させる上記サージ電流は、同期整流状態及び中間遷移状態において低耐圧トランジスタ 11 のドレインへ向かう電流の通過経路に存在するインダクタンス成分 J によるサージ電流である。インダクタス成分 J は、上記通過経路に存在する任意の寄生インダクタンス成分 (図 14 の寄生インダクタンス成分 L L を含む) でありうる。配線の一部を長く引き回すことで積極的に寄生インダクタンス成分を形成しても良い。或いは、インダクタンス成分 J は、上記通過経路 (例えば、高耐圧トランジスタ 13 のソース又はドレイン) に直列に設けられたコイル素子によるものであっても良い。当該コイル素子のインダクタンス値は、例えば、数 nH (ナノヘンリー) ~ 100 nH であって良い。

[0048] <第 4 実施形態>

本発明の第 4 実施形態を説明する。図 17 は、第 4 実施形態に係る昇圧チョップパの回路構成図である。図 17 の昇圧チョップパは、図 4 の昇圧チョップパに対し、電圧源 51 及びスイッチ SW から成る充電回路 50 を付与したものである。電圧源 51 は所定の電圧 V_c を出力する。ここで、電圧 V_c は、低耐圧トランジスタ 11 のドレインーソース間の耐圧より小さい正の電圧である。電圧源 51 とスイッチ SW の直列回路はノード N a 及び N b 間に接続されている。スイッチ SW がオンのとき、ノード N a の電位を基準として電圧源 51 の出力電圧 V_c がノード N b に印加され、スイッチ SW がオフのとき、当該印加は成されない。制御回路 30 によって、スイッチ SW のオン又はオフが制御される。第 2 実施形態と同様、図 17 の昇圧チョップパでも、ローサイドトランジスタ 22 のターンオフの前に、高耐圧トランジスタ 13 をオフに維持したまま低耐圧トランジスタ 11 がオンとされる。即ち、図 17 の昇圧チョップパの状態は、第 1 状態から第 2、第 3 状態へと順次変化する (図

5 参照)。以下、ローサイドトランジスタ 22 のターンオン前の動作について説明する。

[0049] 図 18 (a) は、F R D 15 に還流電流が流れている段階の、第 4 実施形態の昇圧チョッパの状態の例を示している。スイッチ回路 10 に還流電流が流れているとき（即ち、トランジスタ 22 がオフであるとき）、第 3 実施形態と同様、トランジスタ 11 及び 13 をオンにして同期整流を行うようにしても良い。何れにせよ、ローサイドトランジスタ 22 のターンオンの直前には、トランジスタ 11 及び 13 が共にオフとされるが、上述の高耐圧先行オフ方法と異なり、トランジスタ 11 及び 13 のオフの順序は問わない。

[0050] 制御回路 30 は、トランジスタ 11 及び 13 がオフとされ還流電流が F R D 15 に流れている第 4 状態（図 5 参照）において、図 18 (b) に示す如く、スイッチ SW を所定時間だけオンとし、これにより、ノード N a を基準としてノード N b に電圧 V c を印加する。その後、ローサイドトランジスタ 22 がターンオンしてスイッチ回路 10 (F R D 15) への還流電流の供給が停止するまでに、スイッチ SW はオフとされる。第 4 状態以外の状態においては、スイッチ SW はオフに維持されている。

[0051] これにより、ローサイドトランジスタ 22 のターンオン前に、高耐圧トランジスタ 13 のドレインソース間に電圧 V c が印加され、容量の大きい低電位差における充電を第 4 状態の段階で完了させることができる。結果、上記高耐圧先行オフ方法と同様、図 15 の比較用技術と比べて、ローサイドトランジスタ 22 のターンオン時における高耐圧トランジスタ 13 の充電電流を低くできるため、より高速のスイッチングを安定に行うことができると共に高効率な回路動作を実現できる。つまり、図 15 の比較用技術では、高耐圧トランジスタ 13 の高容量の充電をローサイドトランジスタ 22 が行わなければならないため、スイッチングに時間がかかってスイッチング損失が大きくなるが、第 4 実施形態では、第 4 状態の段階で高耐圧トランジスタ 13 の容量充電の一部を充電回路 50 が完了させるため、ローサイドトランジスタ 22 のターンオン時の充電電流が抑えられて、スイッチングを低損失且つ

高速に行うことができる。

[0052] また、第4実施形態では、電圧 V_c を出力する充電回路50を用いるため、寄生インダクタンス成分等を利用する第3実施形態の高耐圧先行オフ方法よりも、充電を安定的に行うことができる。

[0053] 図19に、充電回路50の内部回路図の例を含む、昇圧チョップの回路図を示す。図19の充電回路50は、部品51～56から成る。電圧源51の負出力端子はノードNaに接続され、電圧源51の正出力端子はPチャンネル型のMOSFETであるトランジスタ52のソースに接続されていると共に抵抗54を介してトランジスタ52のゲートにも接続されている。トランジスタ52のドレインは電流制限抵抗56を介してノードNbに接続される。また、トランジスタ52のゲートは抵抗55を介してNチャンネル型のMOSFETであるトランジスタ53のドレインに接続され、トランジスタ53のソースはノードNaに接続される。抵抗56は、電圧源51からノードNbへ供給される電流の大きさを制限して動作の安定化を図るものである。抵抗56は割愛されうる。

[0054] 制御回路30は、トランジスタ53のオン／オフを制御することで、図17のスイッチSWに相当するトランジスタ52のオン／オフを制御する。トランジスタ53がオフのとき、抵抗54の存在により、トランジスタ52のソース及びゲートの電位が同じとなるため、トランジスタ52もオフとなる。トランジスタ53がオンのとき、抵抗55を介してトランジスタ52のゲート電位が引き下げられ、トランジスタ52もオンとなる。トランジスタ52がオンのとき、ノードNaを基準として、電圧源51によりノードNbの電位が上昇する。尚、トランジスタ52、53として、夫々、PNP型、NPN型バイポーラトランジスタを用いても良い。

[0055] 電圧源51の出力電圧 V_c は、例えば10～60Vである。例えば、 $V_c = 30V$ である場合、トランジスタ52及び53並びに低耐圧トランジスタ11として、ドレイン－ソース間耐圧が40～60V程度のものを選べばよい。また、トランジスタ52のゲート－ソース間に加わる電圧がトランジス

タ 5 2 のゲートソース間耐圧を超えないように、且つ、トランジスタ 5 3 のオン時に電圧源 5 1 の正出力端子から抵抗 5 4、抵抗 5 5 及びトランジスタ 5 3 を介して電圧源 5 1 の負出力端子に流れる電流が過大とならないように、抵抗 5 4 及び 5 5 の抵抗値が設定される。例えば、 $V_c = 30\text{ V}$ の場合において、抵抗 5 4 及び 5 5 の各抵抗値を $150\ \Omega$ （オーム）に設定すると、トランジスタ 5 3 のオン時にトランジスタ 5 2 のゲートソース間に “ -15 V ” の電圧が印加され、抵抗 5 4 に流れる電流は 100 mA になる。トランジスタ 5 3 のオンは、ローサイドトランジスタ 2 2 のターンオン直前にノード N b を充電する期間だけ行えば良い。例えば、PWM 制御におけるトランジスタ 2 2 のスイッチング周波数が 20 kHz である場合に、1 周期当たりのトランジスタ 5 3 のオン時間を $2\ \mu\text{s}$ に設定すると、トランジスタ 5 3 のオン時における抵抗 5 4 及び 5 5 での損失を、 0.12 W ($= 30\text{ V} \times 100\text{ mA} \times 2 / 50$) に抑えることができる。

[0056] トランスを用いて別途設けられた絶縁型レギュレータにて電圧源 5 1 を形成しても良い。或いは、図 20 に示すようなブートストラップ回路を形成することで、電圧源 5 1 を得ても良い。これによれば、別途のトランスが不要になる分、安価に電圧源 5 1 を形成できる。図 20 の電圧源 5 1 は部品 6 1 ~ 6 7 から成る。電圧源 6 1 は、グラウンドの電位を基準とする直流電圧を出力し、電圧源 6 1 の正出力端子はダイオード 6 2 のアノードに接続される。ダイオード 6 2 のカソードは、電流制限抵抗 6 3 を介して、コンデンサ 6 4 の一端及びダイオード 6 5 のアノードに接続される。コンデンサ 6 4 の他端はノード N c に接続される。ダイオード 6 5 のカソードは電流制限抵抗 6 6 を介してコンデンサ 6 7 の一端及びトランジスタ 5 2 のソースに接続される。コンデンサ 6 7 の他端はノード N a に接続される。これにより、電圧源 6 1 からのグラウンド基準の電圧がノード N c の交番電圧を利用してレベルシフトされ、ノード N a を基準とした電圧 V_c がコンデンサ 6 7 に発生する。

[0057] <第 5 実施形態>

本発明の第 5 実施形態を説明する。図 21 は、第 5 実施形態に係る交流負

荷駆動装置 100 の回路図である。交流負荷駆動装置 100 は、第 1 ハイサイドスイッチ及び第 1 ローサイドスイッチの直列回路と、第 2 ハイサイドスイッチ及び第 2 ローサイドスイッチの直列回路と、上述の制御回路 30 の機能を有する制御回路 30A とを有し、両直列回路の間に交流負荷 110 が接続される。

[0058] 第 1 及び第 2 ハイサイドスイッチの組と第 1 及び第 2 ローサイドスイッチの組の内、少なくとも一方の組に、第 2 ～第 4 実施形態のスイッチ回路 10（特に好ましくは、第 4 実施形態に係る充電回路 50 が付加されたスイッチ回路 10）を用いる。図 21 の例では、ローサイドスイッチのみに対して PWM スイッチング（即ち、PWM 制御によるオン、オフのスイッチング）を行うため、充電回路 50A [1] が付加されたスイッチ回路 10A [1] が第 1 ハイサイドスイッチとして用いられ、充電回路 50A [2] が付加されたスイッチ回路 10A [2] が第 2 ハイサイドスイッチとして用いられる。充電回路 50A [i] 及びスイッチ回路 10A [i] は、上述の充電回路 50 及びスイッチ回路 10 と同じものであり、制御回路 30A によって各回路 50A [i] 及び 10A [i] の状態が制御される（i は整数）。

[0059] 符号 101 及び 102 は、夫々、第 1 及び第 2 ローサイドスイッチを表している。制御回路 30A は、各ローサイドスイッチのオン／オフ状態の制御も行う。各ローサイドスイッチとして、高耐圧スイッチング素子を用いると良い。例えば、各ローサイドスイッチ（ローサイドのスイッチング素子）として、IGBT 又は SJ-MOSFET を用いても良いし、SiC、GaN（ガリウムナイトライド）等から形成される FET を用いても良い。また、並列又は直列接続された複数のトランジスタにて各ローサイドスイッチを形成しても良い。

[0060] 図 21 では、第 1 ハイサイドスイッチ及び第 1 ローサイドスイッチの直列回路にて第 1 インバータ回路が形成されると共に、第 2 ハイサイドスイッチ及び第 2 ローサイドスイッチの直列回路にて第 2 インバータ回路が形成され、第 1 及び第 2 インバータ回路により、直流の入力電圧 V_{in} が交流に変換

される。具体的な構成として、スイッチ回路10A[1]及び10A[2]の各ノードNaには入力電圧Vinが印加され、スイッチ回路10A[1]のノードNcはスイッチ101の一端及び交流負荷110の電源端子111に接続され、スイッチ回路10A[2]のノードNcはスイッチ102の一端及び交流負荷110の電源端子112に接続され、スイッチ101及び102の各他端はグランドに接続される。交流負荷110は、電源端子111及び112間に加わる交流電圧にて駆動する任意の負荷である。

[0061] 例えば、電源端子111から電源端子112へ電流を流す第1動作モードでは、第1ローサイドスイッチ101をオフに維持すると共にスイッチ回路10A[1]の高耐圧トランジスタ13をオンに維持し、第2ローサイドスイッチ102のオン／オフをスイッチングする。交流負荷110はコイル21（図5参照）に相当するようなコイルを含み、スイッチ102は当該コイルへの電流供給をスイッチングするスイッチング素子として機能する。スイッチ102がオフであるときには還流電流がスイッチ回路10A[2]に流れる。故に、第1動作モードにおいて、第2ハイサイドスイッチ（10A[2]、50A[2]）に対し第2～第4実施形態で述べた動作を適用する。これにより、スイッチング損失を抑えた高効率なスイッチングを安定的に実現できる。第1動作モードにおいて、スイッチ回路10A[2]の高耐圧トランジスタ13を常時オフにしておくこともできるが、第2～第4実施形態のように、ローサイドスイッチ102のオフに同期してスイッチ回路10A[2]の高耐圧トランジスタ13をオンさせる同期整流を行えば、ダイオード電圧降下分の損失を低減できる。また、第1動作モードにおいて、スイッチ回路10A[1]の低耐圧トランジスタ11をオフにしておいても良いが、内蔵ダイオード12の電圧降下分の損失発生を回避すべく、スイッチ回路10A[1]の低耐圧トランジスタ11をオンにしておく方が好ましい。

[0062] 電源端子112から電源端子111へ電流を流す第2動作モードでは、第1動作モードから見て、第1インバータ回路と第2インバータ回路の動作を入れ替えれば良い。尚、図21の回路においては、各高耐圧トランジスタ1

3をIGBTやバイポーラトランジスタにて形成しても良く、特に高電圧大電流用途ではMOSFETを利用するよりもコストを抑えることができる。但し、この場合には、同期整流を行わない。

[0063] <第6実施形態>

本発明の第6実施形態を説明する。図22は、第6実施形態に係るスイッチング電源装置130の回路図である。スイッチング電源装置130は、ハイサイドスイッチ及びローサイドスイッチの直列回路と、2つの入出力端子131及び132と、コイル140と、上述の制御回路30の機能を有する制御回路30Bとを有する。

[0064] ハイサイドスイッチ及びローサイドスイッチに、第2～第4実施形態のスイッチ回路10（特に好ましくは、第4実施形態に係る充電回路50が付加されたスイッチ回路10）を用いる。これにより、ハイサイドスイッチをスイッチングさせてローサイドスイッチに還流電流に流す動作と、ローサイドスイッチをスイッチングさせてハイサイドスイッチに還流電流に流す動作の両方を、高効率且つ安定に行うことができる。

[0065] 図22の例では、充電回路50B[1]が付加されたスイッチ回路10B[1]がハイサイドスイッチとして用いられ、充電回路50B[2]が付加されたスイッチ回路10B[2]がローサイドスイッチとして用いられる。充電回路50B[i]及びスイッチ回路10B[i]は、上述の充電回路50及びスイッチ回路10と同じものであり、制御回路30Bによって各回路50B[i]及び10B[i]の状態が制御される（iは整数）。詳細には、スイッチ回路10B[1]のノードNaが入出力端子131に接続され、スイッチ回路10B[1]のノードNcとスイッチ回路10B[2]のノードNaはノード133にて共通接続され、スイッチ回路10B[2]のノードNcはグラウンドに接続され、ノード133と入出力端子132の間にコイル140が接続される。端子131及び132における電圧を、夫々、V1、V2にて表す（ $V1 > V2$ ）。端子131及び132の夫々に対して平滑化コンデンサ（不図示）を接続しておくが良い。

[0066] 図22の装置130を、双方向チョッパとして用いることができる。双方向チョッパにおける制御回路30Bは、電圧V1及びV2を夫々入力電圧及び出力電圧とした降圧チョッパモード、又は、電圧V1及びV2を夫々出力電圧及び入力電圧とした昇圧チョッパモードにて動作できる。

[0067] 降圧チョッパモードでは、スイッチ回路10B[1]の高耐圧トランジスタ13がコイル140への電流供給をスイッチングするスイッチング素子として機能するため、スイッチ回路10B[1]の高耐圧トランジスタ13に対してPWMスイッチング（即ち、PWM制御によるオン、オフのスイッチング）を行う。降圧チョッパモードにおいて、ローサイドスイッチ（10B[2]、50B[2]）に対しては第2～第4実施形態で述べた動作を適用すれば良い。つまり例えば、図22のコイル140、スイッチ回路10B[1]の高耐圧トランジスタ13、スイッチ回路10B[2]及び充電回路50B[2]を、夫々、図17のコイル21、トランジスタ22、スイッチ回路10及び充電回路50と見立てて、第4実施形態の動作を適用すればよい。これにより、ハイサイドスイッチのターンオン（回路10B[1]のトランジスタ13のターンオン）の際のスイッチング損失を低減できる。降圧チョッパモードにおいて、スイッチ回路10B[1]の低耐圧トランジスタ11をオフにしても良いが、内蔵ダイオード12の電圧降下分の損失発生を回避すべく、スイッチ回路10B[1]の低耐圧トランジスタ11をオンにしておく方が好ましい。尚、降圧チョッパモードでは、充電回路50B[1]の動作を停止しておいてよい（必要ないため）。

[0068] 昇圧チョッパモードでは、スイッチ回路10B[2]の高耐圧トランジスタ13がコイル140への電流供給をスイッチングするスイッチング素子として機能するため、スイッチ回路10B[2]の高耐圧トランジスタ13に対してPWMスイッチング（即ち、PWM制御によるオン、オフのスイッチング）を行う。昇圧チョッパモードにおいて、ハイサイドスイッチ（10B[1]、50B[1]）に対しては第2～第4実施形態で述べた動作を適用すれば良い。つまり例えば、図22のコイル140、スイッチ回路10B[

2]の高耐圧トランジスタ13、スイッチ回路10B[1]及び充電回路50B[1]を、夫々、図17のコイル21、トランジスタ22、スイッチ回路10及び充電回路50と見立てて、第4実施形態の動作を適用すればよい。これにより、ローサイドスイッチのターンオン（回路10B[2]のトランジスタ13のターンオン）の際のスイッチング損失を低減できる。昇圧チョッパモードにおいて、スイッチ回路10B[2]の低耐圧トランジスタ11はオンでもオフでもいいが、上述の理由から、それをオンに維持しておくことが好ましい。尚、昇圧チョッパモードでは、充電回路50B[2]の動作を停止しておいてよい（必要ないため）。

[0069] 図23に、昇圧チョッパモードにおける、ハイサイド及びローサイドスイッチの低耐圧／高耐圧トランジスタ及び充電回路の状態遷移図を示す（図5等も参照）。図23において、“on”、“off”は、“オン”、“オフ”と同義である。

[0070] 図22の回路においても、各高耐圧トランジスタ13としてFETを用いれば導通損失を抑えることができるほか、上述した同期整流を行えばダイオード電圧降下分の損失も抑えることができる。第5実施形態と同様、図22の回路においては、各高耐圧トランジスタ13をIGBTやバイポーラトランジスタにて形成しても良く、特に高電圧大電流用途ではMOSFETを利用するよりもコストを抑えることができるが、この場合には同期整流を行わない。

[0071] <第7実施形態>

本発明の第7実施形態を説明する。絶縁型DCDCコンバータ（絶縁型直流／直流変換器）の二次側の整流部に、第2～第4実施形態の技術を適用しても良い。図22は、この適用が成された絶縁型DCDCコンバータ200の回路図である。図22の例では、一次側にプッシュプル回路を構成し、二次側回路をフルブリッジで構成しているが、他のトランス方式を採用しても良い。

[0072] 図22の回路構成について説明する。コンバータ200は、所定の直流電

圧を出力する電圧源201と、Nチャンネル型のFETとして形成されたスイッチ202及び203と、トランス204と、スイッチ回路10と同じ構成を持つスイッチ回路10C[1]～10C[4]と、充電回路50と同じ構成を持つ充電回路50C[1]～50C[4]と、上述の制御回路30の機能を有する制御回路30Cと、を有する。トランス204において、部品201～203に接続された巻線206は一次側巻線として機能し、スイッチ回路10C[1]～10C[4]に接続された巻線207は二次側巻線として機能する（後述するように例外あり）。第4実施形態で述べた方法により、充電回路50C[i]はスイッチ回路10C[i]に接続される（iは整数）。

[0073] 電圧源201の負出力端子は、スイッチ202を介して一次側巻線の一端に接続されると共にスイッチ203を介して一次側巻線他端に接続される。電圧源201の正出力端子は、一次側巻線の両端間の中央に設けられたセンタータップ205に接続される。二次側巻線の一端はノード211に接続され、二次側巻線他端はノード212に接続される。スイッチ回路10C[1]のノードNc及びスイッチ回路10C[2]のノードNaはノード211にて共通接続され、スイッチ回路10C[3]のノードNc及びスイッチ回路10C[4]のノードNaはノード212にて共通接続される。スイッチ回路10C[1]及び10C[3]の各ノードNaは出力端子210に接続され、スイッチ回路10C[2]及び10C[4]の各ノードNcはグランド（二次側のグランド）に接続される。

[0074] スイッチ202及び203を交互にオンさせることで、二次側巻線の両端間に交流電圧が発生する。二次側巻線に発生した交流電圧がスイッチ回路10C[1]～10C[4]を用いて全波整流され、全波整流によって得られた電圧が出力端子210に加わる。出力端子210とグランド（二次側のグランド）との間には、平滑化コンデンサ（不図示）が接続される。

[0075] 制御回路30Cは、スイッチ202、203のオン／オフのスイッチングに同期して二次側に発生する整流電流に合わせて、必要なスイッチ回路10

C [i] の高耐圧トランジスタ 13 をオンすることにより同期整流を実現でき、これによってダイオード電圧降下による損失を低下できる。

[0076] ここでも、上述の各実施形態と同様、整流電流（二次側巻線からの電流）がスイッチ回路 10C [i] の FRD 15 に流れ始める前にスイッチ回路 10C [i] の低耐圧トランジスタ 11 をターンオンし、当該整流電流が流れ始める時点にはスイッチ回路 10C [i] の低耐圧トランジスタ 11、高耐圧トランジスタ 13 を、夫々、オン、オフにしておく。そして、スイッチ回路 10C [i] において、整流電流が流れ始めた後、高耐圧トランジスタ 13 をオンにして同期整流を実現し、その後、整流電流のスイッチ回路 10C [i] への供給停止時点までにはトランジスタ 11 及び 13 を共にオフとする。この際、スイッチ回路 10C [i] において、トランジスタ 11 及び 13 をターンオフした後、整流電流のスイッチ回路 10C [i] への供給が停止するまでに、第 4 実施形態で述べた動作を充電回路 50C [i] に行わせると良い。

[0077] また、一次側のスイッチ（202、203）のオン／オフの切り替えにより、二次側での整流電流が一時的に停止して二次側に流れる電流の向きが切り替わるが、図 24 の構成によれば、その電流の向きの切り替わりの際に二次側で発生する逆回復電流を低減させることができる（FRD 15 の機能による）。二次側で発生した逆回復電流は、トランス 204 を介して一次側にサージを発生させることがある。特に、一次側に対して二次側の電圧が高い（即ち昇圧比が高い）場合、逆回復電流に起因するサージはトランス電流波形の乱れを招いて効率を低下させるおそれがある。図 24 では、これが防がれる。

[0078] また、図 24 において、トランス 204 の右側の回路、即ち、巻線 207 に接続された回路をスイッチング素子にて形成しているため、巻線 207 を一次側巻線且つ巻線 206 を二次側巻線として機能させることもできる。従って、コンバータ 200 は双方向コンバータとなりうる。この場合、巻線 206 に接続された二次側回路に含まれるトランジスタ（202、203）が

整流素子となるため、必要に応じ、巻線 206 に接続された二次側回路にも第 2 ～第 4 実施形態で述べた技術を適用して良い。即ち、スイッチ回路 10 をトランジスタ 202 及び 203 の夫々として用いても良く、この場合、トランジスタ 202 及び 203 としての各スイッチ回路 10 のノード Nc を電圧源 201 の負出力端子に接続し、且つ、トランジスタ 202、203 としてのスイッチ回路 10 のノード Na を、夫々、巻線 206 の一端、他端に接続すれば良い。

[0079] <<変形等>>

本発明の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。以上の実施形態は、あくまでも、本発明の実施形態の例であって、本発明ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。上述の説明文中に示した具体的な数値は、単なる例示であって、当然の如く、それらを様々な数値に変更することができる。

[0080] 上述してきた内容と説明が部分的に重複するが、低耐圧トランジスタ 11 及び高耐圧トランジスタ 13 の構成について説明を加えておく。

[0081] 各実施形態において、低耐圧トランジスタ 11 に対し、特に内蔵ダイオード 12 が存在しない場合、逆並列ダイオードを接続しても良いし、高耐圧トランジスタ 13 に対し、特に内蔵ダイオード 14 が存在しない場合、逆並列ダイオードを接続しても良い。低耐圧トランジスタ 11 に接続可能な逆並列ダイオードのアノード、カソードは、夫々、ノード Na、ノード Nb に接続される。高耐圧トランジスタ 13 に接続可能な逆並列ダイオードのアノード、カソードは、夫々、ノード Nc、ノード Nb に接続される。

[0082] 各実施形態において、低耐圧トランジスタ 11 には、MOSFET などの FET を用いる。低耐圧トランジスタ 11 に内蔵ダイオード 12 又は逆並列ダイオードが付加されていても良いし、付加されていなくても良い。

[0083] 単方向チョッパ（即ち昇圧チョッパ又は降圧チョッパ）においては、同期整流を行うべく高耐圧トランジスタ 13 に MOSFET などの FET を用い

る。

インバータ回路や双方向チョッパにおいても（図 2 1、図 2 2 参照）、高耐圧トランジスタ 1 3 として、MOSFET 等の FET を用いることができ、これによって導通時の損失低減効果が得られる。同期整流を行えば、更に高効率化が図られる。但し、インバータ回路や双方向チョッパにおいて、IGBT 又はバイポーラトランジスタを高耐圧トランジスタ 1 3 に用いることもできる。但し、この場合、同期整流は不可となる。

何れの場合においても、高耐圧トランジスタ 1 3 に対する内蔵ダイオード 1 4 又は逆並列ダイオードの付加は必須でない。但し、第 3 実施形態の高耐圧先行オフ方法を利用する際には、高耐圧トランジスタ 1 3 に内蔵ダイオード 1 4 又は逆並列ダイオードが付加されている必要がある。

[0084] インバータ回路や双方向チョッパにおいて、整流方向（FRD 1 5 の順方向）と逆方向に電流を流すとき、低耐圧トランジスタ 1 1 及び高耐圧トランジスタ 1 3 のターンオンの順番、ターンオフの順番を任意とすることができ、それらのターンオン又はターンオフは同時でも良い。

[0085] 各実施形態の FET に関し、N チャンネル型の FET を P チャンネル型の FET に変更する変形、又は、その逆の変形が可能である。例えば、低耐圧トランジスタ 1 1 及び高耐圧トランジスタ 1 3 を P チャンネル型の FET にて形成することもでき、この場合、低耐圧トランジスタ 1 1 及び高耐圧トランジスタ 1 3 のソース同士をノード N b にて接続し、且つ、低耐圧トランジスタ 1 1 のドレイン及び FRD 1 5 のカソードをノード N a にて接続し、高耐圧トランジスタ 1 3 のドレイン及び FRD 1 5 のアノードをノード N c にて接続すれば良い。

[0086] <<本発明の考察>>

本発明の内容について考察する。

[0087] 本発明の一側面に係る整流装置は、各々に、第 1 及び第 2 導通電極、並びに、第 1 及び第 2 導通電極間の導通をオン又はオフするための制御電極を持った第 1 及び第 2 トランジスタ（1 1、1 3）と、整流ダイオード（1 5）

と、前記第1トランジスタの第1導通電極及び前記整流ダイオードのカソードが接続された第1ノード(Na)と、前記第1及び第2トランジスタの第2導通電極が接続された第2ノード(Nb)と、前記第2トランジスタの第1導通電極及び前記整流ダイオードのアノードが接続された第3ノード(Nc)と、を有するスイッチ回路(1、10)と、前記整流ダイオードの順方向への整流電流を前記スイッチ回路に間欠的に供給する接続回路と、前記整流電流が前記整流ダイオードに流れ始めるとき、前記第1、第2トランジスタを夫々オン、オフとする制御回路(30、30A~30C)と、を備えたことを特徴とする。

[0088] 当該整流装置において、整流電流が整流ダイオードに流れる際、第1及び第3ノード間の電位差が低下する。このとき、第2ノードがフローティング状態であると、第2トランジスタの導通電極間の容量結合により、第2ノードの電位が第1トランジスタの耐圧を超えて上昇し、第1トランジスタが破損するおそれがある。上記構成の如く、整流電流が整流ダイオードに流れ始めるときに第1、第2トランジスタを夫々オン、オフとしておけば、第1及び第2ノード間が導通されるので、第1トランジスタに過大な電圧が加わらず、第1トランジスタの破損が回避される。

[0089] 上記の整流装置は、上述の各実施形態で述べた回路にて具現化されている。例えば、図4又は図17において、接続回路は、コイル21及びローサイドトランジスタ22を含む回路である。図21の回路において、例えば、スイッチ回路10A[2]に対する接続回路は、スイッチ回路10A[1]、交流負荷110及びスイッチ102を含む回路である。図22の回路において、例えば、スイッチ回路10B[2]に対する接続回路は、スイッチ回路10B[1]及びコイル140を含む回路であり、スイッチ回路10B[1]に対する接続回路は、スイッチ回路10B[2]及びコイル140を含む回路である。図24の回路において、例えば、スイッチ回路10C[i]に対する接続回路は、部品201~204を含む回路である。

[0090] 第iトランジスタがFETである場合、第iトランジスタのソース及びド

レインの内の一方が第 i トランジスタの第 1 導通電極であり、他方が第 i トランジスタの第 2 導通電極である (i は整数)。第 i トランジスタが IGBT 又はバイポーラトランジスタである場合、第 i トランジスタのコレクタ及びエミッタの内の一方が第 i トランジスタの第 1 導通電極であり、他方が第 i トランジスタの第 2 導通電極である。制御電極は、第 i トランジスタのゲート又はベースである。

[0091] 上記制御装置において、例えば、前記制御回路は、前記スイッチ回路への前記整流電流の供給が停止するときには前記第 1 及び第 2 トランジスタをオフにしても良い。

[0092] これにより、スイッチ回路への整流電流の供給が停止するときには、第 1、第 2 トランジスタが共にオフとされているため、当該停止の直前における整流電流は、トランジスタの内蔵ダイオード等ではなく、整流ダイオードを流れる。従って、逆回復特性の良好なダイオードにて整流ダイオードを形成しておけば、整流装置を含む回路の損失が低減される。

[0093] 上記整流装置において、例えば、前記第 1 及び第 2 トランジスタは FET であり、前記整流電流が前記整流ダイオードに流れ始めた後、前記スイッチ回路への前記整流電流の供給が停止するときまでの区間の一部において、前記制御回路は、前記第 1 及び第 2 トランジスタをオンとすることで前記整流電流を前記第 1 及び第 2 トランジスタに流してもよい。

[0094] これにより、同期整流が実現されて整流装置を含む回路の損失が低減される。

[0095] また具体的には例えば、前記第 3 ノードから前記第 2 ノードに向かう方向を順方向とする付加ダイオード (14) が前記第 2 トランジスタに付加されており、前記制御回路は、前記区間の一部で前記第 1 及び第 2 トランジスタをターンオンした後、前記第 1 及び第 2 トランジスタをオフにする過程において、前記第 2 トランジスタを前記第 1 トランジスタよりも先にターンオフしても良い。

[0096] この技術を具現化した回路の例が第 3 実施形態に示されている。第 1 トラ

ンジスタがオンの状態で第2トランジスタをターンオフした段階では、まだ、第2トランジスタの付加ダイオードを介して第1トランジスタに整流電流が流れている。この後、第1トランジスタをターンオフして第1トランジスタを介した整流電流の通過経路を遮断すると、整流電流は整流ダイオードを通過する経路にのみ流れるようになるが、第1トランジスタのターンオフの際、配線等のインダクタンス成分によるサージ電圧が付加ダイオードを通じて第2ノードに発生する。この後、例えば、第3ノード及びグランド間に接続されたスイッチング素子のターンオン等によってスイッチ回路への整流電流の供給が停止すると、第3ノードと第1及び第2ノードとの間に電位差が発生するが、第2ノードでの上記サージ電圧により、第2トランジスタの導通電極間容量は比較的小さくなっている。結果、第2トランジスタの導通電極間容量の充放電に伴う電流が抑制され、整流装置を含む回路の損失が低減される。

[0097] 或いは例えば、前記第1及び第2トランジスタのターンオフの後、前記スイッチ回路への前記整流電流の供給が停止するまでに、第1及び第2ノード間に所定電圧（ V_c ）を印加する電圧印加回路（50）を、整流装置に更に設けておいても良い。

[0098] この技術を具現化した回路の例が第4実施形態に示されている。第3ノード及びグランド間に接続されたスイッチング素子のターンオン等によってスイッチ回路への整流電流の供給が停止すると、第3ノードと第1及び第2ノードとの間に電位差が発生するが、上記所定電圧の事前印加によって、第2トランジスタの導通電極間容量を比較的小さくしておくことができる。結果、第2トランジスタの導通電極間容量の充放電に伴う電流が抑制され、整流装置を含む回路の損失が低減される。

[0099] また具体的には例えば、前記第1トランジスタにおける第1及び第2導通電極間の耐圧は、前記第2トランジスタにおける第1及び第2導通電極間の耐圧よりも低い。

[0100] これにより、第2トランジスタと比べて、第1トランジスタの導通抵抗及

びチップ面積を小さくできる。

符号の説明

- [0101] 1 0、1 0 A [i]、1 0 B [i]、1 0 C [i] スイッチ回路
- 1 1 低耐圧トランジスタ
- 1 2、1 4 内蔵ダイオード
- 1 3 高耐圧トランジスタ
- 1 5 ダイオード (F R D)
- 2 1 コイル
- 2 2 トランジスタ (ローサイドトランジスタ)
- 5 0、5 0 A [i]、5 0 B [i]、5 0 C [i] 充電回路
- 5 1 電圧源

請求の範囲

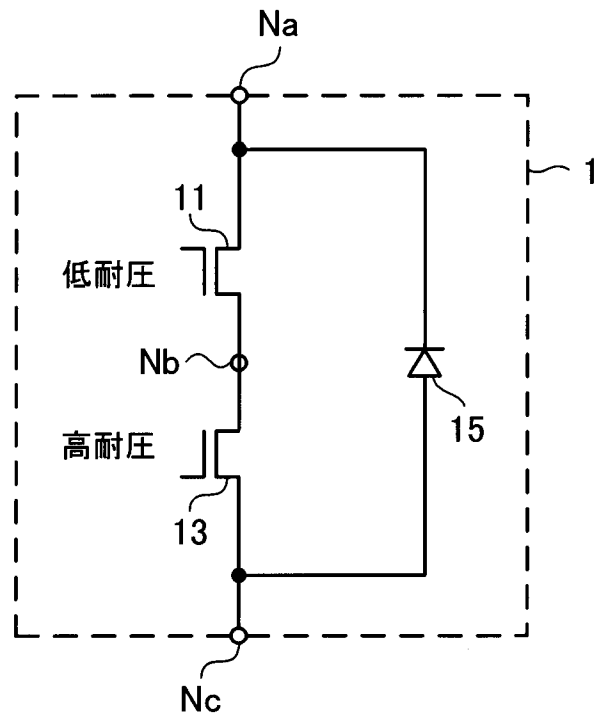
- [請求項1] 各々に、第1及び第2導通電極、並びに、第1及び第2導通電極間の導通をオン又はオフするための制御電極を持った第1及び第2トランジスタと、整流ダイオードと、前記第1トランジスタの第1導通電極及び前記整流ダイオードのカソードが接続された第1ノードと、前記第1及び第2トランジスタの第2導通電極が接続された第2ノードと、前記第2トランジスタの第1導通電極及び前記整流ダイオードのアノードが接続された第3ノードと、を有するスイッチ回路と、
- 前記整流ダイオードの順方向への整流電流を前記スイッチ回路に間欠的に供給する接続回路と、
- 前記整流電流が前記整流ダイオードに流れ始めるとき、前記第1、第2トランジスタを夫々オン、オフとする制御回路と、を備えたことを特徴とする整流装置。
- [請求項2] 前記制御回路は、前記スイッチ回路への前記整流電流の供給が停止するときには前記第1及び第2トランジスタをオフとすることを特徴とする請求項1に記載の整流装置。
- [請求項3] 前記第1及び第2トランジスタはFETであり、
- 前記整流電流が前記整流ダイオードに流れ始めた後、前記スイッチ回路への前記整流電流の供給が停止するときまでの区間の一部において、前記制御回路は、前記第1及び第2トランジスタをオンとすることで前記整流電流を前記第1及び第2トランジスタに流すことを特徴とする請求項2に記載の整流装置。
- [請求項4] 前記第3ノードから前記第2ノードに向かう方向を順方向とする付加ダイオードが前記第2トランジスタに付加されており、
- 前記制御回路は、前記区間の一部で前記第1及び第2トランジスタをターンオンした後、前記第1及び第2トランジスタをオフにする過程において、前記第2トランジスタを前記第1トランジスタよりも先にターンオフする

ことを特徴とする請求項 3 に記載の整流装置。

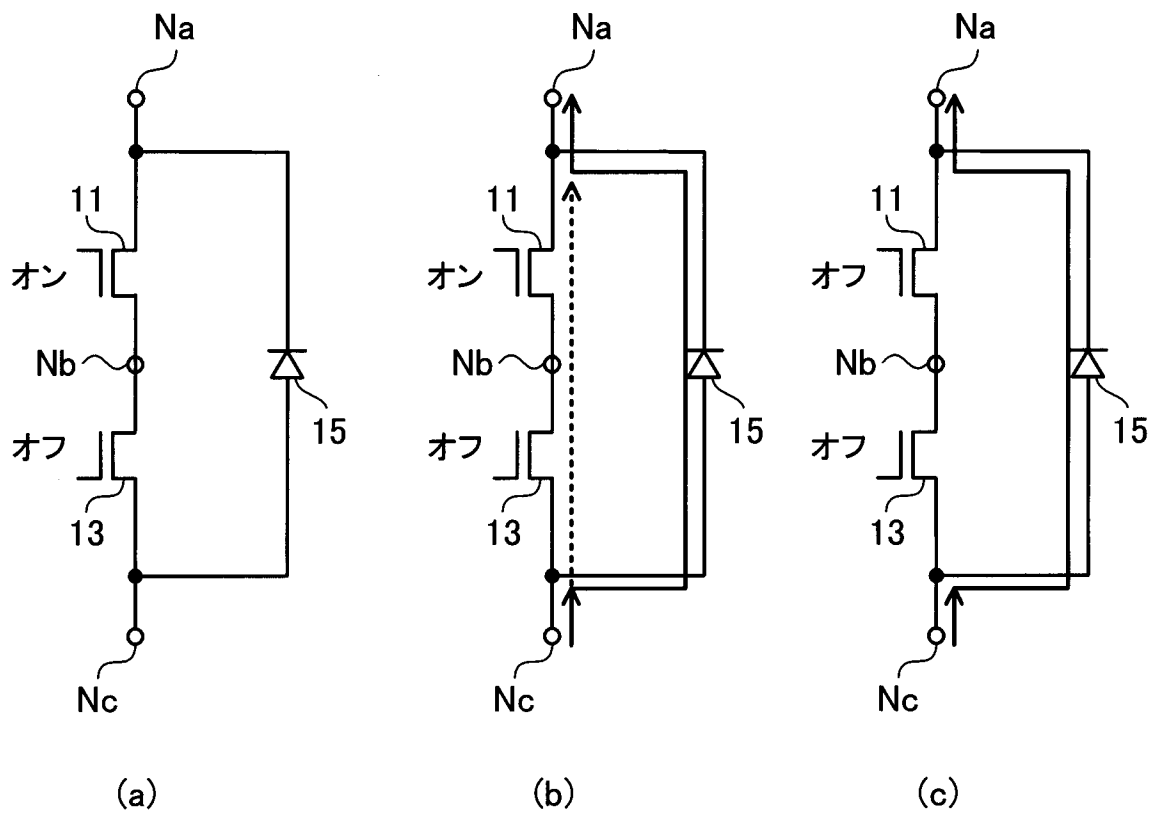
[請求項5] 前記第 1 及び第 2 トランジスタのターンオフの後、前記スイッチ回路への前記整流電流の供給が停止するまでに、第 1 及び第 2 ノード間に所定電圧を印加する電圧印加回路を更に備えた
ことを特徴とする請求項 2 又は 3 に記載の整流装置。

[請求項6] 前記第 1 トランジスタにおける第 1 及び第 2 導通電極間の耐圧は、前記第 2 トランジスタにおける第 1 及び第 2 導通電極間の耐圧よりも低い
ことを特徴とする請求項 1 ～ 5 の何れかに記載の整流装置。

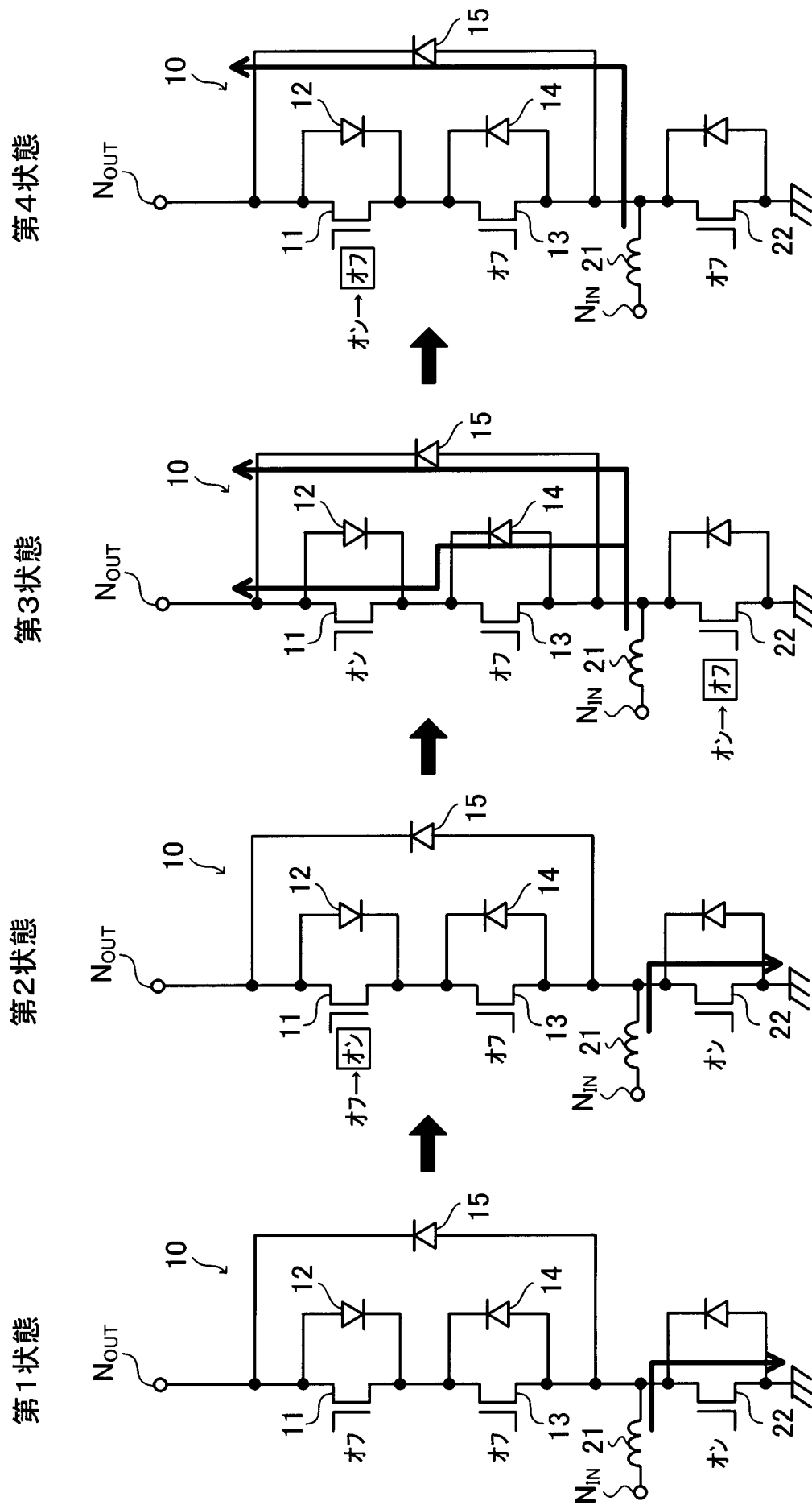
[図1]



[図2]

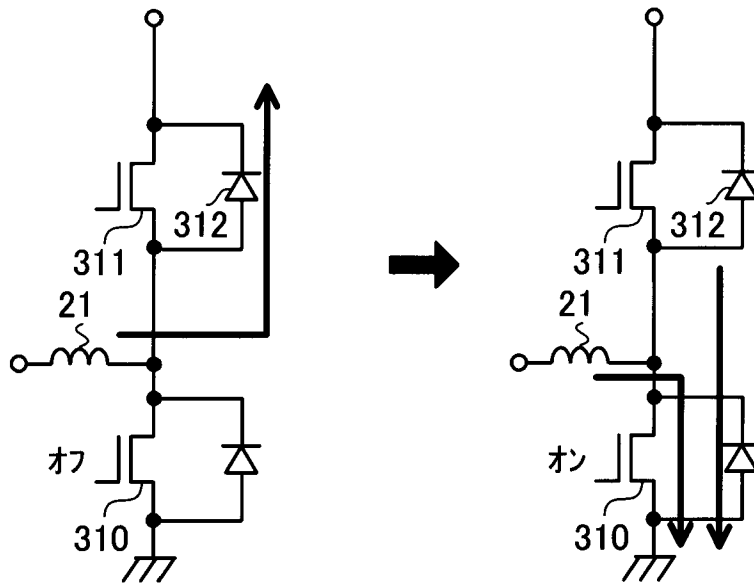


[図5]

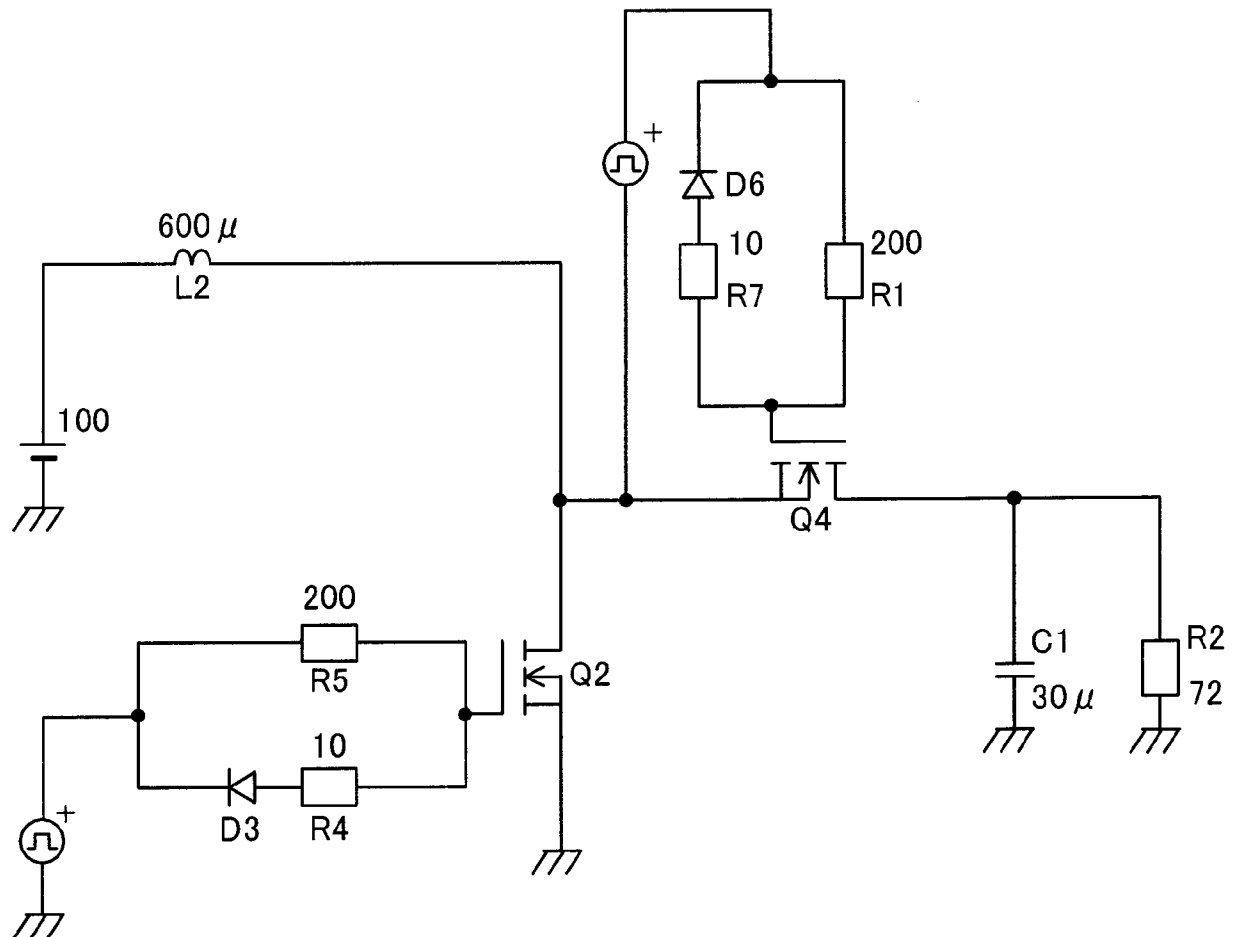


[図6]

第1参考技術

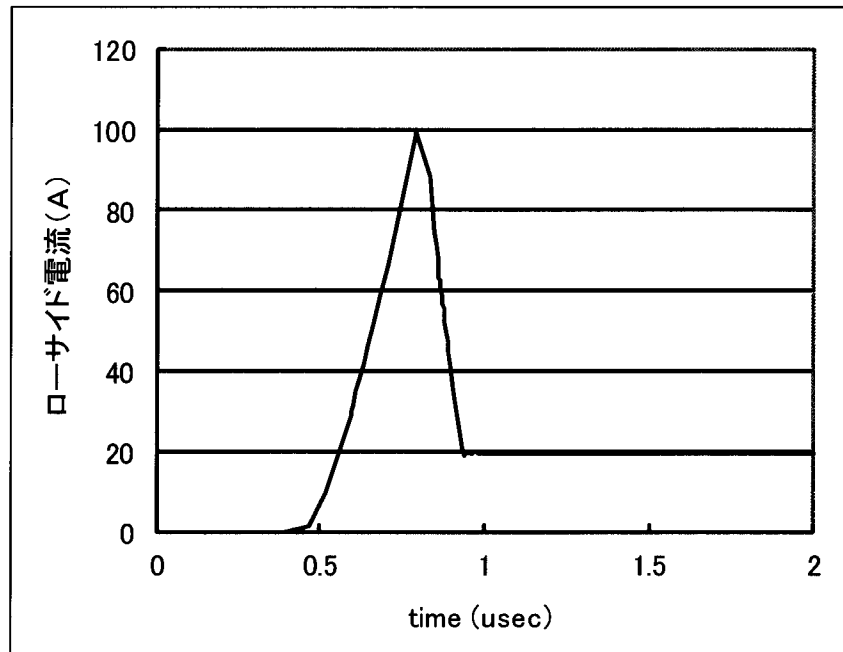


[図7]



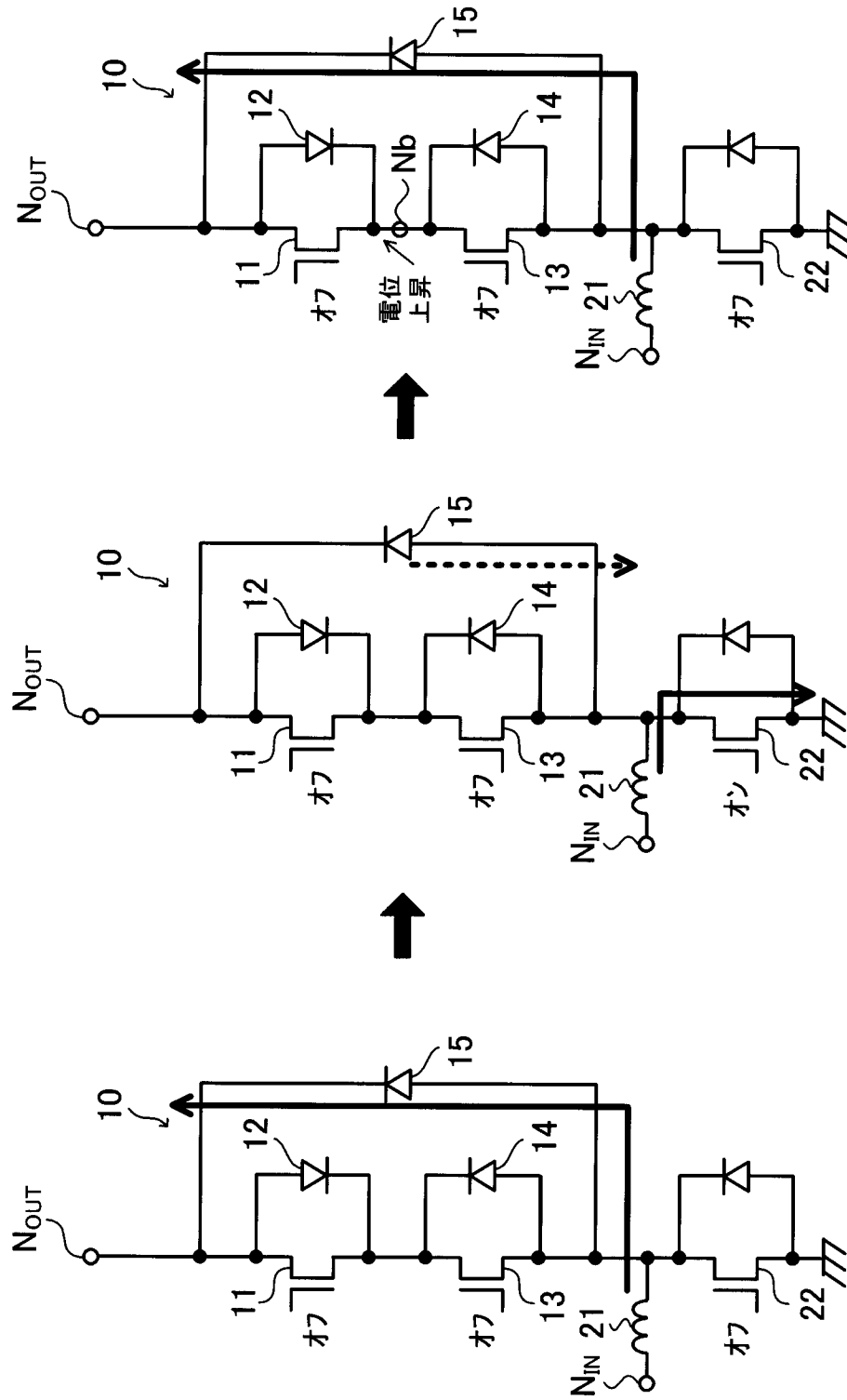
[図8]

第1参考技術

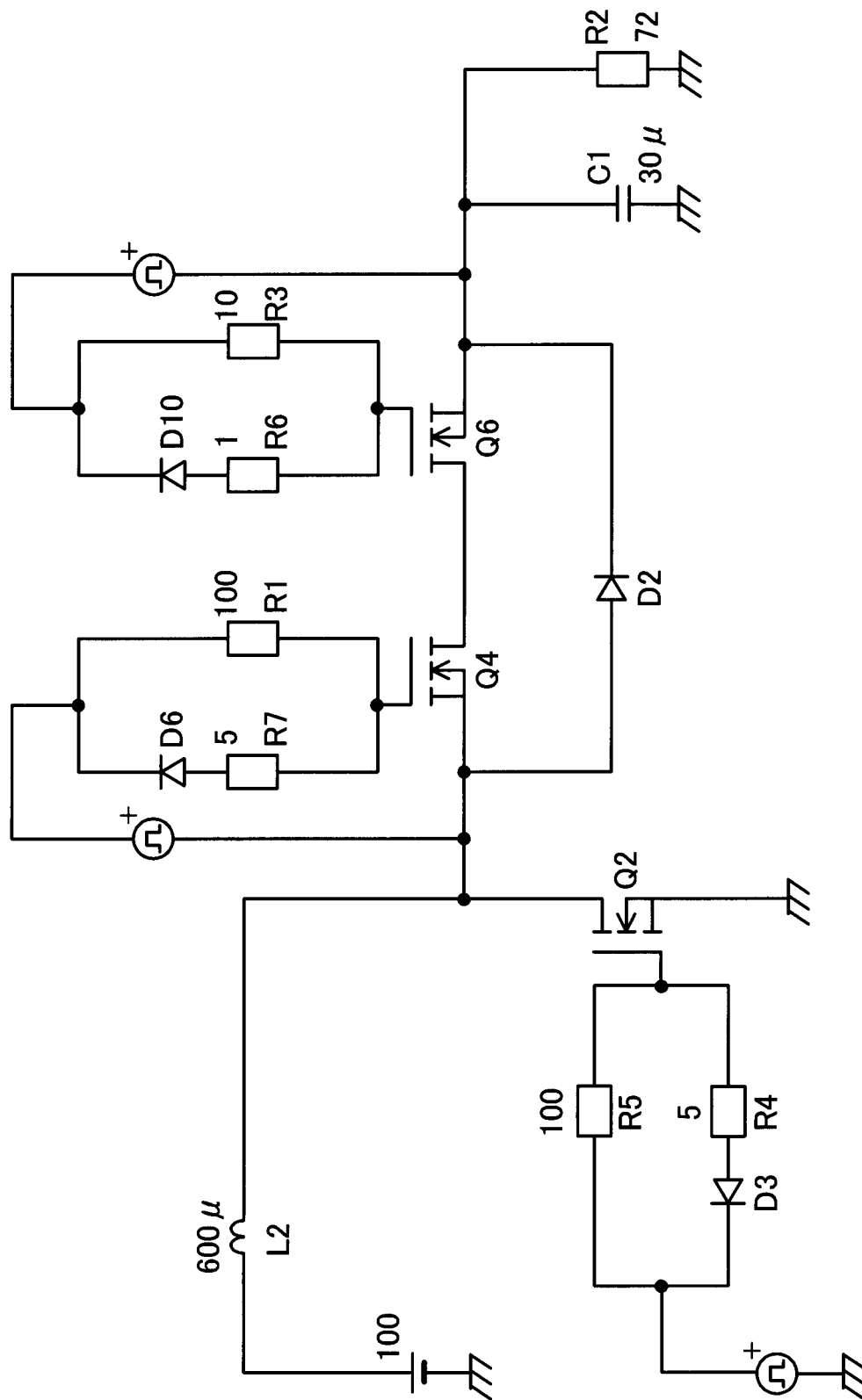


[図9]

第2参考技術



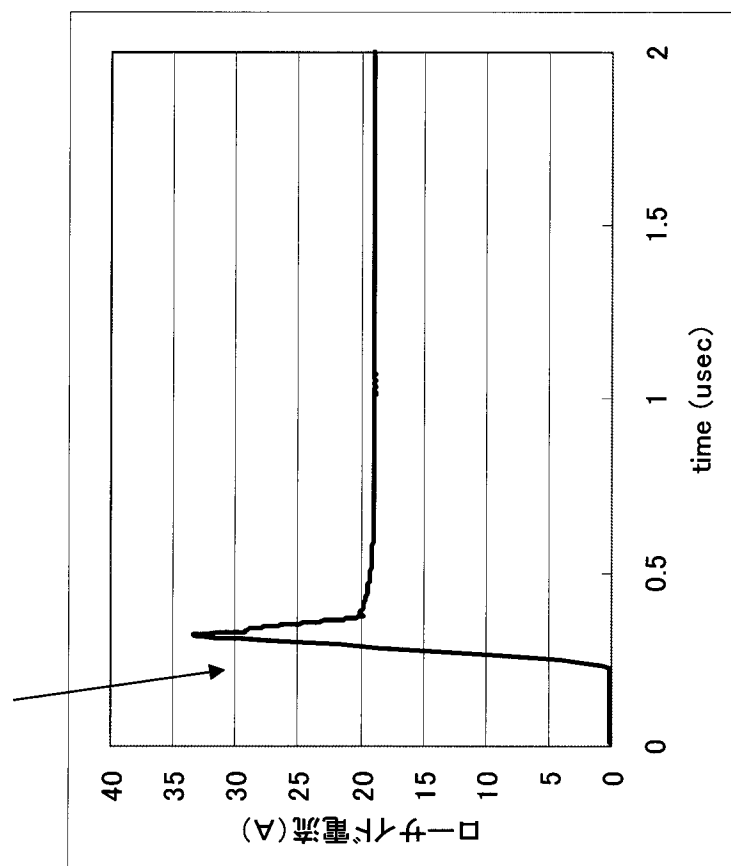
[図10]



[図11]

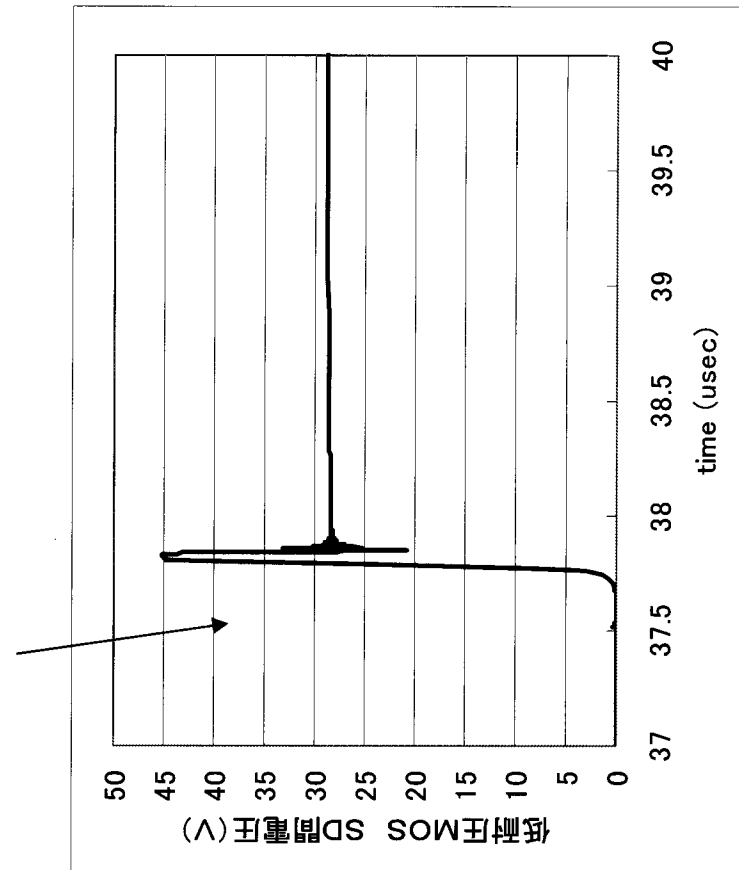
第2参考技術

ターンオン



(a)

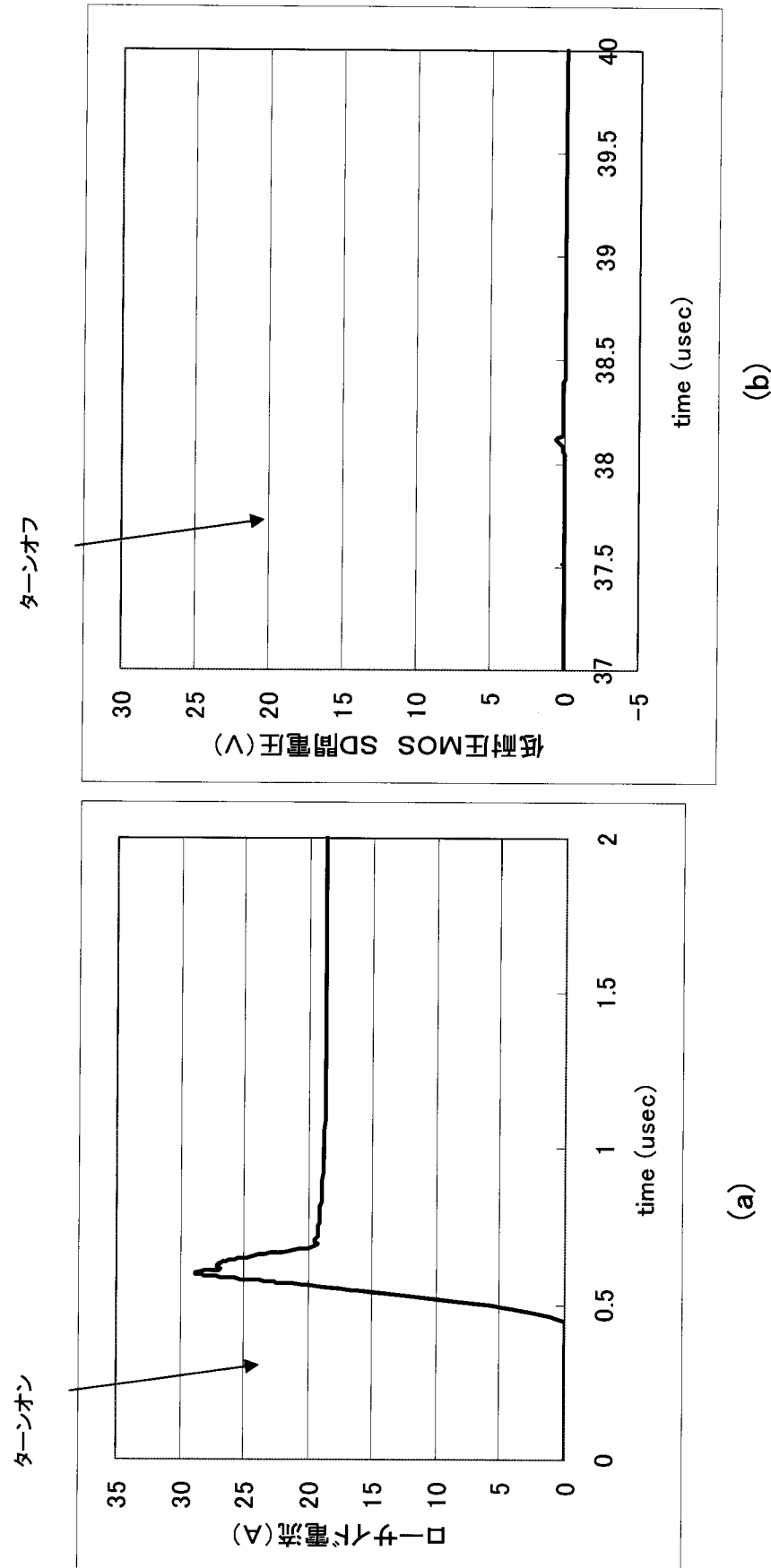
ターンオフ



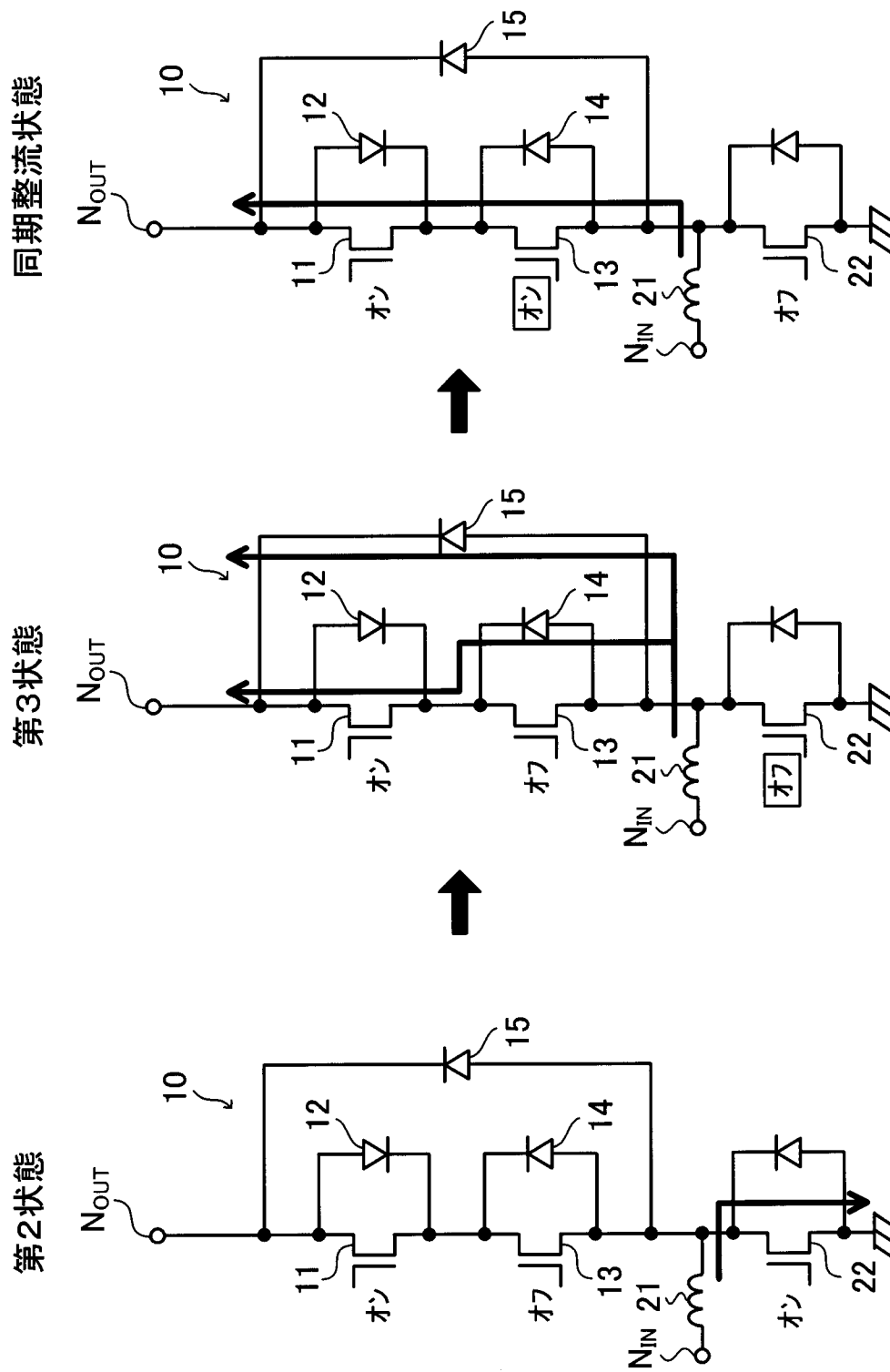
(b)

[図12]

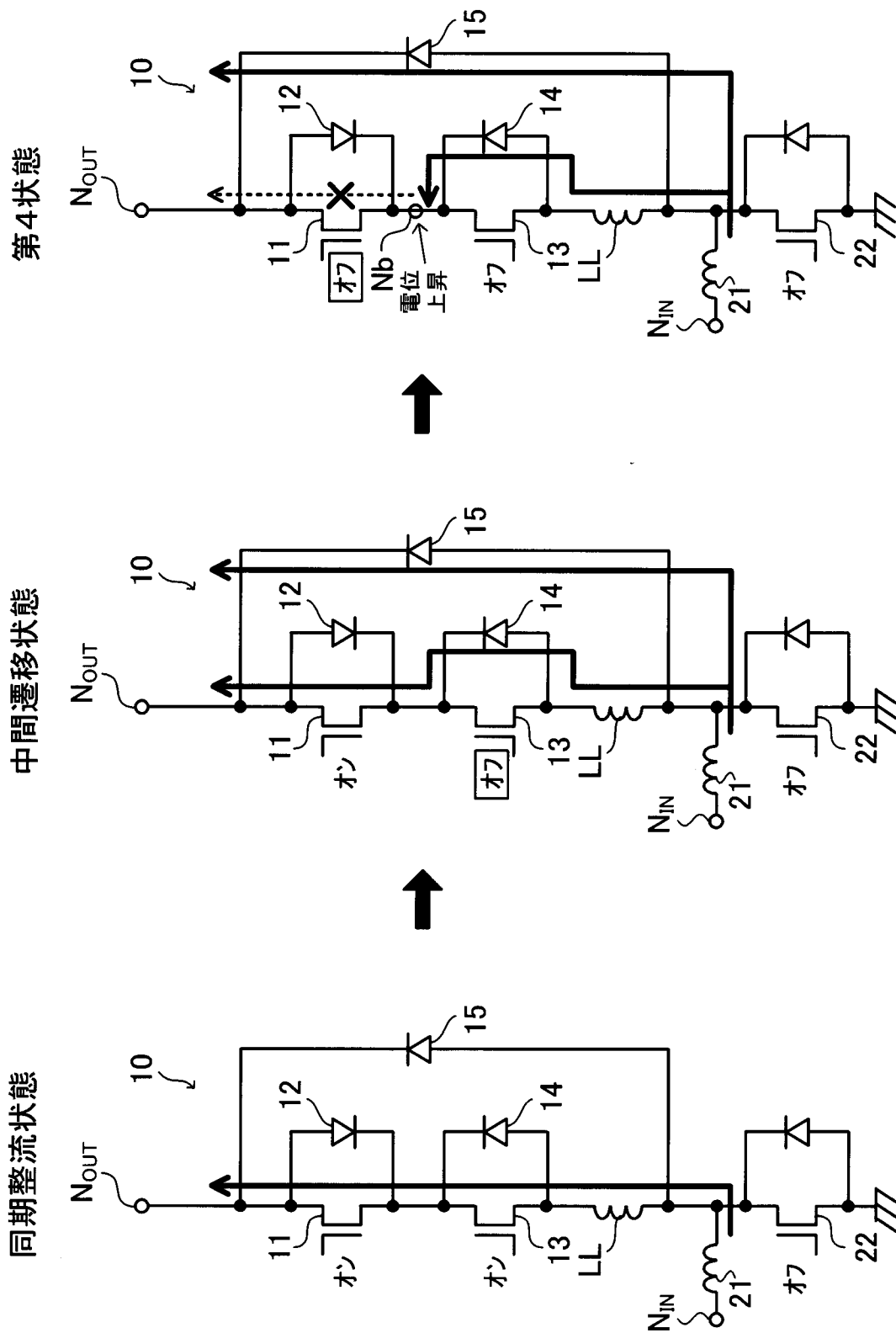
第2実施形態の技術



[図13]

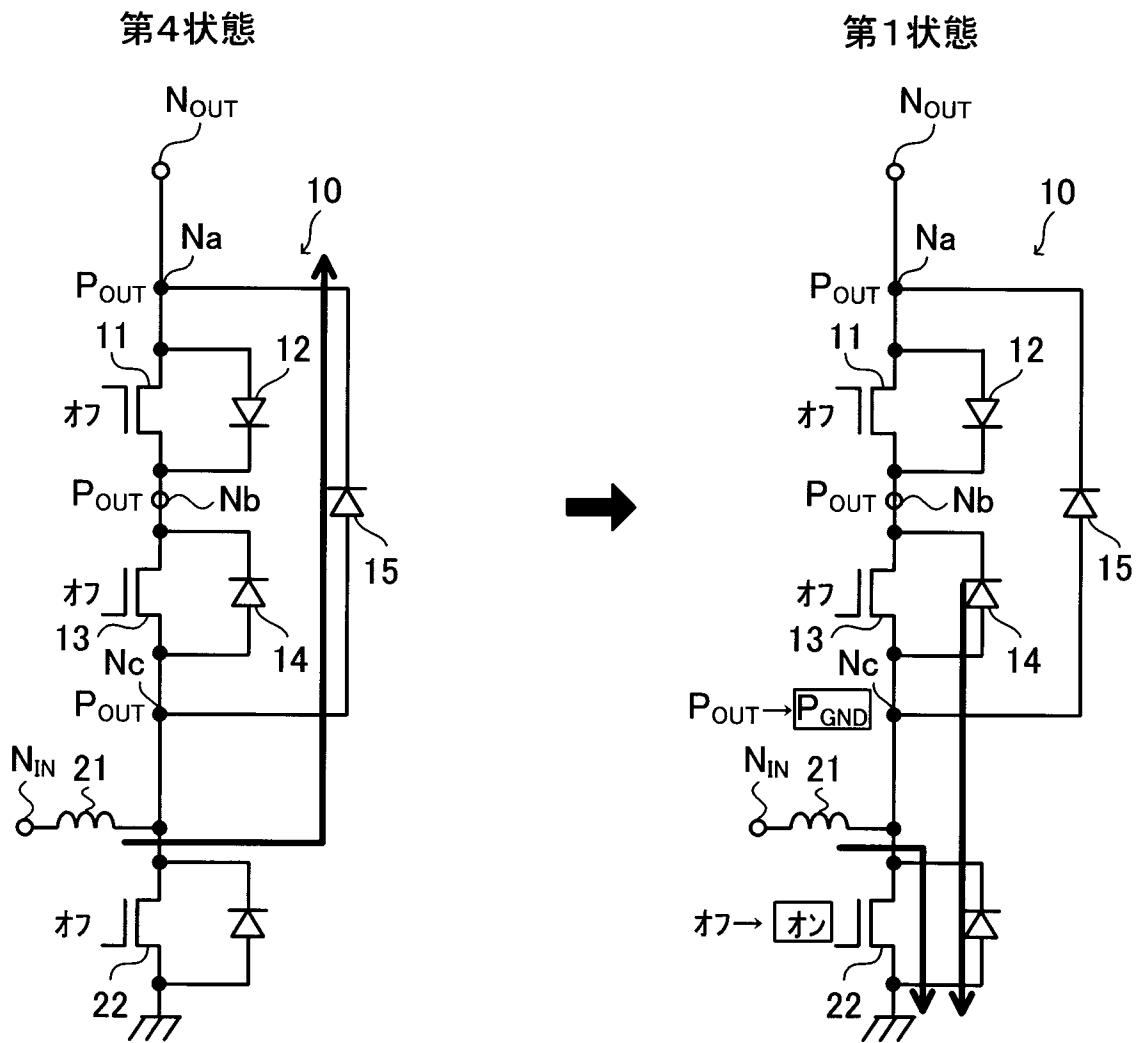


[図14]



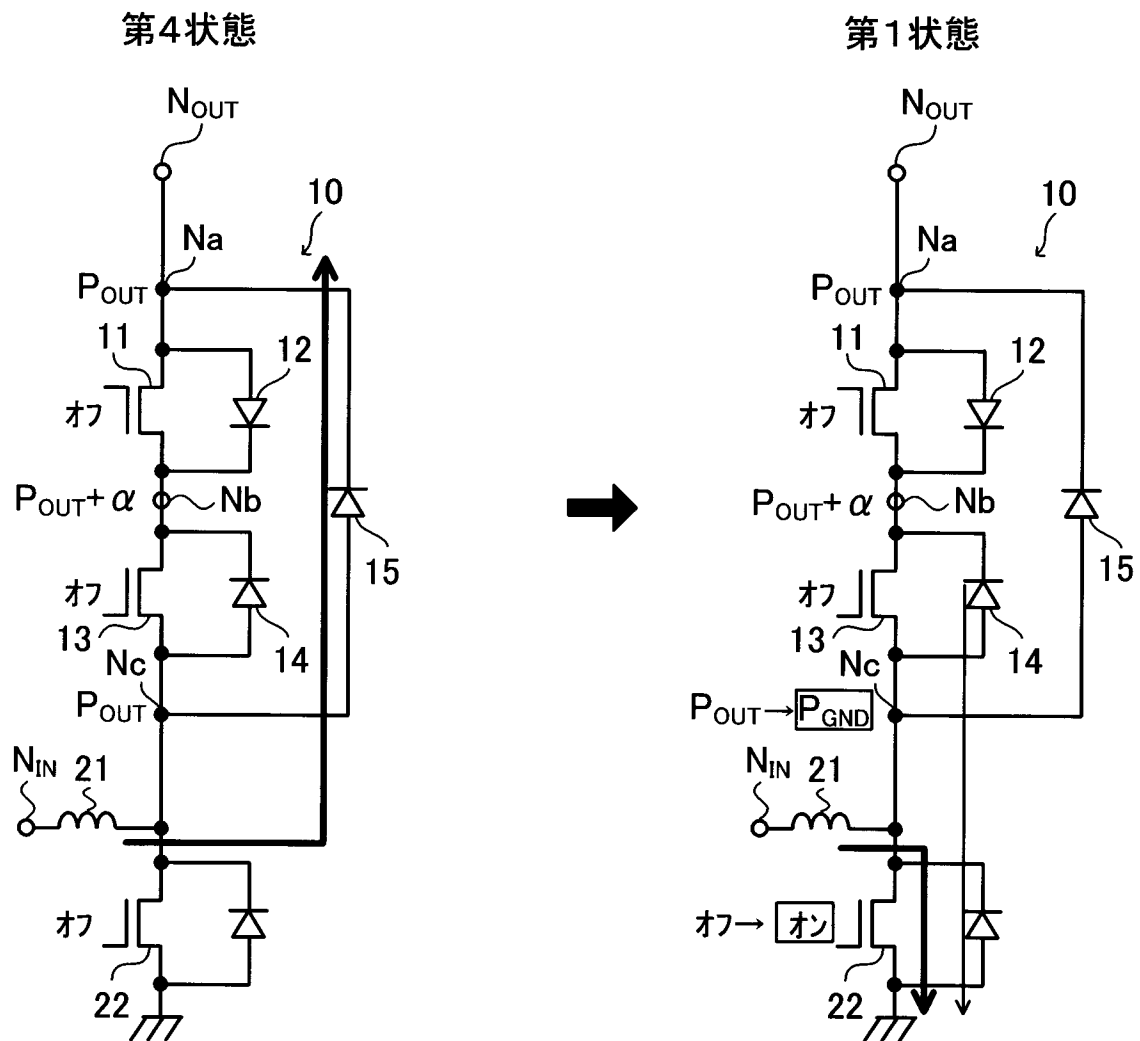
[図15]

比較用技術

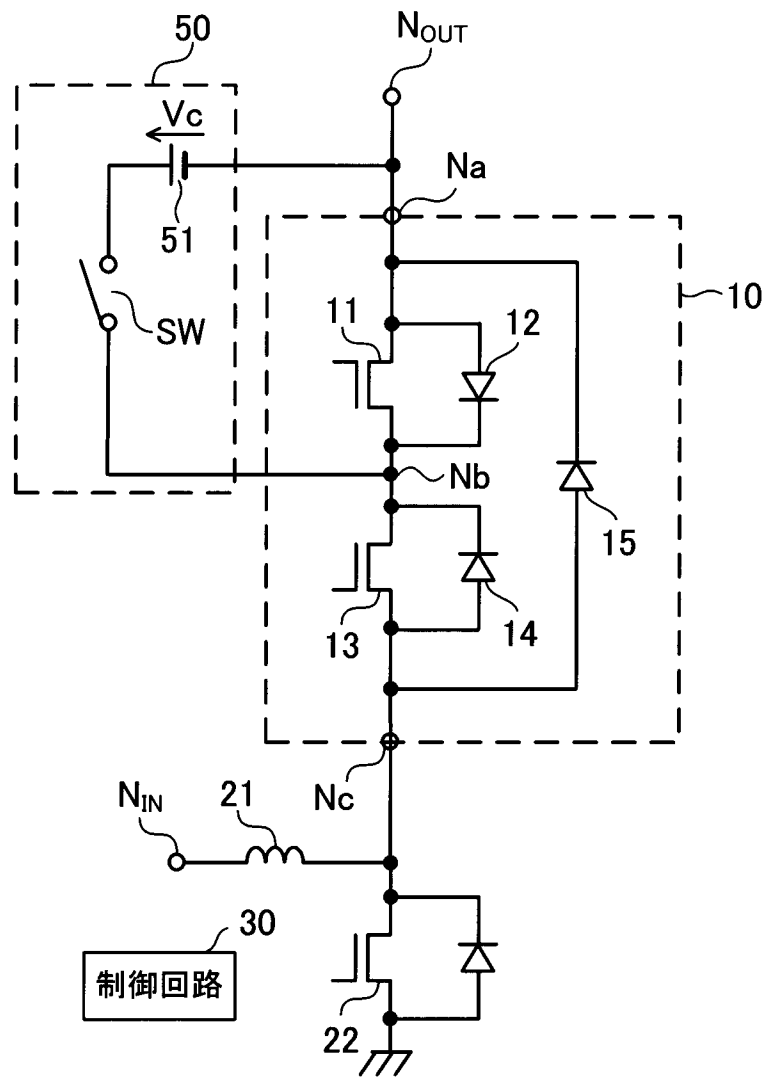


[図16]

高耐圧先行オフ方法



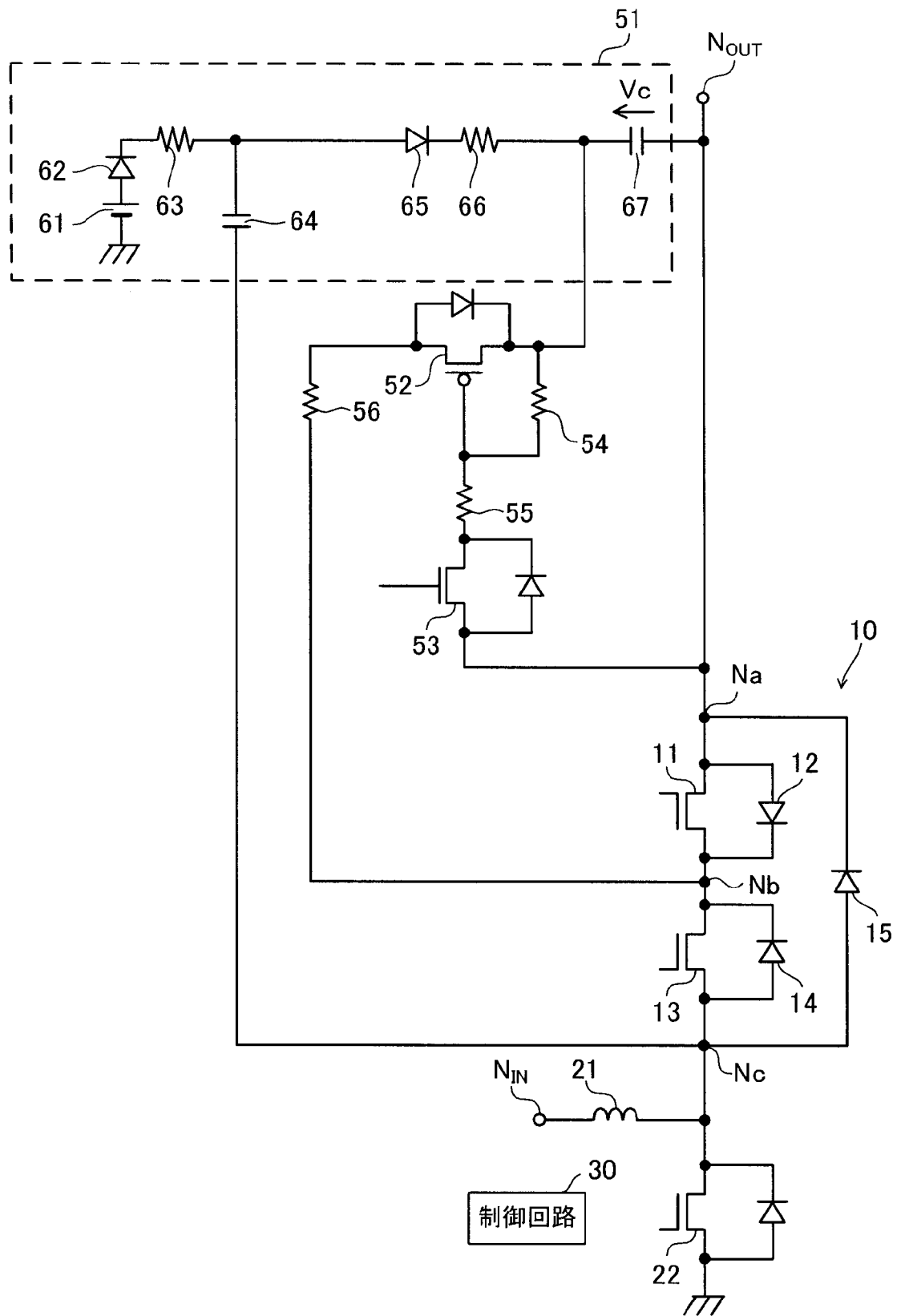
[図17]



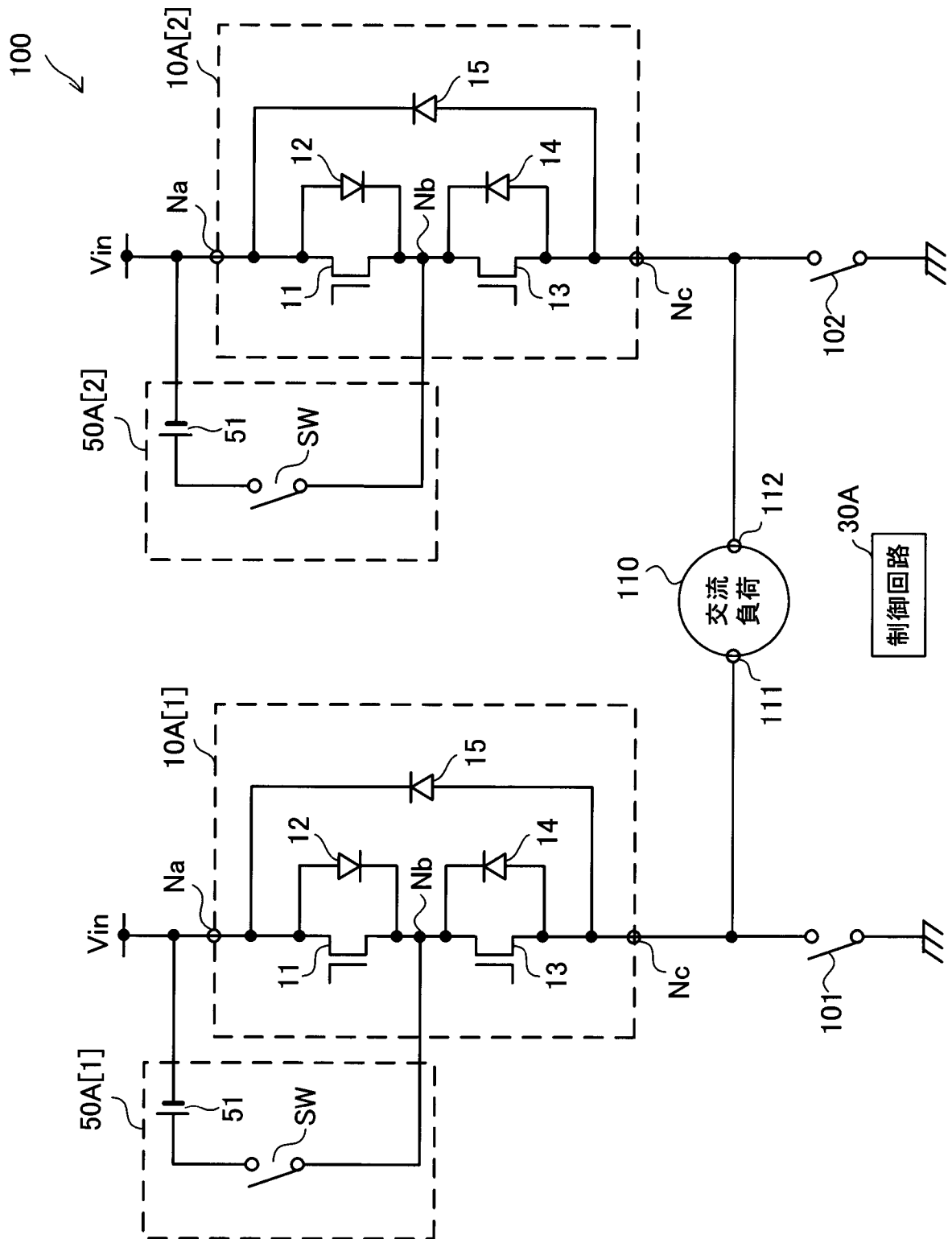
[illegible]

(b)

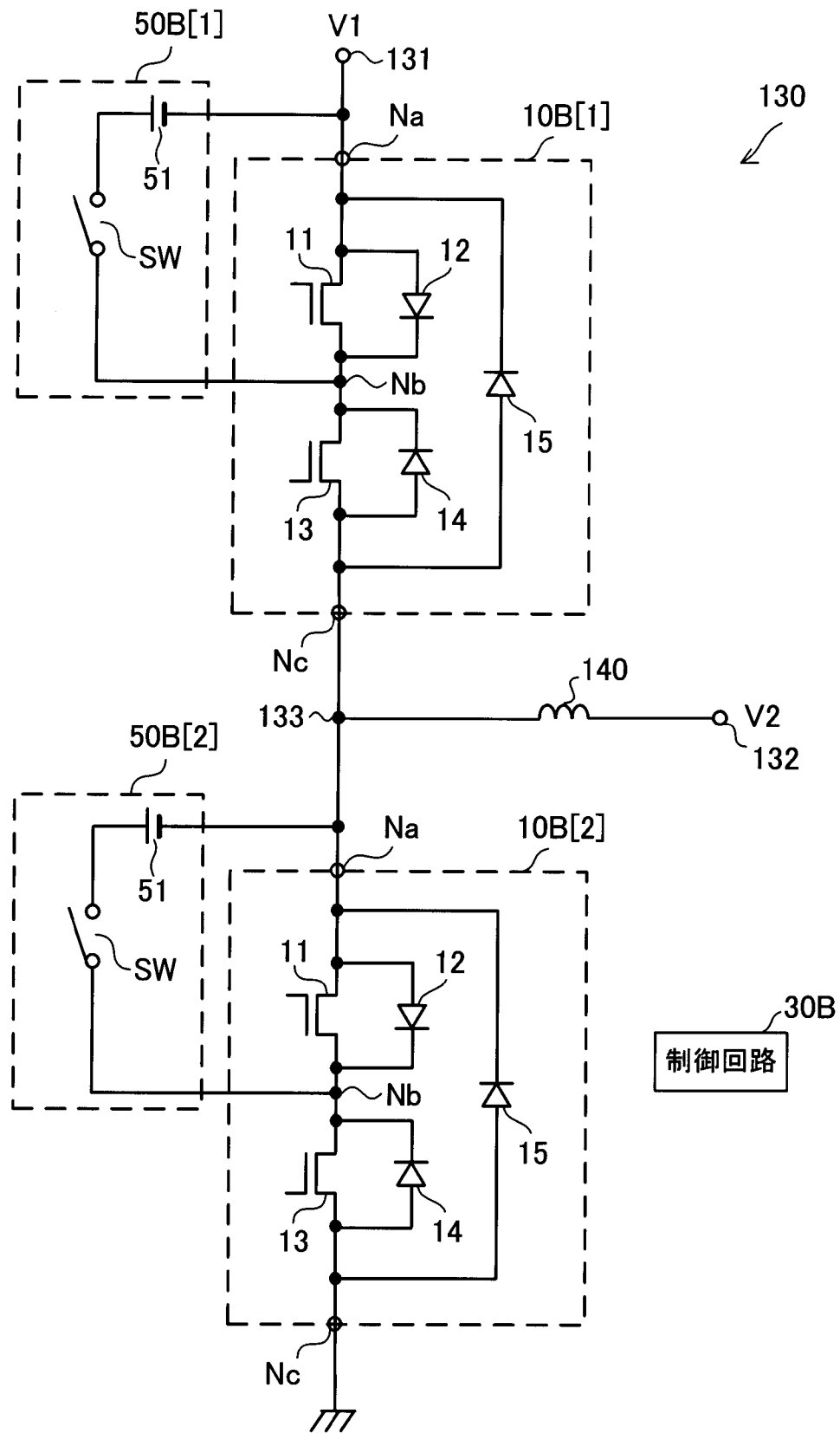
[図20]



[図21]



[図22]



[図23]

昇圧チョッパモード

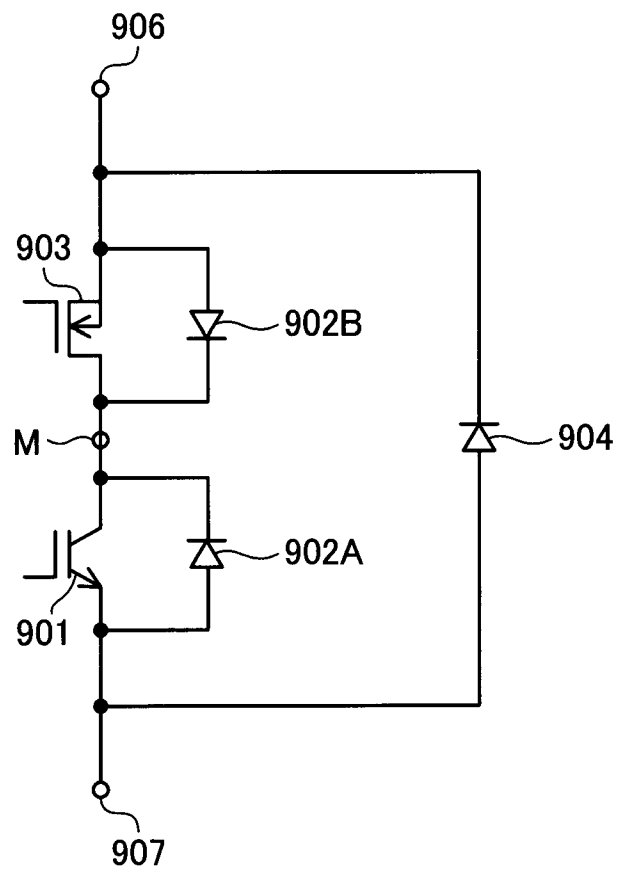
	ハイサイド(還流側)			ローサイド(スイッチング側)		
	低耐圧	高耐圧	充電	低耐圧	高耐圧	充電
	on	off	off	on	on	off
ターンオフ	on	off	off	on	off	off
同期整流開始	on	on	off	on	off	off
同期整流終了	off	off	off	on	off	off
充電	off	off	on	on	off	off
充電完	off	off	off	on	off	off
ターンオン	off	off	off	on	on	off
低耐圧(ハイ)on	on	off	off	on	on	off

↓
時間

第3状態
同期整流状態
第4状態
充電回路動作
第1状態
第2状態

↓
時間

[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/073132

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12(2006.01)i, H02M1/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-041348 A (Toshiba Carrier Corp.), 24 February 2011 (24.02.2011), paragraphs [0005] to [0045]; fig. 1 to 4 (Family: none)	1-3, 6 4-5
A	JP 2012-010430 A (Toshiba Corp.), 12 January 2012 (12.01.2012), paragraphs [0009] to [0014]; fig. 12 & US 2011/0309874 A1 & KR 10-2011-0139144 A & CN 102368685 A	1-6
A	JP 2014-147213 A (Toshiba Corp., Toshiba Mitsubishi-Electric Industrial Systems Corp.), 14 August 2014 (14.08.2014), paragraphs [0053] to [0063]; fig. 6 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 November, 2014 (21.11.14)

Date of mailing of the international search report
02 December, 2014 (02.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/073132

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-193839 A (Toshiba Corp.), 21 August 2008 (21.08.2008), paragraphs [0090] to [0095]; fig. 12 & US 2010/0321966 A1 & EP 2110934 A1 & WO 2008/096709 A1 & KR 10-2009-0096745 A & CN 101632214 A & TW 200841576 A	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M7/12(2006.01)i, H02M1/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M7/12, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2011-041348 A（東芝キヤリア株式会社）2011.02.24, 段落 [0005]-[0045], 図 1-4（ファミリーなし）	1-3, 6 4-5
A	JP 2012-010430 A（株式会社東芝）2012.01.12, 段落[0009]-[0014], 図 12 & US 2011/0309874 A1 & KR 10-2011-0139144 A & CN 102368685 A	1-6
A	JP 2014-147213 A（株式会社東芝, 東芝三菱電機産業システム株式 会社）2014.08.14, 段落[0053]-[0063], 図 6（ファミリーなし）	1-6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 1 1 . 2 0 1 4

国際調査報告の発送日

0 2 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

鈴木 重幸

3 V

9 6 5 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-193839 A (株式会社東芝) 2008.08.21, 段落[0090]-[0095], 図 12 & US 2010/0321966 A1 & EP 2110934 A1 & WO 2008/096709 A1 & KR 10-2009-0096745 A & CN 101632214 A & TW 200841576 A	1-6