(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3831019号

(P3831019)

(45)発行日　平成18年10月11日(2006.10.11)　(24)登録日　平成18年7月21日(2006.7.21)

(51)Int.Cl.		F I		
H04L 12/28	(2006.01)	H04L	12/28	300Z
H04B 7/26	(2006.01)	H04B	7/26	M
H04L 7/00	(2006.01)	H04L	7/00	B

請求項の数 9　(全 21 頁)

(21)出願番号　特願平8-226113
(22)出願日　平成8年8月9日(1996.8.9)
(65)公開番号　特開平9-69843
(43)公開日　平成9年3月11日(1997.3.11)
審査請求日　平成15年3月31日(2003.3.31)
(31)優先権主張番号　513380
(32)優先日　平成7年8月10日(1995.8.10)
(33)優先権主張国　米国(US)

(73)特許権者　390009597
モトローラ・インコーポレイテッド
MOTOROLA　INCORPORATED
アメリカ合衆国イリノイ州シャンバーグ、イースト・アルゴンクイン・ロード１３０３
(74)代理人　100116322
弁理士　桑垣　衛
(72)発明者　マーク・イー・フリル
アメリカ合衆国イリノイ州レイク・ズリッチ、ホブルブッシュ・ドライブ４１０
(72)発明者　ロバート・ケイ・クロロップ
アメリカ合衆国イリノイ州リバーウッズ、ダフィー・レーン２７９５

最終頁に続く

(54)【発明の名称】メッセージ通信の方法および装置

(57)【特許請求の範囲】

【請求項１】

マスタ装置として動作する無線電話トランシーバ・ユニット（１９１５）とスレーブ装置として動作する少なくとも１つの無線電話周辺機器（１９１７）とを備える無線電話システム（１９００）において、第１部分と第２部分とを有するメッセージを通信する方法であって、前記の少なくとも１つの無線電話周辺機器を識別するアドレス（１５０１）が前記第１部分に、データ（１１００）が前記第２部分に含まれ、前記第１および第２部分は、アドレスおよびデータを表す複数の連続ビットを有し、前記の少なくとも１つの無線電話周辺機器は、第１信号の生成と、少なくとも第２信号の受信とを行うことができ、前記無線電話トランシーバ・ユニットは、前記第１信号の受信と少なくとも前記第２信号の生成とを行うことができ、前記第１および第２信号は第１および第２バイナリ状態を有する方法であって：

前記スレーブ装置が前記第１信号の第１バイナリ状態を生成する段階（１６０１）；

前記マスタ装置が前記第１信号の第１バイナリ状態を受信する段階（１７０１）；

前記マスタ装置が前記第１信号の第１バイナリ状態の生成に応答して、タイミング信号を設ける段階（１７０３）；

前記スレーブ装置が前記タイミング信号に応答して、前記第１部分の各ビットに関して、前記第１部分のビットを表す第１信号の第１または第２バイナリ状態のいずれか一方を生成して（１６０５）、前記アドレスを同期的に送信する段階；

前記マスタ装置が前記タイミング信号に応答して、前記第１部分のビットを表す第１信

号の第１または第２バイナリ状態のいずれか一方を受信して（１７０５）、前記アドレスを同期的に受信する段階；
前記スレーブ装置が前記第２部分の各ビットに関して、第２部分のビットを表す第１信号の第１または第２バイナリ状態のいずれか一方を生成して（１６１３）、前記データを非同期的に送信する段階；および
前記マスタ装置が前記第２部分のビットを表す第１信号の第１または第２バイナリ状態のいずれか一方を受信して（１７１３）、前記データを非同期的に受信する段階；
によって構成されることを特徴とする方法。
【請求項２】
前記スレーブ装置として動作する前記の少なくとも１つの無線電話周辺機器が、さらに、第３信号を受信することができ、前記マスタ装置として動作する前記無線電話トランシーバ・ユニットがさらに、第１および第２バイナリ状態を有する第３信号を生成することができ、：
前記マスタ装置が前記アドレスを受信した後で、前記データを受信する前に、前記第３信号の第２バイナリ状態を生成する段階（１７１１）；および
前記スレーブ装置が前記第３信号の第２バイナリ状態を受信する段階（１６１１）；
によってさらに構成される請求項１記載の方法。
【請求項３】
前記無線電話トランシーバ・ユニットが第１および第２バイナリ状態を有する第３信号をさらに生成することができ、前記の少なくとも１つの無線電話周辺機器が前記第３信号をさらに受信することができる方法であって：
前記マスタ装置が前記第２部分のビットを表す前記第１信号の第１または第２バイナリ状態のいずれか一方の受信前及び受信中でかつ前記アドレスの受信後に、前記第３信号の第２バイナリ状態を生成する段階（１７１１）；および
前記スレーブ装置が前記第２部分のビットを表す前記第１信号の第１または第２バイナリ状態のいずれか一方の送信前及び送信中でかつ前記アドレスの送信後に、前記第３信号の第２バイナリ状態を受信する段階（１６１１）；
によってさらに構成される請求項１記載の方法。
【請求項４】
多重ビットのあらかじめ割り当てられたアドレス（１５０１）とデータ（１１００）のビットとを含むメッセージを、少なくとも第１および第２信号回線を有するバス（１９０３）上に送信する無線電話周辺機器（１９１７）であって：
前記第１信号回線に結合され、第１制御信号を送信する手段（１６０１）；
前記第２信号回線に結合され、第２制御信号を受信する手段（１６０３）；
前記第１信号回線に結合され、前記第２制御信号に応答して、あらかじめ割り当てられたアドレスのビットを同期的に送信する手段（１６０５）；および
前記第１信号回線に結合され、データのビットを非同期的に送信する手段（１６１３）；
によって構成されることを特徴とする無線電話周辺機器。
【請求項５】
前記バスが第３信号回線をさらに有し、前記無線電話周辺機器が、前記第３信号回線に結合されタイミング信号を受信する手段（１６０３）によってさらに構成され、あらかじめ割り当てられたアドレスのビットを同期的に送信する前記手段が前記タイミング信号に応答して、あらかじめ割り当てられたアドレスのビットをさらに送信する請求項４記載の無線電話周辺機器。
【請求項６】
前記バスが第３信号回線をさらに有し、前記無線電話周辺機器が、前記第２及び第３信号回線に結合され第３制御信号を受信する手段（１６１１）によってさらに構成され、データのビットを非同期的に送信する前記手段が前記第３制御信号に応答して、データのビットをさらに送信する請求項４記載の無線電話周辺機器。

【請求項７】
第１制御信号と、多重ビットのあらかじめ割り当てられたアドレスおよびデータのビットを含むメッセージとを、少なくとも第１および第２信号回線を有するバス上で受信する無線電話トランシーバ・ユニット（１９１５）であって、あらかじめ割り当てられた前記のアドレスのビットが同期的に送信され、データのビットが非同期的に送信される無線電話トランシーバ・ユニットであって：
前記第１信号回線に結合され、前記第１制御信号を受信する手段（１７０１）；
前記第２信号回線に結合され、第２制御信号を送信する手段（１７０３）；
前記第１信号回線に結合され、あらかじめ割り当てられたアドレスのビットを同期的に受信する手段（１７０５）；および
前記第１信号回線に結合され、データのビットを非同期的に受信する手段（１７１３）；
によって構成されることを特徴とする無線電話トランシーバ・ユニット。
【請求項８】
前記バスが第３信号回線をさらに有し、前記無線電話トランシーバ・ユニットが、前記第３信号回線に結合されタイミング信号を送信する手段（１７０３）によってさらに構成され、あらかじめ割り当てられたアドレスのビットを同期的に受信する前記手段が前記タイミング信号を送信した後に、あらかじめ割り当てられたアドレスのビットをさらに受信する請求項７記載の無線電話トランシーバ・ユニット。
【請求項９】
前記バスが第３信号回線をさらに有し、前記無線電話トランシーバ・ユニットが、前記第２及び第３信号回線に結合されデータのビットを受信する前に第３制御信号を送信する手段（１７１１）によってさらに構成される請求項７記載の無線電話トランシーバ・ユニット。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、一般にデータ伝送システムに関する。さらに詳しくは、本発明は、メッセージを通信する方法および装置に関する。
【０００２】
【従来の技術および発明が解決しようとする課題】
同期的および非同期的にデータを通信するある種のデータ伝送システムが知られている。たとえば、１９８３年１月１８日にJohn P.Byrnsに付与され、本発明の譲受人に譲渡された米国特許第４，３６９，５１６号「Self-Clocking Data Transmission System」は、１つのデータ伝送システムを開示する。このデータ伝送システムにおいては、１つのバスを構成する３本の信号回線がデータ送信機をデータ受信機と結合する。
【０００３】
データ送信機は、「真データ」（TD: true data ）と「補完データ」（CD: complement data ）と呼ばれる２つの信号回線上で、データ受信機にデータ信号を送信する。さらに、データ送信機は、これら２つの信号回線上の同期データ通信に必要なクロッキング信号を提供する。
【０００４】
Byrns の特許は、「戻りデータ」（RD: return data ）と呼ばれる戻りデータ信号回線上でデータ送信機に対して戻りデータ信号を送信するデータ受信機も開示する。このデータ受信機は、クロッキング信号と同期して戻りデータ信号を送信する。複数のデータ受信機がRDに接続される場合は、データ送信機は、戻りデータ信号を送信しようとする特定のデータ受信機を選択的にアドレスする。
【０００５】
Byrns の特許は、さらに、RD上に割込信号を入れることにより、任意のデータ受信機が、戻りデータ信号が入手可能であることをデータ送信機に警告することができることを説明

する。データ受信機は、選択されたデータ受信機が戻りデータ信号を送信している時間間隔を除いて、いつでもRD上に割込信号を入れることができる。しかし、データ送信機は、どのデータ受信機が割込信号を生成したかを知らせるすべがないので、データ送信機は割込信号を受信した後で、すべてのデータ受信機に対してポーリングを行い、どのデータ送信機が割込信号を送付したかを決定しなければならない。

【０００６】

上述された初期の自己クロッキング同期データ伝送システムが開発されてから、移動または携帯無線電話システムに対する新しい用途が出現してきた。たとえば、キーボードとディスプレイ・アダプタを有する通常の単独ユーザ用送受器と共に、いくつかの送受器および周辺機器が用いられる。このような周辺機器としては、自動ダイヤル装置やハンドフリー送受器コントローラがある。しかし、Byrns の特許では、RD上に同時にデータを伝送しようとする複数の送受器または周辺機器間のバス・コンテンション（bus contention）に対する備えがない。

【０００７】

１９８７年３月３１日にJoseph L. Kowalskiに付与され、本発明の譲受人に譲渡された米国特許第４，６５４，６５５号「Multi-User Serial Data Bus」は、別の自己クロッキング同期データ伝送システムを開示する。この特許は、複数の送受器または周辺装置にクロッキングおよび制御情報を提供するバス・コントローラを有するシステムであって、バス・コントローラ，送受器および周辺装置が３本の回線TD，CDおよびRDを有するバスにより相互接続されるシステムを開示する。

【０００８】

特にKowalskiの特許は、複数のユニットがバスのサービスを同時に要求した場合にバス・コンテンションをなくするためのアービトレーション（仲裁）法を説明する。バスを用いる各装置には、４ビットのアドレスが割り当てられており、これはその装置の所定の優先順位にも対応する。優先順位割当を用いて、複数の送受器または周辺装置が同時にサービスを要求した場合に、どの装置がそのバス上でサービスを受けるかが決定される。

【０００９】

２つの装置が同時にサービスを要求すると、各々の装置がバス・コントローラによりTDおよびCD上に配布されたクロッキング情報に応答して、RD上に独自のアドレスを配置する。各装置は、RD上の信号を読み取って、優先順位がより高いユニットがそのバス上にあるか否かを判定する。優先順位が低いほうのユニットがそのバス上に優先順位がより高いユニットがあることを検知すると、優先順位が低いほうのユニットは、優先順位が高いユニットがバスの制御権を放棄するまで待機状態に入る。このため、優先順位が最も高い装置だけがバス上に残ることになる。

【００１０】

上記２つの自己クロッキング同期データ伝送システムに対して、非同期データ伝送システムも知られている。たとえば、モトローラ社製MC68HC11A8マイクロプロセッサは、シリアル通信インターフェース（SCI: serial communication interface ）を利用する。SCI を用いると、マイクロプロセッサは他の装置と非同期的に通信を行うことができる。HMOS Single Chip Microcomputer Data Book（オーダー番号ADI1207R1, 1987, PP.5-1 ～5-5 ）は、MC68HC11A8シリアル通信インターフェースをさらに詳しく説明する。

【００１１】

ある種の移動または携帯無線電話システムに内蔵される上記の自己クロッキング同期データ伝送システムに比べて、非同期データ伝送システムは、より速いデータ転送を行うことができる。移動または携帯無線電話システム内の装置が大量のデータを転送する場合は、非同期データ伝送システムの高速の伝送速度は、同期データ伝送システムのより低い伝送速度に比べて有利である。すでに使用されている旧型装置を改造せずに両方のタイプのデータ伝送の特性を実現するには、既存の３回線バス上で同期データ伝送と非同期データ伝送とを多重化するための方法および装置が必要である。

【００１２】

１９９０年１１月２０日にGregory P. Wilson 他に付与され、本発明の譲受人に譲渡された米国特許第４，９７２，４３２号「Multiplexed Synchronous/Asynchronous Data Bus」は、同期データ伝送および非同期データ伝送を多重化する方法およびバスを開示する。この特許で説明されるように、一方では自己クロッキング同期伝送モードの３回線バスが比較的低いデータ処理速度で確実なデータ転送を行う。他方では、非同期伝送モードの３回線バスがはるかに速い速度でデータを転送する。たとえば、同期伝送モードの３回線バスは、毎秒約５００ビットの速度で確実にデータ転送を行い、それに対して、非同期伝送モードの３回線バスは、毎秒約１９，２００ビットでデータを転送する。

【００１３】

Wilson他の特許に説明される同期データ伝送と非同期データ伝送の両方を多重化する方法は、ある種の移動または携帯無線電話システム、たとえば自動車に搭載された変換器に結合された携帯無線電話などには適している。しかし、同期データと非同期データを多重化するこのような方法およびバスが、すべての移動または携帯無線電話システムに適しているわけではない。たとえば、複数の非同期装置がバスに接続されている場合、同期データと非同期データの両方を多重化する既知の方法およびバスは、複数の非同期装置がバスのサービスを同時に要求したときに、それらの装置間のバス・コンテンションに対処しない。そのため、実際には、バス上では１つの自動車搭載変換器しか用いられない。さらに、（スレーブ・モードにあるときの）自動車搭載変換器は、通信を開始することができないので、携帯無線電話は、定期的に自動車搭載変換器をポーリングして、非同期装置が送るべきメッセージを持っているか否かを判断しなければならない。

【００１４】

従って、同期通信装置および非同期通信装置がバス上の送信を開始することを可能にして、複数の同期および非同期通信装置間のバス・コンテンションに対処し、３回線バスを用いる既存のデータ伝送システムおよび装置との後方互換性を保持する方法および装置が必要である。

【００１５】

【実施例】

図１は、本発明を採用することのできる汎用データ伝送システム１００の実施例を示す。バス１０３は、TD（真データ），CD（補完データ）およびRD（戻りデータ）と記された、マスタ装置１０１と複数のスレーブ装置１０５～Ｎとの共通接続部となる３本の信号回線によって構成される。特にマスタ装置１０１とスレーブ装置１０５～Ｎは、共通のTD接続，共通のCD接続および共通のRD接続を有する。

【００１６】

バス１０３は、信号を送信する任意の適切な媒体とすることができ、たとえば電気的に誘導された信号を伝導する導電性材料，光誘導された信号を伝送する光ファイバ材料またはデータの無線伝送のための空中波用の３つの異なるチャネルなどである。

【００１７】

スレーブ装置１０５～Ｎは、同期的にあるいは非同期的に（あるいはその両方で）信号の生成および受信を行うことができる。各スレーブ装置は、RDに印加される第１信号を生成することができ、TDに印加される第２信号と、CDに印加される第３信号とRDに印加される第４信号とを受信することができる。

【００１８】

マスタ装置１０１は、同期的および非同期的に信号を生成および受信することができる。従って、マスタ装置１０１は、第１信号を受信し、第２，第３および第４信号を生成することができる。

【００１９】

各々の信号を用いて、マスタ装置１０１とスレーブ装置１０５～Ｎとは、デジタルにフォーマットされたメッセージのビットを表す第１および第２バイナリ状態を有するデジタル信号を生成および受信することにより、同期的および非同期的に、デジタル・フォーマットを有するメッセージ（すなわち第１および第２バイナリ状態の連続ビットにより表現さ

れるメッセージ）を通信することができる。メッセージには第１部分と第２部分とがあり、第１部分にはスレーブ装置を識別するアドレスが、第２部分にはデータが含まれる。

【００２０】

マスタ装置１０１とスレーブ装置１０５～Ｎとは、メッセージを送信するだけでなく、各々の信号の第１および第２バイナリ状態を生成することによって、制御信号または所定の制御情報を送信することができる。制御情報およびメッセージのビットにより第１および第２バイナリ状態を生成する方法は、当技術では容易に理解される。

【００２１】

同期通信を行うには、信号の通信のタイミングを決定する装置が必要になる。たとえば、本発明によるある実施例においては、マスタ装置１０１が、データ伝送システムの通信のタイミングを決定するクロッキング信号を生成する。あるいは、図１に示されるようなタイミング装置１０２が、マスタ装置１０１またはスレーブ装置１０５～Ｎとは別にタイミング信号を設けたり、あるいは各々の装置に信号の通信のタイミングを決定する手段が具備されることもある。

【００２２】

本発明は、データ通信の４つの可能なモードを提供する。あるレベルでは、マスタ装置１０１または任意のスレーブ装置１０５～Ｎが、データ通信を開始することができる；また、別のレベルでは、データを同期的あるいは非同期的に通信することができる。これら４つの通信モード（マスタが開始した同期通信，スレーブが開始した同期通信，マスタが開始した非同期通信およびスレーブが開始した非同期通信）のそれぞれには、独自のプロトコルとメッセージ・フォーマットがある。従って、４つの通信モードを別々に以下に説明する。

マスタ開始同期データ通信

マスタ装置１０１は、スレーブ装置１０５～Ｎの任意のものと同期データ通信を開始し、同期的にデータを送信することができる。図２に示されるように、マスタからスレーブへの（マスタ対スレーブ）同期メッセージ２００は、所定のメッセージ・フォーマット内に配置された１５個のビット（Ｂ１４～Ｂ０）を有する。最初の４ビット（Ａ３～Ａ０）である同期通信アドレス・フィールド２０３には、マスタ対スレーブ同期メッセージ２００が送られるスレーブ装置のアドレスが含まれる。最後の８ビット（Ｄ７～Ｄ０）であるデータ・フィールド２０７には、マスタ対スレーブ同期メッセージ２００のデータが含まれる。最後に、残りの３ビット（Ｘ２～Ｘ０）であるレジスタ・アドレス・フィールド２０５には、データを受信するスレーブ装置のレジスタのアドレスが含まれる。他のメッセージ・フォーマットも可能であるが、ここでは１つの実施例のメッセージ・フォーマットだけを説明する。

【００２３】

同期通信アドレス・フィールド２０３に含まれるアドレスは、データを受信するスレーブ装置と、他のスレーブ装置に対するその装置の優先順位とを識別する。このようなアドレス割当優先順位方式（address-assignment-and-priority scheme）の１つを、以下の表に示す。この方式では、優先順位が最も高い特定のスレーブ装置群が、最も低い値のアドレスを有し、逆に優先順位が最も低いスレーブ装置が最も高い値のアドレスを有する。

表

同期通信アドレススレーブ	装置のタイプ
００００	全非同期通信スレーブ
０００１	優先順位の最も高い同期通信スレーブ
・ ・ ・	・ ・ ・
１１１１	優先順位の最も低い同期通信スレーブ

このアドレス割当優先順位方式は、最も優先順位の高い最低値のアドレス「００００」をすべての非同期通信スレーブ装置に割り当てる。さらに、同期通信スレーブ装置間の所定の優先順位に基づいて、すべての同期通信スレーブ装置に独自のアドレスを割り当てる。その他のアドレス割当優先順位方式も可能である。たとえば、すべての同期通信スレーブ装置に優先順位の最も高い最低値のアドレス「００００」を割り当てることもできる。

【００２４】

本発明のある実施例による通常のマスタ開始同期データ通信の間にマスタが実行する段階の流れ図を示す図３を参照して、マスタ装置１０１は、まずTDおよびCDを用いて、スレーブ装置１０５～Ｎに対しマスタ開始通信に備えるよう通知する制御信号を送信する（ステップ３０１）。マスタ装置１０１は、TDを用いてマスタ対スレーブ同期メッセージ２００を送る（ステップ３０３）。

【００２５】

それに対応して、本発明のある実施例による通常のマスタ開始同期データ通信の間にスレーブ装置が実行する段階の流れ図を示す図４を参照して、スレーブ装置１０５～Ｎは、まずTDおよびCD上に送信された制御信号を受信する（ステップ４０１）。それに応答して、必要に応じて、RD上で通信をしている任意のスレーブ装置がRDを解放する（ステップ４０３）。次に、スレーブ装置は、TD上に送信されたマスタ対スレーブ同期メッセージ２００を受信する（ステップ４０５）。スレーブ装置１０５～Ｎは、クロッキング信号を用いてTD上のマスタ対スレーブ同期メッセージ２００の読み取りのタイミングを決定する。

【００２６】

マスタ開始同期データ通信のプロトコルは、通常のマスタ開始同期データ通信中のバス１０３上の信号の関係を示すタイミング図を示す図５を参照して、さらによく理解することができる。ある実施例においては、信号のバイナリ状態は、実質的に０ボルトの値を有する論理０と、実質的に５ボルトの値を有する論理１とにより表現される。あるいは、バイナリ状態に他の電圧値を割り当てることもできる。

【００２７】

データ伝送システム１００上で通信が行われていないときは、バス１０３は使用されておらず、そのためTDとCDは論理０、RDは論理１になる。休止状態のバスに関して他の組み合せも可能である。たとえば、TDとCDが論理１で、RDが論理０でもよい。同期データ通信を

開始するには、t_0でマスタ装置１０１が、たとえばCDで論理１で、TDでは論理０に保持される制御信号を生成する。あるいは、制御信号はTDで論理１、CDで論理０としてもよい。TDおよびCD上のこの制御信号は、スレーブ装置に対して、マスタ開始通信の開始を知らせる。

【００２８】

この典型的なマスタ開始同期通信においては、マスタ装置１０１が通信を開始する前はデータ伝送システム１００上で通信は行われていない。スレーブ装置がt_0で通信をしている場合には、マスタの通信はスレーブ装置の通信に対して優先権を持ち、制御信号はさらに、通信中のスレーブ装置に対して通信を終了するよう警告する。この実施例では、マスタが同期メッセージ２００を送信する前に通信中のスレーブ装置の通信終了を容易にするために、マスタ装置１０１はすべての通信中のスレーブ装置がRDを解放するまで、所定の時間の間、TDおよびCD上に制御信号を保持する。

【００２９】

次にマスタ装置１０１は、「０００１　１００　００００　０１１０」の１５ビット・メッセージを有するマスタ対スレーブ同期メッセージ２００を表す第１信号のバイナリ状態をTD上に生成する。Ａ３～Ａ０，Ｘ２～Ｘ０およびＤ７～Ｄ０の各ビットは、印をつけた時間スロットに現れる。ある実施例においては、時間スロットは１ミリ秒の等間隔τである。他の期間も可能であり、時間スロットの間隔を等しくする必要もない。

【００３０】

初期の制御信号は、マスタ対スレーブ同期メッセージ２００の１６番目のビットと考えることができ、読み書き（R/W: READ/WRITE ）ビットとも呼ばれる。

【００３１】

マスタ装置１０１は、TD上に第１信号を生成する間にCD上に第２信号も生成する。TD上の第１信号はCD上の第２信号と共に、スレーブ装置１０５～Ｎに対するクロッキング信号（CLK ）となる。すなわち、TDおよびCDのバイナリ状態のそれぞれの変化は、クロッキング信号のバイナリ状態の変化に対応する。スレーブ装置１０５～Ｎは、クロッキング信号を用いて制御信号およびTD上のマスタ対スレーブ同期メッセージ２００の読み取りのタイミングを決定する。すなわち制御信号と各ビットが現れる時間スロット中に行うようにする。たとえば、スレーブ装置は、クロッキング信号の立ち上がり端を用いて、立ち上がり端に続くTDのバイナリ状態の読み取りのタイミングを決定する。

【００３２】

マスタ対スレーブ同期メッセージ２００の送信後に、t_nでTDとCDが論理０状態になる。その結果、TDとCDは同期データ通信の前にその状態になる。

【００３３】

TDおよびCDの可能な論理状態を示す図６を参照すると、制御信号，メッセージおよびクロッキング信号の生成をさらによく理解することができる。マスタ装置１０１は、TDとCDを組み合わせて得ることができる４つの２ビット・バイナリ状態を利用することにより、制御信号，メッセージおよびクロッキング信号を設ける。これらの状態は、リセット６０１，書き込み６０３またはゼロ６０３，読み取り６０５またはワン６０５およびアイドル６０７と呼ばれる。他の組み合せも可能であるが、ある実施例においてはTDとCDはそれぞれリセット６０１に関して論理０である。書き込み６０３に関してTDは論理０、CDは論理１である。読み取り６０５に関してTDは論理１、CDは論理０である。またアイドル６０７に関してはTDとCDはそれぞれ論理１である。ゼロ６０３とワン６０５は、まとめてデータ状態と呼ばれる。そしてリセット６０１，書き込み６０３および読み取り６０５は、まとめて制御状態と呼ばれる。「補完データ」という用語は、CDがデータ状態においてTDに対し相補的なバイナリ状態を有することに由来するものである。マスタ装置１０１は、図６に示される状態の間でTDとCDを遷移させるので、各遷移の間にTDまたはCDのいずれか一方のバイナリ値が変化し、両方が変化することはない。リセット６０１とアイドル６０７間の遷移およびゼロ６０３とワン６０５間の遷移は、TDとCDの値の両方が同時に変化することを必要とするので許されない。バイナリ状態間のこの遷移の制限によって、スキューイン

グおよびタイミングの変動の効果を最小限に抑える。さらに、この方式で自己クロッキングが行われ、伝送周波数とは独立したものになる。すなわち、それぞれの状態遷移間の間の時間間隔τは同じである必要がなく、ダイナミックに変動することができるので、メッセージ送信の頻度を選択可能にし、連続する状態遷移間の時間間隔を無作為に変動するものとすることができる。

【００３４】

再び図５を参照し、TDおよびCDがとりうるバイナリ状態の略号を用いて、マスタ開始同期データ通信のプロトコルを簡潔に説明することができる。t_0の前に、TDとCDは制御状態リセット６０１になる。この状態は、スレーブ装置に対してバス１０３を通信のために用いることができることを知らせる。マスタ装置１０１がt_0で通信を開始すると、マスタ装置１０１は制御状態リセット６０１から制御状態書き込み６０３にTDとCDを遷移させる。この状態は、スレーブ装置に対して、マスタ装置１０１がバス１０３にメッセージを書き込み中であることを知らせ、従ってスレーブ装置はRDを解放し、TD上のメッセージを読み込み、TDおよびCDが再びリセット６０１になるまで通信を開始できないことを知らせる。次にt_1から、メッセージの各ビットについてマスタ装置１０１がTDおよびCDを、データ状態ゼロ６０３またはデータ状態ワン６０５のいずれかに遷移させる。これは、アイドル６０７の挟み込み中の、マスタ対スレーブ同期メッセージ２００のビット値によって決まる。メッセージ・ビット値が０のときは、遷移の結果ゼロ６０３となる。メッセージ・ビット値が１のときは、遷移の結果ワン６０５となる。最後に、最終メッセージ・ビット値が生成された後のt_nで、TDおよびCDは制御状態リセット６０１となり、これでバス１０３を再び通信に用いることができることを知らせる。

【００３５】

この略号は、TDおよびCD上の信号を表すために以下にも用いることとする。

スレーブ開始同期データ通信

任意のスレーブ装置１０５～Ｎは、マスタ装置１０１との同期データ通信を開始し、同期的にデータを送信することができる。図７に示されるように、ある実施例においては、スレーブからマスタへの（スレーブ対マスタ）同期メッセージ７００は、所定のフォーマット内に配置された１６個のビットを有する。最初の４ビット（Ａ３～Ａ０）である同期通信アドレス・フィールド７０１には、通信を開始するスレーブ装置の同期通信アドレスが含まれる。次の４ビットは「００００」にセットされる。最後の８ビット（Ｄ７～Ｄ０）であるデータ・フィールド７０３には、データが含まれる。他のメッセージ・フォーマットも可能であり、たとえばデータ・フィールド７０３の後に「００００」が来てもよい。

【００３６】

同期通信アドレス・フィールド７０１に含まれるアドレスは、同期データ通信を開始するスレーブ装置を識別するだけでなく、２つ以上のスレーブ装置が実質的に同時に同期通信を開始する場合のスレーブ装置の優先順位の決定も行う。前述のように、優先順位が最も高いスレーブ装置が、最も低い値のアドレスを有し、逆に優先順位が最も低いスレーブ装置が最も高い値のアドレスを有する。

【００３７】

本発明のある実施例による通常のスレーブ開始同期データ通信の間に任意のスレーブ装置１０５～Ｎが実行する段階の流れ図を示す図８を参照して、任意のスレーブ装置１０５～Ｎは、まずRDを用いて、マスタ装置１０１に対しスレーブ開始通信に備えるよう通知する制御信号を送信する（ステップ８０１）。次に、スレーブ装置は、TDおよびCD上で戻り制御信号を受信し（ステップ８０３）、要求を開始するスレーブ装置が、RDを用いて各々のスレーブ対マスタ同期メッセージ７００を送る（ステップ８０５）。

【００３８】

それに対応して、通常のスレーブ開始同期データ通信の間にマスタ装置１０１が実行する段階の流れ図を示す図９を参照して、マスタ装置１０１は、まずRD上に送信された制御信号を受信し（ステップ９０１）、TDおよびCD上に戻り制御信号を送信することにより応答する（ステップ９０３）。その後、マスタ装置１０１はRD上で各々のスレーブ対マスタ同

期メッセージ７００を受信する。

【００３９】

スレーブ開始同期データ通信のプロトコルは、通常のスレーブ開始同期データ通信中のバス１０３上の信号の関係を示すタイミング図を示す図１０を参照して、さらによく理解することができる。

【００４０】

データ伝送システム１００上で通信が行われていないときは、バス１０３は使用されておらず、TDとCDはリセット６０１、RDは論理１になる。同期データ通信を開始するには、t_0でスレーブ装置が、RD上に制御信号を、たとえばRD上に論理０を送信する。あるいは、使用していないときのRDを論理０とすることができ、スレーブ装置は論理１を生成することによりRD上に制御信号を送信する。この制御信号が、マスタ装置１０１に対して、スレーブ開始通信の開始を知らせる。

【００４１】

マスタ装置１０１は、RD上で論理０を受信し、t_1で、TDおよびCDの状態をリセット６０１から読み取り６０５に変更することにより、戻り制御信号で応答する。この読み取り６０５は、すべてのスレーブ装置に対して、マスタ装置１０１がバス１０３上のメッセージを読み取り中である（そしてRDが使用中であること）ので、すべてのスレーブ装置は、TDおよびCDがリセット６０１になるまで通信を開始できないことを知らせる。さらに、TDおよびCD上に現れる制御状態読み取り６０５は、すべてのスレーブ装置に対して、TD上で受信されるマスタ対スレーブ同時メッセージ２００らしきものを無視するよう通知する。

【００４２】

通信を開始するスレーブ装置は、TDおよびCD上に戻り制御信号を受信し、RD上のメッセージの第１ビットの送信を行うための準備をする。

【００４３】

この例では、スレーブ装置は、「００１０　０００　０００１　１０００」の１６ビットのメッセージを有するスレーブ対マスタ同期メッセージ７００を表す第３信号のバイナリ状態をRD上に生成する。各ビットＡ３～Ａ０，「００００」およびＤ７～Ｄ０は印のついた時間スロットに現れる。

【００４４】

ある実施例においては、マスタ装置１０１が、TDは論理１にしたままで、挟み込まれたアイドル６０７および読み取り６０５をTDおよびCD上に送出することによりクロッキング信号を設ける。クロッキング信号に応答して、スレーブ装置は、TDおよびCDが読み取り６０５にあるときにはいつでもRDの状態を変更することにより、メッセージ・ビットをRDに印加する。たとえば、スレーブ装置は、t_2でクロックの立ち上がり端を用いてt_3でのビットの印加のタイミングを決定することができる。

【００４５】

スレーブ装置は、RD上のビットをアイドル６０７の間ずっと保持する。アイドル６０７中は、マスタ装置１０１が書き込まれたビットを読み取る。マスタ装置１０１は、クロッキング信号の立ち下がり端からそのビットの読み取りのタイミングを決定することができる。

【００４６】

２つ以上のスレーブ装置が実質的に同時に要求を開始する状況を補正するために、RDにメッセージを与えるすべてのスレーブ装置は、スレーブ装置の同期通信アドレスを表すメッセージの少なくとも最初の４ビットを読み取り、読み取ったビットをスレーブ装置が送出中のビットと比較する。スレーブ装置がこの２つのビット間に矛盾を検出すると、矛盾を検出したスレーブ装置がそのメッセージの送出を停止して、RDを解放する。そのため、アドレス割当優先順位方式のために、同期通信中のスレーブ装置だけが、同期通信アドレス・フィールド７０１のビットが書き込まれ、読み取られた後でバス１０３上に残る。矛盾を検出し、RDを解放したスレーブ装置は、現在の通信が終了した後でTDおよびRDがリセット６０１になると、再びサービスを要求することができる。

【００４７】
ある実施例においては、故障許容保護のために、バス１０３上に残るスレーブ装置が１６ビットすべてをチェックする。最終ビットの読み取りを行うために、t_nでTDおよびCDがリセット６０１になった後の所定の期間の間、最終ビットはRD上に残る。ある実施例においては、この所定の時間は５０ないし５００マイクロ秒である。スレーブ装置は、最後の読み取り６０５からリセット６０１への遷移、すなわちクロッキング信号の最後の立ち下がり端まで最終ビットを読み取らないので、この保持が必要になる。
【００４８】
さらに保護を行うために、通信が終了する前にTDおよびRD上でスレーブ装置がリセット６０１を検出した場合、これはスレーブ開始同期データ通信の終了までリセット６０１が起こらないので異常な状態を示すものであるが、この場合は、スレーブ装置はその送信を放棄してそのメッセージを後で再度送付することができる。
マスタ開始非同期データ通信
マスタ装置１０１は、スレーブ装置１０５～Ｎの任意のものと非同期データ通信を開始し、非同期的にデータを送信することができる。図１１を参照して、ある実施例においては、マスタ対スレーブ非同期メッセージ１１００が、所定のフォーマット内に配置される。他のメッセージ・フォーマットも可能である。
【００４９】
ある実施例においては、非同期メッセージは、モトローラ社製のMC68HC11系８ビット・マイクロプロセッサ（または同等品）のためのシリアル通信インターフェース（SCI ）に追従する。非同期メッセージは、標準のNRZ フォーマットを特徴とし、以下の基準を満足する：
１）アイドル線は、キャラクタの送信／受信前に論理１状態になる；
２）フレームの始点を示すためにスタート・ビット（論理０）が用いられる；
３）データは、最小桁ビットから先に送受信される；
４）フレームの終点を示すためにストップ・ビット（論理１）が用いられる（フレームは、スタート・ビット，８ないし９個のデータ・ビットおよびストップ・ビットで構成される）；および
５）少なくとも１つの完了フレーム時間について、低（論理０）の送信または受信としてブレークが定義される。
【００５０】
非同期メッセージは、各々が８ビットからなる１ないしＮ個のバイトを有することができる。バイトは、ビット番号７から始まり、昇順に送信される。（送信中に各バイトに追加されるスタート・ビットおよびストップ・ビットは、図１１には図示されない。）
本発明のある実施例による通常のマスタ開始非同期データ通信の間にマスタが実行する段階の流れ図を示す図１２を参照して、マスタ装置１０１は、まずTDおよびCDを用いて、スレーブ装置１０５～Ｎに対しマスタ開始通信に備えるよう通知する制御信号を送信する（ステップ１２０１）。マスタ装置１０１は、RDを用いてマスタ対スレーブ非同期メッセージ１１００を送出する（ステップ１２０３）。
【００５１】
通常のマスタ開始非同期データ通信の間にスレーブ装置が実行する段階の流れ図を示す図１３を参照して、スレーブ装置１０５～Ｎは、まずTDおよびCD上に制御信号を受信する（ステップ１３０１）。それに応答して、必要に応じて、RD上で通信中の任意のスレーブ装置がRDを解放する（ステップ１３０３）。スレーブ装置は、次に、RD上でマスタ対スレーブ非同期メッセージ１１００を受信する（ステップ１３０５）。続いて、RDを解放したスレーブ装置は、バス１０３上でサービスを要求することができ、TDおよびCDがリセット６０１になると、そのメッセージを再度送付することができる。
【００５２】
マスタ開始非同期データ通信のプロトコルは、通常のマスタ開始非同期データ通信中のバス１０３上の信号の関係を示すタイミング図を示す図１４を参照して、さらによく理解す

ることができる。
【００５３】
非同期データ通信を開始するには、t_0でマスタ装置１０１が、TDを論理０に保持しながらCDを論理０から論理１に変更することにより、たとえば書き込み６０３の制御信号を送信する。この制御信号は、スレーブ装置に対して、マスタ開始通信の開始を知らせる。
【００５４】
ある実施例においては、マスタ装置１０１は、少なくとも３τの間TDおよびCD上に書き込み６０３を保持して、すべてのスレーブ装置がRDを解放するための時間の猶予を与える。TDとCDを書き込み６０３に保持することにより、マスタ開始非同期データ通信が完了するまで、すべてのスレーブ装置はRDから確実に外れた状態になる。
【００５５】
非同期データ伝送の最終ビットに続いて、TDとCDはリセット６０１になる。リセット６０１は、スレーブ装置に対して、マスタ装置１０１が非同期メッセージの送信を終了したことを知らせる。
スレーブ開始非同期データ通信
任意のスレーブ装置１０５～Ｎは、マスタ装置１０１と非同期データ通信を開始し、非同期的にデータを送信することができる。これは、３回線バスを有して、スレーブ開始非同期データ通信を行わない既知のデータ伝送システムに対する本発明の利点である。既知のシステムでは、マスタがまず非同期データ通信モードに入り、それから各スレーブ装置に非同期的にポーリングして、スレーブ装置が非同期的に送信すべきデータを有するか否かを判定する。その結果、本発明により、スレーブ装置が直接的に非同期通信を開始することができるようにすることで、ポーリングの負担を軽減する。
【００５６】
図１５に示されるように、スレーブ対マスタ非同期メッセージは、２つの別々の部分を有する所定のメッセージ・フォーマットに配置される。第１部分は、スレーブ対マスタ・ヘッダ１５０１で、スレーブ対マスタ同期メッセージ７００と同様に同期的に送信される。第２部分は、非同期的に送信される非同期メッセージである。
【００５７】
スレーブ対マスタ・ヘッダ１０５１は、９ビットを有する。最初の４ビット（Ａ３～Ａ０）を含む同期通信アドレス・フィールド１５０３には、非同期データ通信を開始するスレーブ装置の同期通信アドレスが含まれる。前述のように、ある実施例においては、非同期通信中のスレーブ装置は、「００００」の同期通信アドレス・フィールド１５０３内に含まれる同期通信アドレスを有する。従って、非同期通信中の任意のスレーブ装置は、実質的に同時に通信を開始する同期通信を行うスレーブ装置に対して優先権を有する。３回線バスを有する既知のデータ伝送システムは、非同期通信スレーブ装置と同期通信スレーブ装置との間のバス・コンテンションに対処しなかったので、これは本発明により提供される利点である。
【００５８】
スレーブ対マスタ・ヘッダ１５０１の最後の５ビット（Ｐ４～Ｐ０）である非同期通信アドレス・フィールド１００５は、非同期データ通信を開始するスレーブ装置の非同期通信アドレスを含む。アドレス割当優先順位方式は、優先順位の最も高いスレーブ装置が最も低い値のアドレスを有するように、非同期通信を行う各スレーブ装置に独自のアドレスを割り当てる。３回線バスを有する既知のデータ伝送システムは、非同期通信を行うスレーブ装置間のバス・コンテンションに対処しないので、これは本発明により提供される利点である。
【００５９】
スレーブ対マスタ非同期メッセージの第２部分は、非同期メッセージであり、SCI メッセージと呼ばれる。SCI メッセージは、マスタ開始非同期データ通信で説明されたマスタ対スレーブ非同期メッセージ１１００と同じフォーマットを有する。
【００６０】

一般的に述べると、通常のスレーブ開始非同期データ通信のはじめの部分は、通常のスレーブ開始同期データ通信と似ている。本発明のある実施例による通常のスレーブ開始同期データ通信の間に、任意のスレーブ装置１０５～Ｎが実行する段階を示す図１６を参照して、スレーブ装置は、まずRDを用いて、マスタ装置１０１に対しスレーブ開始通信に備えるよう通知する制御信号を送信する（ステップ１６０１）。次に、スレーブ装置は、マスタ装置１０１からTDおよびCD上で戻り制御信号を受信し（ステップ１６０３）、それに応答して、RDを用いてスレーブ対マスタ・ヘッダ１５０１を送出する（ステップ１６０５）。

【００６１】

スレーブ対マスタ・ヘッダ１５０１の送出が完了すると、スレーブ装置はマスタ装置１０１からTDおよびCD上で第１制御信号を受信する（ステップ１６０７）。それに応答して、スレーブ装置は、RDを高に回復する（ステップ１６０９）。スレーブ装置は、次にTDおよびCD上で第２制御信号を受信する（ステップ１６１１）。それに応答して、通信中のスレーブ装置は、RD上にSCI メッセージ１５０７を送信する（ステップ１６１３）。

【００６２】

それに対応して、通常のスレーブ開始非同期データ通信の間にマスタ装置１０１が実行する段階を示す図１７を参照して、マスタ装置１０１は、まずRD上に送信された制御信号を受信し（ステップ１７０１）、TDおよびCD上に戻り制御信号を送信することにより応答する（ステップ１７０３）。その後、マスタ装置１０１はRD上でスレーブ対マスタ・ヘッダ１５０１を受信する。

【００６３】

スレーブ対マスタ・ヘッダ１５０１を受信すると、マスタ装置１０１は、マスタ装置１０１からTDおよびCD上に第１制御信号を送信し（ステップ１７０７）、次にTDおよびCD上に第２制御信号を送信する（ステップ１７１１）。その後、マスタ装置１０１は、RD上でSCI メッセージ１５０７を受信する（ステップ１７１３）。

【００６４】

スレーブ開始非同期データ通信のプロトコルは、通常のスレーブ開始非同期データ通信中のバス１０３上の信号の関係を示すタイミング図を示す図１８を参照して、さらによく理解することができる。

【００６５】

スレーブ開始同期データ通信の場合と同様に、スレーブ装置は、たとえばRDを論理０にすることにより制御信号を送信して、t_0において通信を開始する。マスタ装置１０１は、TD上に論理０を検知し、TDおよびCDを制御状態リセット６０１から制御状態読み取り６０５に変更することにより、t_1において戻り制御信号で応答する。この読み取り６０５は、図１０に図示されるスレーブ開始同期データ通信の場合と同様に、すべてのスレーブ装置に対して、マスタ装置１０１がバス１０３上のメッセージを読み取り中であること、そしてRDが使用中であるので、すべてのスレーブ装置はTDおよびCDがリセット６０１になるまで通信を開始すべきでないことを知らせる。さらに、TDおよびCD上に現れる制御状態読み取り６０５は、すべてのスレーブ装置に対して、TDおよびCD上に受信されるメッセージを無視するよう通知する。

【００６６】

要求を開始するスレーブ装置は、読み取り６０５を検知し、RD上にメッセージの第１ビットの送信を行うための準備をする。この例では、スレーブ装置は、ビット「０００００１００１０」を含むスレーブ対マスタ・ヘッダ１５０１に対応する、RD上の第３信号のバイナリ状態を生成する。各ビットＡ３～Ａ０とＰ４～Ｐ０は印のついた時間スロットに現れる。

【００６７】

本発明のある実施例による通常のスレーブ開始非同期データ通信においては、マスタ装置１０１が、TDを読み取り６０５にしたままで、挟み込まれたアイドル６０７および読み取り６０５をTDおよびCD上に送出することによりクロッキング信号を設ける。クロッキング

信号に応答して、スレーブ装置は、TDおよびCDが読み取り６０５にあるときにはいつでもRDの状態を変更することにより、メッセージを表すビットをRDに印加する。たとえば、スレーブ装置は、t_2でクロックの立ち上がり端を用いてt_3でビットの印加のタイミングを決定することができる。

【００６８】

スレーブ装置は、RD上のビットをアイドル６０７の間ずっと保持する。アイドル６０７中は、マスタ装置１０１が書き込まれたビットを読み取る。マスタ装置１０１は、クロッキング信号の立ち下がり端からそのビットの読み取りのタイミングを決定することができる。

【００６９】

２つ以上のスレーブ装置が実質的に同時に要求を開始する状況を補正するために、RDにメッセージを与えるすべてのスレーブ装置は、必要に応じて、スレーブ装置の独自のアドレスを含むメッセージの最初の９ビットを読み取り、読み取ったビットをスレーブ装置が送出中のビットと比較する。スレーブ装置がこの２つのビット間に矛盾を検出すると、矛盾を検出したスレーブ装置がそのメッセージの送出を停止して、RDを解放する。そのため、アドレス割当優先順位方式のために、非同期通信するスレーブ装置だけが、同期通信アドレス・フィールド１５０３のビットが書き込まれ、読み取られた後でバス１０３上に残る。これは、非同期通信を行うスレーブ装置が、「００００」という最も優先順位の高い同期通信アドレスを持つためである。さらに、独自の非同期通信アドレスが割り当てられるために、非同期通信アドレス・フィールド１００５がスレーブ装置により書き込まれ、読み取られた後には、ただ１つの非同期通信を行うスレーブ装置だけがバス１０３上に残ることになる。矛盾を検出し、RDを解放したスレーブ装置は、現在の通信が終了した後でマスタ装置１０１がTDおよびRDをリセット６０１にセットすると、再びサービスを要求することができる。

【００７０】

さらに、「００００」という独自の同期通信アドレスは、非同期通信スレーブ装置と同期通信スレーブ装置間のバス・アービトレーションを行うだけでなく、マスタ装置１０１に対して、要求しているスレーブ装置がスレーブ対マスタ非同期メッセージを送信中であるので、マスタ装置１０１は、スレーブ対マスタ同期メッセージ７００ではなく、スレーブ対マスタ非同期メッセージを受信するためのプロトコルを実行することができることを知らせる。すなわち、挟み込まれたアイドル６０７および読み取り６０５を送出して、図１０に示されるスレーブ対マスタ同期メッセージ７００の１５のメッセージ・ビットを送信することによりクロッキング信号を設けるのでなく、その代わりに、マスタ装置１０１は充分な挟み込みアイドル６０７および読み取り６０５を送出して、スレーブ対マスタ・ヘッダ１５０１の９個のメッセージ・ビットを送信する。さらに、制御信号または情報の送信のタイミングが、９個のメッセージ・ビットに対応するように改変される。

【００７１】

クロッキング信号を終了してスレーブ対マスタ・ヘッダ１５０１を送信するために、t_4でマスタ装置１０１は、制御状態書き込み６０３をTDおよびCD上に配置する。送信中のスレーブ装置は、書き込み６０３を検出し、t_5で、スレーブ対マスタ・ヘッダ１５０１の送信を完了し、RDを高に回復し、RDを介してマスタ装置１０１にSCI メッセージ１５０７を送信する準備をする。

【００７２】

さらに、TDおよびCD上に制御状態書き込み６０３を配置した後で、マスタ装置１０１は、TDおよびCD上にアイドル６０７を置き、非同期データ受信の準備をする。次に、マスタ装置１０１はTDおよびCD上にもう１つの制御状態書き込み６０３を置き、SCI メッセージ１５０７の送信中はずっとこの状態を保持する。送信中のスレーブ装置は、書き込み６０３を検出し、t_6でSCI メッセージ１５０７の送信を開始する。マスタ装置１０１は、RD上でSCI メッセージ１５０７を受信する。さらに、この２番目の書き込み６０３が、（図１４に示されるマスタ開始非同期通信において制御状態書き込み６０３がするように）他のス

レーブ装置に対して、バス１０３が使用中であることを知らせ、他のスレーブ装置が通信を開始しないようにする。

【００７３】

RD上のSCI メッセージ１５０７の最終ビットに続き、t_nでTDおよびCDは制御状態リセット６０１になる。リセット６０１は、スレーブ装置に対して、送信中のスレーブ装置が非同期データ通信を終了したことを知らせる。

【００７４】

無線電話システムおよび装置は、本発明を採用して利点を得ることができる。本発明は、１つの実施例としての無線電話システムおよび装置により特に説明されているが、同期的および非同期的にデータを伝送する他のシステムおよび装置においても同様に採用することができる。

【００７５】

図１９は、本発明を採用することのできる無線電話システム１９００の簡単なブロック図である。バス１９０３（バス１９０３の３本の信号回線は図示されない）は、マイクロコンピュータ１９０１，受信機回路１９０３，送信機回路１９０５およびインターフェース回路１９０７のための共通接続部となる。マイクロコンピュータ１９０１には、メモリ回路１９１９が接続される。ユーザが情報を入力するためのキーパッド回路１９１１と、ユーザに情報を表示するためのディスプレイ回路１９１３は、インターフェース回路１９０７に結合される。　マイクロプロセッサ１９０１には、TDに結合され、メッセージを同期的および非同期的に送信する手段；TDに結合され、制御信号または所定の制御情報を送信する手段；CDに結合され、タイミング信号と別の所定の制御情報とを送信する手段；RDに結合され、あらかじめ割り当てられたアドレスのビットを同期的に受信する手段；RDに結合され、データのビットを同期的および非同期的に受信する手段；およびRDに結合され制御信号を受信する手段が含まれる。これらの機能を実行するためにマイクロコンピュータにプログラミングする方法は、既知の技術から容易に理解される。

【００７６】

インターフェース回路１９０７には、キーパッド回路１９１１とディスプレイ回路１９１３とをバス１９０３にインターフェースする回路構成が含まれることもある。さらに、インターフェース回路１９０７には、RDに結合され、あらかじめ割り当てられたアドレスのビットを同期的に送信するマイクロコンピュータまたは手段；RDに結合され、データのビットを同期的または非同期的に（あるいはその両方で）送信する手段；RDに結合され、制御信号を送信する手段；TDに結合され、メッセージおよび制御信号または所定の制御情報を受信する手段；およびCDに結合され、タイミング信号と別の制御信号または所定の制御情報とを受信する手段が含まれることもある。あるいは、キーパッド回路１９１１とディスプレイ回路１９１３がそれぞれ、インターフェース回路１９０７ではなく、上記の機能を実行するためのマイクロコンピュータを具備することもある。

【００７７】

受信機回路１９０３，送信機回路１９０５およびマイクロコンピュータ１９０１は、トランシーバ・ユニット１９１５として物理的に集合されることもある。キーパッド回路１９１１，ディスプレイ回路１９１３およびインターフェース回路１９０７は、送受器１９１７として物理的に集合されることもある。送受器１９１７は、たとえば移動無線電話システム内でトランシーバ・ユニット１９１５と物理的に別個とすることもできるが、あるいは、送受器１９１７とトランシーバ・ユニット１９１５をたとえば、手持ち式またはポケット無線電話内に物理的に統合することもできる。

【００７８】

図１９に示される実施例においては、マイクロコンピュータ１９０１は、図１のマスタ装置１０１に対応し、受信機回路１９０３，送信機回路１９０５および送受器１９１７が図１のスレーブ装置に対応する。あるいは、トランシーバ・ユニット１９１５がマスタ装置１０１に対応し、送受器１９１７がスレーブ装置に対応する。請求項で用いられる用語「無線電話周辺装置」は、送受器，周辺機器またはバス１９０３と結合することができるそ

の他の同期および非同期通信装置を指す。

【００７９】

従って、本発明により、同期的および非同期的に通信するスレーブ装置が、バス上で送信を開始することができ、さらに複数の同期または非同期（あるいはその両方の）通信を行うスレーブ装置間のバス・コンテンションに対処することができるようにする－－これは従来の技術では提供されない機能である－－独自のシステム，装置，方法，プロトコルおよびメッセージ・フォーマットが説明される。さらに、この独自のシステム，装置，方法，プロトコルおよびメッセージ・フォーマットは、３回線バスを有する既存の伝送システムと後方互換性を保持する。

【図面の簡単な説明】

【図１】本発明を採用することのできる汎用データ伝送システムの簡単なブロック図である。

【図２】本発明のある実施例による、マスタからスレーブへの同期メッセージのフォーマットを示す。

【図３】本発明のある実施例による、通常のマスタ開始同期データ通信中にマスタが実行する段階の流れ図である。

【図４】本発明のある実施例による、通常のマスタ開始同期データ通信中にスレーブが実行する段階の流れ図である。

【図５】本発明のある実施例による、通常のマスタ開始同期データ通信中のバス上の信号の関係を示すタイミング図である。

【図６】本発明のある実施例による、TDおよびCDの論理状態を示す状態図である。

【図７】本発明の好適な実施例による、スレーブからマスタへの同期メッセージのフォーマットを示す。

【図８】本発明のある実施例による、通常のスレーブ開始同期データ通信中にスレーブ装置が実行する段階の流れ図である。

【図９】本発明のある実施例による、通常のスレーブ開始同期データ通信中にマスタが実行する段階の流れ図である。

【図１０】本発明のある実施例による、通常のスレーブ開始同期データ通信中のバス上の信号の関係を示すタイミング図である。

【図１１】本発明のある実施例による、マスタからスレーブへの非同期メッセージのフォーマットを示す。

【図１２】本発明のある実施例による、通常のマスタ開始非同期データ通信中にマスタが実行する段階の流れ図である。

【図１３】本発明のある実施例による、通常のマスタ開始非同期データ通信中にスレーブ装置が実行する段階の流れ図である。

【図１４】本発明のある実施例による、通常のマスタ開始非同期データ通信中のバス上の信号の関係を示すタイミング図である。

【図１５】本発明のある実施例による、スレーブからマスタへの非同期メッセージのスレーブからマスタへのヘッダ部分のフォーマットを示す。

【図１６】本発明のある実施例による、通常のスレーブ開始非同期データ通信中にスレーブ装置が実行する段階の流れ図である。

【図１７】本発明のある実施例による、通常のスレーブ開始非同期データ通信中にマスタが実行する段階の流れ図である。

【図１８】本発明のある実施例による通常のスレーブ開始非同期データ通信中のバス上の信号の関係を示すタイミング図である。

【図１９】本発明を採用することのできる無線電話システムの簡単なブロック図である。

【符号の説明】

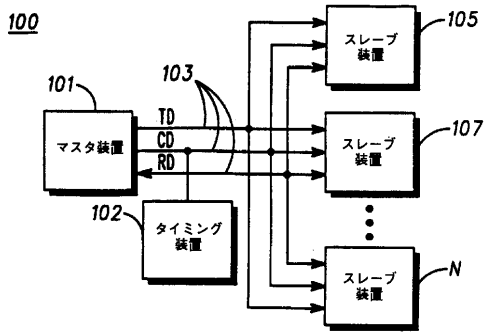
１９００　無線電話システム

１９０１　マイクロコンピュータ

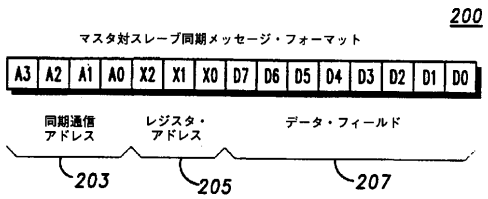
１９０３　受信機

１９０３　バス
１９０５　送信機
１９０７　インターフェース
１９１１　キーパッド
１９１３　ディスプレイ
１９１５　トランシーバ・ユニット
１９１７　無線電話周辺機器
１９１９　メモリ

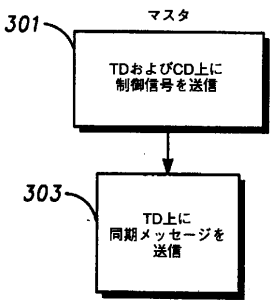
【図１】



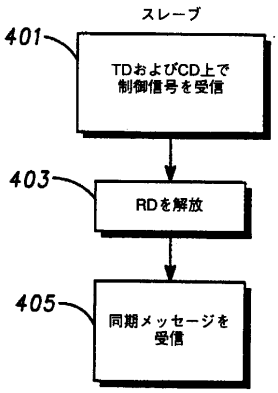
【図２】



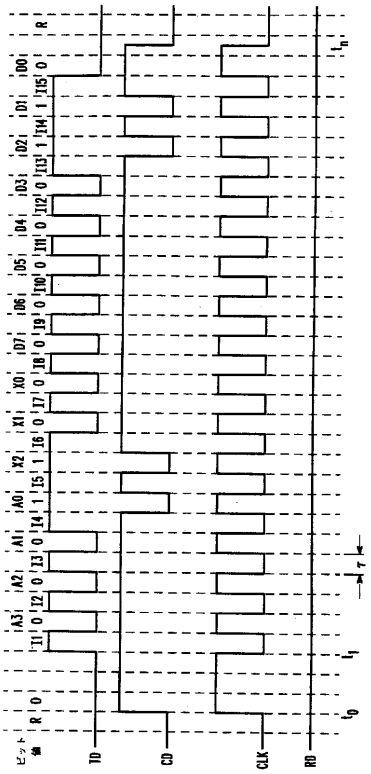
【図３】



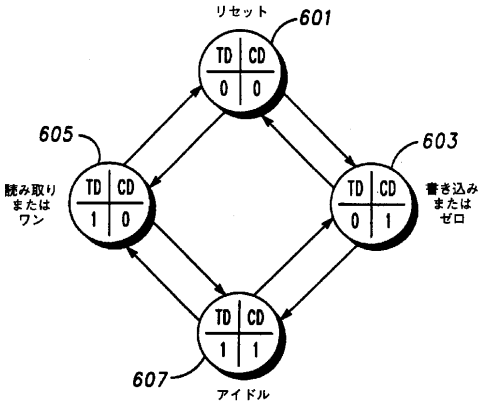
【図４】



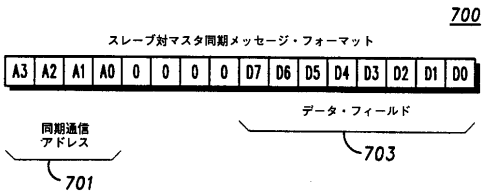
【図５】



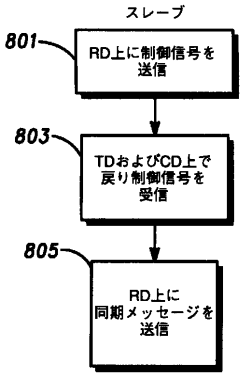
【図６】



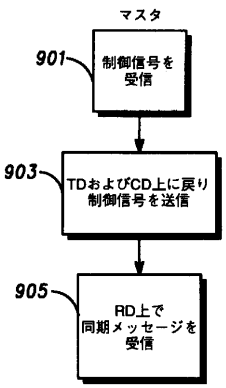
【図７】



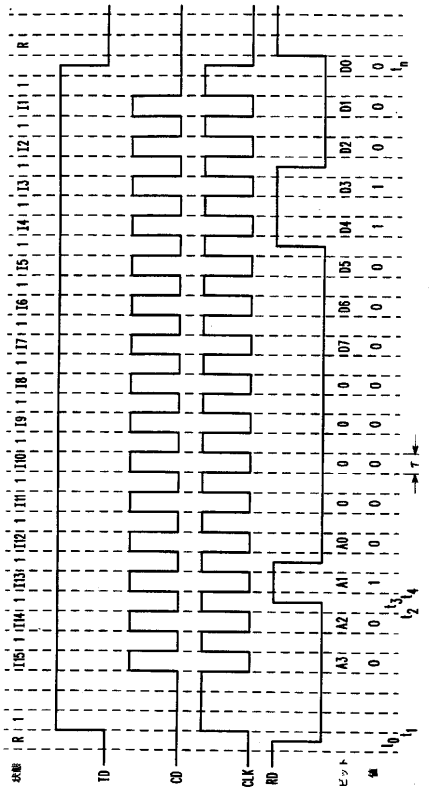
【図８】



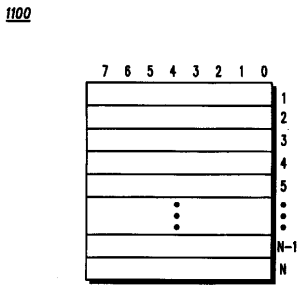
【図９】



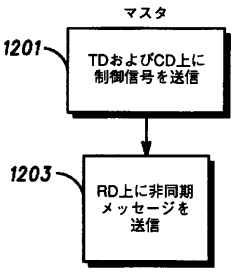
【図１０】



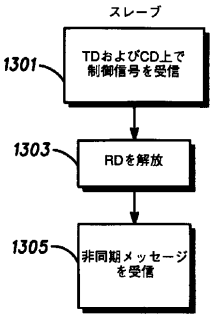
【図１１】



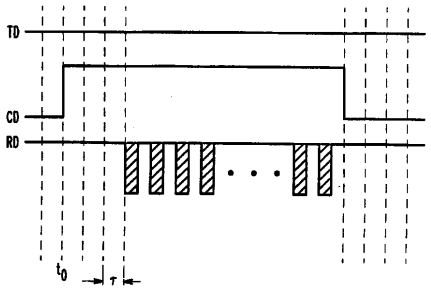
【図１２】



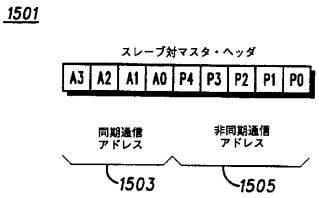
【図１３】



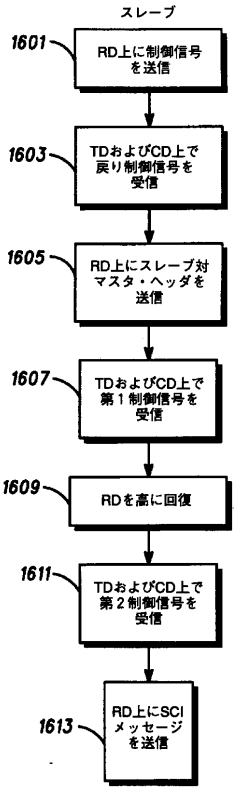
【図１４】



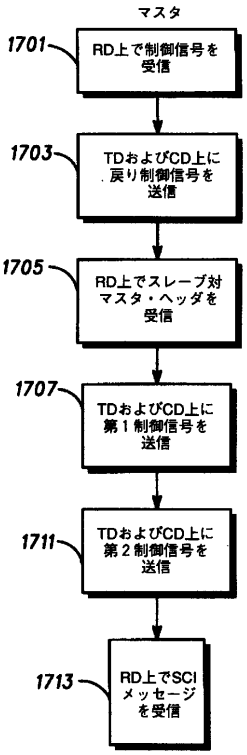
【図１５】



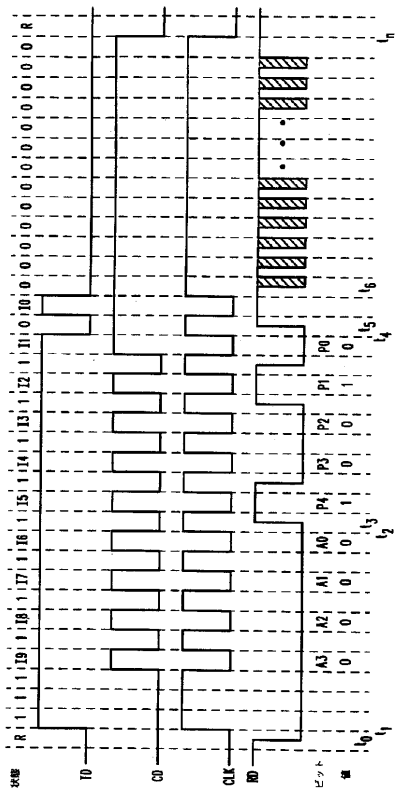
【図１６】



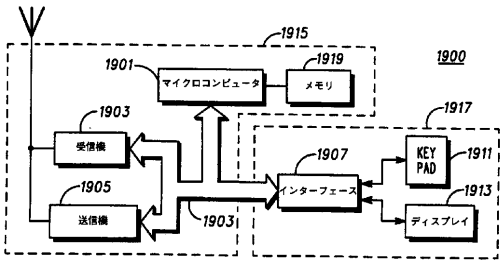
【図１７】


マスタ
1701
RD上で制御信号を受信
1703
TDおよびCD上に戻り制御信号を送信
1705
RD上でスレーブ対マスタ・ヘッダを受信
1707
TDおよびCD上に第１制御信号を送信
1711
TDおよびCD上に第２制御信号を送信
1713
RD上でSCIメッセージを受信

【図１８】



【図１９】


1915
1900
1901
マイクロコンピュータ
1919
メモリ
1903
受信機
1917
1907
KEY PAD
1911
インターフェース
1905
送信機
1913
ディスプレイ
1903

フロントページの続き

審査官　土居　仁士

(58)調査した分野(Int.Cl., ＤＢ名)
H04L 12/28 - 12/46
H04B 7/26
H04L 7/00