



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년08월10일
H03K 17/08 (2006.01)	(11) 등록번호	10-0748570
	(24) 등록일자	2007년08월06일

(21) 출원번호	10-2005-0077163	(65) 공개번호	10-2006-0050562
(22) 출원일자	2005년08월23일	(43) 공개일자	2006년05월19일
심사청구일자	2005년08월23일		

(30) 우선권주장 JP-P-2004-00295676 2004년10월08일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자 고우도 신스케
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키가부시키가이샤 나이

(74) 대리인 권태복
이화익

(56) 선행기술조사문헌
us 6684867

심사관 : 여인홍

전체 청구항 수 : 총 3 항

(54) 반도체 장치

(57) 요약

스위칭 소자를 강제적으로 차단할 때, 유도부하에 발생하는 과전압을 간단한 회로구성으로 억제하는 기술을 제공한다. IGBT(1)(스위칭 소자)의 게이트에 게이트 방전 저항부(101)를 접속한다. 타이머 회로(7)의 출력이 게이트 방전 저항부(101) 및 게이트 구동회로(9)의 입력에 접속되고 있다. 타이머 회로(7)는, IGBT(1)를 온 상태로 구동하는 온 신호의 입력이 소정시간 이상 계속되면, H레벨의 신호를 게이트 방전 저항부(101) 및 게이트 구동회로(9)에 출력한다. 게이트 구동회로(9)는, 타이머 회로(7)로부터의 신호에 의거하여 IGBT(1)를 오프 상태로 구동한다. 게이트 방전 저항부(101)는, 저항값을 저항(4)의 저항값으로부터 저항(4)과 저항(5)의 합성 저항으로 주어지는 저항값으로 변경한다.

대표도

도 1

특허청구의 범위

청구항 1.

전류입력 단자에 유도부하가 접속되는 스위칭 소자와,

상기 스위칭 소자의 제어 단자·전류입력 단자 사이에 접속된 클램프 소자와,

상기 스위칭 소자의 제어 단자·접지전위 사이에 접속된 방전 저항부를 구비하고,

상기 스위칭 소자를 구동하는 것에 의해, 상기 유도부하에 유도 기전압을 발생시키는 반도체 장치에 있어서,

상기 스위칭 소자를 온 상태로 구동하기 위한 온 신호가 소정시간 이상 입력되면, 상기 방전 저항부에 소정의 신호를 출력하는 타이머 회로를 더 구비하고,

상기 방전 저항부는, 상기 소정의 신호에 응답하고, 그 저항값을 큰 값으로 변경하는 것을 특징으로 하는 반도체 장치.

청구항 2.

전류입력 단자에 유도부하가 접속되는 스위칭 소자와,

상기 스위칭 소자의 제어 단자·전류입력 단자 사이에 접속된 제1클램프 소자와,

상기 스위칭 소자의 제어 단자·접지전위 사이에 접속된 방전 저항부를 구비하고,

상기 스위칭 소자를 구동하는 것에 의해, 상기 유도부하에 유도 기전압을 발생시키는 반도체 장치에 있어서,

상기 스위칭 소자를 온 상태로 구동하기 위한 온 신호가 소정시간 이상 입력되면, 소정의 신호를 출력하는 타이머 회로와,

상기 소정의 신호에 응답하고, 상기 스위칭 소자의 제어 단자·전류입력단자 사이에 선택적으로 접속되는 제2클램프 소자를 더 구비하고,

상기 제2클램프 소자는, 상기 제1클램프 소자의 항복 전압보다도 작은 항복 전압을 갖는 것을 특징으로 하는 반도체 장치.

청구항 3.

전류입력 단자에 유도부하가 접속되는 스위칭 소자와,

상기 스위칭 소자의 제어 단자·전류입력 단자 사이에 접속된 제1클램프 소자와,

상기 스위칭 소자의 제어 단자·접지전위 사이에 접속된 방전 저항부를 구비하고,

상기 스위칭 소자를 구동하는 것에 의해, 상기 유도부하에 유도 기전압을 발생시키는 반도체 장치에 있어서,

상기 스위칭 소자의 전류입력 단자에 일단이 접속된 제2클램프 소자와,

상기 제2클램프 소자의 타단에 전류입력 단자가 접속되고, 전류출력 단자가 상기 스위칭 소자의 제어 단자에 접속된 트랜지스터와,

상기 트랜지스터의 상기 전류입력 단자에 일단이 접속되고, 접지전위에 타단이 접속된 제3클램프 소자와,

상기 제3클램프 소자의 상기 일단에 접속된 과전압 검출회로를 더 구비하고,

상기 과전압 검출회로는, 상기 제3클램프 소자에 항복 전압이 인가되면, 상기 스위칭 소자를 오프 상태로 구동하는 신호를 출력하는 것을 특징으로 하는 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 장치에 관한 것으로, 특히 반도체 장치를 보호하기 위한 스위칭 소자를 강제로 정지할 때, 유도부하에 발생하는 과전압을 억제하는 기술에 관한 것이다.

자동차 엔진 등의 내연기관용 이그니션 시스템에 있어서, 메인티너스중 작업 실수 등에 의해 제어신호가 온 상태로 있고, 유도부하(예를들면, 트랜스포머나 부하 코일)의 전류를 제어하는 스위칭 소자가 계속해서 도통하여, 반도체 장치 자체나 부하가 발열에 의해 특성 열화나 파괴에 이른다는 문제가 있다.

이 문제에 대하여, 온 동작 시작부터 소정시간(수백밀리초 정도)후에 동작하는 타이머 회로를 이용하여 스위칭 소자를 강제 정지시키는 기능이 있다. 즉, 온 동작 시작부터 작업 실수 등에 의해, 온 신호의 출력이 소정시간 이상 계속되었을 경우, 타이머 회로에 의해, 스위칭 소자의 파괴를 방지할 수 있다.

그때, 스위칭 소자의 강제적인 전류차단이, 유도부하에 큰 유도 기전력을 발생시켜서 내연기관의 점화를 제어하는 컴퓨터가 의도하지 않은 타이밍에 점화 플러그에 아크방전을 일으키는 경우가 있었다.

그 때문에 종래의 이그니션 시스템에서는 스위칭 소자의 전류차단 속도를 어느 일정 속도 이하로 억제하여, 유도부하에 발생하는 유도 기전력의 크기를 억제하고 있다(일본 특허공개2002-4991호 공보).

발명이 이루고자 하는 기술적 과제

그러나, 스위칭 소자의 게이트 전압에 대한 출력 전류의 관계는, 일반적으로 선형비 예는 아니다. 예를 들면 MOS게이트 디바이스에서는, 출력 전류는 게이트 전압의 2승에 비례한다. 그 때문에 전류차단 속도를 일정 속도 이하로 억제하도록 스위칭 소자를 제어하기 위해서는 복잡한 회로구성과 조정을 필요로 하고 있다.

예를 들면 특허문헌 1에 기재한 발명은, 콘덴서의 충전 시간에 의해, 출력 전류의 차단 속도를 제어하고 있다. 출력 전류의 차단 속도를 낮추기 위해 큰 용량의 콘덴서를 필요로 하므로 회로면적을 축소하는 것이 곤란하다. 또한 유도부하의 크기에 따라 발생하는 유도 기전력의 크기가 다르기 때문에, 유도부하의 크기에 따라 콘덴서의 용량을 변경할 필요가 있다. 그 때문에 유도부하의 크기에 의하지 않고 원하는 클램프전압이 되도록 유도기 전압을 제어하는 것이 곤란하다.

또 스위칭 소자가 도통시에 어떠한 이상에 의해 전류입력단자의 전위가 상승하면 출력전위가 증가하여 스위칭 소자가 손상되는 것도 생각할 수 있다.

그래서 본 발명의 제1의 목적은, 스위칭 소자를 강제로 차단할 때, 유도부하에 발생하는 유도 기전압을 간단한 회로구성으로 억제하는 기술을 제공하는 것이다.

또 본 발명의 제2의 목적은, 스위칭 소자를 강제로 차단할 때, 유도부하의 크기에 의하지 않고 원하는 클램프 전압으로, 정밀하게 유도 기전력의 크기를 억제하는 기술을 제공하는 것이다.

또한 본 발명의 제3의 목적은, 스위칭 소자가 온 상태일 때에, 전류입력 단자의 전압상승에 의한 스위칭 소자의 연소를 방지하는 기술을 제공하는 것이다.

발명의 구성

본 발명은, 전류입력 단자에 유도부하가 접속되는 스위칭 소자와, 상기 스위칭 소자의 제어 단자·전류입력 단자 사이에 접속된 클램프 소자와, 상기 스위칭 소자의 제어 단자·접지전위 사이에 접속된 방전 저항부를 구비하고, 상기 스위칭 소자를 구동하는 것에 의해, 상기 유도부하에 유도 기전압을 발생시키는 반도체 장치에 있어서, 상기 스위칭 소자를 온 상태로 구동하기 위한 온 신호가 소정시간 이상 입력되면, 상기 방전 저항부에 소정의 신호를 출력하는 타이머 회로를 더 구비하고, 상기 방전 저항부는, 상기 소정의 신호에 응답하여, 그 저항값을 큰 값으로 변경하는 것을 특징으로 한다.

또한 전류입력 단자에 유도부하가 접속되는 스위칭 소자와, 상기 스위칭 소자의 제어 단자·전류입력 단자 사이에 접속된 제1클램프 소자와, 상기 스위칭 소자의 제어 단자·접지전위 사이에 접속된 방전 저항부를 구비하고, 상기 스위칭 소자를 구동함으로써, 상기 유도부하에 유도 기전압을 발생시키는 반도체 장치에 있어서, 상기 스위칭 소자를 온 상태로 구동하기 위한 온 신호가 소정시간 이상 입력되면, 소정의 신호를 출력하는 타이머 회로와, 상기 소정의 신호에 응답하여, 상기 스위칭 소자의 제어 단자·전류입력 단자 사이에 선택적으로 접속되는 제2클램프 소자를 더 구비하고, 상기 제2클램프 소자는, 상기 제1클램프 소자의 항복 전압보다도 작은 항복 전압을 갖는 것을 특징으로 한다.

또한 전류입력 단자에 유도부하가 접속되는 스위칭 소자와, 상기 스위칭 소자의 제어 단자·전류입력 단자 사이에 접속된 제1클램프 소자와, 상기 스위칭 소자의 제어 단자·접지전위 사이에 접속된 방전 저항부를 구비하고, 상기 스위칭 소자를 구동하는 것에 의해, 상기 유도부하에 유도 기전압을 발생시키는 반도체 장치에 있어서, 상기 스위칭 소자의 전류입력 단자에 일단이 접속된 제2클램프 소자와, 상기 제2클램프 소자의 타단에 전류입력 단자가 접속되고 전류출력 단자가 상기 스위칭 소자의 제어 단자에 접속된 트랜지스터와, 상기 트랜지스터의 상기 전류입력 단자에 일단이 접속되고 접지전위에 타단이 접속된 제3클램프 소자와, 상기 제3클램프 소자의 상기 일단에 접속된 과전압 검출회로를 더 구비하고, 상기 과전압 검출회로는, 상기 제3클램프 소자에 항복 전압이 인가되면, 상기 스위칭 소자를 오프 상태로 구동하는 신호를 출력하는 것을 특징으로 한다.

실시예 1

도 1은, 본 실시예에 따른 반도체 장치의 구성을 도시하는 회로도이다. 제어회로(6)의 입력이 입력 단자(10)에 접속되어 있다. 제어회로(6)의 출력이 게이트 구동회로(9)의 입력에 접속되고 있다. 게이트 구동회로(9)의 출력은, 스위칭 소자인 IGBT(Insulated Gate Bipolar Transistor)(1)의 게이트(제어 단자)에 접속되고 있다.

입력 단자(10)로부터 입력 신호가 입력되면, 제어회로(6)는 IGBT(1)의 구동상태를 감시하는 감시회로(도시하지 않음)로부터의 신호에 응답하여 입력신호VIN를 제어하고, 게이트 구동회로(9)에 제어신호를 출력한다. 게이트 구동회로(9)는, 제어신호에 의거하여 IGBT(1)의 게이트를 구동한다.

IGBT(1)의 콜렉터(전류입력 단자)는, 부하 코일(유도부하)(2)을 구성하는 1차측 코일의 일단 및 제너 다이오드(클램프 소자, 제1클램프 소자)(3)의 캐소드에 접속되고, 에미터는 접지되고 있다. 1차측 코일의 타단은 전원(12)에 접속되어 있다. 제너 다이오드(3)의 애노드는, IGBT(1)의 게이트에 접속되어 있다. 부하 코일(2)의 2차측 코일의 일단은 전원(12)에 접속되고, 타단은 점화 플러그(13)의 일단에 접속되고 있다. 점화 플러그(13)의 타단은 접지되고 있다.

제너 다이오드(3)는, 부하 코일(2)의 파괴를 방지하기 위해, IGBT(1)의 콜렉터·에미터간 전압을 소정의 전압(예를 들면 500V 정도)이하로 클램프 하기 위해 접속되고 있으며, 예를 들면 항복 전압 7~8V정도의 제너 다이오드를 수십단 정도로 접속하여 구성되고 있다.

IGBT(1)의 게이트에는, 저항(4)의 일단이 또한 접속되어 있다. 저항(4)의 타단은, NMOS트랜지스터(11)의 드레인에 접속되어 있다. NMOS트랜지스터(11)의 소스는 접지되어 있다. NMOS트랜지스터(11)의 소스·드레인 사이에는 저항(5)이 접속되어 있다. 여기에서 저항(5)의 저항값은, 제너 다이오드(3)의 리크 전류로 IGBT(1)를 온 상태로 할 수 있을 정도의 값으로 선택되고 있다.

인버터(8)의 출력이 NMOS트랜지스터(11)의 게이트에 접속되어 있다. 인버터(8)의 입력에는 타이머 회로(7)의 출력이 접속되어 있다. 타이머 회로(7)의 출력은, 게이트 구동회로(9)에 접속되어 있다. 저항(4)(5), 인버터(8) 및 NMOS트랜지스터(11)로 게이트 방전 저항부(101)(방전 저항부)를 구성하고 있다. 타이머 회로(7)의 입력은, 입력 단자(10)에 접속되어, 입력 신호VIN로부터 전원을 얻고 있다.

타이머 회로(7)는, 통상 L레벨의 신호를 출력하고 있다. 그리고, 입력 단자(10)로부터 온 신호가 입력되면, 타이머 동작을 행한다. 즉, 메인テナンス 작업중의 실수 등에 의해, 온 신호가 계속해서 입력되면, 온 신호의 입력개시로부터 소정시간 경과

후에 H레벨의 신호를 출력하도록 동작한다. 또 타이머 회로(7)는, 온 신호가 소정시간 이상 계속되지 않을 경우는, L레벨의 신호를 계속하여 출력한다. 즉 타이머 회로(7)는 IGBT(1)를 구동하기 위한 온 신호가 소정시간 이상 입력되면, 소정의 출력신호(상기 예에서는 H레벨의 신호)를 출력하도록 구성되고 있다.

다음에 도 2를 이용하여 게이트 구동회로(9)의 구성에 대해 설명한다. 커런트 미러 회로(14)의 입력이 제어회로(6)의 출력에 접속되고 있다. 그리고 커런트 미러 회로(14)의 출력은, IGBT(1)의 게이트에 접속되고 있다. NMOS트랜지스터(15)의 드레인이 커런트 미러 회로(14)의 입력에 접속되고, 소스는 접지되고 있다. NMOS트랜지스터(15)의 게이트는 타이머 회로(7)의 출력에 접속되어 있다.

다음에 이상과 같이 구성된 반도체 장치의 동작에 대하여 설명한다. 도 3은, 본 실시예에 따른 반도체 장치의 동작을 설명하기 위한 파형도이다. 또한 이하의 설명에서는, 반도체 장치의 동작 중, 타이머 회로(7)가 L레벨의 신호를 출력하고 있는 기간에서의 동작을 「통상 동작」, H레벨의 신호를 출력하고 있는 기간에서의 동작을 「보호 동작」이라고 칭하고 있다.

우선, 반도체 장치의 통상 동작시의 동작에 대하여 설명한다. 초기 상태에서는, IGBT(1)의 컬렉터·에미터간 전압VCE은, 전원(12)의 전압V_B에서 공급된다. 또한 점화 플러그(13)의 전압V2도 전압V_B이 되고 있다.

입력 신호VIN가 L레벨(오프 신호)에서 H레벨(온 신호)로 이동하면, 게이트 구동회로(9)는 IGBT(1)의 게이트를 H레벨로 구동한다. 그리고, IGBT(1)는 오프 상태에서부터 온 상태로 이동한다.

또한 타이머 회로(7)는, L레벨의 신호를 출력하고 있다. 타이머 회로(7)의 출력은, 인버터(8)로 반전하여 H레벨의 신호로서 NMOS트랜지스터(11)의 게이트에 입력된다. NMOS트랜지스터(11)는 온 상태가 되므로, 게이트 방전 저항부(101)를 흐르는 전류는, 저항(4)으로부터 NMOS트랜지스터(11)를 통해 접지전위로 흐른다. 그 때문에 게이트 방전 저항부(101)의 저항값은, 거의 저항(4)의 저항값으로 공급되게 된다.

IGBT(1)가 온 상태로 이동함에 따라, 컬렉터·에미터간 전압VCE(이하 간단히 전압VCE이라고 칭하는 경우가 있다.)은 접지전위로 저하하고, 전원(12)에서 부하 코일(2) 및 IGBT(1)를 통해 흐르는 컬렉터 전류IC는 서서히 상승한다. 그 후에 컬렉터 전류IC가 소정의 전류값 이상이 되면, 전류제한회로(도시하지 않음)가 동작하고, 전류값이 제한되며, 전압VCE이 약간 상승한다.

다음에 오프 신호가 입력되면 게이트 구동회로(9)는, IGBT(1)의 게이트를 L레벨로 구동하고, IGBT(1)는 온 상태에서 오프 상태로 이동한다. IGBT(1)가 오프 상태로 이동하는 것으로 부하 코일(2)을 흐르고 있던 컬렉터 전류IC가 실선으로 나타난 것과 같이 급격하게 차단된다. 이에 따라, 부하 코일(2)의 양단에는 유도 기전력이 발생하고, 전압VCE은 급상승한다.

상술과 같이, 게이트 방전 저항부(101)의 저항값은 저항(4)의 저항값에 의해 주어지게 된다. 그 때문에 제너 다이오드(3)를 흐르는 리크전류 전도에서는 IGBT(1)를 온 상태로 이동할 정도의 게이트 전압은 발생하지 않고 IGBT(1)가 오프 상태로 유지한 채로 전압VCE은 상승해 간다.

그리고, 전압VCE이 500V정도 보다 커지면, 제너 다이오드(3) 및 저항(4)을 통해 역방향 전류가 흐른다. IGBT(1)의 게이트에는 역방향 전류와 저항(4)의 곱으로 주어지는 전압이 인가되고, IGBT(1)가 온 상태로 이동한다. 그리고, 부하 코일(2)로부터 방출되는 전하는 IGBT(1)의 컬렉터 전류로서 방출된다. 부하 코일(2)로부터 전하가 방출되고, 클램프 전압정도로 전압VCE이 하강하면, 다시 IGBT(1)는 오프 상태로 이동하게 된다. 이와 같이 하여, 전압VCE은, 제너 다이오드(3)에 의해 500V정도의 클램프 전압에서 클램프 된다.

다음에 1차 코일측에서 발생한 유도 기전력은, 2차 코일측에 -30kV정도로 승압되어 전달되고, 점화 플러그(13)에 아크방전을 발생시킨다. 그러면 부하 코일(2)의 1차 코일측 및 2차 코일측의 전압은 저하하고, 전압 VCE 및 점화 플러그(13)의 전압V2은 전압V_B이 된다.

다음에 본 실시예에 따른 반도체 장치의 보호 동작시에서의 동작에 대하여 설명한다. 입력 신호VIN가 온 신호가 되고나서 소정시간 경과 후, 타이머 회로(7)는 H레벨의 신호를 출력한다. 타이머 회로(7)로부터 출력된 신호는, 인버터(8)로 반전되고, L레벨의 신호로서 NMOS트랜지스터(11)의 게이트에 입력된다. L레벨의 신호가 입력되면, NMOS트랜지스터(11)는 온 상태에서부터 오프 상태가 된다. 그 때문에 IGBT(1)의 게이트 방전 저항부(101)의 저항값은, 저항(4) 및 저항(5)의 합성 저항에 의해 주어지게 된다.

또한 타이머 회로(7)로부터 출력되는 H레벨의 신호는, 게이트 구동회로(9)의 NMOS트랜지스터(15)(도 2참조)의 게이트에 입력된다. NMOS트랜지스터(15)는 온 상태가 되고, 커런트 미러 회로(14)의 입력은 접지된다. 그 때문에 커런트 미러 회로(14)의 출력(게이트 구동회로(9)의 출력)은 L레벨이 되고, IGBT(1)는 오프 상태로 이동한다. IGBT(1)가 오프 상태로 이동하는 것으로 온 상태가 소정시간 이상 계속됨에 따른 IGBT(1)나 부하 코일(2)의 열화를 방지할 수 있다.

IGBT(1)가 오프 상태로 이동하는 동시에, 콜렉터 전류IC가 서서히 차단되고, 전압VCE이 상승한다. 상술한 바와 같이 보호 동작 시에, 게이트 방전 저항부(101)는 저항(4) 및 저항(5)의 합성 저항으로 주어지고 있다. 그리고 저항(5)의 저항값을 설정하는 것에 의해, 제너 다이오드(3)를 흐르는 리크 전류정도로 IGBT(1)가 온 하도록, 합성 저항의 저항값이 설정되고 있다. 전압VCE이 30V정도에 상승하면, 제너 다이오드(3)를 흐르는 리크 전류로, IGBT(1)를 온 상태로 유지하는데 충분한 게이트 전압이 IGBT(1)의 게이트에 인가된다. 그 때문에 게이트 구동회로(9)로부터 L레벨의 신호가 출력되어도 IGBT(1)는 완전히 오프 상태로 이동하지 않고 콜렉터 전류IC는 파선으로 나타낸 것과 같이 서서히 감소한다. 콜렉터 전류IC가 0이 되면, IGBT(1)는 완전히 오프 상태가 되고 또 전압VCE은 전압V_B가 된다.

이상 설명한 바와 같이, 저항(5)의 저항값을 적당히 고르는 것으로 보호 동작시에 인가되는 게이트 전압값을 제어하면, 전압VCE은 30V정도의 상승으로 억제할 수 있다. 그리고, 도 3의 파선으로 나타나 있는 바와 같이 점화 플러그(13)의 전압V2도 -3000V정도의 상승으로 억제할 수 있어 아크방전의 발생을 방지할 수 있다.

여기에서 보호 동작시의 전압VCE의 전압값(여기에서는, 예로서 30V로 기재하고 있다)은, 전원(12)의 전압V_B(여기에서는, 일반 자동차용 배터리의 공칭전압12V를 상정하고 있다)보다도 큰 값이며, 점화 플러그(13)에 아크방전이 발생하지 않는 값으로 한다. 즉, 보호 동작시에 있어서의 전압VCE의 전압값은, 사용되는 시스템의 전압VB의 크기 등에 맞추어 설정하면 된다.

도 4는, 종래의 반도체 장치의 일 예를 도시하는 회로도이다. 도 4에 나타나 있는 바와 같이 종래의 반도체 장치는, 게이트 방전 저항부(101) 대신에 저항(16)이 접속된 구성이 되고 있다.

도 5는, 종래의 반도체 장치에 이용되는 게이트 구동회로(9)의 구성을 도시하는 회로도이다. 인버터(22)의 입력은, 타이머 회로(7)(도 4참조)의 출력에 접속되고 있다. 인버터(22)의 출력은, NMOS트랜지스터(20)의 게이트에 접속되고 있다. NMOS트랜지스터(20)의 소스는 접지되고, 드레인은 전류원(18)의 일단 및 콘덴서(21)의 일단에 접속되고 있다.

전류원(18)의 타단은 도시하지 않은 전원에 접속되고, 콘덴서(21)의 타단은 접지되고 있다. 콘덴서(21)의 일단은 뺄셈 회로(23)의 마이너스 단자에 접속되고 있다. 뺄셈 회로(23)의 플러스 단자는, 제어회로(6)(도 4참조)의 출력에 접속되고 있다. 뺄셈 회로(23)의 출력은 커런트 미러 회로(14)의 입력에 접속되어 있다. 커런트 미러 회로(14)의 출력은 IGBT(1)의 게이트에 접속되어 있다. 여기에서, 뺄셈 회로(23)는, 플러스 단자와 마이너스 단자간의 전위차에 응답한 전류를 출력하는 회로이다.

다음에 종래의 반도체 장치의 동작에 대하여 설명한다. 통상 동작시는, 타이머 회로(7)로부터 입력된 L레벨의 신호가, 인버터(22)로 반전하여 NMOS트랜지스터(20)의 게이트에 입력된다. 그 때문에 전류원(18)으로부터 흐르는 전류는, NMOS트랜지스터(20)를 통해 접지전위에 흐른다. 제어회로(6)로부터 출력되는 온 신호는, 뺄셈 회로(23)를 통해 그대로 커런트 미러 회로(14)에 출력된다. 커런트 미러 회로(14)는, 뺄셈 회로(23)로부터 출력된 출력 전류를 증폭하여 출력한다. IGBT(1)의 온 상태에서는, 커런트 미러 회로(14)에서 출력되는 전류가 저항(16)을 흐르게 함으로써, IGBT(1)를 온 상태로 하는데 충분한 전압을 IGBT(1)의 게이트에 인가하고 있다.

입력 단자(10)로부터 입력되는 온 신호가 소정시간 이상 경과하면, 타이머 회로(7)는 H레벨의 신호를 출력한다. 그리고, 반도체 장치는 보호 동작을 행한다. 타이머 회로(7)로부터 입력된 신호는 인버터(22)(도 5참조)로 반전하여 NMOS트랜지스터(20)의 게이트에 입력되고, NMOS트랜지스터(20)는, 오프 상태로 이동한다. NMOS트랜지스터(20)가 오프 상태로 이동하면, 전류원(18)에서의 전류는 콘덴서(21)를 서서히 충전한다.

콘덴서(21)의 일단은 뺄셈 회로(23)의 마이너스 단자에 접속되고 있다. 뺄셈 회로(23)는, 제어회로(6)로부터 출력되는 제어신호와, 콘덴서(21)의 일단의 전위와의 전위차에 대응한 전류를 출력한다. 그 때문에 뺄셈 회로(23)로부터 출력되는 출력 전류는 서서히 저하해 간다. 뺄셈 회로(23)로부터의 출력 전류가 저하함에 따라, IGBT(1)의 게이트에 인가되는 전압도 저하하고, IGBT(1)를 흐르는 콜렉터 전류IC가 서서히 차단되어 간다.

콘덴서(21)의 충전이 완료하면 뺄셈 회로(23)의 출력 전류는 0이 된다. 그 때문에 커런트 미러 회로(14)로부터 출력되는 출력 전류도 0이 되고, IGBT(1)는 완전히 오프 상태가 되며, 콜렉터 전류IC는 차단된다. 콜렉터 전류IC가 서서히 차단되므로, 부하 코일(2)에는, 큰 유도 기전압이 발생하지 않고, 점화 플러그(13)에서 아크방전이 발생하는 것을 방지할 수 있다.

이상에서 설명한 바와 같이, 종래의 반도체 장치에서는, 뺄셈 회로(23)와 콘덴서(21)를 이용하여, 콘덴서(21)의 충전 속도에 의해 게이트 구동회로(9)의 출력 전류의 차단 속도를 제어하고 있다. 그리고, 콜렉터 전류IC의 차단 속도를 큰 유도 기전압이 발생하지 않는 속도로 제어하는 구성이 되고 있다.

그 때문에 게이트 구동회로(9)는, 전류원(18), 콘덴서(21) 및 뺄셈 회로(23) 등으로 구성되는 복잡한 구성이 되고 있다. 그리고 콜렉터 전류IC의 차단 속도를 충분하게 저하시키기 위해서는 콘덴서(21)의 용량을 크게 할 필요가 있어, 반도체 장치의 회로면적을 축소하는 것이 곤란해진다.

또한 콜렉터 전류IC를 차단하는 속도는, 콘덴서(21)의 용량의 크기에 의해 제어되므로, 부하 코일(2)의 감는 수에 따라 콘덴서(21)의 용량을 설정할 필요가 있다.

또한 뺄셈 회로(21)를 구동하기 위한 전원을 입력 신호VIN로부터 공급할 필요가 있을 경우, 접지 부유 등에 의해 뺄셈 회로(23)에 공급되는 전원이 작아져 뺄셈 회로(23)가 동작하지 않게 될 가능성도 있다.

본 실시예에서는, 게이트 구동회로(9)로부터 출력되는 출력 전류의 차단 속도를 제어할 필요는 없고, 타이머 회로(7)로부터 H레벨의 신호가 입력되면, 출력 전류를 단순히 차단하는 구성이 되고 있다. 콘덴서를 이용할 필요가 없기 때문에, 회로면적을 축소할 수 있다.

또 저항(5)의 저항값을 조절하여 IGBT(1)의 게이트에 인가되는 전압을 제어하는 것으로, 전압VCE을 클램프 하는 클램프 전압의 크기를 제어할 수 있다. 환언하면 이용하는 부하 코일(2)의 크기에 의하지 않고, 원하는 클램프 전압으로 전압VCE을 클램프할 수 있다.

또, 본 실시예에서는, 게이트 방전 저항부(101)를 NMOS트랜지스터(11)를 이용하여 구성했지만, 도 6에 나타난 것처럼 PMOS트랜지스터(24)를 이용하여 구성할 수도 있다.

도 6은, 게이트 방전 저항부(101)를 PMOS트랜지스터(24)를 이용하여 구성한 구성예를 도시하고 있다. 버퍼(45)의 입력이 타이머 회로(7)의 출력에 접속되고, 버퍼(45)의 출력이 PMOS트랜지스터(24)의 게이트에 접속되어 있다. PMOS트랜지스터(24)의 소스·드레인 사이에는 저항(4)이 끼워져 삽입되고, PMOS트랜지스터(24)의 소스는 IGBT(1)의 게이트에 접속되며, 드레인은 접지되고 있다. 본 실시예에서는, 저항(4)은 큰 저항값의 저항이 이용되고, 저항(5)의 크기는 작은 값의 저항이 이용되도록 구성되고 있다. 그 밖의 구성은, 도 1에 도시한 반도체 장치와 동일하므로 설명은 생략한다. 또 동작에 대해서도, 도 1의 구성과 동일하므로 생략한다.

이상의 구성에서는, 스위칭 소자로서 IGBT를 이용한 예를 게시했지만, 본 발명은, 파워MOSFET 등을 이용한 반도체 장치에도 적용할 수 있다. 또한 부하 코일(2) 이외의 구성요소를 동일 반도체 기판 위에 형성함으로써, 회로면적을 축소할 수 있다.

실시예 2

도 7은, 본 실시예에 따른 반도체 장치의 구성을 도시하는 회로도이다. 제너 다이오드(28)(제2클램프 소자)의 캐소드가 IGBT(1)의 콜렉터에 접속되고, 애노드가 PMOS트랜지스터(27)의 소스 및 저항(29)의 일단에 접속되고 있다. PMOS트랜지스터(27)의 드레인은 IGBT(1)의 게이트에 접속되어 있다. 제너 다이오드(28)의 항복 전압은, 제너 다이오드(3)와 같은 값으로 선택되고 있다.

저항(29)의 타단은, PMOS트랜지스터(27)의 게이트 및 NMOS트랜지스터(26)의 드레인에 접속되어 있다. NMOS트랜지스터(26)의 소스는 접지되어 있다. NMOS트랜지스터(26)의 게이트에는 버퍼 회로(25)의 출력이 접속되어 있다. 버퍼(25)의 입력은 타이머 회로(7)의 출력에 접속되고 있다.

그 외의 구성은 실시예 1과 동일하며, 동일한 구성에는 동일한 부호를 붙여 중복되는 설명은 생략한다.

다음에 본 실시예에 따른 반도체 장치의 동작에 대하여 설명한다. 통상 동작시에는, 타이머 회로(7)로부터 L레벨의 신호가 버퍼 회로(25)를 통해 NMOS트랜지스터(26)의 게이트에 출력되고 있다. 그 때문에 NMOS트랜지스터(26)는 오프 상태가 되고 있다. PMOS트랜지스터(27)는 온 되지 않고, 제너 다이오드(28)가 IGBT(1)의 게이트·콜렉터 사이에 접속되는 경우는 없다. 그 때문에 IGBT(1)의 게이트·콜렉터간 전압은 제너 다이오드(3)에 의해 클램프 된다. 제너 다이오드(3)의 클램프 전압 정도까지 전압VCE는 상승하고, 점화 플러그(13)로 방전이 행해진다.

보호 동작시에는, 타이머 회로(7)로부터 H레벨의 신호가 입력되고, NMOS트랜지스터(26)가 온 상태가 된다. PMOS트랜지스터(27)의 게이트는, NMOS트랜지스터(26)를 통해 접지되고, PMOS트랜지스터(27)가 온 상태가 된다. 그 때문에 제너 다이오드(28) 및 제너 다이오드(3)가 IGBT(1)의 게이트 콜렉터 사이에 병렬로 접속되게 된다.

보호 동작시에는, 제너 다이오드(28)(3)를 흐르는 리크 전류가 저항(4)(5)을 흘러 IGBT(1)가 온 상태로 유지된다. 그 결과, 이미 실시예 1의 반도체 장치와 마찬가지로, 콜렉터·에미터간 전압VCE이 원하는 클램프 전압에서 클램프 되어, 점화 플러그(13)에서의 아크방전의 발생을 방지할 수 있다.

본 실시예에 따른 반도체 장치는 실시예 1과 동일한 효과에 더해서 이하의 효과를 갖고 있다.

실시예 1의 구성에서는, 제너 다이오드(3)를 흐르는 리크에 의해서만 IGBT(1)를 온 하는데 필요한 게이트 전압을 확보하고 있다. 그 때문에 저항(5)의 저항값을 상당히 큰 값으로 할 필요가 있었다.

본 실시예에서는, 제너 다이오드(28)를 흐르는 리크 전류가 제너 다이오드(3)를 흐르는 리크 전류가 가해지므로 저항(5)의 저항값을 실시예 1에 비해 작게할 수 있다. 따라서 회로 면적을 실시예 1에 비해 축소할 수 있다.

이상의 구성에서는, 스위칭 소자로서 IGBT를 사용한 예를 게시했지만, 본 발명은, 파워MOSFET등을 이용한 반도체 장치에도 적용할 수 있다. 또한 부하 코일(2)이외를 동일 반도체 기관 위에 형성함으로써, 회로면적을 축소할 수 있다.

실시예 3

도 8은, 본 실시예에 따른 반도체 장치의 구성을 도시하는 회로도이다. 본 실시예에서는, 게이트 방전 저항부(101) 대신에 저항(방전 저항부)(16)이 IGBT(1)의 게이트에 접속되어 있다. 또한 제너 다이오드(28)는, 전압VCE의 원하는 클램프 전압(예를 들면 30V 정도)과 같은 항복 전압을 실현하도록 구성되어 있다.

그외의 구성은 실시예 2와 동일하며, 동일한 구성에는 동일한 부호를 붙여, 중복된 설명은 생략한다.

다음에 본 실시예에 따른 반도체 장치의 동작에 대해서 설명한다. 통상 동작시에는, 타이머 회로(7)로부터 L레벨의 신호가 출력되어, 버퍼(25)를 통해 NMOS트랜지스터(26)의 게이트에 입력되어 있다. NMOS트랜지스터(26)는, 오프 상태가 되고, PMOS트랜지스터(27)의 게이트는 NMOS트랜지스터(26)를 통해 접지되지 않고 오프 상태가 된다.

그 때문에 콜렉터·에미터간 전압VCE은, 제너 다이오드(3)에 의해 클램프 된다. 즉, 전압VCE은 500V정도까지 상승할 수 있고, 점화 플러그(13)는 아크방전을 행한다.

다음에 보호 동작시에서는, 타이머 회로(7)로부터 H레벨의 신호가 출력된다. 타이머 회로(7)로부터의 출력 신호에 의해, IGBT(1)는 오프 상태로 구동되고, 온 상태가 계속되는 것에 의한 IGBT(1) 및 부하 코일(2)의 열화가 방지된다.

또 타이머 회로(7)의 출력은 버퍼(25)를 통해 NMOS트랜지스터(26)의 게이트에 입력되고, NMOS트랜지스터(26)는 온 상태로 이동한다. PMOS트랜지스터(27)의 게이트는 NMOS트랜지스터(26)를 통해 접지되고, 온 상태가 된다. PMOS트랜지스터(27)가 온 상태가 되는 결과, 제너 다이오드(28)는, PMOS트랜지스터(27)를 통해 IGBT(1)의 게이트·콜렉터 사이에 접속되게 된다.

제너 다이오드(28)의 항복 전압은, 제너 다이오드(3)의 항복 전압보다 작게 설정되어 있다. 그 때문에 IGBT(1)가 오프 상태가 되면, 콜렉터·에미터간 전압VCE은 대략 제너 다이오드(28)에 의해 정해지는 클램프 전압에 의해 클램프 된다.

실시예 1 및 2에서는, 제너 다이오드의 리크 전류를 이용하고 있기 때문에, 광범위한 온도조건에 있어서 원하는 클램프 전압을 설정하는 것은 곤란하다.

본 실시예에서는, 제너 다이오드(28)의 항복 전압을 적당히 선택하는 것에 의해, 보호 동작시에 광범위한 온도조건에 있어서 원하는 클램프 전압을 용이하게 실현 할 수 있다.

또, 본 실시예에서는, 제너 다이오드(28)에 PMOS트랜지스터(27)를 접속하는 구성으로 했지만, 도 9에 도시한 것과 같이 NMOS트랜지스터(30)를 이용하여 구성할 수도 있다.

도 9에 도시하는 회로구성에서는, 제너 다이오드(28)의 애노드에 NMOS트랜지스터(30)의 드레인이 접속되어 있다. NMOS트랜지스터(30)의 소스는 접지되어 있다. NMOS트랜지스터(30)의 게이트에는 저항(31)의 일단 및 버퍼(32)의 출력이 접속되어 있다. 저항(31)의 타단은 IGBT(1)의 게이트에 접속되어 있다. 버퍼(32)의 입력에는 타이머 회로(7)의 출력이 접속되어 있다. 그 밖의 구성은 도 8에 나타낸 구성과 동일하므로 상세한 설명은 생략한다.

다음에 동작에 대하여 설명한다. 통상 동작시에는, 타이머 회로(7)로부터 L레벨의 신호가 출력되고, 버퍼(32)를 통해 NMOS트랜지스터(30)의 게이트에 입력된다. NMOS트랜지스터(30)는 오프 상태가 되고, 통상 동작시에는 제너 다이오드(3)에 의해 IGBT(1)의 게이트 콜렉터간 전압은 클램프 된다.

다음에 소정시간 이상, 온 신호가 IGBT(1)의 게이트에 입력되면, 타이머 회로(7)는 H레벨의 신호를 출력한다. NMOS트랜지스터(30)는 온 상태로 이동하여 IGBT(1)의 게이트-콜렉터 사이에 제너 다이오드(28)가 접속된다.

제너 다이오드(28)의 항복 전압은 제너 다이오드(3) 보다도 낮게 설정되고 있기 때문에 보호 동작시에는 제너 다이오드(28)에 의해 IGBT(1)의 게이트 콜렉터 간 전압은 클램프 된다. 제너 다이오드(28)의 항복 전압은 적당히 선택하는 것으로 보호 동작시 클램프 전압을 원하는 값으로 정밀하게 설정할 수 있다.

이상의 구성에서는, 스위칭 소자로서 IGBT를 사용한 예를 게시했지만, 본 발명은, 파워MOSFET 등을 이용한 반도체 장치에도 적용할 수 있다. 또한 부하 코일(2)이외를 동일 반도체 기관 위에 형성하는 것에 의해, 회로면적을 축소할 수 있다.

실시예 4

도 10은, 본 실시예에 따른 반도체 장치의 구성을 도시하는 회로도이다. 제너 다이오드(3)의 캐소드에 PNP트랜지스터(제1트랜지스터)(37)의 에미터가 접속되어 있다. PNP트랜지스터(37)의 콜렉터(전류입력 단자)는, NPN트랜지스터(제2트랜지스터)(38)의 베이스 및 제너 다이오드(36)의 캐소드에 접속되어 있다. PNP트랜지스터(37)의 베이스는 NPN트랜지스터(38)의 콜렉터에 접속되고, NPN트랜지스터(38)의 에미터(전류출력 단자)는 저항(39)의 일단에 접속되고 있다. 저항(39)의 타단은 접지되고 있다.

여기에서, PNP트랜지스터(37)와 NPN트랜지스터(38)는 사이리스터를 구성하고 있고, 저항(39)은 사이리스터의 래치업을 방지하기 위해서 배치된다. 또한 PNP트랜지스터(37)는, 일본 특허 공개 2000-183341에 있어서 공개되는 것과 같이, IGBT(1)의 기생PNP트랜지스터를 이용하여 구성할 수 있다.

제너 다이오드(36)의 애노드에는 제너 다이오드(35)의 캐소드가 접속되고, 제너 다이오드(35)의 애노드는 제너 다이오드(34)의 캐소드에 접속되고 있다. 제너 다이오드(34)의 애노드는 저항(29)의 일단, PMOS트랜지스터(제3트랜지스터, 트랜지스터)(27)의 드레인(전류출력단자) 및 제너 다이오드(33)(제 3클램프 소자)의 캐소드에 접속되고 있다. 제너 다이오드의 애노드는 접지되고 있다.

그 외의 구성은 실시예 3과 동일하며, 동일한 구성에는 동일한 부호를 붙여, 중복되는 설명은 생략한다.

다음에 본 실시예에 따른 반도체 장치의 동작에 관하여 설명한다. 우선 통상 동작시의 동작에 대하여 설명한다. 입력 단자(10)로부터 온 신호가 입력되면, IGBT(1)는 오프 상태에서 온 상태로 이동한다. 이때, 타이머 회로(7)로부터 L레벨의 신호가 출력되고, NMOS트랜지스터(26)는 오프 상태가 된다.

IGBT(1)가 온 상태로 이동하는 것에 의해, 전원(12)으로부터 IGBT(1)를 통해 콜렉터 전류IC가 서서히 흐르기 시작한다. 이때, 콜렉터 전류IC의 일부는 NPN트랜지스터(37)의 에미터 전류가 되고, NPN 트랜지스터(37) 및 PNP트랜지스터(38)로 구성되는 사이리스터가 온 상태로 이동한다. 그리고 NPN트랜지스터(37), PNP트랜지스터(38) 및 저항(39)을 통해 접지 전위로 전류가 흐른다.

다음에 IGBT(1)가 오프 상태로 이동하면, 콜렉터 전류IC가 급격하게 차단되고, 콜렉터·에미터간 전압VCE이 상승한다. 이때 콜렉터 전류IC가 차단되므로, PNP트랜지스터(37)에는 전류가 흐르지 않고, 사이리스터는 오프 상태가 된다. 그 때문에 IGBT(1)의 오프 상태에서는, 제너 다이오드33~36부분은 장치로부터 분리된다. 따라서, 전압VCE은, 제너 다이오드(3)에 의해 클램프 된다. 전압VCE이 제너 다이오드(3)의 클램프 전압 정도까지 상승하면, 점화 플러그(13)에서 아크방전이 행해진다.

다음에 본 실시예에 따른 보호 동작시에서의 동작에 대하여 설명한다. 소정시간 이상 온 신호가 입력되었을 경우, 타이머 회로(7)는 H레벨의 신호를 출력한다. 타이머 회로(7)의 출력은, 게이트 구동회로(9) 및 버퍼(25)를 통해 NMOS트랜지스터(26)의 게이트에 입력된다.

타이머 회로(7)로부터 H레벨의 신호가 입력되는 것에 의해 NMOS트랜지스터(26)는 온 상태로 이동한다. PMOS트랜지스터(27)의 게이트가 NMOS트랜지스터(26)를 통해 접지되고, PMOS트랜지스터(27)가 온 상태로 이동한다. 그 결과, 제너 다이오드34~36가 IGBT(1)의 게이트·콜렉터 사이에 PNP트랜지스터(37)를 통해 접속된다.

또한 게이트 구동회로(9)에 타이머 회로(7)로부터 레벨의 신호가 입력되는 것에 의해, 게이트 구동회로(9)는 IGBT(1)를 오프 상태로 구동한다. 그 때문에 콜렉터 전류IC는 급격히 차단되고, 콜렉터·에미터간 전압VCE이 상승한다.

여기에서, IGBT(1)의 게이트·콜렉터 사이에는 PNP트랜지스터(37)를 통해 제너 다이오드34~36가 접속되고 있다. 그리고, PNP트랜지스터(37)가 온 상태에 있는 것에 의해 PNP트랜지스터(37)의 콜렉터 전압(NPN트랜지스터(38)의 베이스 전압)은 거의 IGBT(1)의 콜렉터·에미터간 전압VCE은 제너 다이오드34~36에 의한 항복 전압에서 클램프 된다. 여기에서 사용되는 제너 다이오드의 단수는, 원하는 전압값에 맞춰서 바뀌어도 상관없다.

또, 제너 다이오드34~36를 흐르는 전류는, NPN트랜지스터(37) 및 PNP트랜지스터(38)에 의해 구성되는 사이리스터에 의해 제한되므로, 대전류가 흐르는 것에 의해 제너 다이오드34~36가 파괴되는 경우는 없다.

본 실시예에 따른 반도체 장치에서는, PNP트랜지스터(37)로서, IGBT(1)의 기생PNP트랜지스터를 이용하는 것으로 회로 면적을 축소할 수 있다.

또한 실시예 2의 반도체 장치에서는, IGBT(1)의 오프 동작시에 콜렉터·에미터간 전압VCE이 상승하는 것으로 PMOS트랜지스터(27)의 소스·드레인 사이에 고전압이 인가된다. 그 때문에 PMOS트랜지스터(27)로서 고내압의 것을 이용할 필요가 있어, 회로면적이 커진다.

본 실시예에서는, 제너 다이오드(33)에 의해, PMOS트랜지스터(27)에 인가되는 전압이 제너 다이오드(33)의 항복 전압 이하로 억제할 수 있으므로 PMOS트랜지스터(27)로서 저내압의 PMOS트랜지스터를 이용할 수 있다. 그 결과, 회로면적을 축소할 수 있다.

이상의 구성에서는, 스위칭 소자로서 IGBT를 이용한 예를 게시했지만, 본 발명은, 파워MOSFET 등을 이용한 반도체 장치에도 적용할 수 있다. 또한 부하 코일(2)이외를 동일 반도체 기판 위에 형성하는 것에 의해, 회로면적을 축소할 수 있다.

실시예 5

도 11은, 본 실시예에 따른 반도체 장치의 구성을 도시하는 회로도이다. 과전압 검출회로(40)의 입력이 제너 다이오드(33)의 캐소드에 접속되어 있다. 과전압 검출회로(40)의 출력이 게이트 구동회로(9)에 출력되고 있다.

그외의 구성은 실시예 4와 동일하며, 동일한 구성에는 동일 부호를 붙여, 중복된 설명은 생략한다.

도 12는, 과전압 검출회로(40)의 구성을 도시하는 회로도이다. 콤퍼레이터(42)의 플러스 단자에 저항(44)의 일단 및 제너 다이오드(33)의 캐소드가 접속되고 있다. 저항(44)의 타단은 접지되고 있다.

또한 콤퍼레이터(42)의 마이너스 단자에는 참조 전원(43)이 접속되고 있다. 참조 전원(43)의 전압은, 제너 다이오드(33)의 항복 전압보다 작은 값으로 설정되고 있다. 콤퍼레이터(42)의 출력은 래치회로(41)의 입력에 접속되고, 래치회로(41)의 출력은 게이트 구동회로(9)로 출력되고 있다.

다음에 도 13을 참조하여 본 실시예에 따른 반도체 장치의 동작에 대하여 설명한다. IGBT(1)가 온 동작중, IGBT(1)의 콜렉터·에미터간 전압VCE이 제너 다이오드(33)로부터 36에 의해 공급되는 항복 전압(예를 들면 약 30V)이하의 경우에는, 콤퍼레이터(42)의 플러스 단자에 입력되는 전압은, 약 0볼트가 되고, 참조 전위에 비해 낮은 전압이 되고 있다. 그 결과, 콤퍼레이터(42)는 L레벨의 신호를 출력한다. 래치회로(41)도 또 L레벨의 신호를 계속해서 출력한다.

그리고, 어떠한 이상이 발생하고, IGBT(1)가 온 동작중에 콜렉터·에미터 간 전압VCE이, 제너 다이오드(33)로부터 (36)에 의해 공급되는 항복 전압(예를 들면 약30V) 이상으로 상승하면, IGBT(1)의 콜렉터로부터 PNP트랜지스터(37) 및 제너 다이오드34~36d를 통해 제너 다이오드(33) 및 저항(44)으로 전류가 흐른다. 그 결과 비교기(42)의 플러스 단자에 제너 다이오드(33)의 항복 전압에 상당하는 전압이 입력된다.

콤퍼레이터(42)의 플러스 단자로의 입력 전압이 참조 전압보다도 커지고, 콤퍼레이터(42)는 H레벨의 신호를 출력한다. 래치회로(41)는, 콤퍼레이터(42)의 출력을 받아 H레벨의 신호를 출력한다. 그 후에 IGBT(1)의 콜렉터·에미터간 전압VCE이 낮아져도 래치회로(41)는 H레벨의 신호를 계속해서 출력한다.

게이트 구동회로(9)는, 과전압 검출회로(40)의 출력(콤퍼레이터(42)의 출력)을 받아, IGBT(1)를 오프 상태로 구동한다. 그 외의 동작은 실시예 3과 동일하므로, 상세한 설명은 생략한다.

IGBT(1)가 온 상태일 때에, IGBT(1)의 콜렉터·에미터간 전압VCE이 커지면, 대전류의 콜렉터 전류IC가 IGBT(1)로 흘러 들어오게 되고, IGBT(1)가 열파괴에 이를 가능성이 있다.

본 실시예에서는, 타이머 회로(7)가 H레벨의 신호를 출력하기 전에, 제너 다이오드(33)의 역 도통 전압을 과전압 검출회로(40)에 의해 검지했을 경우, 게이트 구동회로(9)가 오프 신호를 출력하고, IGBT(1)가 오프 상태로 이동하는 구성이 되고 있다. 그 결과, IGBT(1)의 연소에 의한 파괴를 방지할 수 있다.

이상의 구성에서는, 스위칭 소자로서 IGBT를 이용한 예를 게시했지만, 본 발명은, 파워MOSFET등을 이용한 반도체 장치에도 적용할 수 있다. 또한 부하 코일(2)이외를 동일 반도체 기관 위에 형성하는 것에 의해, 회로면적을 축소할 있다.

또, 본 실시예에서는, 실시예 4의 구성(도 10참조)에 대하여, 과전압 검출회로(40)를 부가한 구성으로 하고 있다. 그러나, 실시예 4의 구성에 한정되는 것은 아니고, 다른 구성에 적용할 수 있다. 제너 다이오드(33)의 캐소드에 과전압 검출회로(40)의 일단이 접속되고, 과전압 검출회로(40)의 출력에 의해 IGBT(1)가 오프로 구동되면 되며, 그 밖의 구성이 달라도 동일한 효과를 갖는다.

발명의 효과

본 발명에 의하면, 타이머 회로의 소정의 신호에 응답하고, 스위칭 소자를 강제적으로 오프 상태로 구동해도, 방전 저항부의 저항값이 커지므로, 클램프 소자를 흐르는 리크 전류에 의해 스위칭 소자가 온 상태로 유지되어, 콜렉터 전류의 급격한 차단을 방지할 수 있다. 그 때문에 콜렉터 전류를 서서히 차단하기 위한 복잡한 회로구성을 필요로 하지 않고, 유도부하에 발생하는 유도 기전력의 크기를 억제할 수 있다.

또한 타이머 회로의 소정의 신호에 응답하고, 스위칭 소자를 강제적으로 오프 상태로 구동해도, 제2클램프 소자에 의해 스위칭 소자의 제어 단자·전류입력 단자간 전압을 제1클램프 소자의 항복 전압보다 작은 항복 전압값에 정밀하게 클램프 할 수 있다.

또한 스위칭 소자의 온 동작시에, 전류입력 단자의 전압이 커졌을 경우, 스위칭 소자를 강제적으로 오프 상태로 하는 것으로 스위칭 소자의 연소를 방지할 수 있다.

도면의 간단한 설명

도 1은 실시예 1에 따른 반도체 장치의 구성을 도시하는 회로도,

도 2는 실시예 1에 따른 반도체 장치에 이용되는 게이트 구동회로의 구성을 도시하는 회로도,

도 3은 실시예 1에 따른 반도체 장치의 동작을 설명하기 위해서 파형도,

도 4는 종래의 반도체 장치의 구성을 도시하는 회로도,

도 5는 종래의 반도체 장치에 이용되는 게이트 구동회로의 구성을 도시하는 회로도,

도 6은 실시예 1에 따른 반도체 장치의 다른 구성을 도시하는 회로도.

도 7은 실시예 2에 따른 반도체 장치의 구성을 도시하는 회로도,

도 8은 실시예 3에 따른 반도체 장치의 구성을 도시하는 회로도,

도 9는 실시예 3에 따른 반도체 장치의 다른 구성을 도시하는 회로도,

도 10은 실시예 4에 따른 반도체 장치의 구성을 도시하는 회로도,

도 11은 실시예 5에 따른 반도체 장치의 구성을 도시하는 회로도,

도 12는 실시예 5에 따른 반도체 장치에 이용되는 과전압 검출회로의 구성을 도시하는 회로도,

도 13은 실시예 5에 따른 반도체 장치의 동작을 설명하기 위한 파형도이다.

※도면의 주요부분에 대한 부호의 설명※

1: IGBT 2: 부하 코일

3,28,33,34,35,36: 제너 다이오드 6: 제어 회로

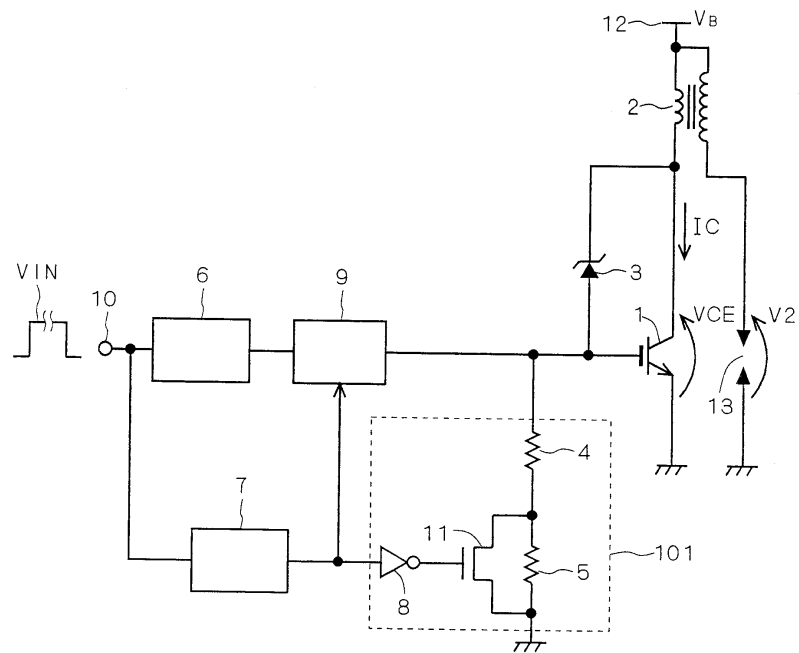
7: 타이머 회로 9: 게이트 구동회로

13: 점화 플러그 40: 과전압 검출회로

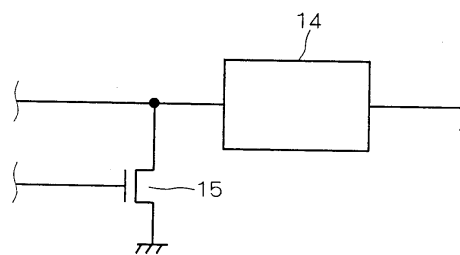
101: 게이트 방전 저항부

도면

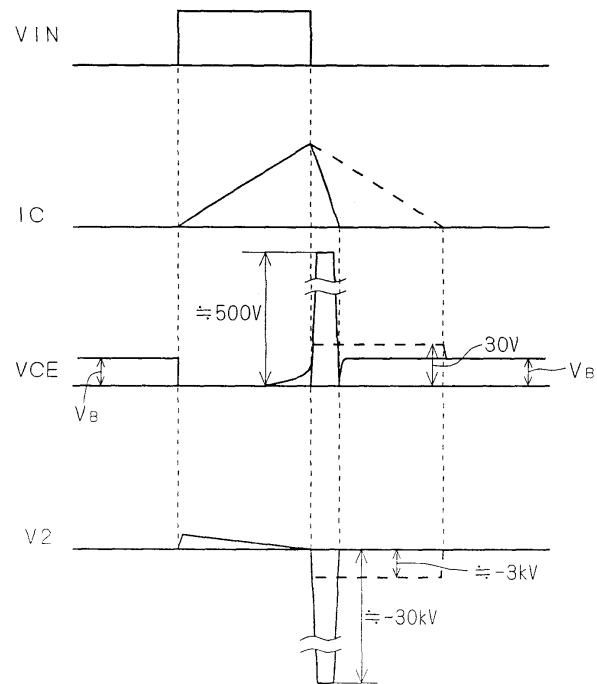
도면1



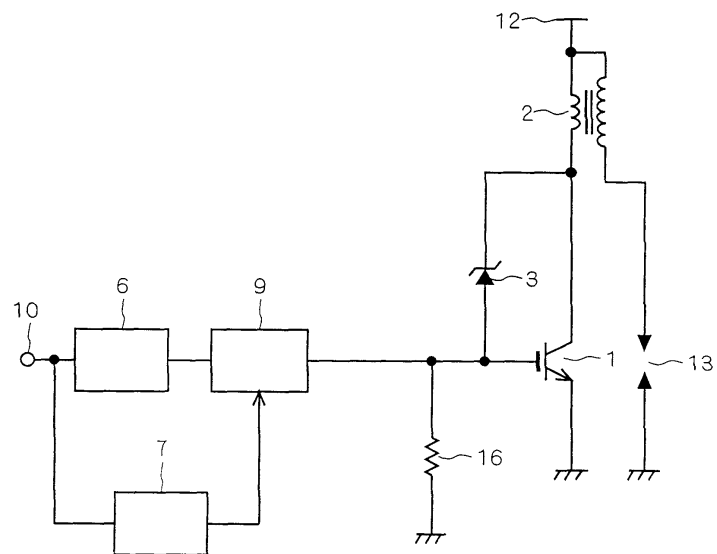
도면2



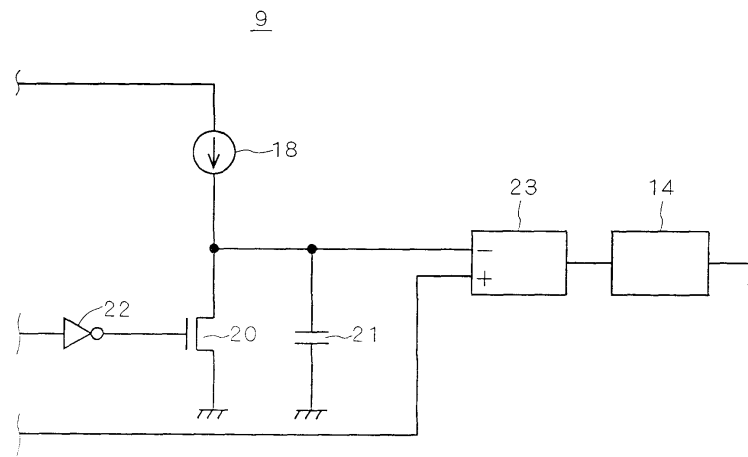
도면3



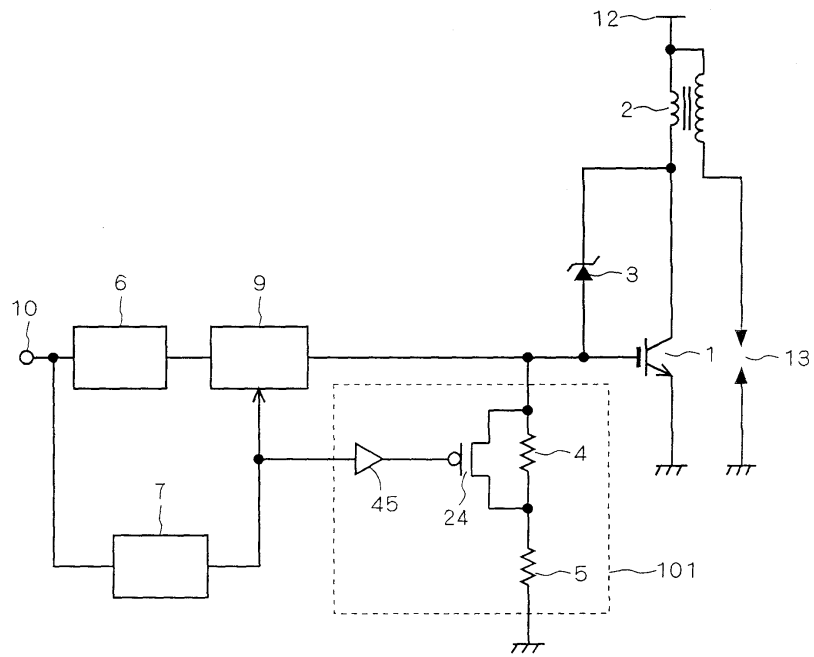
도면4



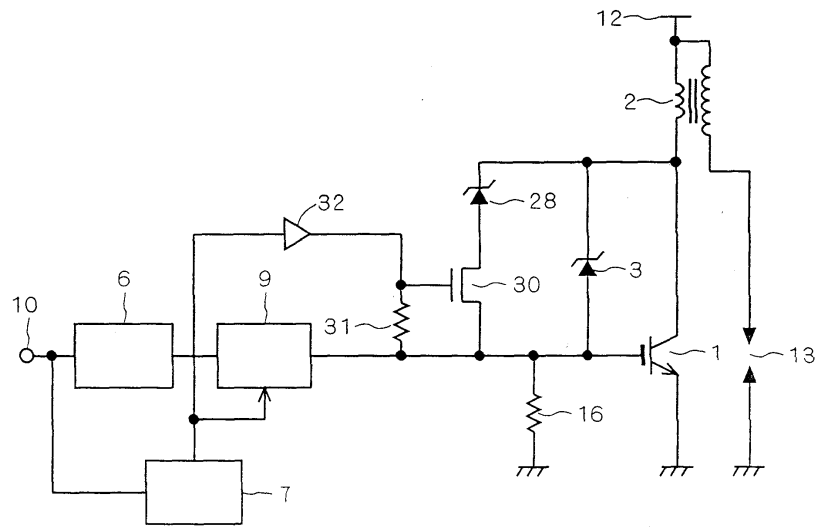
도면5



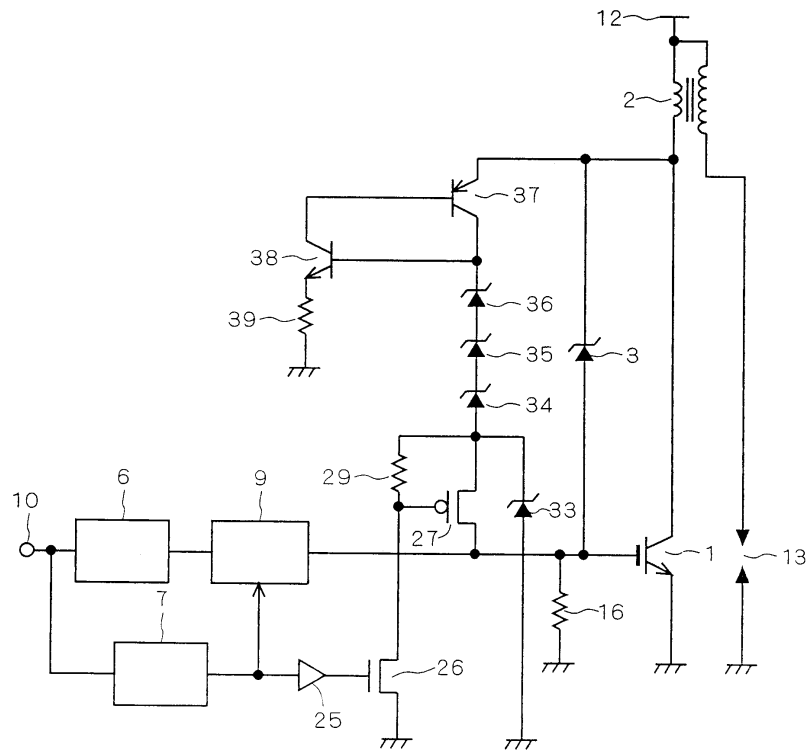
도면6



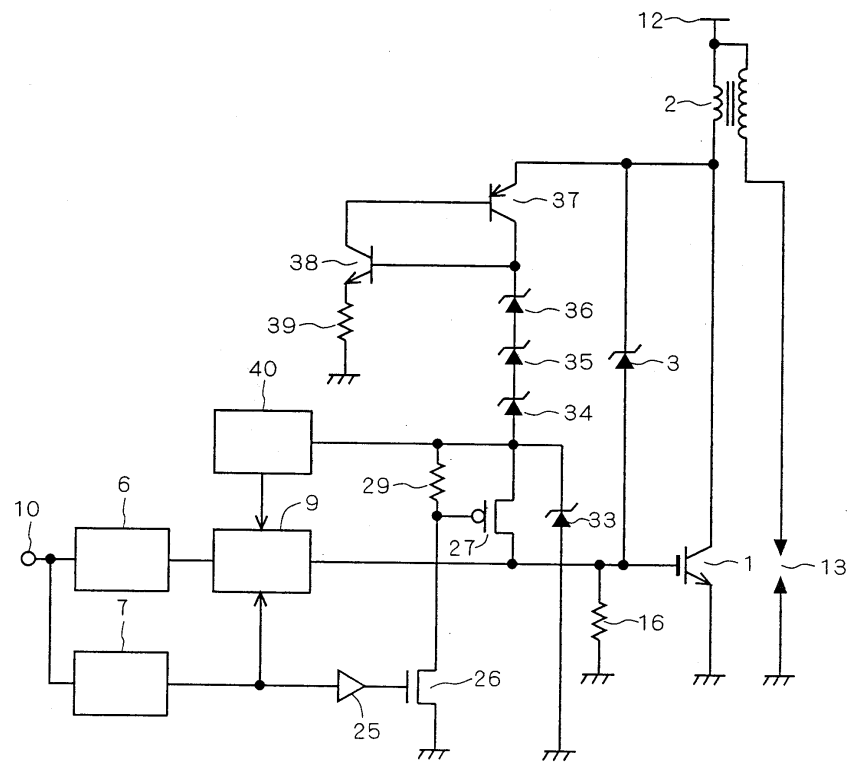
도면9



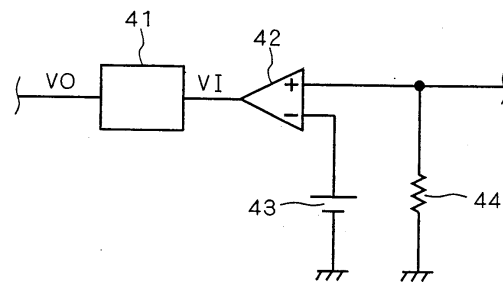
도면10



도면11



도면12



도면13

