

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3859174号
(P3859174)

(45) 発行日 平成18年12月20日(2006.12.20)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.		F I	
HO4L 27/227	(2006.01)	HO4L 27/22	B
GO1R 25/00	(2006.01)	GO1R 25/00	
HO3D 3/00	(2006.01)	HO3D 3/00	Z

請求項の数 15 (全 13 頁)

(21) 出願番号	特願平10-524678	(73) 特許権者	501098050
(86) (22) 出願日	平成9年11月10日(1997.11.10)		サイエンティフィックーアトランタ, インコーポレイテッド
(65) 公表番号	特表2001-515668(P2001-515668A)		アメリカ合衆国 ジョージア 30044
(43) 公表日	平成13年9月18日(2001.9.18)		, ローレンスビル, シュガーローフ
(86) 国際出願番号	PCT/US1997/020499		パークウェイ 5030
(87) 国際公開番号	W01998/024202	(74) 代理人	100078282
(87) 国際公開日	平成10年6月4日(1998.6.4)		弁理士 山本 秀策
審査請求日	平成13年1月5日(2001.1.5)	(74) 代理人	100062409
審判番号	不服2003-19522(P2003-19522/J1)		弁理士 安村 高明
審判請求日	平成15年10月3日(2003.10.3)	(74) 代理人	100113413
(31) 優先権主張番号	08/749,025		弁理士 森下 夏樹
(32) 優先日	平成8年11月14日(1996.11.14)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】 ブロック位相推定のための装置および方法

(57) 【特許請求の範囲】

【請求項1】

位相推定器中で、
平均器入力に結合されている位相差算出回路と、
該位相差算出回路に結合されている第1のモジュール回路と、
該第1のモジュール回路に結合されているフィルタと、
正の入力および負の入力を有する合計回路であって、該正の入力が該平均器入力に結合され、該負の入力が該フィルタに結合されている、合計回路と、
を備えた、位相平均回路。

【請求項2】

前記合計回路に結合されている第2のモジュール回路をさらに備える、請求項1に記載の回路。

【請求項3】

前記フィルタが、
複数のタップを有する遅延ラインと、
複数の乗算器であって、各該乗算器が第1の入力および第2の入力を有し、各該乗算器の該第1の入力が対応するタップに結合され、所定のフィルタ係数が各該乗算器の該第2の入力に与えられる、複数の乗算器と、
各該乗算器の出力に結合されるフィルタ合計器と、
を備えた、請求項1に記載の回路。

【請求項 4】

平均されるサンプルの数が N であり、
 前記乗算器の数が $N - 1$ であり、
 各該乗算器は添え字 k によって識別され、ここで k はゼロよりも大きく、 k は N よりも小さいか N と等しく、
 均一に重み付けされた位相平均が求められ、ここで h_n は N の逆数であり、
 k 番目の乗算器に与えられる前記所定のフィルタ係数が A_k であり、

$$A_k = \sum_{n=k}^{N-1} h_n.$$

10

によって与えられる、請求項 3 に記載の回路。

【請求項 5】

位相推定器中で、
 現在の位相と前の位相との間の位相差を形成するステップと、
 該位相差を - ラジアンと ラジアンとの間の差算出位相に変換するステップと、
 該差算出位相をフィルタリングするステップと、
 該差算出位相を該現在の位相から減算することによって減算された位相を形成するステップと、
 を包含する、位相平均化方法。

20

【請求項 6】

前記減算された位相を - ラジアンと ラジアンとの間の位相に変換するステップをさらに包含する、請求項 5 に記載の方法。

【請求項 7】

前記フィルタリングステップが、
 複数の遅延された位相を形成するステップと、
 各該遅延された位相に対応する所定のフィルタ係数で別々に乗算するステップと、
 全ての乗算結果を合計するステップと、
 を包含する、請求項 5 に記載の方法。

【請求項 8】

平均される位相の数が N であり、
 前記遅延位相の数が $N - 1$ であり、
 各前記所定のフィルタ係数は添え字 k によって識別され、ここで k はゼロよりも大きく、
 k は N よりも小さいか N と等しく、
 均一に重み付けされた位相平均が求められ、ここで h_n は N の逆数であり、
 k 番目の乗算器に与えられる前記所定のフィルタ係数が A_k であり、

30

$$A_k = \sum_{n=k}^{N-1} h_n.$$

によって与えられる、請求項 7 に記載の方法。

【請求項 9】

位相推定器中で、
 平均器入力に結合される複数のタップを有する遅延ラインと、
 複数の第 1 の減算器回路であって、各該第 1 の減算器回路の第 1 の入力該平均器入力に結合され、各該第 1 の減算器回路の第 2 の入力該複数のタップの対応するタップに結合される、複数の第 1 の減算器回路と、
 複数の第 1 のモジュロ回路であって、各該第 1 のモジュロ回路は対応する第 1 の減算器回路に結合される、複数の第 1 のモジュロ回路と、
 該第 1 のモジュロ回路の全てに結合される合計回路と、
 該合計回路に結合されるスケールリング回路と、
 第 2 の減算器回路であって、該第 2 の減算器回路の第 1 の入力該平均器入力に結合され

40

50

、該第2の減算器回路の第2の入力は該スケーリング回路に結合される、第2の減算器回路と、

を備えた、位相平均回路。

【請求項10】

前記第2の減算器回路に結合される第2のモジュロ回路をさらに備える、請求項9に記載の回路。

【請求項11】

前記スケーリング回路は、平均されるサンプルの数の逆数で、スケーリングされる入力を乗算する、請求項9に記載の回路。

【請求項12】

変調キャリアは期間Tを有し、

前記遅延ラインは、該期間Tの間にサンプリングされる位相を表す少なくとも4つのタップを含む、

請求項9に記載の回路。

【請求項13】

位相推定器中で、

複数の遅延位相を形成するステップと、

各該遅延位相を現在の位相から減算することによって複数の第1の減算位相を形成するステップと、

各該第1の減算位相を - ラジアンと ラジアンとの間の位相に変換することによって複数の第1のモジュロ位相を形成するステップと、

該第1のモジュロ位相全てを合計することによって、合計位相を形成するステップと、

該合計位相をスケーリングするステップと、

該スケーリング位相を該現在の位相から減算することによって第2の減算位相を形成するステップと、

を包含する、位相平均方法。

【請求項14】

前記第2の減算位相を - ラジアンと ラジアンとの間の位相に変換する付加的なステップをさらに包含する、請求項13に記載の方法。

【請求項15】

前記スケーリングステップが、スケーリングされる入力を、平均されるサンプルの数の逆数で乗算する、請求項13に記載の方法。

【発明の詳細な説明】

発明の背景

発明の分野

本発明は、ブロック位相推定器を用いる同期検出器に関する。特に、本発明は、ブロック位相推定器の位相平均器に関する。

関連分野の記載

差分復調器技術は、バースト復調器について選択されることが多い。差分復調器はキャリアに瞬時にロックするが、雑音が存在する状態で性能が低下する。フィルタあるいは位相ロックループを用いてキャリアが可干渉に再生される可干渉性復調器 (coherent demodulator) は、ループ帯域が符号速度 (symbol rate) に対してせまい場合に、論理的にはより優れた雑音性能を提供する。しかし、比較的キャリアへのロックが遅い。位相ロックループの場合には、ロックオン時間はハングアップ現象によってさらに長くなる。

ブロック位相推定器は、位相ロックループに代わるものである。ブロック位相推定器は位相ロックループと同様の性能を提供するが、ハングアップ現象による悪影響は受けない。

図1において、ディジタル受信器10は、受信器に結合されているアンテナを備える。IF最終段階からの受信器の出力は、同相および直角位相ミキサに与えられる。ヒルベルト(/ 2)変換器を用いる局所発振器は、同相および直角位相基準信号をミキサに与える。ミキサ出力は、アナログ同相信号Iおよびアナログ直角位相信号Qである。最終IF段階の出力

10

20

30

40

50

での電圧 V は、

$$V = I + j Q$$

によって与えられ、ここで、 j は複素演算子である。アナログ信号 I および Q は、アナログ - デジタル変換器中でサンプリングされ、フィルタリング、デシメートル化 (decimate) および補間されて、デジタルにサンプリングされた信号 I_i および Q_i が生成される。フィルタは好ましくは、期待される変調に一致させられたナイキストフィルタである。下方のデシメータ (decimator) / 補間回路は、アナログ - デジタル変換器からのサンプルを符号速度にサンプリングし、信号を各符号の中心で再サンプリングする。

動作中、発振器の周波数が正確に整調され、かつ位相が正確に同期化されている、固定された不変の周波数の連続的な波形信号をアンテナが受け取ると、デジタル受信器10からの出力 I_i および Q_i は経時変化しない。しかし、発振器が、受け取られた信号の正確な周波数以外の周波数に整調される場合、出力 I_i および Q_i は経時変化する。フィルタリング / デシメートル化 / 補間化された電圧 V_i の位相は、 Q_i の I_i に対する比の逆正接で表される。この位相角の経時変化は、発振器の特性周波数とアンテナで受け取られた信号の周波数との間の周波数差に対応する。従来の位相ロックループ同期検出器はこの位相差を測定し、測定された差をフィルタリングし、このフィルタリングされた位相差を用いて局所発振器 (すなわち、電圧制御発振器) の周波数を制御する。しかし、本発明は、位相ロックループに代わる技術としてのブロック位相推定器に関する。

デジタル受信器10によって受け取られた一定の周波数は、情報を含まないのほとんど無用か、あるいは全く無用である。有用な通信システムにおいて、アンテナによって受け取られる信号は変調を含む。本発明は、位相偏移キーイング (PSK) を復号化するためのデコーダにおいて用いられるブロック位相推定器に関する。

図2は、従来のデコーダおよび本発明によるデコーダの両方によって受け取られるQPSK (直角位相偏移キーイング) 信号を受け取るデジタル受信器10からの電圧 V の位置を示す図である。信号 I_i および Q_i が図2のグラフに示され得る。QPSK信号では、符号は、 -135° 、 -45° 、 $+45^\circ$ および $+135^\circ$ として図2に示されている4つの値のうちの一つを取り得る。デコーダの目的は、符号の持続時間の間に、いずれの位相が伝送されているかを決定することである。

図6において、従来のデコーダ60はブロック位相推定器50を含み、ブロック位相推定器50は変調除去回路20、平均器30および位相訂正器追跡装置 (corrector tracker) 40を含む。

図3は変調除去回路20を示す。変調除去回路20は、デカルト - 極変換器22、乗算器24、および余弦変換器26と正弦変換器28とからなる極 - デカルト変換器を含む。図3において、デジタル受信器10 (図1) からのデジタルサンプル信号 I_i および Q_i は逆正接関数を用いて極座標に変換され、それによって現在のサンプルの位相の位相推定値が提供される。現在のサンプルの位相の位相推定値は位相 θ_i である。乗算器24は位相 θ_i を M で乗算し、ここで、 M はPSK信号に符号化された位相の数である。これによって、変調が除去された現在のサンプルの位相推定値が提供される。BPSK信号については、 M は2であり、QPSK信号については M は4であり、8-PSK信号については M は8などとなる。図2は、 M が4に等しくなるように4つの位相を図示しているが、 M は有利に8、16などであり得る。乗算器24の出力は余弦変換器26および正弦変換器28によって再びデカルト座標に変換され、それによって信号 I_i' および Q_i' を与える。乗算器24の出力は、 2 ラジアンを超える位相角を含み得ることにここで留意すべきである。しかし、変換器26および28は本質的に周期的であり、これらの変換器の出力は 2 ラジアンを超える角度によって影響されない。変調除去回路20の動作が、図2と関連して最も良く理解される。図2に図示される信号は直角PSK信号であるので、受信器10からの可能な電圧として図2に図示される4つの位置は、乗算器24中で 4 で乗算される。例えば、図2の第一象限中に図示されている 45° 位相は、 4 で乗算されると 180° になる。同様に、 -45° 位相は、 4 で乗算されると -180° になる。 135° 位相は、 4 で乗算されると 540° になる (すなわち、 $180^\circ + 360^\circ$)。同様に、 -135° 位相は -540° になる。余弦変換器26および正弦変換器28は周期的に繰り返すの

10

20

30

40

50

で、図2に示されている信号位置のいずれか一つから生成される乗算器24の全ての位相出力は、 180° の位相角を有するものと解される。従って、変調除去回路20によって変調が除去される。

しかし、図1における発振器が、アンテナから受け取ったキャリア信号の周波数を正確に複製(replicate)しない場合、図2に図示される4つの位置の布置(constellation)は、周波数偏差の符号に依存して反時計回りあるいは時計回りのいずれかに経時回転する。この周波数偏差がブロック位相推定器で測定される。小さい周波数偏差がある場合は、乗算器24の位相出力は 180° とは異なる。

図4は、2つの別個の平均回路32を有するものとして従来の平均器30を図示する。各平均回路32は、入力信号 I_i' および Q_i' の移動平均を維持することによって平均信号 I_{AVG}' および Q_{AVG}' を提供する。平均化は、好ましくは、数個の符号に対応する持続時間にわたって行われる。図1におけるアナログ-デジタル変換器のサンプリング速度は、符号速度よりも高い。例えば、アナログ-デジタル変換器は符号持続時間にわたって4つのサンプルを提供し得、平均回路32は、16個のサンプルからの値を加算して、16で除算するかあるいは適切にスケールリング(例えば、1つの符号につき4つのサンプルの割合で4つのサンプル)することによって、これらの回路へ入力された値を平均化する。

図5において、位相訂正器追跡装置40は、デカルト-極変換器42(図3のデカルト-極変換器22と同様)、除算器44、セクタ追跡装置46および極-デカルト変換器48(図3の極-デカルト変換器26および28と同様)を含む。除算器回路44は、入力された位相(すなわち、 θ_{AVG}')をMで除算することのみによって、セクタ追跡装置へ入力される信号を提供する。

除算器44は、図3の乗算器24中で乗算された位相値を回復するが、除算器44の位相出力が変化し得る範囲は、 $360^\circ \div M$ に制限される。平均位相の正確な回復を確実にするために、セクタ追跡装置46は、除算器44の位相出力の急激な上昇を検出するたびに、 $360^\circ \div M$ によって定義される位相角を加算あるいは減算する。次いで、セクタ追跡装置46の出力は、変換器48中でデカルト座標に変換される。

ブロック位相推定器50(図6)の出力は、変調は除去されているが、平均化間隔(例えば、4つの符号)にわたって平均化されている、IおよびQについてのデカルト値を含む。ブロック位相推定器50の出力は、推定された基準信号 I_{EST} および Q_{EST} である。この平均に対して信号の検出を最良に提供するために、これらの信号を遅延させることが必要である。信号 I_i および Q_i は遅延回路52中で遅延され、それによって遅延信号 I_{DEL} および Q_{DEL} を提供する。遅延時間は、前の符号、後の符号あるいはこれら両方の組み合わせを用いて選択され得る。回転解除装置(de-rotator)54は、複合乗算器による完全複合体であり、入力される遅延データ信号 I_{DEL} および Q_{DEL} と基準信号 I_{EST} および Q_{EST} との積を生じさせる。回転解除装置54の出力は、決定装置56に渡される。同相決定装置出力値は、検出される電圧が図2に図示される平面の左半分の平面にあるか、あるいは右半分の平面にあるかを示し、直角位相決定装置出力値は、検出される電圧が図2の上半分の平面にあるかあるいは下半分の平面にあるかを示す。決定装置56は、I値が平面のいずれの半分にあるかおよびQ値が平面のいずれの半分にあるかを決定するための2つの比較器を含み得る。

発明の要旨

本発明の目的は、極フォーマット化されたデータをデカルトフォーマット化されたデータに変換してそれを再び元に戻す必要を回避しつつ、位相平均化を達成することである。これらの目的および他の目的は、位相平均回路を含むブロック位相推定器中で達成される。位相平均回路の第一の実施態様は、平均器入力に結合された位相差算出(differencing)回路と、位相差算出回路に結合された第1のモジュロ(modulo)回路、第1のモジュロ回路に結合されたフィルタ、および正の入力および負の入力を有する合計(summation)回路を備え、正の入力は平均器の入力に結合され、負の入力はフィルタに結合される。位相平均回路は、合計回路に結合された第2のモジュロ回路をさらに備える。位相平均回路の別の実施態様は、平均器入力に結合された複数のタップおよび複数の第1の減算器回路を有する遅延ラインを含み、各第1の減算器回路の第1の入力は平均器入力

10

20

30

40

50

に結合され、各第1の減算器回路の第2の入力は複数のタップの対応するタップに結合されている。複数の第1のモジュール回路は、複数の第1の減算器回路に結合され、各第1のモジュール回路は対応する第1の減算器回路に結合されている。合計回路は全ての第1のモジュール回路に結合され、スケーリング回路は合計回路に結合されている。位相平均回路は、第2の減算器回路をさらに含み、第2の減算器回路の第1の入力は平均器入力に結合され、第2の減算器回路の第2の入力はスケーリング回路に結合されている。

【図面の簡単な説明】

本発明は、以下の図面を参照した好ましい実施態様の以下の記載において詳細に記載される。

図1は、従来のデジタル受信器のブロック図である。

10

図2は、受け取られたQPSK信号を特徴付ける4つの可能な電圧を表す位置を示す複合I、Q平面のグラフである。

図3は、従来の変調除去回路を示すブロック図である。

図4は、従来の平均器を示すブロック図である。

図5は、従来の位相訂正器追跡装置を示すブロック図である。

図6は、ブロック位相推定器を用いる従来のPSKデコーダを示すブロック図である。

図7は、本発明による変調除去回路を示すブロック図である。

図8は、本発明による平均器回路を示すブロック図である。

図9は、本発明による位相訂正器追跡装置を示すブロック図である。

図10は、本発明によるデコーダを示すブロック図である。

20

図11は、本発明による平均器の別の実施態様を示すブロック図である。

図12は、本発明によるフィルタのブロック図である。

図13は、シミュレートされる平均されない位相を示すグラフである。

図14は、シミュレートされた公知の平均器からの平均された位相を示すグラフである。

図15は、本発明の一つの実施態様によるシミュレートされた位相平均器からの平均された位相を示すグラフである。

図16は、本発明の別の実施態様によるシミュレートされた位相平均器からの平均された位相を示すグラフである。

好ましい実施態様の詳細な記載

ベクトルの逆正接変換の出力は、ベクトルの位相である。位相は、 $-$ ラジアンと $+$ ラジアンとの間にある。 $+$ ラジアンおよび $-$ ラジアンでは不連続性が存在するが、これらの二つの位相角は同一である。

30

2つの位相角の平均のような演算は、この不連続性のために不正確な結果を生じさせやすい。例えば、位相角が $-$ ラジアンおよび $+$ ラジアンである2つのベクトルの平均は、位相角が $+$ ラジアンであるベクトルである。しかし、位相角が $-$ ラジアンおよび $+$ ラジアンであるこれらの2つのベクトルの位相を厳密に平均化すると、角度がゼロであるベクトルを不正確に示す。従って、ブロック位相推定器についての位相平均器の構成(図3~7に関して述べられたベクトル平均器とは異なる)は成功していない。

本発明は、モジュール回路中で「位相の開放(unwrap)」を成功させるN個のデータサンプル(デジタル受信器10のN個の出力)にわたる位相を平均するための位相平均器を提供する。本発明の位相平均器において、N個のサンプルの一つが基準として選択され、他の各N-1個のデータサンプルについて、基準サンプルの位相に関する位相差が決定される。位相差が $-$ ラジアンと $+$ ラジアンとの間で規定されるドメイン制限内の位相と等しくない場合、位相が調節される。位相差が、 $+$ ラジアンよりも大きい場合、 $+$ ラジアンよりも小さい場合、位相差が $-$ ラジアンと $+$ ラジアンとの間で規定されるドメイン制限内で再規定されるように、位相差から 2 ラジアンが減算される。位相差が、 $-$ ラジアンよりも小さい場合、 $-$ 3 ラジアンよりも大きい場合、位相差が $-$ ラジアンと $+$ ラジアンとの間で規定されるドメイン制限内で再規定されるように、 2 ラジアンが位相差に加算される。次いで、N-1個の全ての位相差が、非飽和計算を用いて平均される。

40

例えば、サンプリングされた位相が $-$ ラジアンであり、基準位相が $-$ $+$ ラジアン

50

である場合、位相差は $-2 + 2$ ラジアンである。この位相差は、 $< \pi / 2$ ラジアンであるとき、常に π ラジアン未満である。従って、 2π ラジアンが加算され、結果として得られる開放された (unwrapped) 位相差は 2π ラジアンである。これは、 $-\pi + \pi$ ラジアンからの位相角 $-\pi$ ラジアンの減算についての正しい解である。

周波数誤差信号は、キャリア信号と局所発振器信号 (例えば、図 1 における OSC) との間の差に等しい周波数を有する信号である。周波数誤差信号は、変調除去後の隣接する符号間での周波数誤差信号の位相変化が QPSK 信号においては $\pi / 8$ ラジアン未満であり、BPSK 信号においては $\pi / 4$ ラジアン未満になるように十分に小さい周波数によって特徴付けられると仮定される。8-PSK 信号については、符号間での位相変化は $\pi / 16$ ラジアン未満である。符号速度に関して小さい周波数誤差のみがある状態で、入力されるキャリアの位相が正しく開放され平均され得る。

10

モジュロ回路は、有効な位相平均器が一つあるいはそれ以上の位相差算出器から構成され得るように、位相差算出器からの位相出力を開放する。

添え字 i を付されて示される連続するサンプルの位相は、 ϕ_i によって表される。例えば $N = 4$ である、サンプル n で終わる (すなわち、 $i = n$ のときに終わる) N 個のサンプルにわたって均一に重み付けされた移動平均は、

$$A_V(n) = h_0 \phi_n + h_1 \phi_{n-1} + h_2 \phi_{n-2} + h_3 \phi_{n-3} \quad (1)$$

によって与えられ、ここで $h_0 = h_1 = h_2 = h_3 = 1/4$ である。モジュロ回路は、差算出回路から出力された位相角を開放する。従って、平均は、差異角について以下のように再び式で表される。

20

$$A_V(n) = A_0 \phi_n + A_1 (\phi_n - \phi_{n-1}) + A_2 (\phi_n - \phi_{n-2}) + A_3 (\phi_n - \phi_{n-3}) \quad (2)$$

この式は、次のように整理し直され得る。

$$A_V(n) = (A_0 + A_1 + A_2 + A_3) \phi_n + A_1 \phi_{n-1} + A_2 \phi_{n-2} + A_3 \phi_{n-3} \quad (3)$$

ここで、 $(A_0 + A_1 + A_2 + A_3) = h_0$ 、 $A_1 = -h_1$ 、 $A_2 = -h_2$ 、 $A_3 = -h_3$ である。従って、4 つの位相サンプルにわたる位相平均は 3 つの位相差算出器を用いて構成され得、ここで $A_0 = 1$ 、 $A_1 = -1/4$ 、 $A_2 = -1/4$ および $A_3 = -1/4$ である。

あるいは、各位相サンプルの位相と直前の位相サンプルとの間の位相差が計算されてもよい。従って、平均位相は

$$A_V(n) = A_0 \phi_n + A_1 (\phi_n - \phi_{n-1}) + A_2 (\phi_{n-1} - \phi_{n-2}) + A_3 (\phi_{n-2} - \phi_{n-3}) \quad (4)$$

30

として表され得、これは

$$A_V(n) = (A_0 + A_1) \phi_n + (A_2 - A_1) \phi_{n-1} + (A_3 - A_2) \phi_{n-2} + A_3 \phi_{n-3} \quad (5)$$

として整理し直され得、ここで、 $(A_0 + A_1) = h_0$ 、 $(A_2 - A_1) = h_1$ 、 $(A_3 + A_2) = h_2$ 、および $A_3 = -h_3$ である。次に、 $A_0 = h_0 + h_1 + h_2 + h_3$ 、 $A_1 = -h_1 - h_2 - h_3$ 、 $A_2 = -h_2 - h_3$ 、および $A_3 = -h_3$ となるように、方程式 (1) に関して述べられた均一な重み付け基準に基づいて、係数 A について解を求める。従って、4 つの位相サンプルにわたる位相平均は、逐次的に動作される一つの位相差算出器を用いて構成され得、ここで $A_0 = 1$ 、 $A_1 = -3/4$ 、 $A_2 = -1/2$ 、および $A_3 = -1/4$ である。

N 個の位相サンプルにわたる重み付けされた位相平均は、概して、以下によって与えられる重み付けベクトルに基く方程式 (1) によって計算され得る。

40

$$H = [h_0, \dots, h_{N-1}] \quad (6)$$

この重み付けベクトルから、係数 A が決定され得る。概して方程式 (2) によって記載される一つの実施態様において、係数 A は、

$$A_0 = \sum_{n=0}^{N-1} h_n$$

(7)

$$A_k = -h_k$$

(8)

によって決定され、 $1 \leq k \leq N - 1$ である。

概して方程式(4)によって記載される別の実施態様において、係数Aは、

$$A_0 = \sum_{n=0}^{N-1} h_n$$

(9)

$$A_k = \sum_{n=k}^{N-1} h_n$$

(10)

によって決定され、 $1 \leq k \leq N - 1$ である。

モジュール回路および位相差算出器に基いて、平均化を行うためにデカルト座標に変換する必要をなくすることが可能である。

図7において、変調除去回路70は、図3の変換器22および乗算器24と実質的に同様の機能を行うデカルト-極変換器72および乗算器74を含む。しかし、極位相器(phasor)の振幅は変換されない。従来の回路とは異なり、変調除去回路70は、 $-$ から $+$ ラジアン の範囲にある位相角 θ_i を再式化するためのモジュール回路76を含む。モジュール回路は、開放された位相を以下のように決定する。

$$\theta_{OUT} = \theta_{IN} - 2 \cdot \text{INT}((\theta_{IN} + \text{SIGN}(\theta_{IN})) / 2),$$

ここでINTは整数関数であり、SIGNは正弦関数である。変調除去回路70は位相角のみを処理し、振幅(すなわち、 I_i^2 および Q_i^2 の平方根)を処理する必要はない。

図8において、平均器80は、モジュール回路84に結合される差算出器82を備え、このモジュール回路はフィルタ86に結合されている。源算器88は、入力位相角 θ_i とフィルタ86の出力との間の差を形成する。減算器88の出力は、モジュール回路89に結合される。差算出器82は、遅延素子82Aおよび減算器82Bを備えている。遅延素子82Aは、入力位相角 θ_i を1サンプル時間だけ遅延させるのみである。フィルタ86は、好ましくは、図13に関して記載される横断フィルタである。減算器88は、入力位相角 θ_i からフィルタ86の出力を減算する。

図9において、位相訂正器追跡装置90は除算器92およびセクタ追跡装置94を含み、位相角のみが除算され追跡されることを除き、これらの機能は図5の除算器44およびセクタ追跡装置46に対応する。しかし、本発明においては、図5に図示されるようなデカルト-極変換器42および極-デカルト変換器48を必要としないことに留意すべきである。同様に、図3の余弦変換器26および正弦変換器28も本発明では不要であることに留意すべきである。

図10において、デコーダ100は、本発明によるブロック位相推定器102に結合された従来のデジタル受信器10を含む。ブロック位相推定器102は、直角-極変換器および変調除去回路70(図7)、位相平均器80(図8)および位相訂正器追跡装置90(図9)を含む。変調除去回路70は、遅延回路104に出力位相信号 θ_i を提供する。位相角 θ_i は、変調除去回路70によってデカルト-極変換器72(図7)からの出力として提供される。差算出器106は、遅延位相信号 θ_{DEL} から平均位相信号 θ_{AVG} を減算する。ブロック位相推定器102からの平均位相角は所定持続時間にわたる平均であり、平均された出力は平均持続時間の最後に入手可能である。遅延回路104によって提供される遅延は、好ましくは、位相平均 θ_{AVG} が決定される時間の $1/2$ である。差算出器106から出力される位相差は、スライサ108に

10

20

30

40

50

与えられる。この位相差出力は、 -180° と $+180^\circ$ との間で変化する位相を表す数である。この目的のために、差算出器106はモジュール回路を含み得る。

スライサ108の動作を理解するために、図2を参照する。QPSKの場合は、4つの別々の象限に示されている4つの可能な値がある。スライサ108への入力は、図2のI軸を基準とする位相角である。スライサは、位相角が0を超えるが 90° よりも小さい場所（すなわち、第一象限）、 90° を超えるが 180° よりも小さい場所（すなわち、第二象限）、 -180° を超えるが -90° よりも小さい場所（すなわち、第三象限）、あるいは0と -90° との間の場所（すなわち、第四象限）を決定するための一連の比較器を備える。象限が確認されると、符号値が決定される。

図11において、平均器110は、図8の平均器80に代わる実施態様として示される。平均器110は、タップされた遅延ライン112、並列減算器116、並列モジュール回路120、並列加算器124、スケーリング回路126、減算器128およびモジュール回路129を含む。タップされた遅延ライン112は、複数の遅延素子114を含む。各遅延素子は、入力を1符号間隔だけ遅延させる。例えば、アナログ-デジタル変換速度（図1）が符号速度の四倍である場合、下方のデシメータ（図1）は、タップされた遅延ライン112が符号速度でサンプルを受け取るように4:1にサンプリングする。遅延ライン112は、好ましくは、8個の遅延素子114を含み得、その結果、同様に、並列減算器116は好ましくは8個の減算器118を含み、並列モジュール回路120は好ましくは8個のモジュール回路122を含む。並列加算器124は、並列モジュール回路120に含まれるモジュール回路からの全ての出力を加算する。スケーリング回路126は、並列モジュール回路120からの全てのモジュール回路122の出力の平均を決定する。例えば、8個のモジュール回路122がある場合、並列加算器124は8個の出力値全てを加算し、スケーラ回路126は並列加算器124の出力を8で除算する。デジタルコンピュータ中での8での除算は桁送りによって達成され得ることが理解される。減算器128およびモジュール回路129は、図8の減算器88およびモジュール回路89と同じ機能を行い、これらと実質的に同じである。

図12において、フィルタ150は、複数の遅延ライン素子152から成るタップされた遅延ラインを含む。各タップは、各乗算器154の第1の入力に与えられる。各乗算器154の第2の入力には、上記の方程式（10）によって決定される係数Aの一つが供給される。全ての乗算器154の出力は、合計回路156への入力として提供される。フィルタ150は、有限インパルス応答機能を有する横断フィルタである。このようなフィルタは、フィルタ86（図8）として有利に用いられる。

本発明は、本明細書に記載された機能を機械化するプログラムの制御下で現在用いられているデスクトップコンピュータで実行され得る。本発明は、特殊ハードウェア論理回路および算術回路中で実行され得る。本発明は、特殊用途特定集積回路（ASIC）中で実行され得る。本発明は、カスタマイズされたゲートアレイ回路中で実行され得る。本発明は、プログラミング可能なデジタル信号プロセッサ集積回路中で実行され得る。

これらの回路は、直角PSK変調、15dBの信号対雑音比、および.001Hzの伝送されたキャリアと受信器発振器との間の周波数ずれを用いて、シミュレートされている。シミュレーション符号速度は1Hzに標準化され、8個のサンプルが符号持続時間にわたって取られ得る。4倍乗算器（図3の24および図7の74）が逆正接変換（図3の22および図7の72）の後に適用されることによって直角PSK変調を除去する。2倍乗算器がバイナリPSK変調について用いられ、8倍乗算器が8-PSK変調に用いられる、などである。図13は、平均化を行わない位相を示す。図14は、公知のデカルトベース平均器（例えば、図3～図6）を用いて平均化された位相を図示する。図15は、方程式（4）の位相平均器、すなわち図8を用いて平均化された位相を図示する。図16は、方程式（2）の位相平均器、すなわち図11を用いて平均化された位相を図示する。図14～図16は、デカルト座標と極座標との間の前後の変換のための手段を提供する必要なく、本発明が公知の平均器と同じ位相平均性能を達成することを示している。

新規のブロック位相推定器の好ましい実施態様（説明的であり制限的ではないことが意図される）を記載したが、上記の教示を考慮して当業者が改変および変更を行い得ることが

10

20

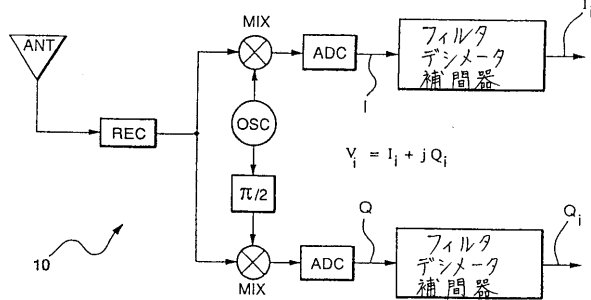
30

40

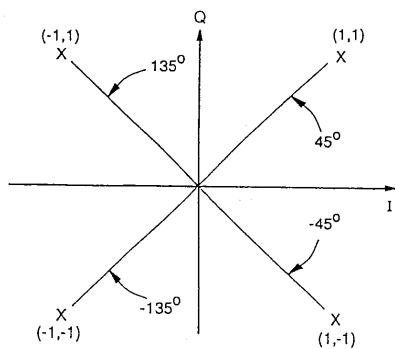
50

留意される。従って、添付の請求項によって規定される本発明の範囲および精神内で開示される本発明の特定の実施態様に変更が行われ得ることが理解される。従って、特許法によって要求される詳細および詳細事項と共に本発明を記載したが、特許明細書によって保護される請求の範囲は、添付の請求項に記載される。

【 図 1 】
FIG - 1
PRIOR ART



【 図 2 】
FIG - 2



【 図 3 】

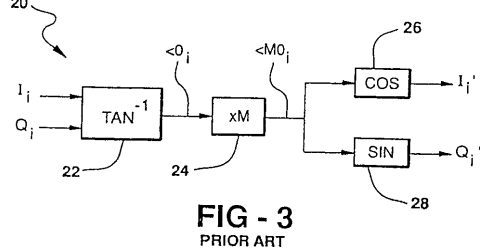


FIG - 3
PRIOR ART

【 図 4 】

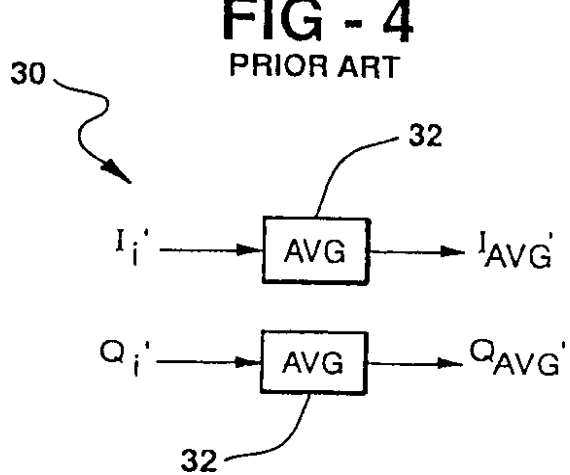
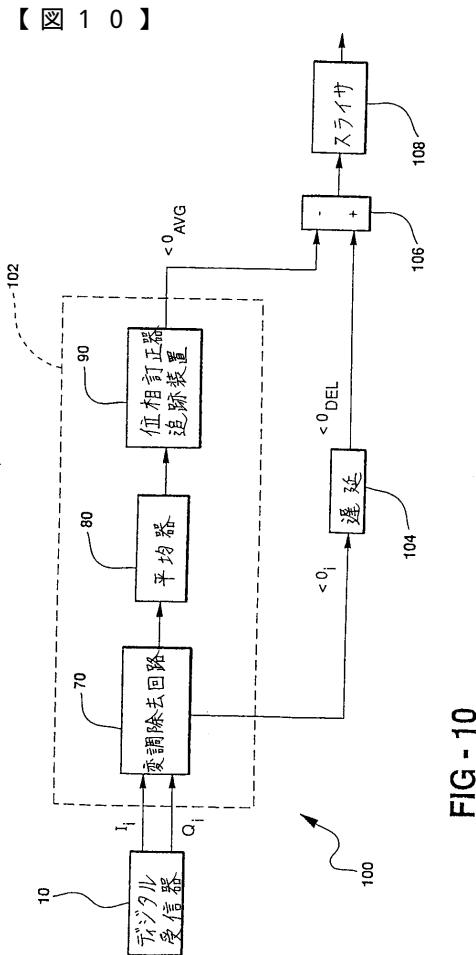
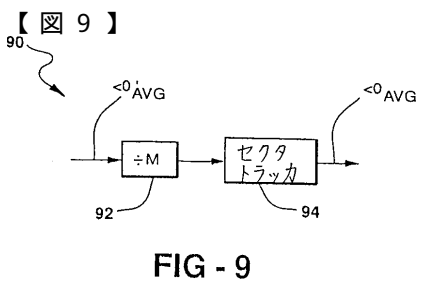
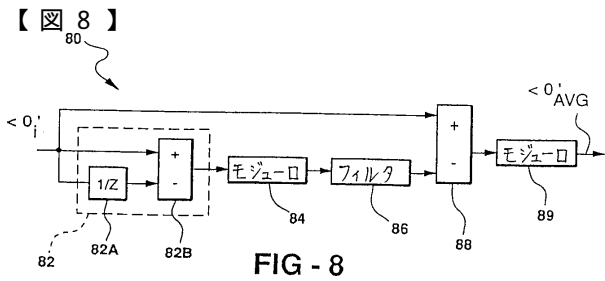
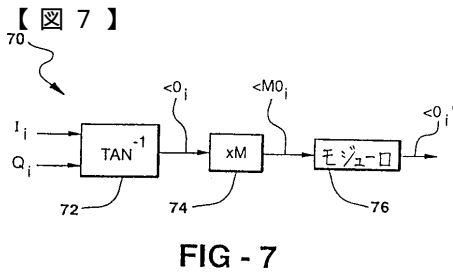
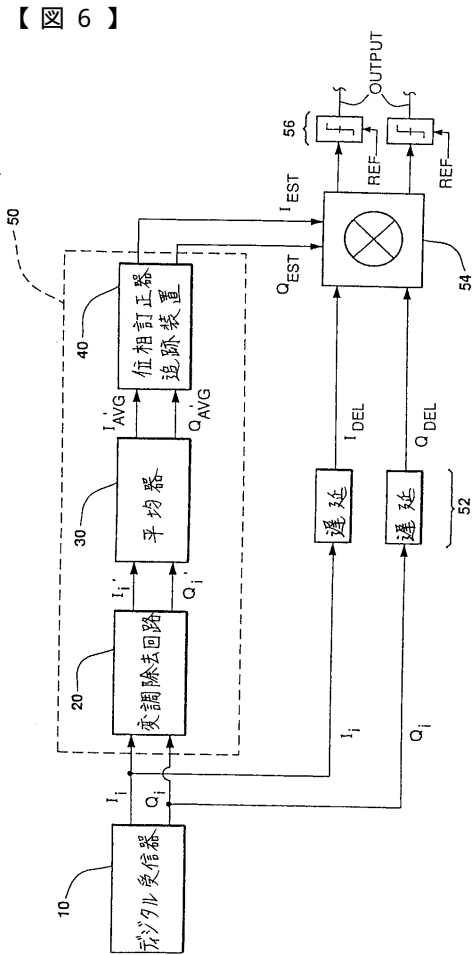
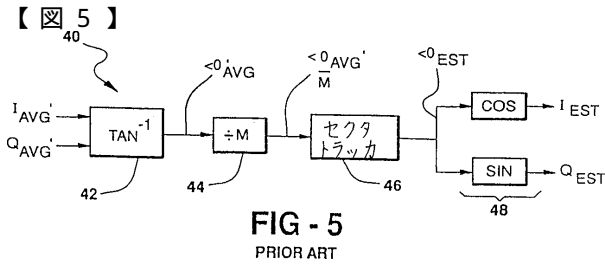
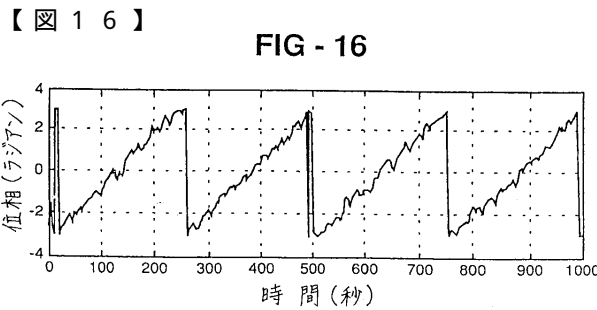
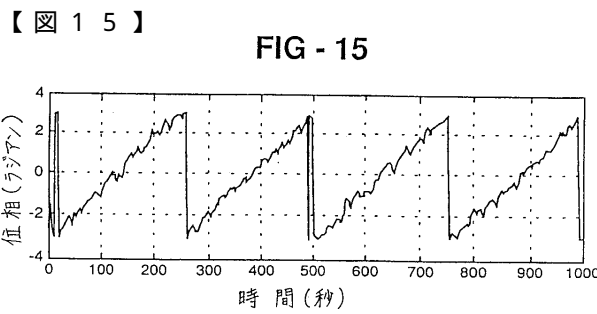
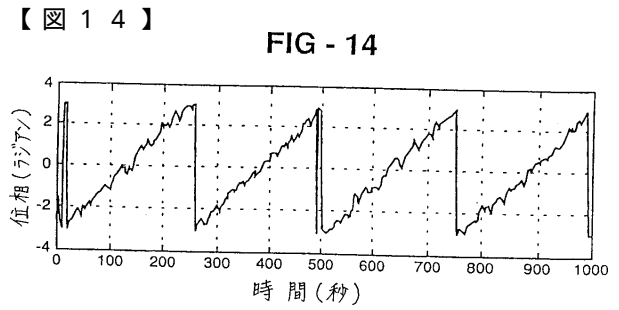
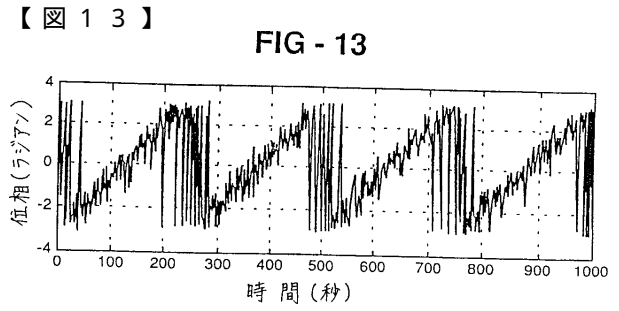
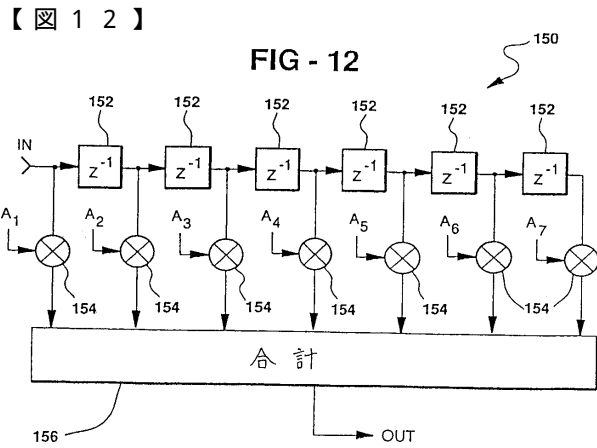
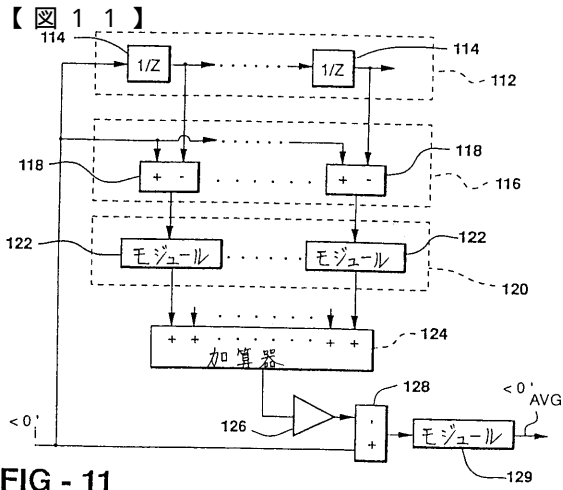


FIG - 4
PRIOR ART





フロントページの続き

(72)発明者 モントリュイル, レオ
アメリカ合衆国 ジョージア 30341, アトランタ, ミル クリーク コート 3773

合議体

審判長 山本 春樹

審判官 小林 紀和

審判官 中木 努

(56)参考文献 特開平8 - 149173 (JP, A)
特開昭53 - 7380 (JP, A)
特開平8 - 228208 (JP, A)
特公昭56 - 51646 (JP, B2)
特開平10 - 200590 (JP, A)
特許第3390272 (JP, B2)
特開平3 - 80842 (JP, A)
特許第2704414 (JP, B2)
特開平2 - 6781 (JP, A)
特開平1 - 260382 (JP, A)
特開昭61 - 25527 (JP, A)
特許第3103014 (JP, B2)
特開平3 - 151944 (JP, A)
特開平4 - 277956 (JP, A)
特許第3559377 (JP, B2)
特開平9 - 116578 (JP, A)
特許第3803705 (JP, B2)
特開平7 - 183925 (JP, A)
欧州特許第1012966 (EP, B1)

(58)調査した分野(Int.Cl., DB名)

H04L 27/22 B

H03D 3/00 Z

G01R 25/00