

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5121145号
(P5121145)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年11月2日(2012.11.2)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 6 A

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 L

H O 1 L 29/423 (2006.01)

H O 1 L 29/78 6 1 6 K

H O 1 L 29/49 (2006.01)

H O 1 L 29/58 G

H O 1 L 21/28 (2006.01)

H O 1 L 21/28 A

請求項の数 8 (全 48 頁) 最終頁に続く

(21) 出願番号 特願2006-45792(P2006-45792)
 (22) 出願日 平成18年2月22日(2006.2.22)
 (65) 公開番号 特開2006-287205(P2006-287205A)
 (43) 公開日 平成18年10月19日(2006.10.19)
 審査請求日 平成20年12月12日(2008.12.12)
 (31) 優先権主張番号 特願2005-62929(P2005-62929)
 (32) 優先日 平成17年3月7日(2005.3.7)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 磯部 敦生
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 徳永 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山口 真弓
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 棚田 一也

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、半導体膜を形成し、
 前記半導体膜上に、ゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に、第1の導電膜を形成し、
 前記第1の導電膜上に、第2の導電膜を形成し、
 前記第2の導電膜上に、レジストを形成し、
 第1のエッチングをすることにより、前記レジストをマスクとして、前記第2の導電膜をエッチングし、第3の導電膜を形成し、
 前記第3の導電膜の側面は、80°以上90°以下のテーパを有し、
 第2のエッチングをすることにより、前記第3の導電膜をマスクとして、前記第1の導電膜をエッチングし、第1のゲート電極を形成し、
 第3のエッチングをすることにより、前記レジストを後退させつつ、かつ、前記後退するレジストをマスクとして、前記第3の導電膜をエッチングし、前記第1のゲート電極よりもゲート長が短い第2のゲート電極を形成し、
 前記第1のゲート電極および前記第2のゲート電極をマスクとして、不純物元素を前記半導体膜に対してドーピングすることによって、前記第1のゲート電極および第2のゲート電極と重なるチャネル形成領域、前記第1のゲート電極および第2のゲート電極と重ならない一対の第1の不純物領域ならびに前記第1のゲート電極と重なり、かつ、前記第2のゲート電極と重ならない一対の第2の不純物領域を形成し、

10

20

前記第 1 のゲート電極および前記第 2 のゲート電極の側面に接して絶縁層を形成し、
前記絶縁層をマスクとして、前記ゲート絶縁膜をエッチングすることによって、前記第 1 の不純物領域の一部を露出させ、
前記露出した第 1 の不純物領域に接して金属膜を形成し、
加熱処理により、前記金属膜と接する前記露出した第 1 の不純物領域の膜厚全体にシリサイド層を形成し、
前記第 1 の不純物領域は、前記第 2 の不純物領域より不純物元素の濃度が高く、
前記チャンネル形成領域のチャンネル長は、 $0.1\text{ }\mu\text{m}$ 以上 $1.0\text{ }\mu\text{m}$ 以下であることを特徴とする半導体装置の作製方法。

【請求項 2】

基板上に、半導体膜を形成し、
前記半導体膜上に、ゲート絶縁膜を形成し、
前記ゲート絶縁膜上に、第 1 の導電膜を形成し、
前記第 1 の導電膜上に、第 2 の導電膜を形成し、
前記第 2 の導電膜上に、レジストを形成し、
第 1 のエッチングをすることにより、前記レジストをマスクとして、前記第 2 の導電膜をエッチングし、第 3 の導電膜を形成し、
前記第 3 の導電膜の側面は、 80° 以上 90° 以下のテーパーを有し、
第 2 のエッチングをすることにより、前記第 3 の導電膜をマスクとして、前記第 1 の導電膜をエッチングし、第 1 のゲート電極を形成し、
第 3 のエッチングをすることにより、前記レジストを後退させつつ、かつ、前記後退するレジストをマスクとして、前記第 3 の導電膜をエッチングし、前記第 1 のゲート電極よりもゲート長が短い第 2 のゲート電極を形成し、

前記第 1 のゲート電極および前記第 2 のゲート電極をマスクとして、不純物元素を前記半導体膜に対してドーピングすることによって、前記第 1 のゲート電極および第 2 のゲート電極と重なるチャンネル形成領域、前記第 1 のゲート電極および第 2 のゲート電極と重ならない一対の第 1 の不純物領域ならびに前記第 1 のゲート電極と重なり、かつ、前記第 2 のゲート電極と重ならない一対の第 2 の不純物領域を形成し、

前記第 1 のゲート電極および前記第 2 のゲート電極の側面に接して絶縁層を形成し、
前記絶縁層をマスクとして、前記ゲート絶縁膜をエッチングすることによって、前記第 1 の不純物領域の一部を露出させ、
前記露出した第 1 の不純物領域に接して金属膜を形成し、
加熱処理により、前記金属膜と接する前記露出した第 1 の不純物領域の表面にシリサイド層を形成し、

前記絶縁層をマスクとして前記露出した第 1 の不純物領域に、不純物元素をドーピングすることによって、第 3 の不純物領域を形成し、

前記第 3 の不純物領域は、前記第 1 の不純物領域および第 2 の不純物領域より不純物元素の濃度が高く、

前記第 1 の不純物領域は、前記第 2 の不純物領域より不純物元素の濃度が高く、
前記チャンネル形成領域のチャンネル長は、 $0.1\text{ }\mu\text{m}$ 以上 $1.0\text{ }\mu\text{m}$ 以下であることを特徴とする半導体装置の作製方法。

【請求項 3】

基板上に、半導体膜を形成し、
前記半導体膜上に、ゲート絶縁膜を形成し、
前記ゲート絶縁膜上に、第 1 の導電膜を形成し、
前記第 1 の導電膜上に、第 2 の導電膜を形成し、
前記第 2 の導電膜上に、レジスト膜を形成し、
前記レジスト膜を露光してパターンを形成し、
前記パターンを形成されたレジスト膜にエッチングを行い、レジストを形成し、
第 1 のエッチングをすることにより、前記レジストをマスクとして、前記第 2 の導電膜

をエッチングし、第3の導電膜を形成し、

前記第3の導電膜の側面は、 80° 以上 90° 以下のテーパーを有し、

第2のエッチングをすることにより、前記第3の導電膜をマスクとして、前記第1の導電膜をエッチングし、第1のゲート電極を形成し、

第3のエッチングをすることにより、前記レジストを後退させつつ、かつ、前記後退するレジストをマスクとして、前記第3の導電膜をエッチングし、前記第1のゲート電極よりもゲート長が短い第2のゲート電極を形成し、

前記第1のゲート電極および前記第2のゲート電極をマスクとして、不純物元素を前記半導体膜に対してドーピングすることによって、前記第1のゲート電極および第2のゲート電極と重なるチャネル形成領域、前記第1のゲート電極および第2のゲート電極と重ならない一対の第1の不純物領域ならびに前記第1のゲート電極と重なり、かつ、前記第2のゲート電極と重ならない一対の第2の不純物領域を形成し、

前記第1のゲート電極および前記第2のゲート電極の側面に接して絶縁層を形成し、

前記絶縁層をマスクとして、前記ゲート絶縁膜をエッチングすることによって、前記第1の不純物領域の一部を露出させ、

前記露出した第1の不純物領域に接して金属膜を形成し、

加熱処理により、前記金属膜と接する前記露出した第1の不純物領域の膜厚全体にシリサイド層を形成し、

前記第1の不純物領域は、前記第2の不純物領域より不純物元素の濃度が高く、

前記チャネル形成領域のチャネル長は、 $0.1\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下であることを特徴とする半導体装置の作製方法。

【請求項4】

基板上に、半導体膜を形成し、

前記半導体膜上に、ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の導電膜を形成し、

前記第1の導電膜上に、第2の導電膜を形成し、

前記第2の導電膜上に、レジスト膜を形成し、

前記レジスト膜を露光してパターンを形成し、

前記パターンを形成されたレジスト膜にエッチングを行い、レジストを形成し、

第1のエッチングをすることにより、前記レジストをマスクとして、前記第2の導電膜をエッチングし、第3の導電膜を形成し、

前記第3の導電膜の側面は、 80° 以上 90° 以下のテーパーを有し、

第2のエッチングをすることにより、前記第3の導電膜をマスクとして、前記第1の導電膜をエッチングし、第1のゲート電極を形成し、

第3のエッチングをすることにより、前記レジストを後退させつつ、かつ、前記後退するレジストをマスクとして、前記第3の導電膜をエッチングし、前記第1のゲート電極よりもゲート長が短い第2のゲート電極を形成し、

前記第1のゲート電極および前記第2のゲート電極をマスクとして、不純物元素を前記半導体膜に対してドーピングすることによって、前記第1のゲート電極および第2のゲート電極と重なるチャネル形成領域、前記第1のゲート電極および第2のゲート電極と重ならない一対の第1の不純物領域ならびに前記第1のゲート電極と重なり、かつ、前記第2のゲート電極と重ならない一対の第2の不純物領域を形成し、

前記第1のゲート電極および前記第2のゲート電極の側面に接して絶縁層を形成し、

前記絶縁層をマスクとして、前記ゲート絶縁膜をエッチングすることによって、前記第1の不純物領域の一部を露出させ、

前記露出した第1の不純物領域に接して金属膜を形成し、

加熱処理により、前記金属膜と接する前記露出した第1の不純物領域の表面にシリサイド層を形成し、

前記絶縁層をマスクとして前記露出した第1の不純物領域に、不純物元素をドーピングすることによって、第3の不純物領域を形成し、

10

20

30

40

50

前記第3の不純物領域は、前記第1の不純物領域および第2の不純物領域より不純物元素の濃度が高く、

前記第1の不純物領域は、前記第2の不純物領域より不純物元素の濃度が高く、

前記チャネル形成領域のチャネル長は、 $0.1\text{ }\mu\text{m}$ 以上 $1.0\text{ }\mu\text{m}$ 以下であることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記絶縁層形成前に、前記第1のゲート電極をマスクとして、不純物元素を前記半導体膜に対して斜めにドーピングすることによって、前記チャネル形成領域と、前記一对の第2の不純物領域それぞれとの間に、第4の不純物領域を形成することを特徴とする半導体装置の作製方法。

10

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第1のエッチングは、 Cl_2 と、 SF_6 と、 O_2 とをエッチングガスとして用いることを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至請求項6のいずれか一項において、

前記第2のエッチングは、 Cl_2 をエッチングガスとして用いることを特徴とする半導体装置の作製方法。

20

【請求項8】

請求項1乃至請求項7のいずれか一項において、

前記第3のエッチングは、 Cl_2 と、 SF_6 と、 O_2 とをエッチングガスとして用いることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその作製方法に関する。

【背景技術】

【0002】

従来の薄膜トランジスタ(Thin Film Transistor:以下、TFTと言う)は非晶質半導体膜で構成されていたため、 $10\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上の電界効果移動度を持つTFTを得ることはほとんど不可能であった。しかし、結晶性半導体膜で構成されたTFTが登場し、高い電界効果移動度を持つTFTを実現することが可能となった。

30

【0003】

結晶性半導体膜のTFTは高い電界効果移動度を持つため、TFTを使って各種機能回路を同一基板上に同時に作製することが可能である。例えば、表示装置において、以前は表示部にドライバICなどを実装して駆動回路としていたのに対し、結晶性半導体膜のTFTを用いることで、同一基板上に表示部とシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などで構成される駆動回路を配置することが可能となった。駆動回路はNチャネル型TFTとPチャネル型TFTとからなるCMOS回路を基本として形成されている。

40

【0004】

同一基板上に各種回路を形成するには、各回路に対応したTFTを形成する必要がある。なぜならば、表示装置で考えると画素部のTFTと駆動回路のTFTとでは動作条件が必ずしも同一ではなく、TFTに要求される特性も異なるからである。Nチャネル型TFTで構成される画素部のTFTは、スイッチング素子として液晶に電圧を印加して駆動させている。画素部のTFTは、1フレーム期間の間、液晶層に蓄積した電荷を保持するために、オフ電流値を十分低くすることが要求されている。一方、駆動回路のバッファ回路などには高い駆動電圧が印加されるため、駆動回路内の素子に高電圧が印加されても壊れな

50

いように耐圧を高めておく必要がある。また、オン電流駆動能力を高めるためにオン電流値を十分確保する必要がある。

【0005】

オフ電流値を低減するためのTFTの構造として、低濃度ドレイン領域（以下、LDD領域ともいう）を設けた構造がある。この構造はチャネル形成領域と、高濃度に不純物元素が添加されたソース又はドレイン領域との間に低濃度に不純物元素を添加した領域が設けられている。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、LDD領域をゲート絶縁膜を介してゲート電極と重ねて配置させたいわゆるGOLD（Gate Overlapped LDD）構造がある。このような構造とすることで、ドレイン近傍の高電界が緩和されて、ホットキャリアによるオン電流値の劣化を低減することができる。なお、LDD領域の中でも、ゲート絶縁膜を介してゲート電極と重なって配置していない領域をLoFF領域、重なって配置している領域をLov領域という。

10

【0006】

ここで、LoFF領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のTFTを作製する必要がある。

【0007】

同一基板上に様々な構造のTFTを同時に作製する方法の1つとしては、下層のゲート長が上層のゲート長よりも長い形状である所謂ハットシェイプ型の2層構造のゲート電極を使い、同一基板上にLDD領域を有するTFTを同時に複数作製するものがある（例えば、特許文献1参照）。図33にその作製方法を示す。

20

【0008】

まず、基板1上に、下地絶縁膜2、半導体膜3、ゲート絶縁膜4、ゲート電極となる第1の導電膜5、ゲート電極となる第2の導電膜6を順次積層させ、第2の導電膜上にレジストからなるマスク7を形成する（図33（A））。次に、ドライエッチングにより、第1の導電膜及び第2の導電膜をエッチングして側壁に傾斜（テーパー）のある形状にし、ゲート電極8、9を形成する（図33（B））。続いて、異方性エッチングによりゲート電極9を加工する。これにより、断面形状が帽子のような形をしたハットシェイプ型のゲート電極が形成される（図33（C））。その後、2回ほど不純物元素をドーピングし、ゲート電極8の下に位置するLDD領域10aと、LDD領域に接して半導体膜の両端に位置する高濃度不純物領域10bと、チャネル形成領域10cが形成される（図33（D））。

30

【特許文献1】特開2004-179330号公報（第5図～第8図参照）

【0009】

一方、オン電流に関して、TFTの寄生抵抗であるコンタクト抵抗を下げ、オン電流を高くする方法もある。具体的には、ソース領域、ドレイン領域にニッケルシリサイドを設けて、配線とのコンタクト抵抗を小さくするものである（例えば特許文献2参照）。

【特許文献2】特開平10-98199号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0010】

現在、サブミクロンTFTの研究が盛んに行われている。しかし、特許文献1の方法を用いて各種回路に適した微細なTFTを形成することは困難であった。なぜなら、LDD領域のゲート長方向の長さ（以下、LDD長と言う）を所望の値まで短くすることが困難であったからである。図33に示すように、特許文献1は、ゲート電極9側面のテーパーであったところをエッチングして、ハットシェイプ型のゲート電極を形成し、ドーピングすることにより、LDD領域10aを形成する方法である。従って、図33（B）に示すゲート電極9側面のテーパー角（ θ ）を90°に近づければLDD長は短くなる。しかし、

50

テーパー角の調整は難しく、逆に $\theta = 90^\circ$ にしてしまうとLDD領域自体が形成できなくなるため、ある一定値以下のLDD長を形成することは困難であった。

【0011】

また、LDD領域はホットキャリアを抑えたり、短チャネル効果を抑える反面、オン電流に対する抵抗としても機能する。従って、各TFTには、ホットキャリア等を抑えるとともに、所望のオン電流が得られるような最適なLDD長が存在する。しかしながら、従来の方法では、ゲート長、半導体膜の長さはエッチングによりサブミクロンサイズのものを形成できたものの、それらのサイズにあったLDD長を持つLDD領域を設けることはできなかった。よって、特性の良いサブミクロンTFTを得ることはできなかった。

【0012】

また、TFTを微細化するとLDD領域による寄生抵抗の影響が大きくなるという問題もあった。

【0013】

以上より、本発明は、微細化されたTFTにおいてもLDD領域による寄生抵抗の影響を少なくすることを課題とする。微細化されたTFTであっても、TFTの構造を各種回路の機能に応じて適切なものとし、半導体装置の動作特性および信頼性を向上させることを課題とする。また、工程数を削減して製造コストの低減および歩留まりの向上を図ることを課題とする。

【課題を解決するための手段】

【0014】

本発明の特徴の一つは、基板上に形成され、チャネル形成領域、第1の低濃度不純物領域、第2の低濃度不純物領域及び高濃度不純物領域を有する半導体膜と、チャネル形成領域、第1の低濃度不純物領域及び第2の低濃度不純物領域上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成され、第1の導電膜及び前記第1の導電膜上の第2の導電膜でなるゲート電極と、ゲート電極の側面に接して形成されたサイドウォールと、高濃度不純物領域の表面に形成されたシリサイド層と、前記シリサイド層と接続する配線を有する。第1の導電膜と第2の導電膜はハットシェイプ型のゲート電極を構成する。そして、ゲート絶縁膜のチャネル長方向の端部は前記サイドウォールの端部と一致する。第1の低濃度不純物領域は第1の導電膜と前記ゲート絶縁膜を介して重なるLoV領域であって、第2の低濃度不純物領域は第1の導電膜の側面に接するサイドウォールとゲート絶縁膜を介して重なるLoF領域であることを特徴とする。

【0015】

本発明の特徴の一つは、基板上の半導体膜上にゲート絶縁膜、第1の導電膜、第2の導電膜を順次形成し、第2の導電膜上にレジストを形成し、レジストをマスクとして第2の導電膜に第1のエッチングをすることにより、エッチングされた第2の導電膜を形成して、第1の導電膜に第2のエッチングをすることにより第1のゲート電極を形成し、エッチングされた第2の導電膜に第3のエッチングをすることにより、レジストを後退させると共に、後退するレジストをマスクとしてエッチングされた第2の導電膜をエッチングして、チャネル長方向の長さが第1のゲート電極よりも短い第2のゲート電極を形成し、前記第1のゲート電極及び前記第2のゲート電極の側面に接するようにサイドウォールを形成し、前記サイドウォールをマスクとして前記ゲート絶縁膜をエッチングして前記半導体膜の一部を露出させ、前記ゲート絶縁膜から露出した前記半導体膜の一部にシリサイド層を形成し、前記シリサイド層と接続する配線を形成することを特徴とする。

【0016】

本発明の特徴の一つは、上記第2のエッチングのときに、レジストを後退させることを特徴とする。

【0017】

本発明の特徴の一つは、上記第2のゲート電極を形成後、第2のゲート電極をマスクとして不純物元素をドーピングして、半導体膜にチャネル形成領域とチャネル形成領域に接する低濃度不純物領域を形成し、サイドウォールを形成し、サイドウォール及び第2のゲート電極

10

20

30

40

50

ト電極をマスクとして不純物元素をドーピングして、低濃度不純物領域に選択的に高濃度不純物領域を形成し、高濃度不純物領域を形成後にシリサイド層を形成することである。

【 0 0 1 8 】

本発明の特徴の一つは、サイドウォール及び第 2 のゲート電極をマスクとしたドーピングをすることにより、低濃度不純物領域は、サイドウォールの下にゲート絶縁膜を介して位置するとともに、第 1 のゲート電極と重なり、第 2 のゲート電極と重ならない部分の下に、ゲート絶縁膜を介して位置するように形成されることである。

【 0 0 1 9 】

本発明の特徴の一つは、上記第 2 のゲート電極を形成した後、第 2 のゲート電極をマスクとして不純物元素をドーピングして、半導体膜にチャネル形成領域と前記チャネル形成領域に接する低濃度不純物領域を形成し、第 1 のゲート電極をマスクとして不純物元素をドーピングして、低濃度不純物領域に選択的に高濃度不純物領域を形成した後に、サイドウォールを形成することを特徴とする。

10

【 0 0 2 0 】

本発明の特徴の一つは上記第 2 のゲート電極を形成した後、第 2 のゲート電極をマスクとして不純物元素をドーピングして、半導体膜にチャネル形成領域とチャネル形成領域に接する低濃度不純物領域を形成し、第 1 のゲート電極をマスクとして不純物元素をドーピングして、低濃度不純物領域に選択的に高濃度不純物領域を形成し、第 2 のゲート電極をマスクとして第 1 のゲート電極をエッチングし、チャネル長方向の長さが第 2 のゲート電極と等しい第 3 のゲート電極を形成した後に、サイドウォールを形成することである。

20

【 0 0 2 1 】

本発明の特徴の一つは、エッチングされた第 2 の導電膜は、その側面のテーパ角 θ が $80^\circ < \theta < 90^\circ$ になるように形成されることである。つまり、エッチングされた第 2 の導電膜はほぼ垂直なテーパ角を有するように形成される。

【 0 0 2 2 】

本発明の特徴の一つは、第 1 の導電膜は T a N 膜であることである。本発明の特徴の一つは第 2 の導電膜は W 膜であることである。また、第 1 乃至前記第 3 のエッチングはドライエッチング法により行うことである。

【 0 0 2 3 】

本発明のハットシェイプ型ゲート電極の形成方法は、図 3 3 のゲート電極 9 のテーパ部を利用した形成方法とは異なる。本発明は、エッチング時のレジスト後退幅を利用して、第 2 のゲート電極のゲート長を第 1 のゲート電極のゲート長よりも小さくなるよう形成し、ハットシェイプ型ゲート電極を形成する。本発明のエッチング時のレジスト後退幅とは、エッチングされた第 2 の導電膜をエッチングする第 3 のエッチングの際のレジスト後退幅のことである。もしくは第 1 のゲート電極を形成する第 2 のエッチングの際、レジストが同時にエッチングされる場合もあるため、第 2 及び第 3 のエッチング時のレジスト後退幅を合算したレジスト後退幅のことである。

30

【 0 0 2 4 】

さらに、上記のような本発明で形成したハットシェイプ型のゲート電極をマスクとして、半導体膜に不純物元素をドーピングすることで、L o v 領域または L o f f 領域を有する各種半導体装置を同一基板上に作製することを特徴とする。

40

【 0 0 2 5 】

また、ハットシェイプ型ゲート電極を形成した後、第 1 及び第 2 ゲート電極の側面に共通のサイドウォールを、両ゲート電極の側面を覆うように形成する。サイドウォール及び第 2 のゲート電極をマスクとして不純物元素をドーピングすることで、L o v 領域および L o f f 領域の両方を有する半導体装置を作製することを特徴とする。

【 0 0 2 6 】

本発明の第 1 のエッチング時に形成されるエッチングされた第 2 の導電膜側面のテーパ角は、 $80^\circ \sim 90^\circ$ であることを特徴とする。

【 0 0 2 7 】

50

本発明のＬＤＤ領域のＬＤＤ長は、１０ｎｍ以上３００ｎｍ以下、好ましくは５０ｎｍ以上２００ｎｍ以下であることを特徴とする。Ｌｏｖ領域のチャネル長方向の長さ（以下、Ｌｏｖ長）を２０ｎｍ以上２００ｎｍ以下、Ｌｏｆｆ領域のチャネル長方向の長さ（以下、Ｌｏｆｆ長）を３０ｎｍ以上５００ｎｍ以下であることを特徴とする。また、本発明のチャネル形成領域のチャネル長は０．１μｍ以上１．０μｍ以下の範囲内であることを特徴とする。

【００２８】

なお、本明細書において、ハットシェイプ型ゲート電極とは少なくとも２層でなる積層構造のゲート電極である。そして、下層のゲート電極のゲート長（チャネル長方向の長さ）が上層のゲート電極のゲート長（チャネル長方向の長さ）よりも長く、また上層のゲート電極の厚さが下層のゲート電極の厚さよりも厚い形状のゲート電極を指す。下層のゲート電極はその断面が末広がりになっていても良いし、矩形であっても良い。

10

【００２９】

また、本明細書において、半導体装置とは半導体を利用することで機能する素子及び装置全般を指し、薄膜トランジスタ、無線チップ、表示装置、電子機器をその範疇とする。

【発明の効果】

【００３０】

本発明は、微細なハットシェイプ型ゲート電極を形成でき、このゲート電極をマスクとして不純物元素をドーピングすることで、従来では達成できなかったＬＤＤ長を持つＬＤＤ領域を形成できる。そのため、微細化されてもなお、動作特性が良く、高信頼性の半導体装置を実現でき、各種回路に適した半導体装置を作り分けすることができる。また、工程数が少ないプロセスで半導体装置を様々な構成で作分けできるため、製造コストの低減および歩留まりの向上を図ることができる。

20

【００３１】

また、半導体膜の一部にシリサイドを形成し、そのシリサイドを介して配線と半導体膜が接続するため、コンタクト抵抗を下げるができる。従って、オン電流を高くすることができ、ＬＤＤ領域を有する微細ＴＦＴでも所望のオン電流を得ることができる。

【００３２】

さらに、サイズに下限なく所望の大きさのサブミクロンＴＦＴを形成でき、半導体装置自体を非常にコンパクトで且つ軽量にできる。また、各ＴＦＴに適したＬＤＤ長を設計でき、短チャネル効果を抑えたり耐圧を高くするとともに、所望のオン電流を確保できる半導体装置を得ることができる。

30

【００３３】

また、ハットシェイプ型ゲート電極にサイドウォールを形成し、不純物元素のドーピングをすることで、Ｌｏｆｆ領域とＬｏｖ領域を両方有し、高信頼性で且つ短チャネル効果が抑えられた半導体装置を実現できる。

【００３４】

本発明のハットシェイプ型ゲート電極をマスクとして不純物元素をドーピングすることで、１０～３００ｎｍ、好ましくは５０～２００ｎｍといった非常に短いＬＤＤ長を持ったＬＤＤ領域を形成することができる。特に、Ｌｏｖ長を２０～２００ｎｍ、Ｌｏｆｆ領域のチャネル長方向の長さ（Ｌｏｆｆ長）を３０～５００ｎｍにすることができる。また、チャネル長が０．１～１．０μｍといった微細なＴＦＴにおいて、そのＴＦＴサイズに適したＬＤＤ領域を有するＴＦＴを形成することができる。

40

【発明を実施するための最良の形態】

【００３５】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。

【００３６】

50

また、以下に示す実施の形態 1 ~ 13 は実施可能な範囲で自由に組み合わせることが可能である。

【0037】

(実施の形態 1)

以下に、実施の形態 1 による半導体装置の作製方法を図 1 ~ 図 4 に示す。本実施の形態の半導体装置に用いられる T F T は L D D 領域として L o v 領域及び L o f f 領域を有する。

【0038】

まず、基板 11 上に下地絶縁膜 12 を 100 ~ 300 nm 形成する。基板 11 としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。

10

【0039】

下地絶縁膜 12 は、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、窒素を含む酸化珪素 (SiO_xN_y) ($x > y$) (酸化窒化珪素とも言う)、酸素を含む窒化珪素 (SiN_xO_y) ($x > y$) (窒化酸化珪素とも言う) 等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造を用いることができる。特に、基板からの汚染が懸念される場合には、下地絶縁膜を形成するのが好ましい。

【0040】

また、下地絶縁膜 12 が積層構造の場合、半導体膜に接する下地絶縁膜部分は、膜厚 10 ~ 200 nm、好ましくは 50 ~ 150 nm の窒化珪素膜、あるいは窒化酸化珪素膜とすると好ましい。後の結晶化工程で、半導体膜に金属元素を添加して結晶化する方法を用いた場合、金属元素をゲッタリングする必要がある。このときに、下地絶縁膜が酸化珪素膜であると、酸化珪素膜と半導体膜の珪素膜との界面において、珪素膜中の金属元素と酸化珪素膜中の酸素が反応して酸化金属物になり、金属元素がゲッタリングされにくくなる場合がある。よって、半導体膜に接する下地絶縁膜部分は酸化珪素膜ではない層にすることが好ましい。

20

【0041】

続いて、半導体膜を 10 ~ 100 nm 形成する。半導体膜の材料は T F T に求められる特性に応じて選択することができ、シリコン膜、シリコンゲルマニウム膜、炭化シリコン膜のいずれでも良い。半導体膜としては、非晶質半導体膜または微結晶半導体膜を成膜し、エキシマレーザー等を用いたレーザー結晶化法により結晶化した結晶性半導体膜を用いるのが好ましい。微結晶半導体膜は、 SiH_4 等の珪化物をグロー放電分解することにより得ることができる。珪化物を水素又はフッ素の希ガス元素とで希釈して用いることにより、微結晶半導体膜の形成を容易なものとすることができる。

30

【0042】

また、結晶化技術としてはハロゲンランプを用いたラピッドサーマルアニール法 (RTA 法) や、加熱炉を使用して結晶化する技術を適用することも可能である。さらに、非晶質半導体膜にニッケル等の金属元素を添加し、添加された金属を結晶核として固相成長させる方法を用いても良い。

【0043】

次に半導体膜をフォトリソ技術を用いてエッチングにより加工し、島状の半導体膜 13 を形成する。島状の半導体膜 13 を覆うように、ゲート絶縁膜 14 を 1 ~ 200 nm、好ましくは 5 ~ 50 nm 形成する。

40

【0044】

ゲート絶縁膜 14 としては C V D 法やスパッタ法により、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、窒素を含む酸化珪素 (SiO_xN_y) ($x > y$)、酸素を含む窒化珪素 (SiN_xO_y) ($x > y$) などのいずれかを適宜組み合わせて積層構造としてもよい。本実施形態では、ゲート絶縁膜 14 は、 SiN_xO_y 膜及び SiO_xN_y 膜の積層構造とする。

【0045】

50

続いて、ゲート絶縁膜 14 上にゲート電極となる第 1 の導電膜 15 及び第 2 の導電膜 16 を形成する。まず、第 1 の導電膜 15 を 5 ~ 50 nm 形成する。第 1 の導電膜 15 としては、アルミニウム (Al) 膜、銅 (Cu) 膜、アルミニウム又は銅を主成分とする膜、クロム (Cr) 膜、タンタル (Ta) 膜、窒化タンタル (Ta₂N₅) 膜、チタン (Ti) 膜、タングステン (W) 膜、モリブデン (Mo) 膜等を用いることができる。その上に第 2 の導電膜 16 を 150 ~ 500 nm 形成する。第 2 の導電膜 16 としては、例えば、クロム (Cr) 膜、タンタル (Ta) 膜、タンタルを主成分とする膜、タングステン (W) 膜、チタン (Ti) 膜、アルミニウム (Al) 膜等を用いることができる。ただし、第 1 の導電膜 15 と第 2 の導電膜 16 は互いのエッチングにおいて選択比の取れる組み合わせにしなければならない。選択比の取れる第 1 の導電膜と第 2 の導電膜の組み合わせとして例えば、Al と Ta、Al と Ti、Ta₂N₅ と W を用いることができる。本実施の形態では第 1 の導電膜 15 を Ta₂N₅、第 2 の導電膜 16 を W とする。

10

【0046】

続いて、第 2 の導電膜上にフォトリソグラフィ技術を使用して第 1 のレジスト 17 を形成する (図 1 (A))。第 1 のレジスト 17 は側面にテーパ角を有する形状で形成しても良い。第 1 のレジスト 17 がテーパ角を有することで、次の第 1 のエッチングにおいてテーパ角 θ を有するエッチングされた第 2 の導電膜 18 を形成することができる。また、第 1 のレジスト 17 側面にテーパ角を持たせることで、第 1 のエッチングにおける反応生成物が第 1 のレジスト 17 の側面に付着し、成長するのを抑えることができる。さらに第 1 のレジスト 17 を熱処理することで、断面形状が左右対称で、レジストの両側面において同一のテーパ角を有する第 1 のレジスト 17 を形成しても良い。

20

【0047】

続いて、第 1 のレジスト 17 をマスクとして第 1 のエッチングを行う (図 1 (B))。第 1 のエッチングでは第 2 の導電膜 16 をエッチングし、エッチングされた第 2 の導電膜 18 を形成する。このとき、第 1 の導電膜 15 をエッチングしないように、第 1 の導電膜 15 に対し選択比の高いエッチング条件でエッチングすることが好ましい。なお、第 1 のレジスト 17 もエッチングされ第 2 のレジスト 19 になる。但し、図面上では第 1 のレジスト 17 から第 2 のレジスト 19 への後退幅を図示していない。このときエッチングされた第 2 の導電膜 18 の側面が有するテーパ角 θ は $80^\circ < \theta < 90^\circ$ であり、ほぼ垂直なテーパ角を有する。

30

【0048】

第 1 のエッチングでは、エッチングガスとして Cl_2 、 SF_6 、 O_2 の混合ガスを用い、流量比は $Cl_2 / SF_6 / O_2 = 33 / 33 / 10$ (sccm) である。0.67 Pa の圧力に調節し、コイル型の電極に 2000 W の電力を供給してプラズマを生成する。基板側 (試料ステージ) には 50 W の電力を投入する。

【0049】

続いてエッチングされた第 2 の導電膜 18 をマスクにして第 1 の導電膜に第 2 のエッチングをする (図 1 (C))。第 2 のエッチングにより、第 1 の導電膜から第 1 のゲート電極 20 を形成する。このとき、ゲート絶縁膜 14 をエッチングしないように、ゲート絶縁膜 14 に対し選択比の高いエッチング条件でエッチングすることが好ましい。第 2 のエッチングの条件は、0.67 Pa の圧力でコイル型の電極に 2000 W の電力を供給してプラズマを生成する。基板側 (試料ステージ) には 50 W の電力を投入する。エッチングガスは Cl_2 である。なお、第 2 のレジスト 19 もエッチングされ後退し、第 3 のレジスト 21 になるが、その後退している様子は図示していない。

40

【0050】

次に、第 3 のエッチングを行う (図 1 (D))。第 3 のエッチング条件は、1.33 Pa の圧力でコイル型の電極に 2000 W の電力を供給してプラズマを生成する。基板側 (試料ステージ) には電力は投入しない。エッチングガスは Cl_2 、 SF_6 、 O_2 の混合ガスとし、流量比は $Cl_2 / SF_6 / O_2 = 22 / 22 / 30$ sccm である。第 3 のエッチ

50

ングでは、第3のレジスト21を後退させる。これと同時に後退する第3のレジスト21をマスクとしてエッチングされた第2の導電膜18のチャンネル長方向の長さを短くし、第2のゲート電極22を形成する。なお、後退した第3のレジスト21は第4のレジスト23となる。その後、第4のレジスト23を除去する。

【0051】

別の第3のエッチング条件として、 $ICP/Bias = 750W/0W$ 、圧力 $0.67Pa$ 、エッチングガスは Cl_2 、 SF_6 、 O_2 の混合ガスとし、流量比は $Cl_2/SF_6/O_2 = 20/100/30 (sccm)$ としても良い。この条件で行うと第2のゲート電極材料であるWのゲート絶縁膜14に対するエッチング選択比が高くなり、第3のエッチング時においてゲート絶縁膜14がエッチングされるのを抑えることができる。

10

【0052】

上記第3のエッチングでは、第2のゲート電極22の側面がエッチングされやすかった。第2のゲート電極22側面がエッチングされると、上面や底面のゲート長（チャンネル長方向の長さ）よりも中腹部のゲート長が短くなり、第2のゲート電極断面は中腹部でくびれた形状になる。そうすると、第2のゲート電極22上に成膜する膜のカバレッジが悪くなり、断線が生じやすくなる。また、LDD領域を形成するときのドーピングマスクとして第2のゲート電極が使われるため、LDD長の制御が難しくなる。このサイドエッチングは、レジストのエッチングレートに対して第2のゲート電極のエッチングレートが速いため起こる現象である。そのため、本実施形態では、試料ステージ温度を -10 以下の低温にして、第2のゲート電極のエッチングレートを下げることで、サイドエッチングを抑えることができた。

20

【0053】

以上の工程により、ハットシェイプ型のゲート電極形状を得る。本発明のハットシェイプ型構造は、エッチング時のレジスト後退幅を利用して形成される。具体的には、第3のエッチング時における第3のレジスト21から第4のレジスト23への後退幅が、第1のゲート電極のゲート長と第2のゲート電極のゲート長との差になっている。または第2及び第3のエッチング時におけるレジスト後退幅を合わせたもの、つまり第2のレジスト19から第4のレジスト23への後退幅が、第1のゲート電極のゲート長と第2のゲート電極のゲート長との差になっている。

【0054】

30

本発明のハットシェイプ型ゲート電極の作製方法では、第1のゲート電極のゲート長と第2のゲート電極のゲート長の差（Lov長）を、 $20 \sim 200nm$ にすることができ、非常に微細なゲート電極構造を形成することが可能である。

【0055】

本実施の形態の第1～第3エッチングは、ドライエッチングで行うことができ、 ICP （Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いて行うことが出来る。

【0056】

次に、島状の半導体膜13に不純物イオン27のドーピングを行う（図2（A））。第2のゲート電極をマスクとして、第1のゲート電極とゲート絶縁膜を通過させて島状の半導体膜13に不純物元素をドーピングし、第1のゲート電極と重なる島状の半導体膜部分に低濃度不純物領域24a、24bを形成する。また、同時にゲート絶縁膜のみを通過させ島状半導体膜の両端部分にも不純物元素をドーピングし、低濃度不純物領域25a、25bを形成する。またチャンネル形成領域26も形成される。低濃度不純物領域24a、24b、25a、25bの元素濃度は $1 \times 10^{16} \sim 1 \times 10^{20} atoms/cm^3$ （好ましくは $1 \times 10^{16} \sim 5 \times 10^{18} atoms/cm^3$ ）とする。ドーピング法としてはイオンドーピング法、イオン注入法を用いることができる。例えばP型の半導体を作製する際には不純物元素として、ボロン（B）、ガリウム（Ga）等を用い、N型の半導体を作製する際にはリン（P）、砒素（As）等を用いる。

40

【0057】

50

低濃度不純物領域 24 a、24 b へのドーピングは、ゲート絶縁膜だけでなく第 1 のゲート電極 20 も介して行われる。そのため、低濃度不純物領域 24 a、24 b の不純物元素の濃度は低濃度不純物領域 25 a、25 b よりも低い。

【0058】

次にゲート絶縁膜 14、第 1 のゲート電極及び第 2 のゲート電極を覆うように、絶縁層を形成する。絶縁層は、プラズマ CVD 法により窒素を含む酸化珪素 (SiO_xN_y) ($x > y$) を 100 nm、その後熱 CVD 法により酸化珪素膜 (SiO_2 膜) を 200 nm 成膜して形成する。

【0059】

次に絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、第 1 のゲート電極 20 及び第 2 のゲート電極 22 の側面に接する絶縁層 (以下サイドウォールとよぶ) 28 を形成する (図 2 (B))。サイドウォール 28 は、後にシリサイドを形成する際のマスクとして用いる。またこのエッチングによってゲート絶縁膜も一部除去してゲート絶縁膜 29 を形成し、半導体膜の一部を露出させる。この露出した半導体膜部分が後にソース領域及びドレイン領域となる。絶縁膜と半導体膜のエッチングの選択比が低い場合は、露出している半導体膜は多少エッチングされ膜厚が薄くなる。

【0060】

次に露出した半導体膜部分の表面に形成された自然酸化膜除去後、金属膜 30 を成膜する (図 2 (C))。金属膜 30 は半導体膜と反応してシリサイドを形成する材料となる。金属膜としては、例えばニッケル膜、チタン膜、コバルト膜、白金膜、もしくはこれら元素のうち少なくとも 2 種類を含む合金となる膜等がある。本形態では金属膜 30 としてニッケル膜を用い、室温の下、成膜電力 500 W ~ 1 kW でニッケル膜をスパッタにより成膜する。ニッケル膜の膜厚は例えば 10 nm で形成する。

【0061】

ニッケル膜を成膜した後、加熱処理によってシリサイド層 31 を形成する。シリサイド層 31 はここではニッケルシリサイドとなる。加熱処理は RTA やファーンেসアニール等を用いることができる。このとき、金属膜 30 の膜厚、加熱温度、加熱時間を制御することにより、図 2 (D) または図 2 (G) のどちらかの構成となる。例えば、金属膜が半導体膜の膜厚の半分以上の膜厚となるように成膜するとか、加熱温度をより高温にするとか、加熱時間をより長くするという手法により、図 2 (G) の構成を得ることができる。

【0062】

次に未反応のニッケルを除去する。ここでは $\text{HCl} : \text{HNO}_3 : \text{H}_2\text{O} = 3 : 2 : 1$ となるエッチング溶液を用いて未反応のニッケルを除去する。

【0063】

図 2 (D) のようにシリサイド層 31 を半導体膜の膜厚以下の膜厚になるよう形成した後、サイドウォール 28 及び第 2 のゲート電極 22 をマスクとして不純物イオン 32 のドーピングを行う。このドーピングにより、ソース領域及びドレイン領域として機能する高濃度不純物領域 33 a、33 b が形成される。高濃度不純物領域 33 a、33 b には不純物元素が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ になるようにドーピングする。同時に、低濃度不純物領域 34 a、34 b が形成される。ドーピング法としてはイオンドーピング法、イオン注入法を用いることができる。P 型の半導体を作製する際には不純物元素としてボロン (B)、ガリウム (Ga) 等を用い、N 型の半導体を作製する際にはリン (P)、ヒ素 (As) 等を用いる。

【0064】

その後、層間絶縁膜 35 を形成する (図 2 (F))。層間絶縁膜 35 は有機材料もしくは無機材料を用いて形成する。層間絶縁膜 35 は単層構造でも良いし、積層構造でも良い。層間絶縁膜 35 にシリサイド層 31 を露出するためのコンタクトホールをエッチングにより形成する。次にコンタクトホールを充填するように導電層を形成し、エッチングして配線 36 を形成する。

【0065】

一方、図2(G)のように半導体膜の膜厚全体がシリサイドとなった後は、図2(F)と同様に、層間絶縁膜35を形成し、配線36を形成して図2(H)の構成となる。図2(H)においてはシリサイド層31でなるソース領域、ドレイン領域を形成することができる。

【0066】

なお、層間絶縁膜を形成する前、または層間絶縁膜が積層なら1層目もしくは2層目の膜を形成した後に、不純物領域の熱活性化を行っても良い。熱活性化はレーザ光照射、RTA、炉を用いた加熱処理などの方法を用いることができる。熱活性化はまた、本構成はシリサイドにより配線とコンタクトしているため、不純物領域の熱活性化の工程は省くこともできる。

10

【0067】

本実施の形態の構成は、図2(F)では、高濃度不純物領域33a、33bが後にソース領域及びドレイン領域となる。また第1のゲート電極20の側面に形成されているサイドウォールの底面とゲート絶縁膜29を介して重なる半導体膜の部分である低濃度不純物領域34a、34bがLoFF領域となる。また、第1のゲート電極20とゲート絶縁膜29を介して重なる低濃度不純物領域24a、24bがLov領域となる。

【0068】

図2(H)では、シリサイド層31がソース領域及びドレイン領域となる。また図2(F)と同様に、低濃度不純物領域34a、34bがLoFF領域となり、また低濃度不純物領域24a、24bがLov領域となる。

20

【0069】

図2(F)の構成は、図2(H)の構成と比較すると、シリサイド層31がシリサイド化されていない半導体膜部分と接触している面積が大きい。そのためシリサイド層31とシリサイド層31以外の半導体膜部分との接触抵抗が低くなり、寄生抵抗が図2(H)よりも小さくなる。

【0070】

一方で図2(H)の構成は、図2(F)の構成と比べて、ソース領域及びドレイン領域の抵抗が小さくなる。また、高濃度不純物領域形成のための不純物イオン32をドーピングする工程をしなくても良いため、工程を一つ少なくすることができる。

【0071】

本実施の形態はGOLD構造であり、オン電流値の劣化を防止し高い信頼性を実現することができるとともに、シリサイド化によりオン電流が高くなった構成を形成できる。また、Lov長が20~200nm、LoFF長が30~500nm、チャネル長が0.1~1.0μmである微細なTFETを形成できる。したがって、非常に微細なTFETであっても、そのサイズに適したLDD領域を形成でき、所定のオン電流を得ることができる。

30

【0072】

なお、図2(C)~(F)では、シリサイドを形成してから高濃度不純物領域形成のための不純物イオン32をドーピングしたが、不純物イオン32をドーピングした後に金属膜30を形成してシリサイド化しても良い。また、図2(H)の構成とするのに、サイドウォール28及び第2のゲート電極22をマスクとして不純物イオン32をドーピングした後に、シリサイド層31を形成しても良い。

40

【0073】

また、サイドウォールを形成してから金属膜30を形成したが、この方法に限定されるものではない。サイドウォールの代わりにマスクを用いても良い。その方法を図3を用いて説明する。図2(A)の不純物イオンのドーピング後、LoFF領域となる部分にマスク37を形成する(図3(A))。マスク37は酸化珪素膜等の絶縁膜やレジストマスク等を用いることができる。その後、エッチングを行ってゲート絶縁膜の一部を除去して半導体膜の一部を露出させ、ゲート絶縁膜29を形成する。この露出した半導体膜の部分が後にソース領域及びドレイン領域となる。

【0074】

50

次に、金属膜 30 を形成し、熱処理により、露出している半導体膜部分のシリサイド化を行う。その後は図 2 で説明したようにシリサイド化し、図 3 (C) もしくは図 3 (D) の構成となる。マスク 37 をそのまま残す構成を図示したが、シリサイドを形成した後にマスク 37 を除去しても良い。

【0075】

サイドウォールの代わりにマスクを用いる方法は、本形態に限らず、後述する実施の形態 2 ~ 4 にも適用できる。

【0076】

また、 L_{ov} 領域である低濃度不純物領域 34 a、34 b とチャネル形成領域 26 の間に低濃度の不純物領域 42 を形成することも可能である。この構成をポケット構造と呼ぶ。図 4 に示すように、サイドウォール 28 またはマスク 37 を形成する前に、第 1 のゲート電極 20 をマスクとして不純物イオン 41 を斜めドーピングする。サイドウォール 28 またはマスク 37 形成前ならば、斜めドーピングするのは低濃度の不純物イオン 27 のドーピングの前であっても後であっても良い。図 4 は低濃度の不純物イオン 27 をドーピング後に斜めドーピングする例である。ドーピングする不純物イオンの導電型は N チャネル型 TFT であれば P 型の不純物イオンをドーピングし、P チャネル型 TFT であれば N 型の不純物イオンをドーピングする。不純物イオン 41 を斜めドーピングすることで、低濃度の不純物領域 42 を形成する。

【0077】

不純物領域 42 を形成後は図 2 に示した工程を経て図 4 (B) または図 4 (C) の構成となる。他に、図 3 に示した工程を経てサイドウォールの代わりにマスク 37 を用いても良い。ポケット構造を採用すると、より短チャネル効果を抑えることができる。

【0078】

図 29 及び図 30 に本発明で形成したハットシェイプ型ゲート電極の断面形状の SEM 写真を示す。

【0079】

図 29 (A) は、第 1 のエッチングによって W 膜をエッチングした状態であり、レジストと W 膜が写っている。図 29 (B) は、第 3 のエッチングが行われ、レジストが除去されたハットシェイプ型のゲート電極が写っている。

【0080】

図 29 (B) においてゲート長は約 $0.9 \mu m$ であり、図 29 (B) において L_{ov} 長は約 $70 nm$ である。本発明は、図 29 (A) に示すとおり W 膜のテーパー部はほとんどなく、テーパー部を利用せずにレジスト後退幅を用いて L_{ov} 長を形成しているため、非常に短い L_{ov} 長を形成できる。

【0081】

図 29 (B) の W 膜の側面は垂直であり全くサイドエッチングされていない。これは、本発明において、第 3 のエッチング時の試料ステージ基板温度を -10 以下と低くしたことによるものである。

【0082】

図 30 は図 29 (B) の構成にサイドウォールを形成した状態である。サイドウォール幅は約 $300 nm$ である。従って、 L_{off} 長は $230 nm$ ($(\text{サイドウォール幅} : 300 nm) - (L_{ov} \text{長} : 70 nm)$) となる。ここで、サイドウォール幅とは、ゲート電極の両側面に形成された 2 つのサイドウォールのうち、1 つのサイドウォールのチャネル長方向の長さを指している。例えばマルチゲート構造であって、サイドウォールが 2 つ以上あっても、サイドウォール幅はそれらのうち、1 つのサイドウォールのチャネル長方向の長さを指す。

【0083】

以上より、本実施形態で作製した TFT を含む半導体装置は非常に LDD 長の短い LDD 領域を有することができ、微細化された半導体装置においても、高信頼性で劣化の少ない半導体装置を実現できる。また、配線コンタクトのシリサイド化により、微細化された TFT においても所望のオン電流を確保できる半導体装置を実現できる。

【 0 0 8 4 】

(実施の形態 2)

本実施の形態では、 Lov 領域のみを有する半導体装置の作製方法を図5に示す。また、本形態において、実施の形態1と同じものについては同じ符号を用い、詳細な説明を省略する。

【 0 0 8 5 】

本実施の形態は、図2(A)まで実施の形態1と同様な工程でTF Tを形成する。次に、第1のゲート電極20をマスクとして不純物イオン32をドーピングし、高濃度不純物領域52a、52bを形成する(図5(A))。なお、高濃度不純物領域形成のための不純物イオン32と低濃度不純物領域形成のための不純物イオン27のドーピングの順序を逆にして、不純物イオン32をドーピングした後に不純物イオン27をドーピングして、図5(A)の状態を得ても良い。もしくは、不純物イオン27を省略して不純物イオン32のみドーピングしても良い。不純物イオン32をドーピングし高濃度不純物領域52a、52bを形成するとき、第1のゲート電極20と重なる低濃度不純物領域24a、24bにも多少不純物イオンがドーピングされる。この現象を利用して、不純物イオン27をドーピングせずに、不純物イオン32のドーピングのみで低濃度不純物領域24a、24bを形成することもできる。

10

【 0 0 8 6 】

次に、サイドウォール28を形成し、また、ゲート絶縁膜をエッチングして新たにゲート絶縁膜29を形成する(図5(B))。このときに、ゲート絶縁膜の半導体膜に対するエッチングの選択比が小さい場合は、ゲート絶縁膜29の形成と同時にサイドウォールで覆われていない半導体膜は多少エッチングされ、その膜厚が薄くなる。

20

【 0 0 8 7 】

そして、図5(C)または図5(E)のようにシリサイド層31を形成した後、層間絶縁膜35、配線36を形成して図5(D)または図5(F)の構成を得る。

【 0 0 8 8 】

図示しないが、実施の形態1と同様にサイドウォールを形成せずにマスク37を形成して本形態のTF Tの構成を形成しても良い。

【 0 0 8 9 】

以上の工程より、 Lov 領域として低濃度不純物領域24a、24bを有するTF Tが完成する。本形態で形成したTF Tは $Loff$ 領域を有さないため、実施の形態1のTF Tに比べて寄生抵抗が低く、高いオン電流を実現することができる。

30

【 0 0 9 0 】

なお、ポケット構造にする場合は実施の形態1と同様の方法で形成することが可能である。

【 0 0 9 1 】

本形態の構成は実施の形態1の構成に比べ $Loff$ 領域を有していない。従って、本形態の構成は実施の形態1の構成よりも、 $Loff$ 領域がない分だけ寄生抵抗が小さくなりオン電流が高くなる。

【 0 0 9 2 】

実際に、本形態で示した図5(D)の構成のTF Tと、図5(D)の構成にシリサイド層がないだけのTF Tとの特性を比較した。その結果を図35に示す。なお、TF Tのチャネル形成領域のサイズは、いずれもチャネル長 $1\mu m$ 、チャネル幅 $8\mu m$ である。

40

【 0 0 9 3 】

図35(A)はNチャネル型TF Tにおいて、シリサイド層がある場合とない場合のオン電流を比較した。オン電流値としてドレイン電圧3V、ゲート電圧5Vのときの値を用いた。図35(B)はPチャネル型TF Tのシリサイド層の有無で比較しており、縦軸はドレイン電圧-3V、ゲート電圧-5Vのときのオン電流値である。図35(A)、(B)より、シリサイド層がある場合の方がオン電流が高い。これはシリサイド層がTF Tの寄生抵抗を低くしたと考えられる。

50

【 0 0 9 4 】

図 3 5 (C)、(D) は縦軸を電界効果移動度 μ_{FE} にして、シリサイド層の有無で比較したものである。N チャネル型 T F T 及び P チャネル型 T F T とともに、電界効果移動度 μ_{FE} もシリサイド層がある方がないよりも高い値を示しており、シリサイド層が電界効果移動度 μ_{FE} に寄与していることが分かる。

【 0 0 9 5 】

(実施の形態 3)

本実施の形態では、L o f f 領域のみを有する半導体装置の作製方法を図 6 に示す。また、本形態において、実施の形態 1 ~ 2 と同じものについては同じ符号を用い、詳細な説明を省略する。

10

【 0 0 9 6 】

実施の形態 2 の図 5 (A) まで同様の工程を行い、島状の半導体膜 1 3 に低濃度不純物領域 2 4 a、2 4 b、高濃度不純物領域 5 2 a、5 2 b、チャネル形成領域 2 6 を形成する。そして、第 2 のゲート電極 2 2 をマスクとして、ドライエッチングにより、第 1 のゲート電極及びゲート絶縁膜 1 4 を第 2 のゲート電極のゲート長と同じ幅になるようエッチングする。このエッチングにより、第 3 のゲート電極 6 2、ゲート絶縁膜 6 1 が形成され、島状の半導体膜 1 3 の一部が露呈される (図 6 (A))。

【 0 0 9 7 】

次に、第 2 のゲート電極 2 2 上に絶縁膜を堆積し、ドライエッチングをして、サイドウォール 2 8 を形成する (図 6 (B))。サイドウォール 2 8 は第 2 のゲート電極 2 2、第 3 のゲート電極 6 2、ゲート絶縁膜 6 1 の側面を覆うように形成される。このときに、堆積された絶縁膜の半導体膜に対するエッチングの選択比が小さいと、サイドウォールの形成と同時に半導体膜もエッチングされ、露呈している半導体膜の膜厚が薄くなる。

20

【 0 0 9 8 】

第 2 のゲート電極 2 2 及び露呈した島状の半導体膜を覆うように、半導体膜と反応してシリサイドを形成する材料でなる金属膜を形成し、加熱処理をして、シリサイド層 3 1 を形成する (図 6 (C)、図 6 (E))。その後シリサイド化しなかった金属膜を除去する。その後、層間絶縁膜及び配線を形成して、T F T を完成させる (図 6 (D)、図 6 (F))。

【 0 0 9 9 】

以上の工程により、L o f f 領域として低濃度不純物領域 2 4 a、2 4 b を有する T F T が完成する。本形態で形成した T F T は実施の形態 1 の構成に比べ L o v 領域を有さないため、実施の形態 1 の T F T に比べて寄生抵抗が低く、高いオン電流を実現することができる。また、L o f f 領域を有するためオフ電流の低減を実現することができる。

30

【 0 1 0 0 】

もし、島状の半導体膜のチャネル形成領域 2 6 と低濃度不純物領域 2 4 a、2 4 b との間にポケット構造を形成する場合は、実施の形態 1 と同様の方法で形成することができる。

【 0 1 0 1 】

(実施の形態 4)

実施の形態 1 とは異なる構成で L o v 領域及び L o f f 領域を有する構成を図 7 を用いて説明する。また、本形態において、実施の形態 1 ~ 3 と同じものについては同じ符号を用い、詳細な説明を省略する。

40

【 0 1 0 2 】

実施の形態 1 の図 2 (A) まで同様の工程を行い、次に第 1 のゲート電極 2 0 をマスクとしてゲート絶縁膜 1 4 をエッチングしてゲート絶縁膜 7 1 を形成する。また、ゲート絶縁膜 7 1 から露呈した半導体膜も、第 1 のゲート電極 2 0 及びゲート絶縁膜 7 1 をマスクとしてエッチングされ、その膜厚は薄くなる。これは、後のシリサイド化の工程で、シリサイド層 3 1 がゲート電極と導通するのを防ぐためである。従って、シリサイド層 3 1 がゲート電極と導通する心配がない場合は半導体膜をエッチングしなくとも良い。また、半導体膜に対するゲート絶縁膜のエッチング選択比が小さいときは、ゲート絶縁膜のエッチン

50

グと同時に半導体膜もエッチングされる（図7（A））。

【0103】

第1及び第2のゲート電極、露呈した半導体膜に接するように、半導体膜と反応してシリサイドを形成する材料でなる金属膜を形成する。加熱処理してシリサイド層31を形成する。半導体膜の膜厚と金属膜の膜厚の関係により、図7（B）もしくは図7（E）の構成をとる。

【0104】

図7（B）の構成をとった後に、サイドウォール28を形成する。サイドウォール28をマスクとして、不純物イオン32をドーピングし、ソース領域及びドレイン領域となる高濃度不純物領域73a、73bを形成する。また、低濃度不純物領域72a、72bも形成される（図7（C））。

10

【0105】

そして、層間絶縁膜35及び配線36を形成する。図7（D）の構成は、Lov領域が低濃度不純物領域24a、24bとなり、Loff領域が低濃度不純物領域72a、72bとなる。実施の形態1の構成と比較すると、シリサイド層31がLoff領域である低濃度不純物領域72a、72bの上部にも存在している。

【0106】

図7（F）は図7（E）にさらにサイドウォール28を形成し、層間絶縁膜35及び配線36を形成している。図7（F）はLov領域として低濃度不純物領域24a、24bを有し、Loff領域を有さない構成となる。シリサイド層31がソース領域及びドレイン領域として機能する。実施の形態1～3の図2（H）、図5（F）、図6（F）と比較すると、半導体膜中でシリサイド層31が占める割合が最も大きい。

20

【0107】

本形態では、不純物イオン27のドーピング後にゲート絶縁膜71を形成した。しかし、工程の順序を逆にし、不純物イオン27のドーピング前にゲート絶縁膜71を形成しても良い。

【0108】

（実施の形態5）

本形態を図8を用いて、サイドウォールを形成せずにLov領域のみを有する構成を形成する方法を説明する。また、本形態において、実施の形態1～4と同じものについては同じ符号を用い、詳細な説明を省略する。

30

【0109】

実施の形態4の図7（A）までは同じ工程を経て、島状の半導体膜13に低濃度不純物領域24a、24b、25a、25b、チャンネル形成領域26を形成するとともに、島状の半導体膜13上にゲート絶縁膜71も形成する。

【0110】

次に、第1のゲート電極20及びゲート絶縁膜71をマスクとして不純物イオン32をドーピングし、高濃度不純物領域81a、81bを形成する（図8（A））。なお、図8（A）の状態を得るのに不純物イオン27のドーピング前に不純物イオン32をドーピングしても良い。もしくは、不純物イオン32のドーピングのみを行って図8（A）の状態にし、不純物イオン27のドーピングを省略しても良い。

40

【0111】

次に、第1及び第2のゲート電極、露呈した半導体膜上に接して、半導体膜と反応してシリサイドを形成する材料でなる金属膜を形成する。その後、加熱処理して、露呈した島状の半導体膜と金属膜が接している部分にシリサイド層31を形成する。このときの金属膜の膜厚と半導体膜の膜厚の関係で、図8（B）または図8（D）のシリサイド層31を形成する。シリサイド層31を形成後、エッチングによりシリサイド化しなかった金属膜を除去する。

【0112】

その後、実施の形態1と同様に、層間絶縁膜35を形成後、ソース電極及びドレイン電極

50

となる配線 3 6 を形成し、T F T を完成させる（図 8（C）、図 8（E））。図 8（E）ではシリサイド層 3 1 がソース領域及びドレイン領域となる。

【0113】

本形態で作製された T F T は、L o v 領域は有するが L o f f 領域を有さない。従って、実施の形態 1 の構成と比較して、本形態の構成は L o f f 領域がない分、オン電流値がより高くなる特徴を持つ。本形態はサイドウォールを有さないため、実施の形態 2 と比較するとサイドウォールを形成する工程が必要ない。

【0114】

本形態では、不純物イオン 2 7 のドーピングと不純物イオン 3 2 のドーピングとの間でゲート絶縁膜 7 1 を形成した。しかし、不純物イオン 2 7 のドーピング前にゲート絶縁膜 7 1 を形成しても良いし、もしくは不純物イオン 3 2 のドーピング後にゲート絶縁膜 7 1 を形成しても良い。後者の場合は、第 1 のゲート電極 2 0 をマスクとして不純物イオン 3 2 をドーピングすれば良い。また、シリサイド化は不純物イオン 3 2 のドーピング後に行ったが、ゲート絶縁膜 7 1 を形成した後なら、不純物イオン 3 2 のドーピング前にシリサイド化を行っても構わない。

【0115】

本形態においてポケット構造を形成するなら、実施の形態 1 で示した方法で形成すれば良い。

【0116】

（実施の形態 6）

本形態を図 9 を用いて説明する。本形態は実施の形態 3 で説明した構成においてサイドウォールを形成しない方法である。また、本形態において、実施の形態 1 ～ 5 と同じものについては同じ符号を用い、詳細な説明を省略する。

【0117】

実施の形態 3 の図 6（A）まで同様の工程を行い、島状の半導体膜 1 3 に低濃度不純物領域 2 4 a、2 4 b、高濃度不純物領域 5 2 a、5 2 b、チャネル形成領域 2 6 を形成するとともに、島状の半導体膜 1 3 上に第 3 のゲート電極 6 2、ゲート絶縁膜 6 1 を形成する。また、ゲート絶縁膜 6 1 を形成した後に、第 2 のゲート電極をマスクにして、露呈する島状の半導体膜 1 3 をエッチングしてその膜厚を薄くする。これは後で行われるシリサイド化により、シリサイドとゲート電極が導通しないようにするためである。従って、シリサイドとゲート電極が導通しなければ露呈した島状の半導体膜の膜厚を薄くする必要はない。なお、ゲート絶縁膜 1 4 の半導体膜に対するエッチングの選択比が小さいと、ゲート絶縁膜 1 4 のエッチングと同時に半導体膜もエッチングされやすい（図 9（A））。

【0118】

第 2 のゲート電極 2 2 及び露呈した島状の半導体膜を覆うように、半導体膜と反応してシリサイドを形成する材料でなる金属膜を形成し、加熱処理をして、シリサイド層 3 1 を形成する（図 9（B）、図 9（D））。その後シリサイド化しなかった金属膜は除去する。その後、層間絶縁膜 3 5 を形成し、配線 3 6 を形成して、T F T を完成させる（図 9（C）、図 9（E））。

【0119】

図 9（C）は、実施の形態 3 の図 6（D）とは異なり、L o f f 領域である低濃度不純物領域 2 4 a、2 4 b の上部にまでシリサイド層 3 1 が形成される。また、図 9（E）は L D D 領域を有さずソース領域及びドレイン領域としてシリサイド層 3 1 が機能する構成となる。

【0120】

もし、島状の半導体膜のチャネル形成領域 2 6 と低濃度不純物領域 2 4 a、2 4 b との間にポケット構造を形成する場合は、実施の形態 1 と同様の方法で形成することができる。

【0121】

以上、実施の形態 1 ～ 6 で示したように、微細なハットシェイプ型ゲート電極を利用することで、様々な構成の微細 T F T を形成できる。従って、構成の異なる複数の T F T を一

10

20

30

40

50

つの基板上に工程を増やすことなく形成することができるとともに、非常にコンパクトな半導体装置を提供できる。また、配線と半導体膜とのコンタクト部分がシリサイド化されているため、コンタクト抵抗を低減することができる。従って、微細化TFTにおいて、LDD領域を設けたことで寄生抵抗が大きくなったとしても、一方でコンタクト抵抗の低減により寄生抵抗が小さくなるため、所望のオン電流を確保できる。

【0122】

(実施の形態7)

本発明の半導体装置を構成するTFTを微細化するときは、図1(A)で示す第1のレジスト17の線幅を細くすることが重要になってくる。なぜなら第1のレジスト17を細く形成すれば、それに伴いチャネル長並びにLDD領域のLov長及びLoff長が短くなるからである。本形態では、実施の形態1～6で述べたTFTの作製において、ゲート電極を形成するための第1のレジスト17を微細に形成する方法について、図10を用いて説明する。本形態において実施の形態1～6と同じものについては同じ符号を付し詳細な説明を省略する。

10

【0123】

まず、第2の導電膜16を形成した後、第2の導電膜16上にレジスト膜1701が形成される(図10(A))。そしてレジスト膜1701を露光してパターン1702を形成する(図10(B))。当該露光は、例えば、ホログラムマスクを用いたホログラム露光、ステッパ、MPAにより用いて行う。特に、ホログラム露光はサブミクロンサイズの露光を可能にするため、微細な半導体素子を形成するのに適している。パターン1702は1.0～1.5μm前後の線幅を持つほどの微細なパターンのため、その形状は三角形になりやすい。

20

【0124】

本形態ではより微細化されたTFTを形成するために、さらにパターン1702をドライエッチング装置によりスリミング処理する。このスリミング処理によりパターン1702の線幅が細くなるとともに、その膜厚も減り、レジスト1703が形成される(図10(C))。

【0125】

具体的には、MPAでパターン1702を形成すると、1.0～1.5μm前後の線幅を持つパターン1702が形成される。上記範囲の線幅のように線幅が細くなってくると、パターン1702の断面形状は三角形になる。

30

【0126】

その後パターン1702を、酸素100sccm、下部電極温度が-10度の条件で、等方的にドライエッチングする。プラズマは3.0Paの圧力でコイル型の電極に2000Wの電力を供給して生成され、基板側(試料ステージ)には電力を投入しない。当該ドライエッチングにより、パターン1702は後退し、0.3～1.0μmの線幅のレジスト1703が形成される。レジスト1703の断面はパターン1702よりもより鋭角な頂点を持つ三角形になる。

【0127】

以上により線幅の細いレジスト1703が形成できるとともに、このレジスト1703を用いてハットシェイプ型のゲート電極を形成することでチャネル長、Lov長、Loff長が短い微細化されたTFTが形成される。前述したように、本発明は微細化されたTFTにおいてより効果的にその利点が発揮されるため、スリミング処理により0.3～1.0μmの線幅のレジスト1703を形成し、微細化されたTFTを構成するのは非常に有効である。

40

【0128】

(実施の形態8)

本形態では、Pチャネル型TFTとNチャネル型TFTを同一基板上に形成する方法について図11を用いて説明する。なお、Nチャネル型TFT及びPチャネル型TFTは実施の形態1の図2(F)で説明した構成を用いて説明する。しかし、この構成に限定されず

50

、用途に応じて実施の形態 1 ~ 6 のそれぞれの T F T の構成を、N チャネル型 T F T または P チャネル型 T F T に自由に適用することができる。また、本形態において、実施の形態 1 ~ 7 と同じものについては同じ符号を用い、詳細な説明を省略する。

【0129】

基板 1 1 上に非晶質半導体膜を形成し、非晶質半導体膜にチャネルドープをした後、実施の形態 1 の方法で結晶化して結晶性半導体膜を形成する。そしてフォトリソ技術を用いてエッチングして、島状の半導体膜 1 3 a、1 3 b を形成する。ここで結晶性半導体膜は結晶性珪素膜である。また、基板 1 1 上に接する下地膜として、酸素を含む窒化珪素膜 8 2 5 (SiN_xO_y) ($x > y$) 及び窒素を含む酸化珪素膜 8 2 6 (SiO_xN_y) ($x > y$) の積層を用いる。

10

【0130】

次に、島状の半導体膜 1 3 a、1 3 b を覆うようにゲート絶縁膜 1 4 を形成する。ゲート絶縁膜 1 4 として、窒素を含む酸化珪素膜 (SiO_xN_y) ($x > y$) をプラズマ C V D 法により形成する。そして、実施の形態 1 の方法で、島状の半導体膜 1 3 a、1 3 b のそれぞれの上にハットシェイプ型のゲート電極を形成する。2 0 a、2 0 b は第 1 のゲート電極、2 2 a、2 2 b は第 2 のゲート電極である。実施の形態 7 で説明したスリミング処理されたレジストを用いてハットシェイプ型ゲート電極を形成しても良い。

【0131】

ハットシェイプ型のゲート電極をマスクとして、島状の半導体膜 1 3 a、1 3 b に N 型不純物元素であるリンを低濃度でイオンドープする。これにより、島状の半導体膜 1 3 a には、第 1 のゲート電極 2 0 a とゲート絶縁膜を介して重なる N 型の低濃度不純物領域 8 2 1 a、8 2 1 b、第 1 のゲート電極 2 0 a と重ならない N 型の低濃度不純物領域 8 2 2 a、8 2 2 b、チャネル形成領域が形成される。同様に、島状の半導体膜 1 3 b には、第 1 のゲート電極 2 0 b とゲート絶縁膜を介して重なる N 型の低濃度不純物領域 8 2 3 a、8 2 3 b、第 1 のゲート電極 2 0 b と重ならない N 型の低濃度不純物領域 8 2 4 a、8 2 4 b、チャネル形成領域が形成される。これら低濃度不純物領域には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンを含むように、リンがドーピングされる (図 1 1 (A)) 。

20

【0132】

次に、島状の半導体膜 1 3 a、第 1 のゲート電極 2 0 a、第 2 のゲート電極 2 2 a を覆うようにレジストマスク 8 2 7 を形成する。この状態で、ハットシェイプ型の第 1 のゲート電極 2 0 b、第 2 のゲート電極 2 2 b をマスクとして、島状の半導体膜 1 3 b に P 型不純物元素であるボロンを低濃度でイオンドープする。これにより、島状の半導体膜 1 3 b には、第 1 のゲート電極 2 0 b とゲート絶縁膜を介して重なる P 型の低濃度不純物領域 8 2 8 a、8 2 8 b、第 1 のゲート電極 2 0 b と重ならない P 型の低濃度不純物領域 8 2 8 c、8 2 8 d が形成される。これら P 型の低濃度不純物領域には、 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度でボロンを含むように、ボロンがドーピングされる。これら P 型の低濃度不純物領域には既にリンが低濃度で注入されているが、ボロンがリンよりも高濃度でドーピングされるため、N 型は P 型に打ち消される (図 1 1 (B)) 。

30

【0133】

次にサイドウォールを形成する。島状の半導体膜 1 3 a、1 3 b、ハットシェイプ型のゲート電極を覆うように絶縁膜として酸化珪素膜を形成し、異方的にドライエッチングをして、サイドウォール 8 2 9 を形成する。そして、サイドウォール 8 2 9 をマスクとしてゲート絶縁膜 1 4 をエッチングし、ゲート絶縁膜 8 3 0 a、8 3 0 b を形成する。結果、島状の半導体膜 1 3 a、1 3 b の両端部が露呈される。露呈された島状の半導体膜部分に対するゲート絶縁膜のエッチング選択比が小さいときは、ゲート絶縁膜 8 3 0 a、8 3 0 b の形成と一緒にエッチングされ、図のようにその膜厚が薄くなる (図 1 1 (C)) 。

40

【0134】

次に、サイドウォール 8 2 9 及び第 2 のゲート電極 2 2 a、2 2 b をマスクとして、N 型の低濃度不純物領域 8 2 2 a、8 2 2 b に、N 型不純物元素であるリンを自己整合的に高

50

濃度でドーピングする。これにより、N型の高濃度不純物領域 832a、832b を形成する。N型の高濃度不純物領域 832a、832b には、リンを $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で含むようにリンがドーピングされる。また、同時にN型の低濃度不純物領域 831a、831b が形成される。P型の低濃度不純物領域 828c、828d の一部にもリンが高濃度で注入されるため、露呈している島状の半導体膜部分がN型の高濃度不純物領域となる。またこのドーピングにより、島状の半導体膜 13b にP型の低濃度不純物領域 833a、833b が形成される。

【0135】

次に、島状の半導体膜 13a、第1のゲート電極 20a、第2のゲート電極 22a、サイドウォールを覆うようにレジストマスク 835 を形成する。この状態で、第2のゲート電極 22b 及びサイドウォール 829 をマスクとして、露呈している島状の半導体膜 13b に、P型の不純物元素であるボロンを自己整合的に高濃度でドーピングする。結果、P型の高濃度不純物領域 834a、834b が形成される。P型の高濃度不純物領域は、既に高濃度のリンが注入されておりN型であるが、当該ボロンのドーピングにより打ち返されP型となる。P型の高濃度不純物領域 834a、834b には、 $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ の濃度でボロンを含むようにイオンドープされる。その後、レジストマスク 835 を除去する(図11(D))。

【0136】

次に、露呈している半導体膜部分を覆うように全面に金属膜を形成し、金属膜と半導体膜が反応する温度で加熱処理をして、シリサイド層 31 を形成する。シリサイド層 31 はP型及びN型の高濃度不純物領域の表面に形成される。本形態では金属膜としてニッケル膜を形成し、シリサイド層 31 としてニッケルシリサイドを形成する。その後、金属膜は除去する(図11(E))。

【0137】

そして、層間絶縁膜の1層目として、窒素を含む酸化珪素膜 836 を 50nm の膜厚で成膜する。

【0138】

その後、熱処理を行って形成された不純物領域の活性化を行う。熱処理はレーザ光照射、RTA、炉を用いた加熱処理などの方法を用いることができる。ただし本発明ではシリサイドの形成によりソース及びドレイン領域は十分に低抵抗化できているので、活性化工程は省略しても構わない。

【0139】

層間絶縁膜の2層目である窒化珪素膜 837 を 100nm 成膜、3層目である酸化珪素膜 838 を 600nm と順に成膜し、積層する。層間絶縁膜にシリサイド層 31 に達するコンタクトホールを形成する。続いて、コンタクトホールを充填するように、チタン膜 60nm、窒化チタン膜 40nm、アルミニウム膜 500nm、チタン膜 60nm、窒化チタン膜 40nm を順に積層した後、フォトリソ技術を用いてエッチングして、ソース電極及びドレイン電極となる配線 839 を形成する(図11(F))。

【0140】

以上で、Lov 領域及びLoff 領域の両方を有するLDD構造のNチャネル型TF T 840、Pチャネル型TF T 841 が形成される。本構成により、微細なTF Tであっても、短チャネル効果及びホットキャリアが抑えられ、所望のオン電流を確保できる半導体装置を実現できる。

【0141】

なお、本形態では、N型不純物元素をPチャネル型TF Tの半導体膜にもドーピングするいわゆるカウンタードープを行ったが、この方法に限定されない。リンをドーピングするときにPチャネル型TF Tをレジストマスク等で覆うなど、リンが半導体膜 13b にドーピングされぬようにしても良い。

【0142】

(実施の形態9)

10

20

30

40

50

本形態では、本発明を用いてCPU（中央演算装置：Central Processing Unit）を作製した例を示す。ここでは実施の形態8で作製したTFTを用いてCPUを作製する。なお、また、本形態において、実施の形態1～8と同じものについては同じ符号を用い、詳細な説明を省略する。

【0143】

まず、図12に示すように、実施の形態8で形成した配線839を覆うように、絶縁層901を形成する。絶縁層901は、無機材料又は有機材料により、単層又は積層で形成する。絶縁層901は、薄膜トランジスタによる凸凹を緩和し、平坦化することを目的に形成する薄膜である。そのため、有機材料により形成することが好ましい。

【0144】

次に、フォトリソグラフィ法により絶縁層901をエッチングして、ソース電極及びドレイン電極として機能する配線839を露出させるコンタクトホールを形成する。続いて、コンタクトホールを充填するように、導電層を形成し、当該導電層をフォトリソ技術を用いてエッチングして、配線等として機能する導電層902、903を形成する。導電層902、903は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。例えば、バリア層とアルミニウム層、バリア層とアルミニウム層とバリア層等の積層構造を採用するとよい。バリア層とは、チタン、チタンの窒化物、モリブデン又はモリブデンの窒化物などに相当する。

【0145】

複数のNチャネル型TFT840、複数のPチャネル型TFT841でなる素子群と、配線等として機能する複数の導電層902、903を合わせて薄膜集積回路904とよぶ。なお、本工程では示さないが、薄膜集積回路904を覆うように、公知の手段により、保護層を形成してもよい。保護層は、DLC（ダイヤモンドライクカーボン）などの炭素を含む層、窒化珪素を含む層、窒化酸化珪素を含む層等に相当する。

【0146】

以上のように形成された薄膜集積回路904を同一基板上に複数形成することでCPUを作製することができる。本形態では、Nチャネル型TFT840及びPチャネル型TFT841ともに実施の形態1で説明した構成である。

【0147】

しかし、この構成に限定されず、用途に応じて実施の形態1～6の構成を、Nチャネル型TFT及びPチャネル型TFTのそれぞれに適用することができる。つまり、本発明の微細なハットシェイプ型ゲート電極を用いて、図12以外の構成の薄膜集積回路を形成することができ、CPUを構成する各回路の特性に応じた薄膜集積回路をそれぞれ形成することができる。

【0148】

完成したCPUに可撓性を持たせたり、さらに軽量にしたい場合は、基板11を公知の方法で剥離して、新たに軽量で可撓性を有する基板に貼り合わせると良い。

【0149】

その方法として一つには基板11自体を物理的に削って除去する方法がある。まず、図13（A）に示すように、薄膜集積回路904上に固定材905を介して基板906を貼り合わせ、薄膜集積回路904を基板906に固定する。その後、機械的研磨等により基板11を削り取る（図13（B））。そして新たに可撓性を持つ基板907を薄膜集積回路904に接着剤等により貼り合わせる（図13（C））。その後、固定材905及び基板906を除去する（図13（D））。以上の方法で、軽量で可撓性のあるCPUを作製することができる。

【0150】

また、基板11と半導体膜との間に剥離層をあらかじめ設けておき、剥離層を除去または軟化させることで、基板11を剥離する方法がある。後の実施の形態10で示すように剥離層をエッチングすることで基板11と薄膜集積回路904を分離する方法がある。他に

も剥離層に物理的衝撃を与えて基板 11 を剥離したり、レーザ光を剥離層に吸収させることで基板 11 を剥離したりして、基板 11 を剥離する方法がある。このような方法で基板 11 を剥離した後に、図 13 (D) に示すように軽量で可撓性のある基板 907 を新たに薄膜集積回路 904 に貼り合わせる。これらの方法でも、可撓性を有し、軽量な CPU を形成できる。

【0151】

更に本実施例の CPU の具体的構成についてブロック図を用いて説明する。

【0152】

図 14 に示す CPU は、基板 3600 上に、演算回路 (ALU: Arithmetic logic unit) 3601、演算回路用制御回路部 (ALU Controller) 3602、命令解析部 (Instruction Decoder) 3603、割り込み制御部 (Interrupt Controller) 3604、タイミング制御部 (Timing Controller) 3605、レジスタ (Register) 3606、レジスタ制御部 (Register Controller) 3607、バスインターフェース (Bus I/F) 3608、書き換え可能な ROM 3609、ROM インターフェース (ROM I/F) 3620 とを主に有している。また ROM 3609 及び ROM インターフェース 3620 は、別チップに設けても良い。これら CPU を構成する様々な回路は、薄膜集積回路 904 が複数集まって構成される。

10

【0153】

勿論、図 14 に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。

20

【0154】

バスインターフェース 3608 を介して CPU に入力された命令は、命令解析部 3603 に入力され、デコードされた後、演算回路用制御回路部 3602、割り込み制御部 3604、レジスタ制御部 3607、タイミング制御部 3605 に入力される。

【0155】

演算回路用制御回路部 3602、割り込み制御部 3604、レジスタ制御部 3607、タイミング制御部 3605 は、デコードされた命令に基づき、各種制御を行う。具体的に演算回路用制御回路部 3602 は、演算回路 3601 の駆動を制御するための信号を生成する。また、割り込み制御部 3604 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部 3607 は、レジスタ 3606 のアドレスを生成し、CPU の状態に応じてレジスタ 3606 の読み出しや書き込みを行う。

30

【0156】

またタイミング制御部 3605 は、演算回路 3601、演算回路用制御回路部 3602、命令解析部 3603、割り込み制御部 3604、レジスタ制御部 3607 の駆動のタイミングを制御する信号を生成する。例えばタイミング制御部 3605 は、基準クロック信号 CLK1 (3621) を元に、内部クロック信号 CLK2 (3622) を生成する内部クロック生成部を備えており、クロック信号 CLK2 を上記各種回路に供給する。

40

【0157】

図 15 には、画素部と、CPU、その他の回路が同一基板に形成された表示装置、いわゆるシステムオンパネルを示す。基板 3700 上に画素部 3701、画素部 3701 が有する画素を選択する走査線駆動回路 3702 と、選択された画素にビデオ信号を供給する信号線駆動回路 3703 とが設けられている。走査線駆動回路 3702、及び信号線駆動回路 3703 から引き回される配線により CPU 3704、その他の回路、例えばコントロール回路 3705 とが接続されている。なおコントロール回路にはインターフェースが含まれている。そして、基板の端部に FPC 端子との接続部を設け、外部信号とのやりとりを行う。

【0158】

その他の回路として、映像信号処理回路、電源回路、階調電源回路、ビデオ RAM、メモ

50

リ(D R A M、S R A M、P R O M)等を基板上に設けることができる。またこれら回路は、I Cチップにより形成し、基板上に実装してもよい。さらに必ずしも走査線駆動回路3702、及び信号線駆動回路3703を同一基板に形成する必要はなく、例えば走査線駆動回路3702のみを画素部と同一基板に形成し、信号線駆動回路3703をI Cチップにより形成し、実装してもよい。

【0159】

図16にはパッケージングされたC P Uの形態を示す。図16における基板3800は図12で示す基板11または図13で示す可撓性を有する基板907に相当し、薄膜トランジスタアレイ3801には薄膜集積回路904が複数設けられている。

【0160】

図16(A)では、基板3800上に形成されたC P Uの機能を有する薄膜トランジスタアレイ3801、及びC P U表面に設けられた電極(ソース電極やドレイン電極、又はそれらの上に絶縁膜を介して形成された電極等)3802が下側となるフェイスダウン状態でC P Uがパッケージングされている。また銅やその合金で形成される配線3803が設けられた配線基板、例えばプリント基板3807を用意する。プリント基板3807には、接続端子(ピン)3804が設けられている。そして電極3802と、配線3803とを異方性導電膜3808等を介して接続する。その後、エポキシ樹脂等の樹脂3805でC P Uを基板3800上方から覆い、パッケージングされたC P Uとして完成する。また、C P Uを樹脂で覆わずに中空に保った状態で外周をプラスチックなどで囲んでもよい。

【0161】

図16(B)では、図16(A)と異なり、C P U表面に設けられた電極3802が上側となるフェイスアップ状態でC P Uがパッケージングされている。そしてプリント基板3807上に基板3800を固定し、電極3802と、配線3803とをワイヤ3818により接続する。このようにワイヤにより接続することをワイヤボンディングという。そして電極3802と、配線3803に接続されるバンプ3814とが電氣的に接続する。その後、C P Uの周りを中空に保った状態で、C P Uをプラスチック3815等で囲み、パッケージングされたC P Uとして完成する。

【0162】

図16(C)には、可撓性を有する基板、例えばF P C(F l e x i b l e p r i n t e d c i r c u i t)3817上に、C P Uの機能を有する薄膜トランジスタアレイ3801を固定する例を示す。基板3800に形成されたC P Uの機能を有する薄膜トランジスタアレイ3801を、C P U表面に設けられた電極3802が下側となるフェイスダウン状態で、C P Uをパッケージングする。可撓性を有するF P C3817に薄膜トランジスタアレイ3801を固定するため、基板3800として可撓性の高いプラスチックを用いると、C P U自体の強度が強くなり好ましい。また、可撓性を有するF P C3817には銅やその合金で形成される配線3803を設ける。そして、電極3802と、配線3803とを異方性導電膜3808を介して接続する。その後、エポキシ樹脂等の樹脂3805を基板3800を覆うように形成し、パッケージングされたC P Uとして完成する。

【0163】

このようにパッケージングされたC P Uは、外部から保護され、さらに携帯しやすくなる。そして所望箇所に、C P Uを実装することができ、特に図16(C)のようにパッケージングされたC P Uが可撓性を有すると、実装する位置の自由度が高まるとともに、C P U自体の強度も強くなる。またパッケージングすることによりC P Uの機能を補助することもできる。

【0164】

以上のように、本発明のT F Tを用いて、C P U等の半導体装置を作製することができる。本発明で形成する薄膜トランジスタにより形成されるC P Uは軽量で且つコンパクトであるため、携帯や実装するときの負担を軽減することができる。また、高速での演算が可能で寿命が長いC P Uを作製することができる。

【0165】

本実施の形態は実施可能な範囲で自由に実施の形態 1 ~ 8 と組み合わせることが可能である。

【0166】

(実施の形態 10)

本形態では、無線チップを作製する方法について説明する。また、本形態において、実施の形態 1 ~ 9 と同じものについては同じ符号を用い、詳細な説明を省略する。

【0167】

まず、図 12 に示す薄膜集積回路 904 を形成する。なお、N チャネル型 TFT 840 及び P チャネル型 TFT 841 は実施の形態 1 で説明した構成であるが、この構成に限定されず、実施者は用途に応じて実施の形態 1 ~ 6 の構成を、N チャネル型 TFT 及び P チャネル型 TFT のそれぞれに適用することができる。

10

【0168】

本形態では薄膜集積回路 904 において、後の工程で基板 11 を剥離するため、基板 11 の一表面に剥離層 1401 を形成しておく(図 17(A))。本形態では、剥離層 1401 を基板 11 の一表面全面に形成しているが、基板 11 の一表面に剥離層を形成した後、フォトリソグラフィ法によりして、剥離層を選択的に設けてもよい。剥離層を選択的に設けると、後の工程で剥離層をエッチングにより除去するときに、短時間で済むという利点がある。

【0169】

剥離層 1401 は、公知の手段(スパッタリング法やプラズマ CVD 法等)により、タン

グステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ル

テニウム(Ru)、ロジウム(Rh)、鉛(Pd)、オスミウム(Os)、イリジウム(Ir)、珪素(Si)から選択された元素または前記元素を主成分とする合金材料若しくは化合物材料からなる層を、単層又は積層して形成する。珪素を含む層の結晶構造は、非

晶質、微結晶、多結晶のいずれの場合でもよい。

20

【0170】

剥離層 1401 が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタン

グステンとモリブデンの混合物を含む層を形成する。又は、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタン

グステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タン

グステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当

する。また、タングステンの酸化物は、酸化タングステンと表記することがある。

30

【0171】

剥離層 1401 が積層構造の場合、好ましくは、基板 11 上に 1 層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。2 層目として、タングステン、モリブデンもしくはタングステンとモリブデンの混合物の酸化物、混合物の窒化物、混合物の酸化窒化物又は混合物の窒化酸化物を含む層を形成する。

【0172】

なお、剥離層 1401 として、タングステンを含む層とタングステンの酸化物を含む層の積層構造を形成する場合、タングステンを含む層を形成し、その上層に酸化珪素を含む層を形成することで、タングステン層と酸化珪素層との界面に、タングステンの酸化物を含む層が形成されることを活用してもよい。これは、2 層目としてタングステンの窒化物、タングステンの酸化窒化物又はタングステンの窒化酸化物を含む層を形成する場合も同様であり、1 層目のタングステンを含む膜を形成後、その上にそれぞれ窒化珪素膜、窒素を含む酸化珪素膜、または酸素を含む窒化珪素膜を形成すれば良い。

40

【0173】

また、タングステンの酸化物は、 WO_x で表され、 x は 2 ~ 3 である。 x が 2 の場合(WO_2)、 x が 2.5 の場合(W_2O_5)、 x が 2.75 の場合(W_4O_{11})、 x が 3 の場合(WO_3) などがある。タングステンの酸化物を形成するにあたり、上記に挙げた X

50

の値に特に制約はなく、そのエッチングレートなどを基に決めるとよい。但し、エッチングレートの最も良いものは、酸素雰囲気下で、スパッタリング法により形成するタングステンの酸化物を含む層 (WO_x 、 $0 < x < 3$) である。従って、作製時間の短縮のために、剥離層として、酸素雰囲気下でスパッタリング法によりタングステンの酸化物を含む層を形成するとよい。

【0174】

なお、剥離層 1401 は基板 11 に接するように形成しても良いし、基板 11 に接するように下地となる絶縁層を形成し、該絶縁層に接するように剥離層 1401 を形成してもよい。

【0175】

剥離層 1401 形成後は、実施の形態 8 及び 9 で説明した工程により、図 17 (A) に示す薄膜集積回路 904 を形成する。導電層 902、903 は無線チップのアンテナとして機能することになる。

【0176】

次にここでは示さないが、薄膜集積回路 904 を覆うように、公知の手段により、保護層を形成してもよい。保護層は、DLC (ダイヤモンドライクカーボン) などの炭素を含む層、窒化珪素を含む層、窒化酸化珪素を含む層等に相当する。

【0177】

次に、剥離層 1401 が露出するように、フォトリソグラフィ法により下地膜及び層間絶縁膜等をエッチングして、開口部 1402、1403 を形成する (図 17 (B))。

【0178】

次に、薄膜集積回路 904 を覆うように絶縁層 1404 を形成する (図 17 (C))。絶縁層 1404 は、有機材料により形成し、好ましくはエポキシ樹脂により形成する。絶縁層 1404 は、薄膜集積回路 904 が飛散しないように形成するものである。つまり、薄膜集積回路 904 は小さく薄く軽いのに加え、剥離層を除去した後は、基板に密着していないために飛散しやすい。しかしながら、薄膜集積回路 904 の周囲に絶縁層 1404 を形成することで、薄膜集積回路 904 に重みが付き、基板 11 からの飛散を防止することができる。また、薄膜集積回路 904 単体では薄くて軽いのが、絶縁層 1404 を形成することで、巻かれた形状になることがなく、ある程度の強度を確保することができる。なお、図示する構成では、薄膜集積回路 904 の上面と側面に絶縁層 1404 を形成しているが、本発明はこの構成に制約されず、薄膜集積回路 904 の上面のみに絶縁層 1404 を形成してもよい。また、上記の記載によると、下地膜及び層間絶縁膜等をエッチングして、開口部 1402、1403 を形成した後、絶縁層 1404 を形成する工程を行っているが、本発明はこの順番に制約されない。絶縁層 901 上に絶縁層 1404 を形成する工程の後に、複数の絶縁層をエッチングして、開口部を形成する工程を行ってもよい。この順番の場合だと、薄膜集積回路 904 の上面のみに絶縁層 1404 が形成される。

【0179】

次に、開口部 1402、1403 にエッチング剤を導入して、剥離層 1401 を除去する (図 17 (D))。エッチング剤は、フッ化ハロゲン又はハロゲン化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素 (ClF_3) を使用する。そうすると、薄膜集積回路 904 は、基板 11 から剥離された状態となる。

【0180】

次に、薄膜集積回路 904 の一方の面を、第 1 の基体 1501 に接着させる (図 18 (A))。もしくは剥離層 1401 を除去する前に薄膜集積回路 904 の一方の面を第 1 の基体 1501 に接着させておいても良い。そして、薄膜集積回路 904 が基板 11 から剥離した後、薄膜集積回路 904 の他方の面を第 2 の基体 1502 に接着させる。なお、薄膜集積回路 904 の第 1 の基体 1501 及び第 2 の基体 1502 への接着は、接着材等の接着機能を有する材料を介して行っても良い。または、磁石や真空で吸引するような装置を用いて行っても良い。

【0181】

次に、第1の基体1501と第2の基体1502を互いに貼り合わせて、薄膜集積回路904を、第1の基体1501と第2の基体1502により封止する(図18(B))。以上により、薄膜集積回路904が第1の基体1501と第2の基体1502により封止された無線チップが完成する。

【0182】

第1の基体1501と第2の基体1502としては樹脂材料からなるフィルムを用いる。特に第1の基体1501または第2の基体1502として、熱圧着したときに溶融する層(熱可撓性樹脂とも言う)を備えたフィルムであると良い。そうすれば、第1の基体1501または第2の基体1502のいずれか一方を加熱処理によって溶かし、加圧により、他方の第1の基体1501または第2の基体1502と接着し、薄膜集積回路を封止できる。

10

【0183】

第1または第2の基体に用いる熱可撓性樹脂は、軟化点の低いものが好ましい。例えば、ポリエチレン、ポリプロピレン、ポリメチルペンテン等のポリオレフィン系樹脂、塩化ビニル、酢酸ビニル、塩化ビニル-酢酸ビニル共重合体、エチレン-酢酸ビニル共重合体、塩化ビニリデン、ポリビニルブチラール、ポリビニルアルコール等のビニル系共重合体、アクリル系樹脂、ポリエステル系樹脂、ウレタン系樹脂、セルロース、セルロースアセテート、セルロースアセテートブチレート、セルロースアセテートプロピオネート、エチルセルロース等のセルロース系樹脂、ポリスチレン、アクリロニトリル-スチレン共重合体等のスチレン系樹脂等が挙げられる。第1の基体1501または第2の基体1502は、熱可撓性樹脂を単層または複数層備えたフィルムを用いる。なお、熱可撓性樹脂を複数層備えるフィルムとしては、例えば、第1の熱可塑性樹脂からなる基体上に、第1の熱可塑性樹脂よりも軟化点が高い第2の熱可塑性樹脂からなる接着層を有する構造などが挙げられる。なお、2層以上からなる積層構造でもよい。また、生分解性の熱可塑性樹脂を用いてもよい。

20

【0184】

本形態の図17及び図18では、一つの無線チップを作製する方法を述べたが、実際は、一枚の基板から複数の無線チップが作製される。その様子を図19で説明する。

【0185】

図19(A)では基板11上に複数の薄膜集積回路904がマトリクス状に形成されている。図19(A)は図17(A)の上面図に相当する。そして、例えばマトリクス状に並んだ薄膜集積回路904同士の間の破線に沿って開口部1402、1403を形成し、剥離層をエッチングして、薄膜集積回路904と基板11を剥離する。

30

【0186】

次に、剥離した複数の薄膜集積回路904を図18(A)で示したように、第1の基体1501に接着させる(図19(B))。なお、先に第1の基体1501と薄膜集積回路904を接着しておいてから、薄膜集積回路904と基板11を剥離しても良い。

【0187】

引き続き、図18(B)に示したように薄膜集積回路904を第2の基体1502と接着させる(図19(C))。次に第1の基体と第2の基体とを熱圧着により貼り合わせて、複数の薄膜集積回路904をそれぞれ封止する。これにより、図18(B)の構成を持つ複数の無線チップ1600が完成する(図19(D))。そして無線チップを互いに切り離す。なお、ここでは第1及び第2の基体とを熱圧着して封止した後に無線チップ同士を切り離す例を説明したが、熱圧着と同時に無線チップ同士を切り離しても良い。

40

【0188】

以上の工程により可撓性を有する無線チップが完成する。本形態で作製された無線チップは非常に微細であり且つ可撓性があるため、無線チップが設置される場所に制限がなく、様々なものに利用できる。また無線チップを構成するTFTの信頼性が高く、オン電流も高いため、高性能で寿命が長い無線チップを実現できる。

【0189】

50

なお、剥離方法としてタングステンを含む剥離層をエッチングする方法を採用したが、この剥離方法以外の方法を採用しても良い。本形態にはその他の公知の剥離方法を適用できる。例えば剥離層に物理的衝撃を与えて基板 11 を剥離したり、レーザ光を剥離層に吸収させて基板 11 を剥離したりする方法がある。また、実施の形態 9 に示すように剥離層を設けず基板 11 自体を削って基板 11 を除去する方法がある。

【0190】

本発明により作製される無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図 20（A）参照）、包装用容器類（包装紙やボトル等、図 20（B）参照）、記録媒体（DVD ソフトやビデオテープ等、図 20（C）参照）、乗物類（自転車等、図 20（D）参照）、身の回り品（靴や眼鏡等、図 20（E）参照）、食品類、衣類、生活用品類、電子機器等に設けて使用することができる。電子機器とは、液晶表示装置、EL 表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。図中の 210 は本形態で作製された無線チップである。

10

【0191】

なお、無線チップは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証書類等に無線チップを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に無線チップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類に無線チップを設けることにより、偽造や盗難を防止することができる。

20

【0192】

また、無線チップを、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、図 21（A）に示すように、表示部 294 を含む携帯端末の側面にリーダライタ 295 を設けて、物品 297 の側面に無線チップ 296 を設ける場合が挙げられる。この場合、リーダライタ 295 に無線チップ 296 をかざすと、表示部 294 に物品 297 の原材料や原産地、流通過程の履歴等の情報が表示されるシステムになっている。また、別の例として、ベルトコンベアの脇にリーダライタ 295 を設けて、無線チップ 296 を貼り付けた物品 297 をベルト上で流す場合が挙げられる（図 21（B））。この場合、物品 297 の検品を簡単に行うことができる。

30

【0193】

（実施の形態 11）

本実施の形態では、実施形態 1～6 で説明した様々な構成の TFT を用いて表示装置を作製する方法について図 22～25 を用いて説明する。本実施の形態で説明する表示装置の作製方法は画素部とその周辺に設けられる駆動回路部の TFT を同時に作製する方法である。なお、実施の形態 1～10 と同一のものについては同じ符号を付し、詳細な説明を省略する。

【0194】

まず、実施の形態 1 の方法で、第 1 のゲート電極のゲート長と第 2 のゲート電極のゲート長の差が 20～200 nm である本発明の微細なハットシェイプ型ゲート電極を複数形成する（図 22（A））。つまり第 1 のゲート電極 513a～513e、第 2 のゲート電極 514a～514e を形成する。515a～515e はレジスト、13a～13e は島状の半導体膜である。このときに実施の形態 7 で説明したスリミング処理されたレジストを用いてハットシェイプ型ゲート電極を形成しても良い。

40

【0195】

次に、レジスト 515a～515e 及び第 2 のゲート電極 514a～514e をマスクとして自己整合的に、N 型不純物元素（本実施の形態ではリン）を添加する。ゲート絶縁膜を介して第 1 のゲート電極と重なる低濃度不純物領域 601a～601e、および第 1 のゲート電極と重ならない低濃度不純物領域 602a～602e には $1 \times 10^{16} \sim 5 \times 1$

50

0.18 atoms/cm^3 (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$) の濃度でリンが添加されるようにすることが好ましい。但し、低濃度不純物領域 601a ~ 601e は第 1 のゲート電極を介してドーピングされる分、低濃度不純物領域 602a ~ 602e よりは含まれる不純物元素の濃度は低い (図 22 (B))。

【0196】

次に、図 22 (C) に示すように高濃度のドーピングを行う。その前に、低濃度不純物領域 601c 及び 602c に不純物元素がドーピングされないようにレジスト 604 を形成する。第 2 のドーピングは、レジスト 604、レジスト 515a、515b、515d、515e、第 2 のゲート電極 514a、514b、514d、514e、第 1 のゲート電極 513a、513b、513d、513e をマスクとして自己整合的に行い、低濃度不純物領域に選択的に N 型不純物元素 (本実施の形態ではリン) を添加する。こうして形成される高濃度不純物領域 603a ~ 603d には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンを含むようにリンが添加されることが好ましい。

【0197】

次に、レジスト 604、レジスト 515a ~ 515e を除去し、図 23 (A) に示すようにレジスト 606 を形成する。そして、第 2 のゲート電極 514a、514d、514e をマスクとして第 1 のゲート電極 513a、513d、513e の一部がエッチングされ、第 2 のゲート電極と同じゲート長の第 3 のゲート電極 605a、605b、605c を得る。その後、レジスト 606 を除去する。

【0198】

なお、レジスト 515a ~ 515e を除去せずにレジスト 606 を形成し、第 3 のゲート電極 605a、605b、605c を形成する場合には、エッチングガスとして Cl_2 を用い、排気系によりチャンパー内の圧力は 0.67 Pa とし、コイル型の電極に 2000 W の電力を供給してプラズマを生成する。基板側 (試料ステージ) には 50 W の電力を投入する。

【0199】

続いてレジスト 701 を形成する (図 23 (B))。そして N 型不純物領域となっていた高濃度不純物領域 603a、603d、低濃度不純物領域 601a、601e に対して、P 型不純物元素 (本実施の形態ではボロン) を添加する。具体的にはジボラン (B_2H_6) を用いたイオンドーピング法により P 型不純物元素を $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度で含むように添加する。そして高濃度にボロンを含む不純物領域 702、703 を形成する。こうして不純物領域 702、703 は P チャネル型 TFT のソース領域およびドレイン領域として機能する。

【0200】

次に、図 23 (C) に示すように、レジスト 701 を除去する。その後第 3 のゲート電極 605a ~ 605c、第 1 のゲート電極 513b、513c および第 2 のゲート電極 514a ~ 514e の両サイドにサイドウォール 704a ~ 704e を形成する。サイドウォール 704a ~ 704e は実施の形態 1 で示した絶縁膜で形成し、エッチバックを行って形成する。

【0201】

次に、サイドウォール 704a ~ 704e をマスクとしてドライエッチングにより、ゲート絶縁膜 14 をエッチングする (図 24 (A))。当該エッチングによりゲート絶縁膜 700a ~ 700e が形成される。

【0202】

次にレジスト 705 を形成しドーピングを行う。ドーピングはレジスト 705、サイドウォール 704c、第 2 のゲート電極 514c をマスクとして、N 型の低濃度不純物領域 602c の一部に不純物元素を添加する。不純物元素としてはリン (PH_3) を用い、イオンドーピング法により高濃度の N 型不純物元素 (本実施の形態ではリン) を $1 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$) の濃度で添加し、高濃度にリンを含む不純物領域 706 を形成する。同時に L

10

20

30

40

50

o f f 領域となる低濃度不純物領域 7 0 7 を形成する。低濃度不純物領域 6 0 1 c は L o v 領域となる (図 2 4 (B)) 。

【 0 2 0 3 】

次に、図 2 4 (C) に示すようにシリサイド層 7 0 8 a ~ 7 0 8 e を形成する。レジスト 7 0 5 を除去した後に、ニッケル膜を露出している半導体膜に接するように成膜する。そして、シリサイドが形成される温度で加熱処理をし、シリサイドを形成する。

【 0 2 0 4 】

続いて、保護膜として、5 0 ~ 5 0 0 n m (代表的には 2 0 0 ~ 3 0 0 n m) の厚さでパッシベーション膜 8 0 1 を形成する。これは酸化珪素膜、窒化珪素膜、窒化酸化珪素膜又はこれらの積層で代用しても良い。パッシベーション膜 8 0 1 を設けることにより、酸素
10
や空気中の水分をはじめ、各種イオン性の不純物の侵入を阻止するブロッキング作用を得ることができる (図 2 5 (A)) 。

【 0 2 0 5 】

次にパッシベーション膜 8 0 1 上に膜厚が 1 . 6 μ m の層間絶縁膜 8 0 2 を形成する。ここでは、S O G (S p i n O n G l a s s) 法またはスピコート法によって塗布されたポリイミド、ポリアミド、B C B (ベンゾシクロブテン) 、アクリル、シロキサンなどの有機樹脂膜、無機層間絶縁膜 (窒化珪素、酸化珪素などの珪素を含む絶縁膜) 、l o w - k (低誘電率) 材料などを用いることができる。シロキサンとは、シリコン (S i) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を
20
用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。層間絶縁膜 8 0 2 は、ガラス基板上に形成された T F T によるリッジを緩和し、平坦化する意味合いが強いため、平坦性に優れた膜が好ましい。その後さらに層間絶縁膜上にパッシベーション膜を形成しても良い。

【 0 2 0 6 】

次に、パッシベーション膜 8 0 1 及び層間絶縁膜 8 0 2 に対して、フォトリソ技術を用いたエッチングによりコンタクトホールを形成し、ソース及びドレイン配線 8 0 3 a ~ 8 0 3 i を形成する。なお、本実施の形態ではソース及びドレイン配線を、チタン膜、第 1 アルミニウム膜、炭素と金属元素を含む第 2 アルミニウム膜の 3 層構造、もしくはモリブデン膜、第 1 アルミニウム膜、炭素と金属元素を含む第 2 アルミニウム膜の 3 層構造とする
30
。第 1 のアルミニウム膜は他の金属元素が混合されたアルミニウム膜でも良い。第 2 のアルミニウム膜が含む金属元素としては、チタン、モリブデン、ニッケルがある。なお、ソース及びドレイン配線に上記以外の金属を用いてもよいことは勿論である。

【 0 2 0 7 】

続いてドレイン配線 8 0 3 h に接するように画素電極 8 0 4 を形成する (図 2 5 (B)) 。画素電極 8 0 4 は透明導電膜をフォトリソ技術を用いてエッチングして形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズ、又は酸化インジウムを用いることができる。

【 0 2 0 8 】

画素電極 8 0 4 を透明導電膜とするとドレイン配線がアルミニウム膜でなる場合、その界面において酸化アルミニウムが形成される。酸化物は抵抗が高いため、画素電極とドレイン配線との間で大きな抵抗が生じてしまう。しかし、本形態では画素電極は第 2 のアルミニウム膜と接続しているため酸化物は形成されない。なぜなら、第 2 のアルミニウム膜に含まれる金属元素が酸化物の形成を抑えるからである。これにより、ドレイン配線と画素電極界面における抵抗を低く保つことができる。

【 0 2 0 9 】

画素電極を形成後、樹脂材料でなる隔壁 8 0 5 を形成する。隔壁 8 0 5 は 1 ~ 2 μ m 厚のアクリル膜又はポリイミド膜をフォトリソ技術を用いてエッチングして画素電極 8 0 4 の一部を露出させるように形成する。なお、隔壁 8 0 5 の下層に遮蔽膜 (図示しない) となる黒色からなる膜を適宜形成してもよい。

10

20

30

40

50

【0210】

次にEL層806を形成する。EL層806の発光材料が有機化合物であるときは有機EL素子、発光材料が無機化合物であるときは無機EL素子となる。

【0211】

無機EL素子は、素子構成により分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものである。薄膜型無機EL素子は、蛍光材料の薄膜からなる発光層を有している。その発光メカニズムは、両者とも、高電界で加速された電子による母体材料又は発光中心の衝突励起により発光が得られる。無機EL素子を形成する場合は、画素電極804及び電極807の間に、EL層として、発光材料を分散させた絶縁層を設けるか、絶縁層で挟持された発光層を設けるとよい。発光材料としては、例えば硫化亜鉛(ZnS)、硫化ストロンチウム(SrS)を用いることができる。無機EL素子のEL層はスクリーン印刷または蒸着等で形成することができる。

10

【0212】

以下に、有機EL素子を用いる場合の例を説明する。

【0213】

EL層806及び電極(MgAg電極)807を、真空蒸着法を用いて大気解放しないで連続形成する。EL層806の膜厚は100nm~1μm、電極807の厚さは180~300nm(典型的には200~250nm)とすれば良い。EL層は他に、インクジェット、スクリーン印刷法などによって成膜されても良い。

20

【0214】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。各色の少なくとも1つの発色はトリプレット化合物で行う。シングレット化合物に比べるとトリプレット化合物は輝度が明るいいため、暗く見える赤色に対応する画素をトリプレット化合物で形成し、その他の画素をシングレット化合物で形成すると良い。

【0215】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び電極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び電極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び電極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び電極を形成するまで真空を破らずに処理することが好ましい。

30

【0216】

なお、EL層806としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。モリブデン酸化物及びα-NPDを混合した膜(OMOx)をEL層としても良い。有機材料と無機材料とを組み合わせたハイブリット層をEL層としても良い。有機材料をEL層に用いる場合は、低分子材料、中分子材料、高分子材料のそれぞれを使うことができる。また、本実施の形態ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

40

【0217】

電極807まで形成された時点で発光素子808が完成する。その後、発光素子808を完全に覆うようにして保護膜809を設ける。保護膜809としては、炭素膜、窒化珪素膜、もしくは窒化酸化珪素膜を含む絶縁膜を用いることができ、これらの絶縁膜を単層又は積層させて用いることができる。

【0218】

50

さらに保護膜 8 0 9 を覆って封止材 8 1 0 を設け、カバー材 8 1 1 を貼り合わせる。封止材 8 1 0 としては紫外線硬化樹脂であり、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を用いることが好ましい。また、本実施の形態においてカバー材 8 1 1 にはガラス基板、石英基板やプラスチック基板を用いることができる。図示はしないが、封止材 8 1 0 とカバー材 8 1 1 との間に偏光板を設けても良い。偏光板を設けることでコントラストの高い表示を提供できる。

【 0 2 1 9 】

こうして図 2 5 (B) に示すような P チャネル型 T F T 8 1 2、N チャネル型 T F T 8 1 3、サンプリング回路用 T F T 8 1 4、スイッチング用 T F T 8 1 5 及び電流制御用 T F T 8 1 6 を有する構造のアクティブマトリクス型 E L 表示装置が完成する。本形態では、L D D 領域を有さない P チャネル型 T F T 8 1 2、電流制御用 T F T 8 1 6、L o v 領域を有する N チャネル型 T F T 8 1 3、L o f f 領域を有するスイッチング用 T F T 8 1 5、L o f f 領域と L o v 領域の両方を有するサンプリング回路用 T F T 8 1 4 を同一基板上に同時に形成できる。なお、P チャネル型 T F T である 8 1 2、8 1 6 は、ホットキャリアの影響が少なく、短チャネル効果が少ないため、本形態では L D D 領域を設けなかった。しかし、その他の N チャネル型 T F T のようにゲート電極やサイドウォールをマスクとして P 型の不純物元素をドーピングすることで、適宜 P チャネル型 T F T に L D D 領域を設けることができる。その方法として、本形態の N チャネル型 T F T を形成する方法を参考にし、ドーピング元素を P 型の不純物元素にすれば、各構造の P チャネル型 T F T を形成できる。

【 0 2 2 0 】

本形態では、画素電極を透明導電膜とし、もう一方の電極を M g A g 電極として、下方射出の E L 表示装置について説明した。しかしこの構造に限定されず、画素電極を遮光性のある材料で形成し、もう一方の電極を透明導電膜で形成し、上方射出の E L 表示装置としても良い。また両方の電極を透明導電膜で形成し上下射出の E L 表示装置としても良い。

【 0 2 2 1 】

図 2 6 に表示装置の模式図を示す。基板 1 1 0 0 上にゲート信号線駆動回路 1 1 0 1、ソース信号線駆動回路 1 1 0 2、複数の画素 1 1 0 3 を有する画素部 1 1 0 4 が形成されている。ゲート信号線駆動回路 1 1 0 1 及びソース信号線駆動回路 1 1 0 2 は F P C (フレキシブルプリントサーキット) 1 1 0 5 と接続されている。図 2 5 (B) の P チャネル型 T F T 8 1 2、N チャネル型 T F T 8 1 3 はソース信号線駆動回路や、ゲート信号線駆動回路に用いることができる。

【 0 2 2 2 】

ソース信号線駆動回路 1 1 0 2 はシフトレジスタ回路、レベルシフト回路、サンプリング回路を有している。クロック信号 (C L K)、スタートパルス信号 (S P) がシフトレジスタ回路に入力され、シフトレジスタ回路からビデオ信号をサンプリングするためのサンプリング信号が出力される。そしてシフトレジスタから出力されたサンプリング信号はレベルシフト回路に入力され、信号の電位の振幅を大きくする。そして電位幅が増大されたサンプリング信号はサンプリング回路に入力される。サンプリング回路は外部から入力されるビデオ信号をサンプリング信号によってサンプリングし画素部に入力する。

【 0 2 2 3 】

これらの駆動回路は高速動作が要求されるため、G O L D 構造を有する T F T を用いるのが好ましい。なぜなら、L o v 領域はドレイン近傍で発生する高電界を緩和する作用があり、ホットキャリアによる劣化を防ぐことができるからである。また、サンプリング回路についてはホットキャリア対策と低オフ電流対策が求められることから L o v および L o f f 領域を有する構造とすることが好ましい。一方、画素のスイッチング用 T F T や、電流制御用 T F T のゲート電圧を保持する保持用 T F T はオフ電流を低減させることができる L o f f 領域を有する構造の T F T を用いることが好ましい。

【 0 2 2 4 】

以上の点から本実施の形態を鑑みると、駆動回路部の N チャネル型 T F T は L o v 領域を

有し、サンプリング回路用のTFTはLoFF領域及びLoV領域を有し、画素部のスイッチング用TFTはLoFF領域を有する。本形態により各種回路に適した構造のTFTを精度良く作製することができる。従って、本形態で作製された半導体装置は、高速動作可能でリーク電流の少ない表示装置となる。また、本形態の半導体装置はコンパクト化が可能なため、小さく持ち運びしやすい表示装置を実現できる。

【0225】

もちろんこのような構造の表示装置に限らず様々な表示装置の作製においても本発明は適用することができる。

【0226】

(実施の形態12)

本形態では、本発明の液晶表示装置の例について説明する。実施の形態1～11と同じものについては同じ符号を用い、詳細な説明を省略する。

【0227】

図22～図25で示した実施の形態11と同様の工程により、基板11上に、LoV領域及びLoFF領域を有するNチャネル型TFT1801、1803、LDD構造でないPチャネル型TFT1802を形成する(図27(A))。ただし、Nチャネル型TFT及びPチャネル型TFTそれぞれの構成はこの構成に限定されず、実施の形態1～6で示したいずれの構成も適用できる。例えばNチャネル型TFT1803を実施の形態2または3で説明した構成にしても良い。層間絶縁膜1800は無機材料または有機材料を含み、単層または積層からなる。

【0228】

次に層間絶縁膜1800及び配線1700上にさらに層間絶縁膜1804を形成する。次いで、フォトリソ技術を用いてレジストマスクを形成し、層間絶縁膜1804の一部をドライエッチングにより除去して開孔(コンタクトホールを形成)する。このコンタクトホール形成においては、エッチングガスとして四フッ化炭素(CF₄)、酸素(O₂)、ヘリウム(He)を、CF₄、O₂、Heをそれぞれ50sccm、50sccm、30sccmの流量で用いた。なお、コンタクトホールの底部はNチャネル型TFT1803に接続する配線1700に達している。

【0229】

次いで、レジストマスクを除去した後、全面に導電膜を成膜し、フォトリソ技術を用いてエッチングを行い、Nチャネル型TFT1803に電氣的に接続される画素電極1805を形成する(図27(B))。本形態では、反射型の液晶表示パネルを作製するので、画素電極1805をスパッタ法によりAg(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の光反射性を有する金属材料を用いて形成すればよい。

【0230】

また、透過型の液晶表示パネルを作製する場合は、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などの透明導電膜を用い、画素電極1805を形成する。

【0231】

以上の工程により、基板11上に画素部のTFTであるNチャネル型TFT1803、Nチャネル型TFT1801及びPチャネル型TFT1802からなるCMOS回路1806および画素電極1805が形成された液晶表示装置のTFT基板が完成する。

【0232】

次いで、図28に示すように、画素電極1805を覆う配向膜1807aを形成する。なお、配向膜1807aは、液滴吐出法やスクリーン印刷法やオフセット印刷法を用いればよい。その後、配向膜1807aの表面にラビング処理を行う。

【0233】

そして、対向基板1808には、着色層1809a、遮光層(ブラックマトリクス)1809b、及びオーバーコート層1810からなるカラーフィルタを設け、さらに透明電極もしくは反射電極からなる対向電極1811と、その上に配向膜1807bを形成する。

10

20

30

40

50

そして、図示しないがシール材を液滴吐出法により画素 T F T である N チャンネル型 T F T 1 8 0 3 を含む画素部と重なる領域を囲むように形成する。

【 0 2 3 4 】

次いで、気泡が入らないように減圧下で液晶組成物 1 8 1 2 の滴下を行い、両方の基板 1 1 及び 1 8 0 8 を貼り合わせる。液晶組成物 1 8 1 2 の配向モードとしては、液晶分子の配列が光の入射から射出に向かって 9 0 ° ツイスト配向した T N モードを用いる。そして基板のラビング方向が直交するように貼り合わせる。

【 0 2 3 5 】

なお、一對の基板間隔は、球状のスペーサを散布したり、樹脂からなる柱状のスペーサを形成したり、シール材にフィラーを含ませることによって維持すればよい。上記柱状のスペーサは、アクリル、ポリイミド、ポリイミドアミド、エポキシの少なくとも 1 つを主成分とする有機樹脂材料、もしくは酸化珪素、窒化珪素、窒素を含む酸化珪素のいずれか一種の材料、或いはこれらの積層膜からなる無機材料であることを特徴としている。

【 0 2 3 6 】

以上示したように、本形態では、寿命が長く、コンパクトな液晶表示装置を形成することができる。本形態で作製される液晶表示装置は各種電子機器の表示部として用いることができる。

【 0 2 3 7 】

なお、本形態では、シングルゲート構造の T F T で説明したが、特にシングルゲート構造に限定されず、複数のチャンネル形成領域を有するマルチゲート型 T F T、例えばダブルゲート型 T F T としてもよい。

【 0 2 3 8 】

(実施の形態 1 3)

実施の形態 1 乃至実施の形態 1 2 に示した半導体装置は、様々な電子機器を作製する際に用いることができる。そのような電子機器の例として、テレビジョン装置、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図 3 4 に示す。

【 0 2 3 9 】

図 3 4 (A) はテレビジョン装置であり、筐体 1 3 0 0 1、支持台 1 3 0 0 2、表示部 1 3 0 0 3、スピーカー部 1 3 0 0 4、ビデオ入力端子 1 3 0 0 5 等を含む。実施の形態 1 1、1 2 で示した表示装置を表示部 1 3 0 0 3 に用いることができ、テレビジョン装置を完成することができる。表示部 1 3 0 0 3 は、E L ディスプレイや、液晶ディスプレイなどを用いることができる。なお、テレビジョン装置は、コンピュータ用、テレビ放送受信用、広告表示用などの全てのテレビジョン装置が含まれる。以上の構成により、駆動回路部がコンパクトであり、低コストで信頼性の高いテレビジョン装置を提供できる。

【 0 2 4 0 】

図 3 4 (B) はデジタルカメラであり、本体 1 3 1 0 1、表示部 1 3 1 0 2、受像部 1 3 1 0 3、操作キー 1 3 1 0 4、外部接続ポート 1 3 1 0 5、シャッター 1 3 1 0 6 等を含む。実施の形態 1 1、1 2 を表示部 1 3 1 0 2 に用いることができ、デジタルカメラを完成することができる。以上の構成により、表示部 1 3 1 0 2 をコンパクトにできるとともに、低コストでコンパクトであり、信頼性の高いデジタルカメラを提供できる。

【 0 2 4 1 】

図 3 4 (C) はコンピュータであり、本体 1 3 2 0 1、筐体 1 3 2 0 2、表示部 1 3 2 0 3、キーボード 1 3 2 0 4、外部接続ポート 1 3 2 0 5、ポインティングマウス 1 3 2 0 6 等を含む。実施の形態 1 1、1 2 で示した表示装置は表示部 1 3 2 0 3 に用いることが

でき、コンピュータを完成することができる。以上の構成により、表示部 1 3 2 0 3 をコンパクトにすることができるとともに、低コストでコンパクトであり、信頼性の高いコンピュータを提供できる。

【 0 2 4 2 】

図 3 4 (D) はモバイルコンピュータであり、本体 1 3 3 0 1、表示部 1 3 3 0 2、スイッチ 1 3 3 0 3、操作キー 1 3 3 0 4、赤外線ポート 1 3 3 0 5 等を含む。実施の形態 1 1、1 2 で示した表示装置は表示部 1 3 3 0 2 に用いることができ、モバイルコンピュータを完成することができる。以上の構成により、表示部 1 3 3 0 2 をコンパクトにすることができるとともに、低コストでコンパクトであり、信頼性の高いモバイルコンピュータを提供できる。

10

【 0 2 4 3 】

図 3 4 (E) は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 1 3 4 0 1、筐体 1 3 4 0 2、表示部 A 1 3 4 0 3、表示部 B 1 3 4 0 4、記録媒体（DVD 等）読込部 1 3 4 0 5、操作キー 1 3 4 0 6、スピーカー部 1 3 4 0 7 等を含む。表示部 A 1 3 4 0 3 は主として画像情報を表示し、表示部 B 1 3 4 0 4 は主として文字情報を表示するが、実施の形態 1 1、1 2 で示した表示装置は表示部 A 1 3 4 0 3、表示部 B 1 3 4 0 4 に用いることができ、画像再生装置を完成することができる。なお、記録媒体を備えた画像再生装置にはゲーム機器なども含まれる。以上の構成により、表示部をコンパクトにすることができるとともに、低コストでコンパクトであり、信頼性の高い画像再生装置を提供できる。

20

【 0 2 4 4 】

図 3 4 (F) はビデオカメラであり、本体 1 3 6 0 1、表示部 1 3 6 0 2、筐体 1 3 6 0 3、外部接続ポート 1 3 6 0 4、リモコン受信部 1 3 6 0 5、受像部 1 3 6 0 6、バッテリー 1 3 6 0 7、音声入力部 1 3 6 0 8、操作キー 1 3 6 0 9、接眼部 1 3 6 1 0 等を含む。実施の形態 1 1、1 2 で示した表示装置は表示部 1 3 6 0 2 に用いることができ、ビデオカメラを完成することができる。以上の構成により、表示部 1 3 6 0 2 をコンパクトにすることができるとともに、低コストでコンパクトであり、信頼性の高いビデオカメラを提供できる。

【 0 2 4 5 】

図 3 4 (G) は携帯電話であり、本体 1 3 7 0 1、筐体 1 3 7 0 2、表示部 1 3 7 0 3、音声入力部 1 3 7 0 4、音声出力部 1 3 7 0 5、操作キー 1 3 7 0 6、外部接続ポート 1 3 7 0 7、アンテナ 1 3 7 0 8 等を含む。実施の形態 1 1、1 2 で示した表示装置は表示部 1 3 7 0 3 に用いることができ、携帯電話を完成することができる。なお、表示部 1 3 7 0 3 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。以上の構成により、表示部 1 3 7 0 3 をコンパクトにすることができるとともに、低コストでコンパクトであり、信頼性の高い携帯電話を提供できる。

30

【 0 2 4 6 】

特にこれらの電子機器の表示部に用いられる表示装置には画素の駆動のために薄膜トランジスタを有しており、用いられている回路により所望の TFT の構造が異なる。本発明を適用することにより各種回路に適した構造の TFT を精度良く作製することができ、高品質の電子機器を歩留まり良く生産することができる。

40

【 0 2 4 7 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【実施例 1】

【 0 2 4 8 】

同一基板上に N チャネル型 TFT と P チャネル型 TFT を形成する具体的な方法について、図 3 1 及び図 3 2 を用いて述べる。

【 0 2 4 9 】

基板 2 3 0 としてガラス基板を用いる（図 3 1 (A)）。ガラス基板上に、CVD 法によ

50

り窒素を含む酸化珪素膜（SiON膜）及び酸素を含む窒化珪素膜（SiNO膜）を積層させて下地膜231を形成する。SiNO膜は50nmの膜厚で、SiON膜は100nmの膜厚になるよう形成する。

【0250】

そして、下地膜上に半導体膜としてアモルファスシリコン膜をCVD法で60～70nm形成する。アモルファスシリコン膜を500～550度で加熱して膜中より水素を放出させる。そして、アモルファスシリコン膜に連続発振のCWレーザを照射し結晶化を行う。その後、結晶化したシリコン膜の全面にB₂H₆を微量にドーピングして、チャンネルドープをする。

【0251】

次に、結晶化シリコン膜をフォトリソ技術を用いてエッチングして島状の半導体膜232a、232bを形成する。島状の半導体膜上にはゲート絶縁膜234としてCVD法によりSiON膜を40nm形成する。ゲート絶縁膜234上には、第1の導電膜235としてスパッタ法により窒化タンタル層を30nm、第2の導電膜236としてスパッタ法によりタングステン膜を370nm成膜する。そして、タングステン膜上にステッパを用いてレジスト237a、237bを形成する。

【0252】

続いて、図示しないが、レジスト237a、237bをマスクとしてタングステン膜をエッチングし、タングステン膜からゲート電極を形成する。エッチングガスとしてCl₂、SF₆、O₂の混合ガスを用い、流量比はCl₂/SF₆/O₂=33/33/10（sccm）である。0.67Paの圧力に調整し、コイル型の電極に2000Wの電力を供給してプラズマを生成する。基板側（試料ステージ）には50Wの電力を投入する。

【0253】

続いて、上記エッチングにより形成したタングステン膜からなるゲート電極をマスクにして窒化タンタル膜をエッチングし、窒化タンタル膜でなる第1のゲート電極239a、239bを形成する。エッチングガスはCl₂である。0.67Paの圧力でコイル型の電極に2000Wの電力を供給してプラズマを生成する。基板側（試料ステージ）には50Wの電力を投入する。

【0254】

次に、レジストをエッチングにより後退させ、後退しているレジストをマスクとしてタングステンからなるゲート電極をエッチングする。1.33Paの圧力でコイル型の電極に2000Wの電力を供給してプラズマを生成する。基板側（試料ステージ）には電力を投入しない。エッチングガスはCl₂、SF₆、O₂の混合ガスとし、流量比はCl₂/SF₆/O₂=22/22/30（sccm）である。これによりタングステンでなる第2のゲート電極238a、238bを形成する。その後、レジストを除去する（図31（B））。

【0255】

次に、Nチャネル型TFTとなる島状の半導体膜232aに、加速電圧80kVで低濃度にPH₃をドーピングし、リン濃度が5.0×10¹³atoms/cm³となるようにする。このときPチャネル型TFTにおいてはPH₃がドーピングされぬようレジスト2200で覆っておく（図31（C））。ドーピング後、レジスト2200を剥離する。このドーピングによりN型の低濃度不純物領域233a～233dが形成される。

【0256】

次に、Pチャネル型TFTとなる島状の半導体膜232bに加速電圧45kVでボロンを高濃度にドーピングする（図31（D））。ボロン濃度が3.0×10²⁰atoms/cm³となるようにする。このときNチャネル型TFTにおいては、ボロンがドーピングされぬようレジスト2201で覆っておく。ドーピング後レジスト2201を剥離する。このドーピングによりP型の高濃度不純物領域240a、240bが形成される。

【0257】

続いて、CVD法により酸化珪素膜を等方的に300nm成膜し、酸化珪素膜を異方性工

10

20

30

40

50

ツチングによりエッチバックしてサイドウォール 241 を形成する (図 32 (A))。そして、サイドウォール 241 をマスクとして、ドライエッチングによりゲート絶縁膜 234 である SiON 膜をエッチングする (図 32 (A))。これによりゲート絶縁膜 242a、242b を形成する。

【0258】

次に、ゲート絶縁膜 242a、242b から露呈した島状の半導体膜に加速電圧 20 kV で高濃度のリンをドーピングする。リン濃度が $3.0 \times 10^{15} \text{ atoms/cm}^3$ となるように PH_3 をドーピングする。このときも P チャネル型 TFT にはレジスト 2305 を形成しリンがドーピングされないようにする。このドーピングにより、N 型の低濃度不純物領域 244a、244b、N 型の高濃度不純物領域 243a、243b を形成する。ドーピング後はレジスト 2305 を除去する (図 32 (B))。

10

【0259】

次に、金属膜として 5 nm のニッケル膜を室温においてスパッタにより全面に形成した後、RTA (Rapid thermal anneal) で 500、30 秒の加熱処理する。この加熱処理は真空中で行う。当該処理により、ニッケルと半導体膜のシリコンが反応し、露出している島状の半導体膜の表面にニッケルシリサイドとなるシリサイド層 245a、245b が形成される (図 32 (C))。

【0260】

残ったニッケルをウェットエッチング処理により除去する。続いて、CVD 法により、SiON 膜 246 を 50 nm の膜厚で全面に成膜する。その後、窒素雰囲気で 550、4 時間、炉を用いて加熱処理をし、不純物領域の熱活性化を行う。SiON 膜 246 は熱活性化によるタングステンの酸化を防ぐキャップ膜となる。

20

【0261】

次に、膜厚 100 nm の窒化珪素膜 247 と、膜厚 600 nm の SiON 膜 248 とを、SiON 膜 246 上に順に積層させる。SiON 膜 246、窒化珪素膜 247、SiON 膜 248 が層間絶縁膜となる。その後、窒素雰囲気、410 度、1 時間の熱処理を行う。加熱処理により窒化珪素膜 247 から水素が放出され、半導体膜の水素化が行われる。

【0262】

次に、層間絶縁膜をフォトリソ技術を用いてドライエッチングして、シリサイド層 245a、245b を露出するコンタクトホールを形成する。そしてコンタクトホールを充填するように、スパッタ法により連続成膜をして積層となる導電層を形成する。導電層はチタン膜 60 nm、窒化チタン膜 40 nm、アルミニウム膜 500 nm、チタン膜 60 nm、窒化チタン膜 40 nm の順で成膜された積層構造である。この導電層をフォトリソ技術を用いたドライエッチングによりエッチングし、ソース電極及びドレイン電極となる配線 251 を形成する (図 32 (D))。以上の工程により N チャネル型 TFT 249、P チャネル型 TFT 250 が形成される。

30

【0263】

N チャネル型 TFT 249 では、低濃度不純物領域 233a、233c が Lov 領域、低濃度不純物領域 244a、244b が Loff 領域、高濃度不純物領域 243a、243b がソース及びドレイン領域となる。一方、P チャネル型 TFT はソース領域及びドレイン領域として高濃度不純物領域 240a、240b を有するのみで、LDD 領域は有さない。

40

【0264】

本実施例は上記実施の形態 1 ~ 13 と自由に組み合わせることができる。

【図面の簡単な説明】

【0265】

【図 1】本発明の実施の形態 1 を示す図。

【図 2】本発明の実施の形態 1 を示す図。

【図 3】本発明の実施の形態 1 を示す図。

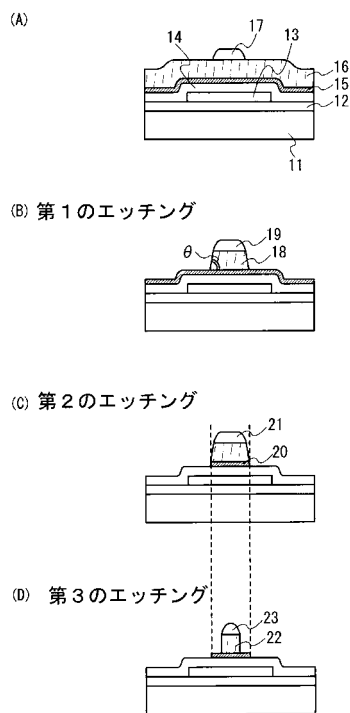
【図 4】本発明の実施の形態 1 を示す図。

50

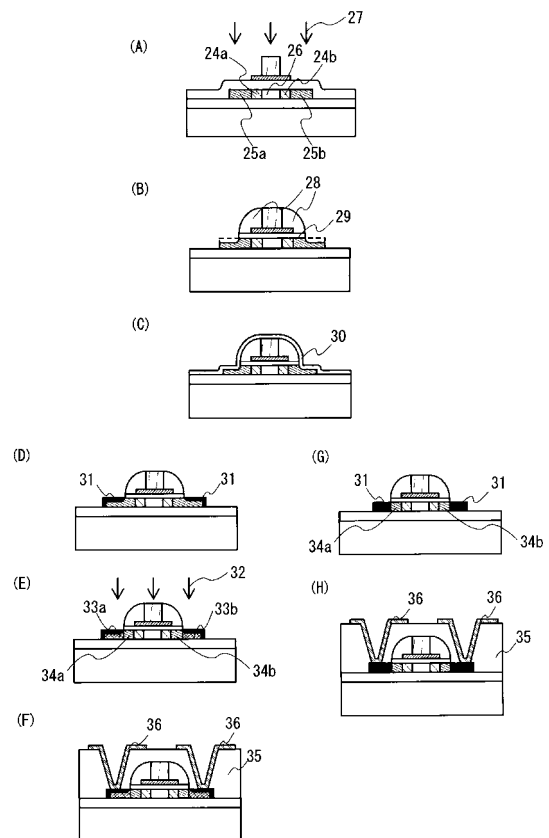
【図 5】本発明の実施の形態 2 を示す図。	
【図 6】本発明の実施の形態 3 を示す図。	
【図 7】本発明の実施の形態 4 を示す図。	
【図 8】本発明の実施の形態 5 を示す図。	
【図 9】本発明の実施の形態 6 を示す図。	
【図 10】本発明の実施の形態 7 を示す図。	
【図 11】本発明の実施の形態 8 を示す図。	
【図 12】本発明の実施の形態 9 を示す図。	
【図 13】本発明の実施の形態 9 を示す図。	
【図 14】本発明の実施の形態 9 を示す図。	10
【図 15】本発明の実施の形態 9 を示す図。	
【図 16】本発明の実施の形態 9 を示す図。	
【図 17】本発明の実施の形態 10 を示す図。	
【図 18】本発明の実施の形態 10 を示す図。	
【図 19】本発明の実施の形態 10 を示す図。	
【図 20】本発明の実施の形態 10 を示す図。	
【図 21】本発明の実施の形態 10 を示す図。	
【図 22】本発明の実施の形態 11 を示す図。	
【図 23】本発明の実施の形態 11 を示す図。	
【図 24】本発明の実施の形態 11 を示す図。	20
【図 25】本発明の実施の形態 11 を示す図。	
【図 26】本発明の実施の形態 11 を示す図。	
【図 27】本発明の実施の形態 12 を示す図。	
【図 28】本発明の実施の形態 12 を示す図。	
【図 29】本発明の実施の形態 1 で形成したハットシェイプ型ゲート電極の断面の SEM 写真。	
【図 30】本発明の実施の形態 1 で形成したハットシェイプ型ゲート電極の断面の SEM 写真。	
【図 31】本発明の実施例 1 を示す図。	
【図 32】本発明の実施例 1 を示す図。	30
【図 33】従来例を示す図。	
【図 34】実施の形態 13 を示す図。	
【図 35】実験データを示す図。	
【符号の説明】	
【0266】	
11 基板	
12 下地絶縁膜	
13 半導体膜	
14 ゲート絶縁膜	
15 第 1 の導電膜	40
16 第 2 の導電膜	
17 第 1 のレジスト	
18 エッチングされた第 2 の導電膜	
19 第 2 のレジスト	
20 第 1 のゲート電極	
21 第 3 のレジスト	
22 第 2 のゲート電極	
23 第 4 のレジスト	
26 チャンネル形成領域	
27 不純物イオン	50

- 28 サイドウォール
- 29 ゲート絶縁膜
- 30 金属膜
- 31 シリサイド層
- 32 不純物イオン
- 35 層間絶縁膜
- 36 配線

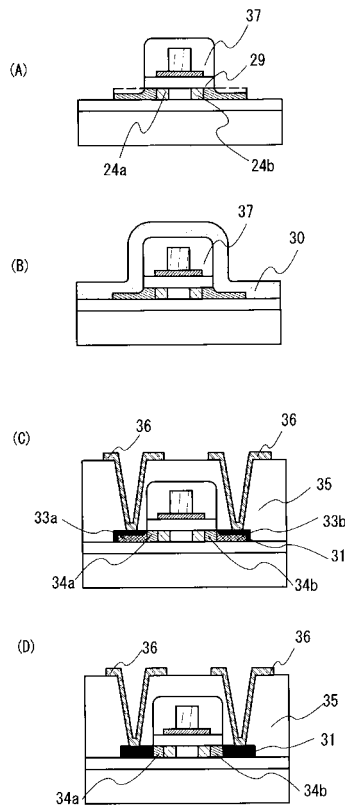
【図 1】



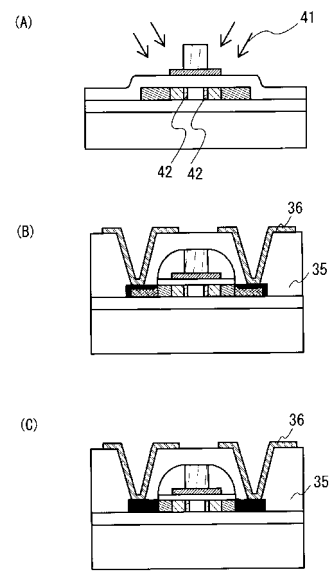
【図 2】



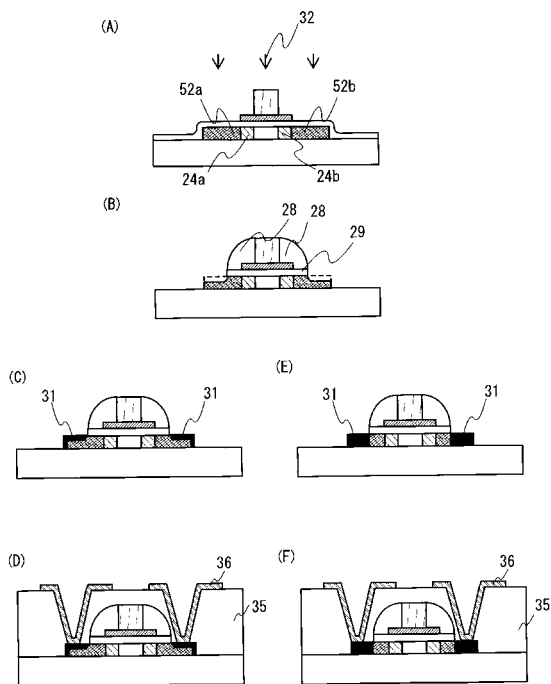
【図 3】



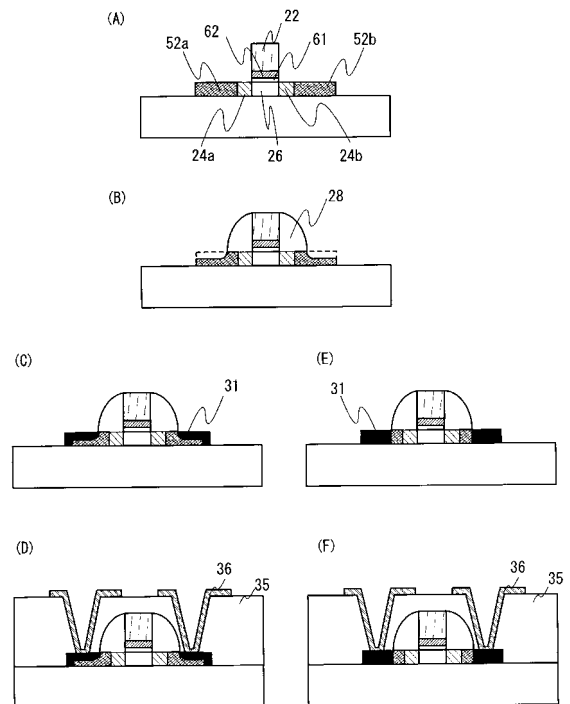
【図 4】



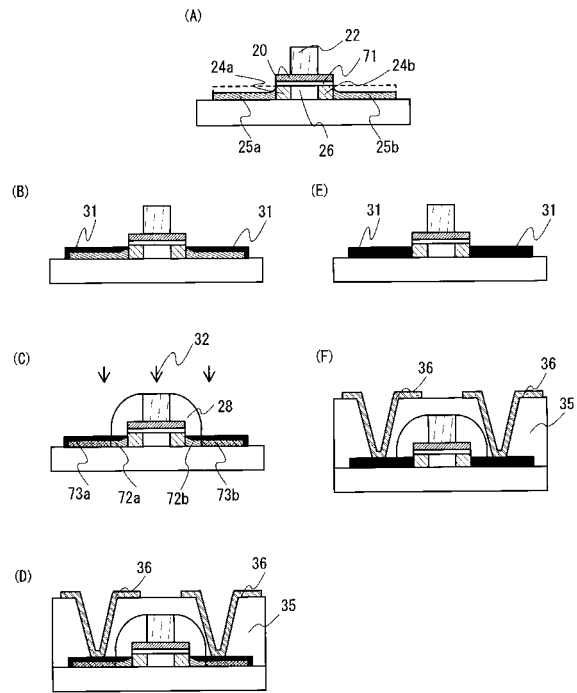
【図 5】



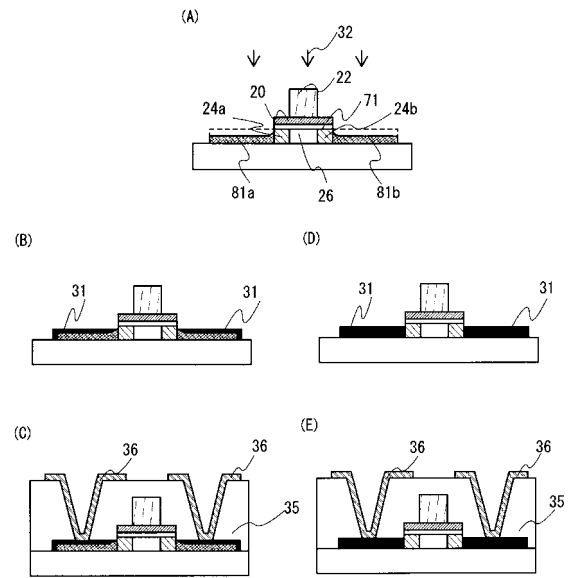
【図 6】



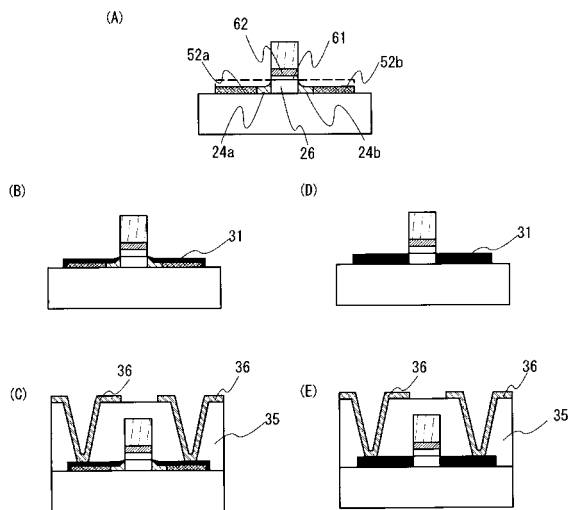
【図 7】



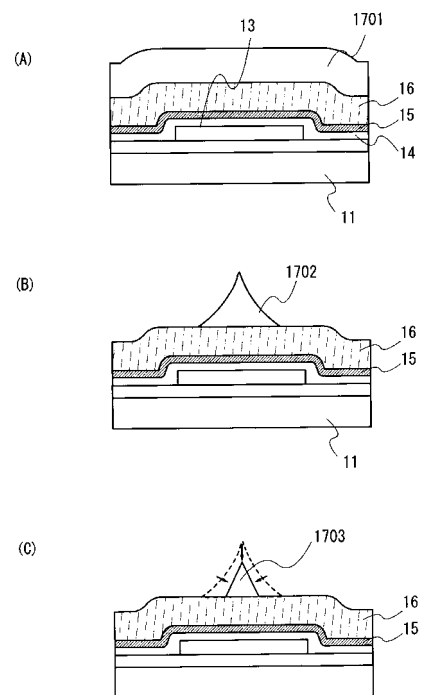
【図 8】



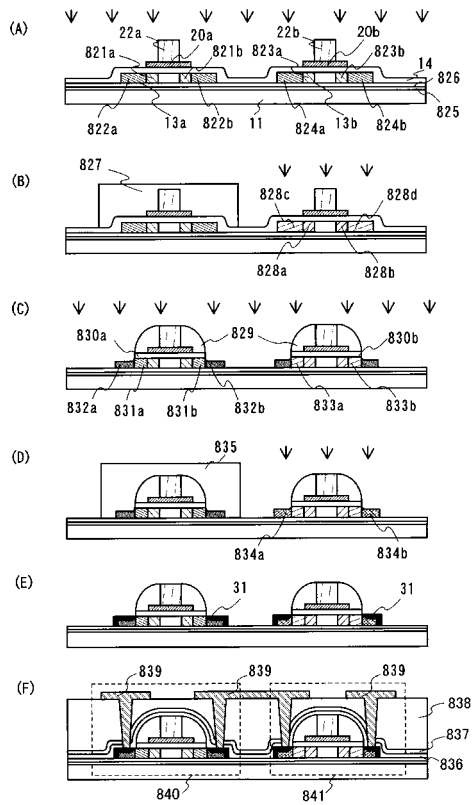
【図 9】



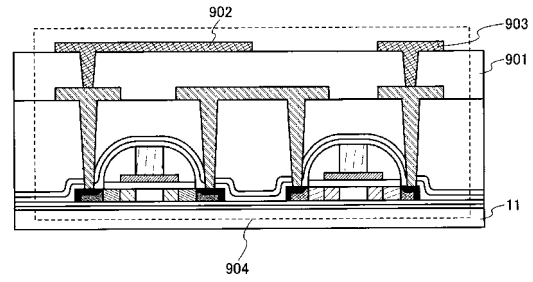
【図 10】



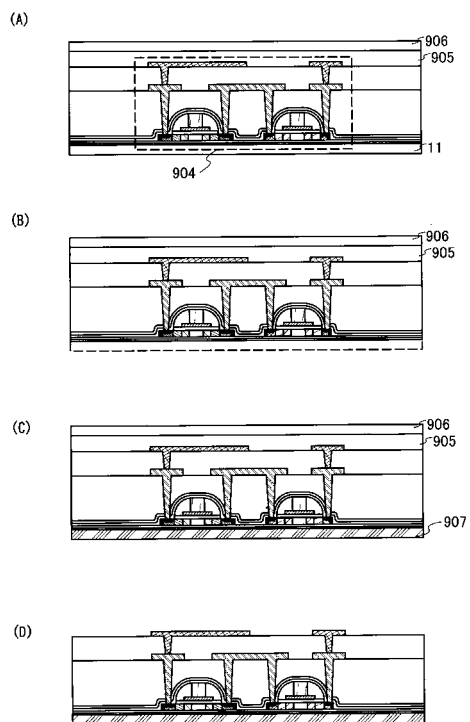
【 図 1 1 】



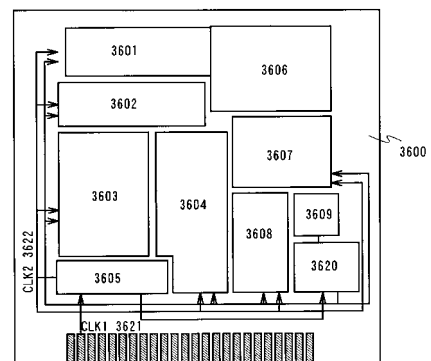
【圖 12】



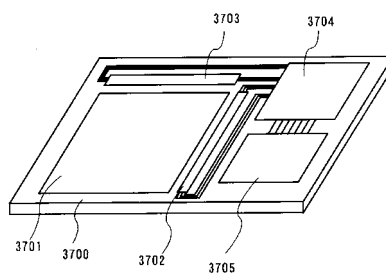
【 図 1 3 】



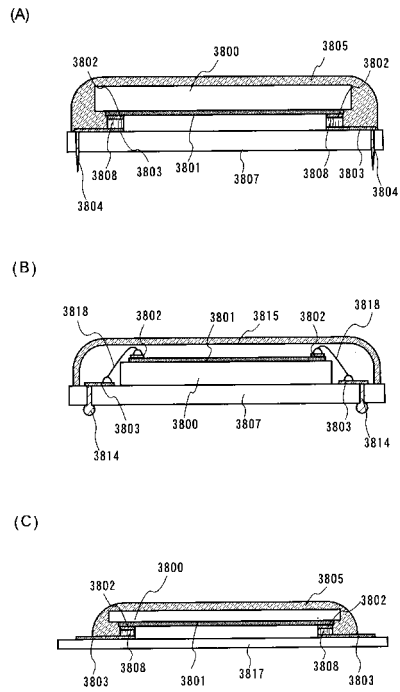
【 図 1 4 】



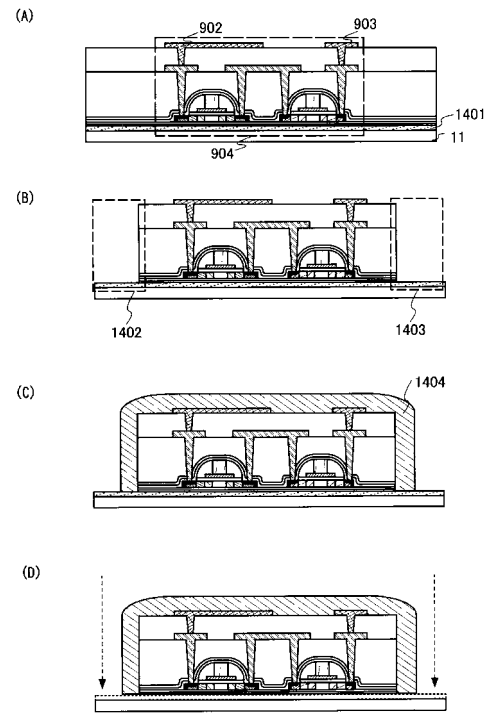
【 図 1 5 】



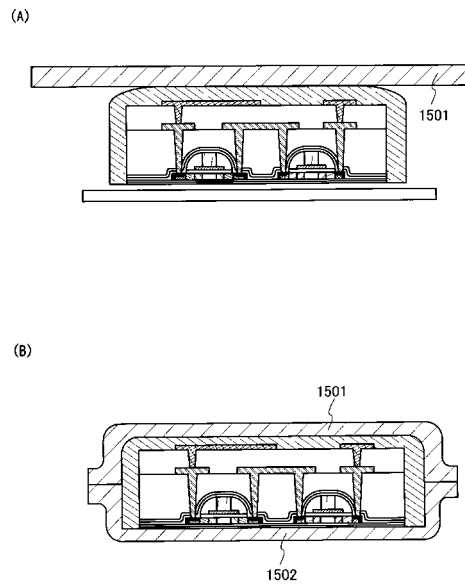
【図 16】



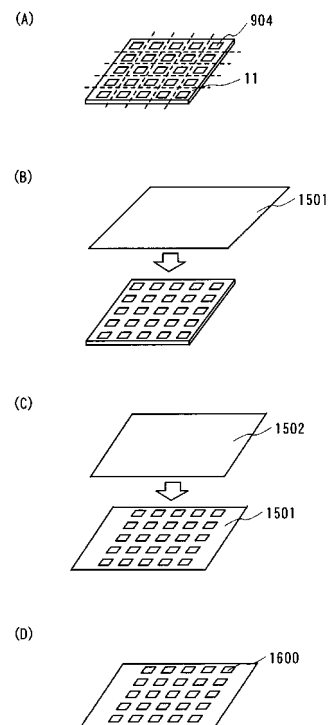
【図 17】



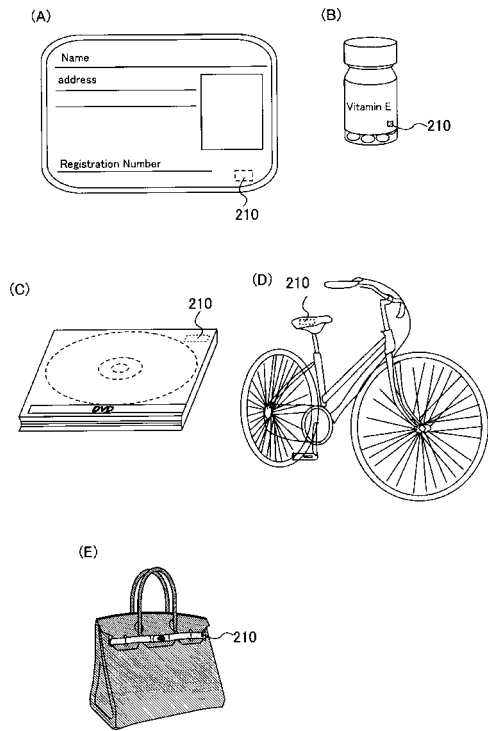
【図 18】



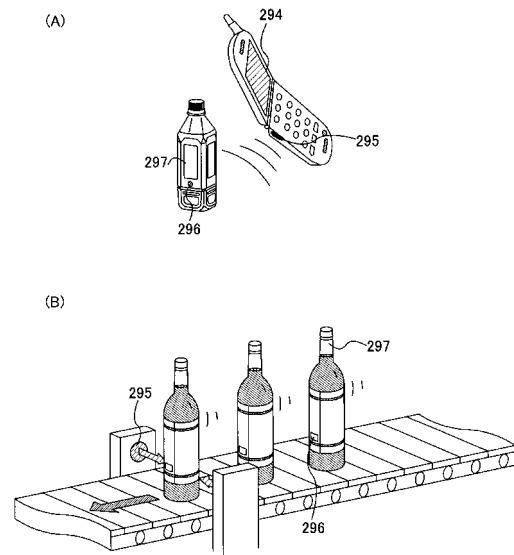
【図 19】



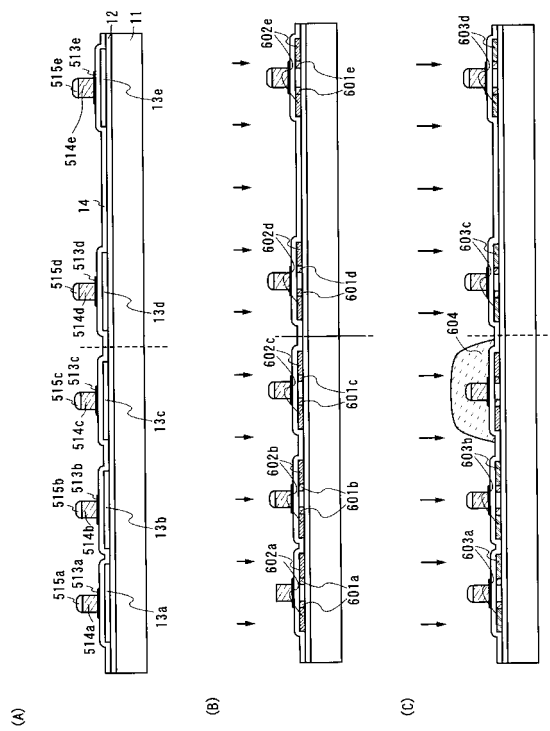
【図 20】



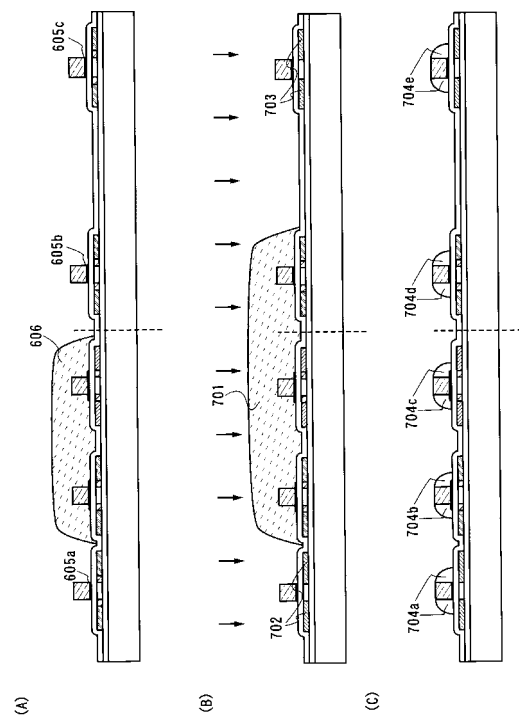
【図 21】



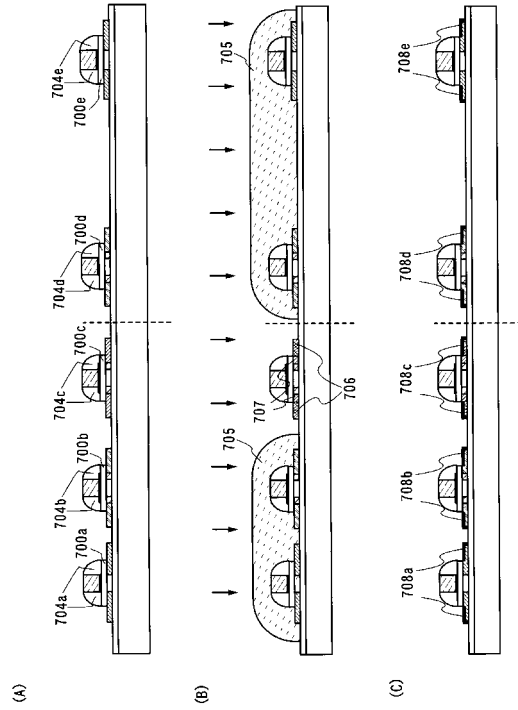
【図 22】



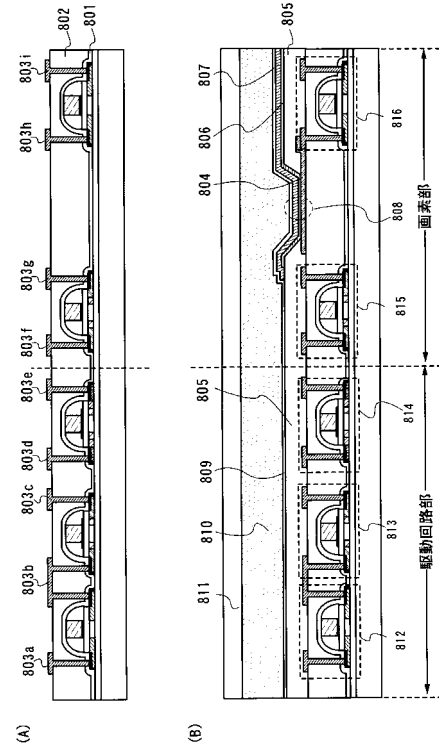
【図 23】



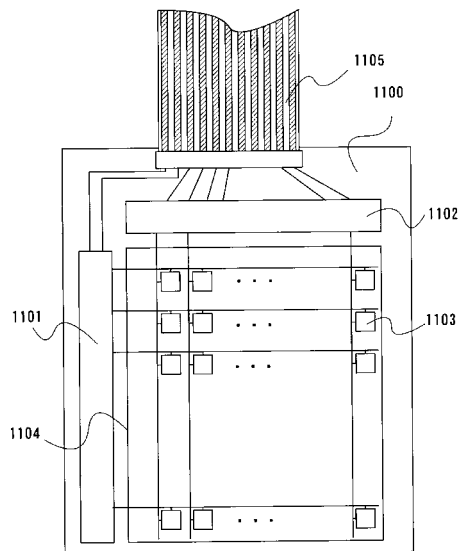
【図 24】



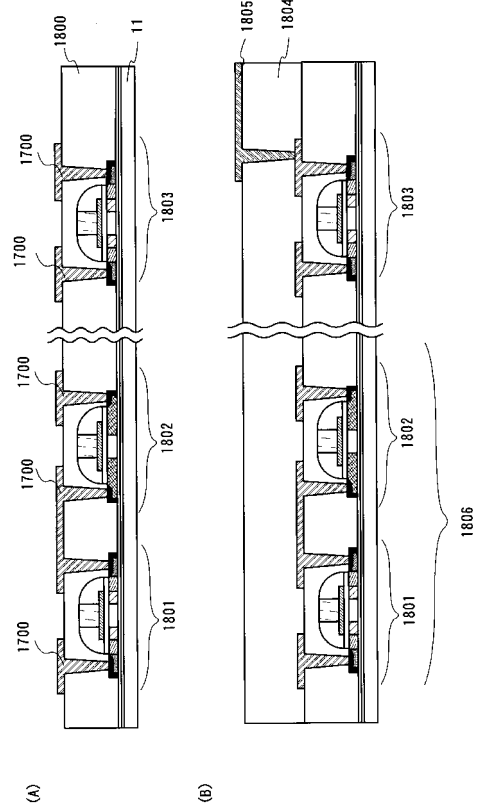
【図 25】



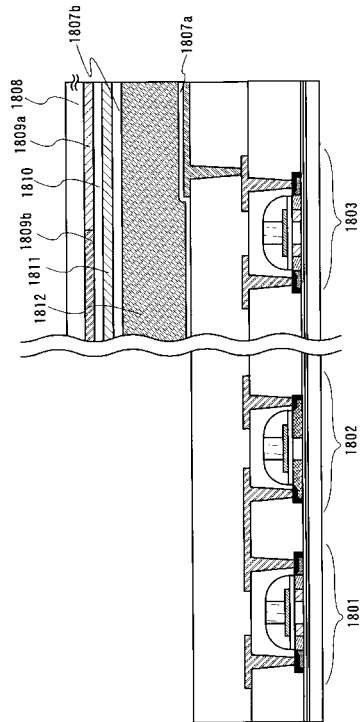
【図 26】



【図 27】

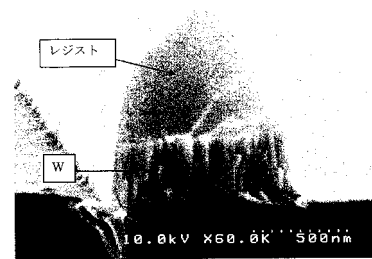


【図 28】

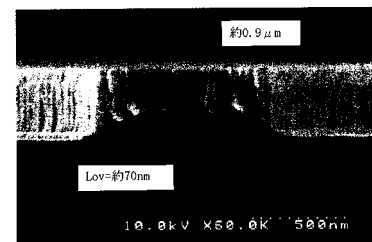


【図 29】

(A)



(B)

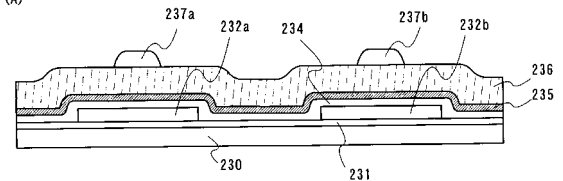


【図 30】

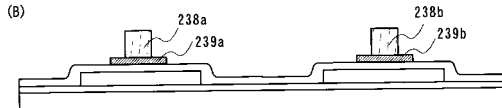


【図 31】

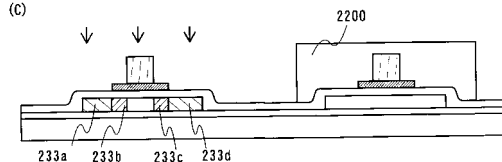
(A)



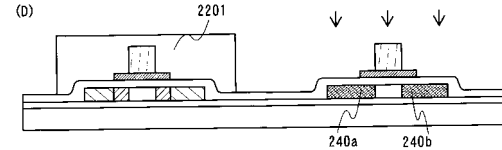
(B)



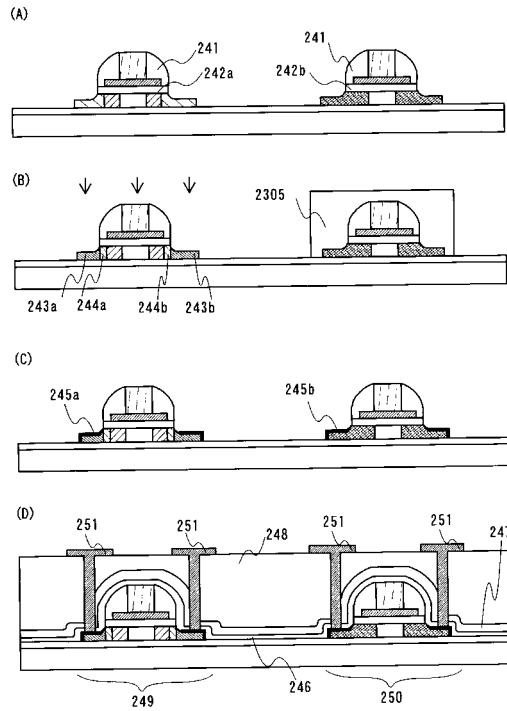
(C)



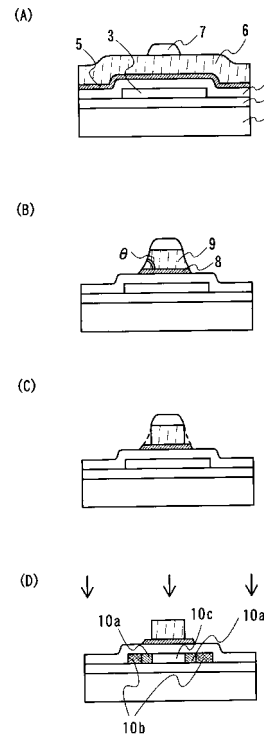
(D)



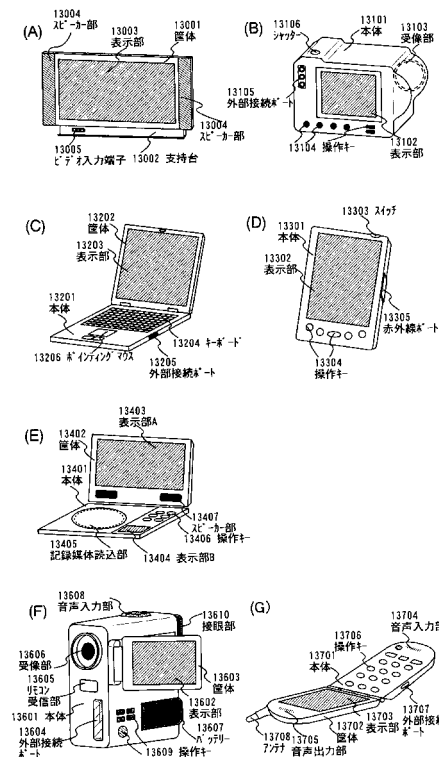
【図 3 2】



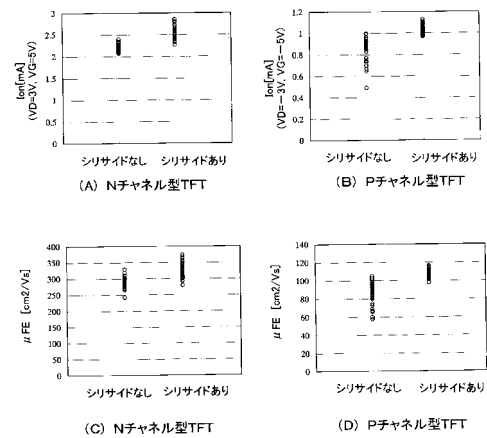
【図 3 3】



【図 3 4】



【図 3 5】



 フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 21/3205 (2006.01)	H 0 1 L 21/28	3 0 1 S	
H 0 1 L 21/768 (2006.01)	H 0 1 L 21/88	R	
H 0 1 L 23/532 (2006.01)	H 0 1 L 21/90	A	

(56)参考文献 特開平 1 0 - 1 3 5 4 7 5 (J P , A)
 特開 2 0 0 1 - 3 4 5 4 5 3 (J P , A)
 特開 2 0 0 4 - 0 0 6 9 7 6 (J P , A)
 特開 2 0 0 4 - 0 4 0 1 0 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 2 8
H 0 1 L	2 1 / 3 2 0 5
H 0 1 L	2 1 / 7 6 8
H 0 1 L	2 3 / 5 3 2
H 0 1 L	2 9 / 4 2 3
H 0 1 L	2 9 / 4 9
H 0 1 L	2 9 / 7 8 6