



(12) 发明专利

(10) 授权公告号 CN 109509424 B

(45) 授权公告日 2021.12.24

(21) 申请号 201910080264.5

(22) 申请日 2019.01.28

(65) 同一申请的已公布的文献号

申请公布号 CN 109509424 A

(43) 申请公布日 2019.03.22

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 马希通 耿立华 李彦孚

(74) 专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 郭润湘

(51) Int.Cl.

G09G 3/20 (2006.01)

审查员 王丹

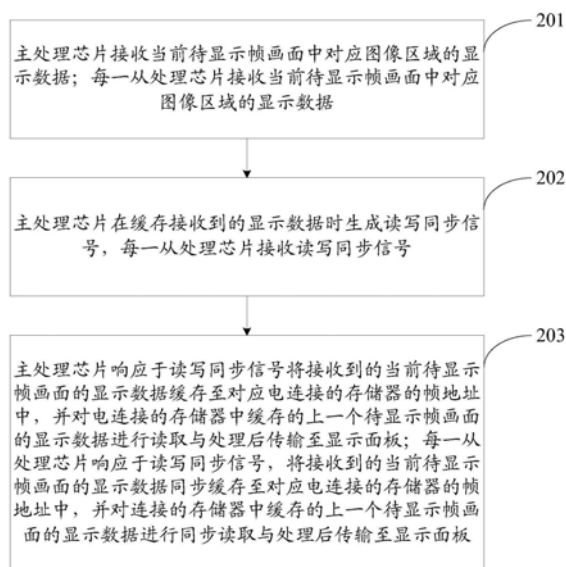
权利要求书3页 说明书12页 附图3页

(54) 发明名称

显示驱动装置、其控制方法及显示装置

(57) 摘要

本发明公开了一种显示驱动装置、其控制方法及显示装置,通过读写同步信号控制主处理芯片和各从处理芯片控制存储器的存储和读取操作,可以避免各处理芯片之间共享存储器的帧地址,这样在某一个处理芯片对应的存储器的帧地址突变时,并不会影响其余处理芯片对应的存储器的帧地址,从而可以保证各个处理芯片输出的显示数据均属于同一帧画面,进而可以消除多个处理芯片不同步导致的画面显示异常的问题。



1. 一种显示驱动装置的控制方法,其特征在于,所述显示驱动装置包括:至少两个处理芯片,与各所述处理芯片一一对应电连接的存储器;各所述存储器存储有按次序设置的多个帧地址;每一待显示帧画面包括至少两个图像区域,同一所述待显示帧画面中,每一所述图像区域对应一个处理芯片;所述至少两个处理芯片中的一个处理芯片为主处理芯片,其余处理芯片为从处理芯片;其中,所述处理芯片包括:现场可编程逻辑门阵列芯片,所述现场可编程逻辑门阵列芯片包括:输入接口、先进先出存储模块、时序产生模块、写存储器控制器、读存储器控制器以及输出端口;

所述控制方法包括:

所述主处理芯片接收当前待显示帧画面中对应图像区域的显示数据;每一所述从处理芯片接收所述当前待显示帧画面中对应图像区域的显示数据;

所述主处理芯片在缓存接收到的显示数据时直接生成读写同步信号,每一所述从处理芯片接收所述读写同步信号;

所述主处理芯片响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板;每一所述从处理芯片响应于所述读写同步信号,将接收到的所述当前待显示帧画面的显示数据同步缓存至对应电连接的存储器的帧地址中,并对连接的所述存储器中缓存的所述上一个待显示帧画面的显示数据进行同步读取与处理后传输至所述显示面板;所述主处理芯片在接收所述当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号;所述从处理芯片在接收所述当前待显示帧画面中对应图像区域的显示数据时还接收所述帧起始信号;

在所述主处理芯片在缓存接收到的显示数据时生成读写同步信号,每一所述从处理芯片接收所述读写同步信号之前,还包括:

所述主处理芯片根据所述帧起始信号生成帧起始同步信号,所述从处理芯片接收所述帧起始同步信号;

所述主处理芯片响应于所述帧起始同步信号和所述帧起始信号生成对应所述主处理芯片接收的显示数据的驱动时序;每一所述从处理芯片响应于所述帧起始同步信号和所述帧起始信号同步生成对应所述从处理芯片接收的显示数据的驱动时序;

在所述主处理芯片在缓存接收到的显示数据时生成读写同步信号,每一所述从处理芯片接收所述读写同步信号之后,具体包括:

所述主处理芯片响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据和对应的驱动时序缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后传输至所述显示面板;每一所述从处理芯片响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据和对应的驱动时序同步缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行同步读取与处理后传输至所述显示面板。

2. 如权利要求1所述的控制方法,其特征在于,每一所述待显示帧画面中的图像区域沿所述显示面板的像素单元的列方向延伸,且沿所述显示面板的像素单元的行方向排列。

3. 如权利要求2所述的控制方法,其特征在于,所述帧起始信号为场同步信号。

4. 如权利要求1所述的控制方法,其特征在于,所述存储器中缓存所述上一个待显示帧画面的显示数据的帧地址的次序在缓存所述当前待显示帧画面的显示数据的帧地址的次序之前。

5. 如权利要求1所述的控制方法,其特征在于,所述主处理芯片电连接的存储器缓存所述当前待显示帧画面的显示数据的帧地址与各所述从处理芯片电连接的存储器缓存所述当前待显示帧画面的显示数据的帧地址相同。

6. 如权利要求1-5任一项所述的控制方法,其特征在于,各所述图像区域的尺寸相同。

7. 一种显示驱动装置,其特征在于,包括:至少两个处理芯片,与各所述处理芯片一一对应电连接的存储器;各所述存储器存储有按次序设置的多个帧地址;每一待显示帧画面包括至少两个图像区域,同一所述待显示帧画面中,每一所述图像区域对应一个处理芯片;所述至少两个处理芯片中的一个处理芯片为主处理芯片,其余处理芯片为从处理芯片;其中,所述处理芯片包括:现场可编程逻辑门阵列芯片;

所述主处理芯片被配置为接收当前待显示帧画面中对应图像区域的显示数据并在缓存时直接生成读写同步信号,响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板;

每一所述从处理芯片被配置为接收所述当前待显示帧画面中对应图像区域的显示数据与所述读写同步信号,响应于所述读写同步信号,将接收到的所述当前待显示帧画面的显示数据同步缓存至对应电连接的存储器的帧地址中,并对连接的所述存储器中缓存的所述上一个待显示帧画面的显示数据进行同步读取与处理后传输至所述显示面板,所述现场可编程逻辑门阵列芯片包括:输入接口、先进先出存储模块、时序产生模块、写存储器控制器、读存储器控制器以及输出端口;所述主处理芯片被配置为在接收所述当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号,根据所述帧起始信号生成帧起始同步信号;响应于所述帧起始同步信号和所述帧起始信号生成对应所述主处理芯片接收的显示数据的驱动时序;响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据和对应的驱动时序缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后传输至所述显示面板;

所述从处理芯片被配置为接收所述帧起始同步信号,并在接收所述当前待显示帧画面中对应图像区域的显示数据时还接收所述帧起始信号;响应于所述帧起始同步信号和所述帧起始信号同步生成对应所述从处理芯片接收的显示数据的驱动时序;响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据和对应的驱动时序同步缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行同步读取与处理后传输至所述显示面板。

8. 如权利要求7所述的显示驱动装置,其特征在于,每一所述处理芯片被配置为接收至少两个待显示帧画面中对应图像区域的显示数据;将接收到的所述至少两个待显示帧画面的显示数据按次序循环缓存至电连接的存储器的帧地址中,以及将对应电连接的存储器中缓存的待显示帧画面的显示数据按次序循环进行读取并转换后传输至所述显示面板;其中,针对每一个所述待显示帧画面,响应于所述读写同步信号将接收到的当前待显示帧画

面的显示数据缓存至电连接的存储器的帧地址中,以及响应于所述读写同步信号对连接的所述存储器中缓存的上一个待显示帧画面的显示数据进行同步读取与处理后传输至所述显示面板。

9.如权利要求7-8任一项所述的显示驱动装置,其特征在于,
所述存储器包括:双倍速率同步动态随机存储器。

10.一种显示装置,其特征在于,包括:显示面板以及如权利要求7-9任一项所述的显示驱动装置。

显示驱动装置、其控制方法及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种显示驱动装置、其控制方法及显示装置。

背景技术

[0002] 目前,通过处理芯片对待显示帧画面的显示数据进行处理后,再输出至显示面板中,对显示面板进行驱动以显示画面。随着高分辨率显示面板的出现,对存储带宽及传输接口的要求越来越高。然而,在实际设计中,一个处理芯片的存储带宽及传输接口的数量是有限的,这就导致仅设置一个处理芯片无法满足高分辨率显示面板的要求,因此需要设置两个或更多的处理芯片。这种设计能够适应高分辨率显示面板的设计,然而,这样设计并不能保证多个处理芯片各自输出的显示数据均属于同一帧画面,从而导致画面的显示异常。

发明内容

[0003] 本发明实施例提供一种显示驱动装置、其控制方法及显示装置,用于通过多个处理芯片对显示数据进行处理,并使各处理芯片同步存储和读取显示数据,以使各处理芯片输出的显示数据均属于同一帧画面。

[0004] 因此,本发明实施例提供了一种显示驱动装置的控制方法,所述显示驱动装置包括:至少两个处理芯片,与各所述处理芯片一一对应电连接的存储器;各所述存储器存储有按次序设置的多个帧地址;每一待显示帧画面包括至少两个图像区域,同一所述待显示帧画面中,每一所述图像区域对应一个处理芯片;所述至少两个处理芯片中的一个处理芯片为主处理芯片,其余处理芯片为从处理芯片;

[0005] 所述控制方法包括:

[0006] 所述主处理芯片接收当前待显示帧画面中对应图像区域的显示数据;每一所述从处理芯片接收所述当前待显示帧画面中对应图像区域的显示数据;

[0007] 所述主处理芯片在缓存接收到的显示数据时生成读写同步信号,每一所述从处理芯片接收所述读写同步信号;

[0008] 所述主处理芯片响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板;每一所述从处理芯片响应于所述读写同步信号,将接收到的所述当前待显示帧画面的显示数据同步缓存至对应电连接的存储器的帧地址中,并对连接的所述存储器中缓存的所述上一个待显示帧画面的显示数据进行同步读取与处理后传输至所述显示面板。

[0009] 可选地,在本发明实施例中,所述主处理芯片在接收所述当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号;所述从处理芯片在接收所述当前待显示帧画面中对应图像区域的显示数据时还接收所述帧起始信号;

[0010] 在所述主处理芯片在缓存接收到的显示数据时生成读写同步信号,每一所述从处理芯片接收所述读写同步信号之前,还包括:

[0011] 所述主处理芯片根据所述帧起始信号生成帧起始同步信号,所述从处理芯片接收所述帧起始同步信号;

[0012] 所述主处理芯片响应于所述帧起始同步信号和所述帧起始信号生成对应所述主处理芯片接收的显示数据的驱动时序;每一所述从处理芯片响应于所述帧起始同步信号和所述帧起始信号同步生成对应所述从处理芯片接收的显示数据的驱动时序;

[0013] 在所述主处理芯片在缓存接收到的显示数据时生成读写同步信号,每一所述从处理芯片接收所述读写同步信号之后,具体包括:

[0014] 所述主处理芯片响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据和对应的驱动时序缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后传输至所述显示面板;每一所述从处理芯片响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据和对应的驱动时序同步缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行同步读取与处理后传输至所述显示面板。

[0015] 可选地,在本发明实施例中,每一所述待显示帧画面中的图像区域沿所述显示面板的像素单元的列方向延伸,且沿所述显示面板的像素单元的行方向排列。

[0016] 可选地,在本发明实施例中,所述帧起始信号为场同步信号。

[0017] 可选地,在本发明实施例中,所述存储器中缓存所述上一个待显示帧画面的显示数据的帧地址的次序在缓存所述当前待显示帧画面的显示数据的帧地址的次序之前。

[0018] 可选地,在本发明实施例中,所述主处理芯片电连接的存储器缓存所述当前待显示帧画面的显示数据的帧地址与各所述从处理芯片电连接的存储器缓存所述当前待显示帧画面的显示数据的帧地址相同。

[0019] 可选地,在本发明实施例中,各所述图像区域的尺寸相同。

[0020] 相应地,本发明实施例还提供了一种显示驱动装置,包括:至少两个处理芯片,与各所述处理芯片一一对应电连接的存储器;各所述存储器存储有按次序设置的多个帧地址;每一待显示帧画面包括至少两个图像区域,同一所述待显示帧画面中,每一所述图像区域对应一个处理芯片;所述至少两个处理芯片中的一个处理芯片为主处理芯片,其余处理芯片为从处理芯片;

[0021] 所述主处理芯片被配置为接收当前待显示帧画面中对应图像区域的显示数据并在缓存时生成读写同步信号,响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至所述显示面板;

[0022] 每一所述从处理芯片被配置为接收所述当前待显示帧画面中对应图像区域的显示数据与所述读写同步信号,响应于所述读写同步信号,将接收到的所述当前待显示帧画面的显示数据同步缓存至对应电连接的存储器的帧地址中,并对连接的所述存储器中缓存的所述上一个待显示帧画面的显示数据进行同步读取与处理后传输至所述显示面板。

[0023] 可选地,在本发明实施例中,所述主处理芯片被配置为在接收所述当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号,根据所述帧起始信号生成帧起始同步信号;响应于所述帧起始同步信号和所述帧起始信号生成对应所述主处理芯片接收的显

示数据的驱动时序;响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据和对应的驱动时序缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后传输至所述显示面板;

[0024] 所述从处理芯片被配置为接收所述帧起始同步信号,并在接收所述当前待显示帧画面中对应图像区域的显示数据时还接收所述帧起始信号;响应于所述帧起始同步信号和所述帧起始信号同步生成对应所述从处理芯片接收的显示数据的驱动时序;响应于所述读写同步信号将接收到的所述当前待显示帧画面的显示数据和对应的驱动时序同步缓存至对应电连接的存储器的帧地址中,并对电连接的所述存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行同步读取与处理后传输至所述显示面板。

[0025] 可选地,在本发明实施例中,每一所述处理芯片被配置为接收至少两个待显示帧画面中对应图像区域的显示数据;将接收到的所述至少两个待显示帧画面的显示数据按次序循环缓存至电连接的存储器的帧地址中,以及将对应电连接的存储器中缓存的待显示帧画面的显示数据按次序循环进行读取并转换后传输至所述显示面板;其中,针对每一个所述待显示帧画面,响应于所述读写同步信号将接收到的当前待显示帧画面的显示数据缓存至电连接的存储器的帧地址中,以及响应于所述读写同步信号对连接的所述存储器中缓存的上一个待显示帧画面的显示数据进行同步读取与处理后传输至所述显示面板。

[0026] 可选地,在本发明实施例中,所述处理芯片包括:现场可编程逻辑门阵列芯片;和/或,

[0027] 所述存储器包括:双倍速率同步动态随机存储器。

[0028] 相应地,本发明实施例还提供了一种显示装置,包括:显示面板以及上述显示驱动装置。

[0029] 本发明有益效果如下:

[0030] 本发明实施例提供的显示驱动装置、其控制方法及显示装置,通过设置一个主处理芯片及多个从处理芯片,这样可以有利于实现高分辨率显示面板的设计。并且,在主处理芯片对接收的当前待显示帧画面中对应图像区域的显示数据进行缓存时,可以生成读写同步信号并将生成的读写同步信号发送给每一个从处理芯片。以通过读写同步信号控制主处理芯片和每一从处理芯片将接收到的当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板,以驱动显示面板进行画面显示。并且,由于通过读写同步信号控制主处理芯片和各从处理芯片控制存储器的存储和读取操作,可以避免各处理芯片之间共享存储器的帧地址,这样在某一个处理芯片对应的存储器的帧地址突变时,并不会影响其余处理芯片对应的存储器的帧地址,从而可以保证各个处理芯片输出的显示数据均属于同一帧画面,进而可以消除多个处理芯片不同步导致的画面显示异常的问题。

附图说明

[0031] 图1为本发明实施例中显示驱动装置的结构示意图;

[0032] 图2为本发明实施例中控制方法的流程图;

[0033] 图3为本发明实施例中VS信号的示意图;

[0034] 图4为本发明实施例中显示驱动装置的具体结构示意图。

具体实施方式

[0035] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的显示驱动装置、其控制方法及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。需要注意的是,附图中各图形尺寸和形状不反映真实比例,目的只是示意说明本发明内容。并且自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。

[0036] 一般处理芯片可以设置为现场可编程逻辑门阵列(Field Programmable Gate Array,FPGA)芯片。这样待显示帧画面的显示数据可以经过FPGA芯片进行相关的图像处理后再输出至显示面板中,以对显示面板进行驱动,实现画面显示。通常的做法是通过FPGA芯片将几个待显示帧画面的显示数据缓存至与该FPGA芯片电连接的存储器内,而后FPGA芯片对存储器内缓存的显示数据进行读取并处理后输出给显示面板。

[0037] 随着高分辨率显示面板的出现,对存储带宽和高速传输接口的要求越来越高。在实际设计中,一个FPGA芯片的存储带宽及传输接口的数量是有限的,这就导致仅设置一个FPGA芯片无法满足高分辨率显示面板的要求,从而需要设置两个或更多的FPGA芯片。由于设置多个FPGA芯片,通常会将一个待显示帧画面分割为多个区域,其中,一个区域对应一个FPGA芯片,一个FPGA芯片对应设置一个存储器。每一FPGA芯片均将多帧待显示帧画面对应区域的显示数据在对应的存储器中按次序进行存储,而后读取对应存储器中的显示数据并进行处理后输出给显示面板。这种设计能够适应高分辨率显示面板的要求。

[0038] 为了保证多个FPGA芯片各自输出的显示数据可以均属于同一帧画面,一般通过使各FPGA芯片之间共享存储器的帧地址。即在一个FPGA芯片将某一帧待显示帧画面的显示数据存储至对应的存储器的帧地址中时,其余FPGA芯片对应的存储器的帧地址也同步变化,以将该待显示帧画面的显示数据同步存储至对应的存储器的帧地址中。然而,在存储器初始化失败或传输接口不能锁定等问题出现时,可能会导致某个FPGA芯片的存储器的帧地址突变,例如复位。由于各FPGA芯片之间共享存储器的帧地址,若某个FPGA芯片的存储器的帧地址突变,其余FPGA芯片的存储器的帧地址也会突变。这样可能导致各FPGA芯片从存储器中存储和读取的显示数据不能属于同一帧画面,从而导致画面的显示异常。

[0039] 基于此,如图1所示,本发明实施例提供了一种显示驱动装置,可以包括:至少两个处理芯片100_m(m 为大于或等于1且小于或等于 M 的整数, M 为处理芯片的总数,且 M 为大于1的整数,图1以 $M=2$ 为例),与各处理芯片100_m一一对应电连接的存储器200_m。各存储器200_m存储有按次序设置的多个帧地址,例如,存储器200_m可以具有按次序设置的 K 个帧地址,即帧地址0、1、2、...、 $K-1$;其中, K 为大于1的整数。

[0040] 并且,每一待显示帧画面可以包括至少两个图像区域AA_m,同一待显示帧画面中,每一图像区域AA_m对应一个处理芯片100_m。例如,图像区域AA₁对应处理芯片100₁,图像区域AA₂对应处理芯片100₂,其余同理,在此不作赘述。将这 M 个处理芯片中的一个处理芯片定义为主处理芯片,其余处理芯片定义为从处理芯片,例如将处理芯片100₁定义为主处理芯片,处理芯片100₂~100_M定义为从处理芯片。

[0041] 如图2所示,本发明实施例提供的显示驱动装置的控制方法,可以包括如下步骤:

[0042] S201、主处理芯片接收当前待显示帧画面中对应图像区域的显示数据;每一从处理芯片接收当前待显示帧画面中对应图像区域的显示数据;

[0043] S202、主处理芯片在缓存接收到的显示数据时生成读写同步信号,每一从处理芯片接收读写同步信号;

[0044] S203、主处理芯片响应于读写同步信号将接收到的当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板;每一从处理芯片响应于读写同步信号,将接收到的当前待显示帧画面的显示数据同步缓存至对应电连接的存储器的帧地址中,并对连接的存储器中缓存的上一个待显示帧画面的显示数据进行同步读取与处理后传输至显示面板。

[0045] 本发明实施例提供的显示驱动装置的控制方法,通过设置一个主处理芯片及多个从处理芯片,这样可以有利于实现高分辨率显示面板的设计。并且,在主处理芯片对接收的当前待显示帧画面中对应图像区域的显示数据进行缓存时,可以生成读写同步信号并将生成的读写同步信号发送给每一个从处理芯片。以通过读写同步信号控制主处理芯片和每一从处理芯片将接收到的当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板,以驱动显示面板进行画面显示。并且,由于通过读写同步信号控制主处理芯片和各从处理芯片控制存储器的存储和读取操作,可以避免各处理芯片之间共享存储器的帧地址,这样在某一个处理芯片对应的存储器的帧地址突变时,并不会影响其余处理芯片对应的存储器的帧地址,从而可以保证各个处理芯片输出的显示数据均属于同一帧画面,进而可以消除多个处理芯片不同步导致的画面显示异常的问题。

[0046] 在具体实施时,如图1所示,可以使 $M=2$,这样可以设置2个处理芯片100_1~100_2,2个存储器200_1~200_2。或者,也可以使 $M=3$,这样可以设置3个处理芯片100_1~100_3,3个存储器200_1~200_3。或者,也可以使 $M=4$,这样可以设置4个处理芯片100_1~100_4,4个存储器200_1~200_4。当然,不同应用环境对 M 的取值的需求不同,因此 M 的取值可以根据实际应用环境来设计确定,在此不作限定。

[0047] 在具体实施时,如图1所示,各处理芯片100_m均连接同一个信号接收接口400,以通过信号接收接口400接收待显示帧画面的显示数据。在本发明实施例中,可以使主处理芯片电连接的存储器缓存当前待显示帧画面的显示数据的帧地址与各从处理芯片电连接的存储器缓存当前待显示帧画面的显示数据的帧地址相同。这样使得从存储器中读取存储的显示数据的帧地址也相同。例如,以某个视频具有300个连续的画面,存储器200_m可以存储3个帧地址:帧地址0、帧地址1以及帧地址2为例。主处理芯片100_1在对应的存储器200_1的帧地址0中存储第1个待显示帧画面中对应图像区域AA_m的显示数据,从处理芯片100_2~100_M也在对应的存储器200_2~100_M的帧地址0中存储第1个待显示帧画面中对应图像区域AA_m的显示数据。主处理芯片100_1在对应的存储器200_1的帧地址1中存储第2个待显示帧画面中对应图像区域AA_m的显示数据,从处理芯片100_2~100_M也在对应的存储器200_2~100_M的帧地址1中存储第2个待显示帧画面中对应图像区域AA_m的显示数据。其余同理,在此不作赘述。当然,在实际应用中,也可以使主处理芯片电连接的存储器缓存当前待

显示帧画面的显示数据的帧地址与各从处理芯片电连接的存储器缓存当前待显示帧画面的显示数据的帧地址不相同,在此不作限定。

[0048] 进一步地,在具体实施时,可以使存储器中缓存上一个待显示帧画面的显示数据的帧地址的次序在缓存当前待显示帧画面的显示数据的帧地址的次序之前。这样可以确保读取的帧地址位于存储的帧地址之前,从而避免显示异常的问题。例如,处理芯片100_m在对应的存储器200_m的帧地址0中存储有第1个待显示帧画面中对应图像区域AA_m的显示数据,则处理芯片100_m响应于读写同步信号在对应的存储器200_m的帧地址1中存储第2个待显示帧画面中对应图像区域AA_m的显示数据,并将对应的存储器200_m的帧地址0中存储的第1个待显示帧画面的显示数据进行读取并转换后传输至显示面板。之后,响应于读写同步信号在对应的存储器200_m的帧地址2中存储第3个待显示帧画面中对应图像区域AA_m的显示数据,并将对应的存储器200_m的帧地址1中存储的第2个待显示帧画面的显示数据进行读取并转换后传输至显示面板。其余同理,在此不作赘述。

[0049] 在具体实施时,每一处理芯片100_m可以被配置为接收至少两个待显示帧画面中对应图像区域AA_m的显示数据,响应于读写同步信号将接收到的至少两个待显示帧画面的显示数据按次序循环缓存至电连接的存储器200_m的帧地址中,以及将对应的存储器200_m中缓存的待显示帧画面的显示数据按次序循环进行读取并转换后传输至显示面板。这样可以避免存储和读取同一存储器中的帧地址,从而避免显示异常的问题。

[0050] 具体地,存储器200_m存储的帧地址可以为N个。例如,以N=3为例,存储器200_m可以存储3个帧地址:帧地址0、帧地址1以及帧地址2。例如某个新视频具有300个连续的画面,则处理芯片100_m循环接收3个待显示帧画面中对应图像区域AA_m的显示数据。处理芯片100_m将接收到的3个待显示帧画面的显示数据(即连续的3个待显示帧画面的显示数据)按次序循环缓存至电连接的存储器200_m的帧地址中,并将对应的存储器200_m中缓存的3个待显示帧画面的显示数据按次序循环进行读取并转换后传输至显示面板,指的可以是:响应于读写同步信号先在对应的存储器200_m的帧地址0中存储该新视频的第1个待显示帧画面的显示数据,并将帧地址0中存储的上一个视频的待显示帧画面的显示数据进行读取并转换后传输至显示面板。之后,响应于读写同步信号在对应的存储器200_m的帧地址1中存储第2个待显示帧画面的显示数据,并将帧地址0中存储的第1个待显示帧画面的显示数据进行读取并转换后传输至显示面板,以使显示面板显示第1个待显示帧画面。之后,响应于读写同步信号在对应的存储器200_m的帧地址2中存储第3个待显示帧画面的显示数据,并将帧地址1中存储的第2个待显示帧画面的显示数据进行读取并转换后传输至显示面板,以使显示面板显示第2个待显示帧画面。之后,响应于读写同步信号在对应的存储器200_m的帧地址0中存储第4个待显示帧画面的显示数据,并将帧地址2中存储的第3个待显示帧画面的显示数据进行读取并转换后传输至显示面板,以使显示面板显示第3个待显示帧画面。之后,响应于读写同步信号在对应的存储器200_m的帧地址1中存储第5个待显示帧画面的显示数据,并将帧地址0中存储的第4个待显示帧画面的显示数据进行读取并转换后传输至显示面板,以使显示面板显示第4个待显示帧画面。之后,响应于读写同步信号在对应的存储器200_m的帧地址2中存储第6个待显示帧画面的显示数据,并将帧地址1中存储的第5个待显示帧画面的显示数据进行读取并转换后传输至显示面板,以使显示面板显示第5个待显示帧画面。之后按照帧地址0、帧地址1、帧地址2的次序进行循环存储,以及按照帧地址2、帧

地址0、帧地址1的次序进行循环读取,以驱动显示面板显示,在此不作赘述。

[0051] 进一步地,为了使各处理芯片接收得到的显示数据的驱动时序同步,在具体实施时,在本发明实施例中,主处理芯片在接收当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号,并且从处理芯片在接收当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号。即各处理芯片在接收当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号。

[0052] 并且,在主处理芯片在缓存接收到的显示数据时生成读写同步信号,每一从处理芯片接收读写同步信号之前,还可以包括:

[0053] 主处理芯片根据帧起始信号生成帧起始同步信号,从处理芯片接收帧起始同步信号;

[0054] 主处理芯片响应于帧起始同步信号和帧起始信号生成对应主处理芯片接收的显示数据的驱动时序;每一从处理芯片响应于帧起始同步信号和帧起始信号同步生成对应从处理芯片接收的显示数据的驱动时序。

[0055] 以及,在主处理芯片在缓存接收到的显示数据时生成读写同步信号,每一从处理芯片接收读写同步信号之后,具体可以包括:

[0056] 主处理芯片响应于读写同步信号将接收到的当前待显示帧画面的显示数据和对应的驱动时序缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后传输至显示面板;每一从处理芯片响应于读写同步信号将接收到的当前待显示帧画面的显示数据和对应的驱动时序同步缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行同步读取与处理后传输至显示面板。

[0057] 这样使得主处理芯片在接收当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号,根据帧起始信号生成帧起始同步信号;之后,响应于帧起始同步信号和帧起始信号生成对应主处理芯片接收的显示数据的驱动时序。之后,在主处理芯片在缓存接收到的显示数据时生成读写同步信号,以响应于读写同步信号将接收到的当前待显示帧画面的显示数据和对应的驱动时序缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后传输至显示面板。并且,从处理芯片在接收当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号;并且,从处理芯片还接收主处理芯片发送的帧起始同步信号,响应于帧起始同步信号和帧起始信号同步生成对应从处理芯片接收的显示数据的驱动时序。之后,每一从处理芯片接收读写同步信号,以响应于读写同步信号将接收到的当前待显示帧画面的显示数据和对应的驱动时序同步缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行同步读取与处理后传输至显示面板。这样主处理芯片通过帧起始信号可以确定一帧画面的开始,从而生成帧起始同步信号,以通过帧起始同步信号同时控制主处理芯片和从处理芯片分别对应各自接收的显示数据的驱动时序,从而可以使驱动显示数据显示的时序可以打齐,以使画面同步刷新。

[0058] 在具体实施时,在本发明实施例中,可以使每一待显示帧画面中的图像区域沿显示面板的像素单元的列方向延伸,且沿显示面板的像素单元的行方向排列。即可以使每一

待显示帧画面包括沿显示面板的像素单元的行方向依次排列的M个图像区域。以M=2为例,结合图1所示,每一待显示帧画面可以包括沿显示面板300的像素单元的行方向F1依次排列的2个图像区域AA_1和AA_2。

[0059] 一般显示面板中会设置场同步信号(VS),如图3所示,VS信号的作用是选择出显示面板中有效场信号区间,例如VS信号中的下降沿时,可以说明一个新的待显示帧画面的显示数据开始根据显示面板中的第一行至最后一行像素单元依次传输了。在具体实施时,在本发明实施例中,帧起始信号可以设置为场同步信号。这样可以保证存储器根据第一行至最后一行像素单元的顺序将对应图像区域的显示数据存储到帧地址中。

[0060] 进一步地,显示面板中还会设置行同步信号(HS),有效显示数据选通信号(DE)等信号,在具体实施时,在本发明实施例中,各处理芯片在接收当前待显示帧画面中对应图像区域的显示数据时还可以接收HS信号和DE信号中的至少一个,在此不作限定。当然,HS信号和DE信号的功能与现有技术中的功能基本相同,为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0061] 在具体实施时,在本发明实施例中,可以使各图像区域AA_m的尺寸相同。这样可以使各处理芯片存储、读取以及处理的数据较均匀,从而使各处理芯片的功耗较均匀,以使各处理芯片的寿命较均匀。

[0062] 基于同一发明构思,本发明实施例还提供了一种显示驱动装置,如图1所示,主处理芯片100_1被配置为接收当前待显示帧画面中对应图像区域AA_1的显示数据并生成读写同步信号,主处理芯片100_1响应于读写同步信号将接收到的当前待显示帧画面的显示数据缓存至对应电连接的存储器200_1的帧地址中,并对电连接的存储器200_1中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板300;

[0063] 每一从处理芯片100_2~100_M被配置为接收当前待显示帧画面中对应图像区域的显示数据AA_2~AA_M与读写同步信号,响应于读写同步信号,将接收到的当前待显示帧画面的显示数据同步缓存至对应电连接的存储器200_2~200_M的帧地址中,并对连接的存储器200_2~200_M中缓存的上一个待显示帧画面的显示数据进行同步读取与处理后传输至显示面板300。

[0064] 本发明实施例提供的显示驱动装置,通过设置一个主处理芯片及多个从处理芯片,这样可以有利于实现高分辨率显示面板的设计。并且,在主处理芯片将接收的当前待显示帧画面中对应图像区域的显示数据进行缓存时,可以生成读写同步信号并将生成的读写同步信号发送给每一个从处理芯片。以通过读写同步信号控制主处理芯片和每一从处理芯片将接收到的当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板,以驱动显示面板进行画面显示。并且,由于通过读写同步信号控制主处理芯片和各从处理芯片控制存储器的存储和读取操作,可以避免各处理芯片之间共享存储器的帧地址,这样在某一个处理芯片对应的存储器的帧地址突变时,并不会影响其余处理芯片对应的存储器的帧地址,从而可以保证各个处理芯片输出的显示数据均属于同一帧画面,进而可以消除多个处理芯片不同步导致的画面显示异常的问题。

[0065] 在具体实施时,在本发明实施例中,每一处理芯片被配置为接收至少两个待显示帧画面中对应图像区域的显示数据;将接收到的至少两个待显示帧画面的显示数据按次序

循环缓存至电连接的存储器的帧地址中,以及将对应电连接的存储器中缓存的待显示帧画面的显示数据按次序循环进行读取并转换后传输至显示面板;其中,针对每一个待显示帧画面,响应于读写同步信号将接收到的当前待显示帧画面的显示数据缓存至电连接的存储器的帧地址中,以及响应于读写同步信号对连接的存储器中缓存的上一个待显示帧画面的显示数据进行同步读取与处理后传输至显示面板。

[0066] 在具体实施时,在本发明实施例中,主处理芯片被配置为在接收当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号,根据帧起始信号生成帧起始同步信号;响应于帧起始同步信号和帧起始信号生成对应主处理芯片接收的显示数据的驱动时序;响应于读写同步信号将接收到的当前待显示帧画面的显示数据和对应的驱动时序缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后传输至显示面板;

[0067] 从处理芯片被配置为接收帧起始同步信号,并在接收当前待显示帧画面中对应图像区域的显示数据时还接收帧起始信号;响应于帧起始同步信号和帧起始信号同步生成对应从处理芯片接收的显示数据的驱动时序;响应于读写同步信号将接收到的当前待显示帧画面的显示数据和对应的驱动时序同步缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行同步读取与处理后传输至显示面板。

[0068] 在具体实施时,在本发明实施例中,可以使存储器包括:双倍速率同步动态随机存储器(Double Data Rate Synchronous Dynamic Random Access Memory,DDR SDRAM)。当然,在实际应用中,存储器还可以为其他类型的存储器,在此不作限定。

[0069] 在具体实施时,在本发明实施例中,可以使处理芯片100_m可以包括:现场可编程逻辑门阵列芯片,即FPGA芯片。其中,如图4所示,处理芯片100_m中的FPGA芯片可以包括:输入接口RX1_m和RX2_m,先进先出(First InputFirst Output,FIFO)存储模块110_m、时序产生模块120_m、写存储器控制器130_m、读存储器控制器140_m以及输出端口170_m。当然,在实际应用中,处理芯片还可以为其他芯片,在此不作限定。

[0070] 在具体实施时,输入接口RX1_m和RX2_m与信号接收接口400电连接。其中,输入接口RX1_m和RX2_m可以包括:高清多媒体接口(High DefinitionMultimedia Interface,HDMI)。例如,HDMI 2.0接口。当然,输入接口RX1_m和RX2_m还可以为其他可实现本发明效果的接口,在此不作限定。

[0071] 在具体实施时,FIFO存储模块可以为FIFO存储器,其可以是FPGA芯片内部的随机存取存储器(random access memory,RAM)。其用于存储输入接口RX1_m和RX2_m接收到的显示信号。并且,主处理芯片中的FIFO存储器还用于根据帧起始信号生成帧起始同步信号,并提供给各从处理芯片中的时序产生模块120_1。并且,FIFO存储器的结构可以与现有技术中的结构基本相同,在此不作赘述。

[0072] 在具体实施时,时序产生模块120_m可以包括时序产生器,用于响应于帧起始同步信号和对应的帧起始信号,以同步生成对应各处理芯片100_m接收的显示数据的驱动时序。

[0073] 在具体实施时,写存储器控制器130_m可以包括写入式直接记忆体存取(WDMA)引擎。并且,WDMA引擎的结构可以与现有技术中的结构基本相同,在此不作赘述。

[0074] 在具体实施时,读存储器控制器140_m可以包括读取式直接记忆体存取(RDMA)引

擎。并且, RDMA引擎的结构可以与现有技术中的结构基本相同, 在此不作赘述。

[0075] 在具体实施时, 输出端口170_m可以包括V-By-One接口。并且, V-By-One接口的结构可以与现有技术中的结构基本相同, 在此不作赘述。

[0076] 进一步地, 如图4所示, 处理芯片100_m中的FPGA芯片一般还可以包括: AXI (Advanced eXtensible Interface) 总线模块150_m和数据交互模块160_m; 其中, 写存储器控制器130_m可以通过AXI总线模块150_m和数据交互模块160_m与存储器200_m进行数据交互。进一步地, 数据交互模块160_m还可以用于对存储器200_m中的底层存储进行初始化。其中, AXI总线模块150_m和数据交互模块160_m的结构可以与现有技术中的结构基本相同, 在此不作赘述。

[0077] 具体地, 以图4所示的驱动装置的结构为例, 对本发明实施例提供的驱动装置的工作过程进行说明。其中, 以存储器200_m存储的帧地址为: 帧地址0、帧地址1以及帧地址3为例进行说明。

[0078] 主处理芯片100_1通过输入接口RX1_1和RX2_1接收第1个待显示帧画面中对应图像区域AA_1的显示数据与帧起始信号, 并将接收到的当前待显示帧画面中对应图像区域AA_1的显示数据与帧起始信号先存储在FIFO存储模块110_1中。从处理芯片100_2通过输入接口RX1_2和RX2_2接收第1个待显示帧画面中对应图像区域AA_2的显示数据与帧起始信号, 并将接收到的当前待显示帧画面中对应图像区域AA_2的显示数据与帧起始信号先存储在FIFO存储模块110_2中。

[0079] FIFO存储模块110_1根据帧起始信号生成帧起始同步信号FS_1, 并发送给主处理芯片100_1的时序产生模块120_1与从处理芯片100_2的时序产生模块120_2。

[0080] 主处理芯片100_1中的时序产生模块120_1响应于帧起始同步信号FS_1和对应的帧起始信号生成对应主处理芯片100_1接收的显示数据的驱动时序。并且, 从处理芯片100_2中的时序产生模块120_2响应于帧起始同步信号FS_1和对应的帧起始信号同步生成对应从处理芯片100_2接收的显示数据的驱动时序。以对主处理芯片100_1和从处理芯片100_2接收到的显示数据进行同步处理, 使这两个芯片中的显示数据打齐。

[0081] 主处理芯片100_1中的写存储器控制器130_1接收FIFO存储模块110_1中存储的显示数据以及接收该显示数据对应的驱动时序, 并生成读写同步信号DX_1, 以及将读写同步信号DX_1发送给主处理芯片100_1中的读存储器控制器140_1、从处理芯片100_2中的写存储器控制器130_2和读存储器控制器140_2。

[0082] 主处理芯片100_1中的写存储器控制器130_1响应于读写同步信号DX_1将接收到的第1个待显示帧画面的显示数据和对应的驱动时序缓存至电连接的存储器200_1的帧地址0中, 并响应于该读写同步信号DX_1对存储器200_1中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后通过接口170_1传输至显示面板200。并且, 从处理芯片100_2中的写存储器控制器130_2响应于读写同步信号DX_1将接收到的第一个待显示帧画面的显示数据和对应的驱动时序缓存至电连接的存储器200_2的帧地址0中, 并响应于该读写同步信号DX_1对存储器200_2中缓存的上一个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后通过接口170_2传输至显示面板200。这样可以使显示面板200显示上一帧的画面。

[0083] 之后, 主处理芯片100_1通过输入接口RX1_1和RX2_1接收第2个待显示帧画面中对

应图像区域AA_1的显示数据与帧起始信号,并将接收到的当前待显示帧画面中对应图像区域AA_1的显示数据与帧起始信号先存储在FIFO存储模块110_1中。从处理芯片100_2通过输入接口RX1_2和RX2_2接收第2个待显示帧画面中对应图像区域AA_2的显示数据与帧起始信号,并将接收到的当前待显示帧画面中对应图像区域AA_2的显示数据与帧起始信号先存储在FIFO存储模块110_2中。

[0084] FIFO存储模块110_1根据帧起始信号生成帧起始同步信号FS_2,并发送给主处理芯片100_1的时序产生模块120_1与从处理芯片100_2的时序产生模块120_2。

[0085] 主处理芯片100_1中的时序产生模块120_1响应于帧起始同步信号FS_2和对应的帧起始信号生成对应主处理芯片100_1接收的显示数据的驱动时序。并且,从处理芯片100_2中的时序产生模块120_2响应于帧起始同步信号FS_2和对应的帧起始信号同步生成对应从处理芯片100_2接收的显示数据的驱动时序。以对主处理芯片100_1和从处理芯片100_2接收到的显示数据进行同步处理,使这两个芯片中的显示数据打齐。

[0086] 主处理芯片100_1中的写存储器控制器130_1接收FIFO存储模块110_1中存储的显示数据以及接收该显示数据对应的驱动时序,并生成读写同步信号DX_2,以及将读写同步信号DX_2发送给主处理芯片100_1中的读存储器控制器140_1、从处理芯片100_2中的写存储器控制器130_2和读存储器控制器140_2。

[0087] 主处理芯片100_1中的写存储器控制器130_1响应于读写同步信号DX_2将接收到的第2个待显示帧画面的显示数据和对应的驱动时序缓存至电连接的存储器200_1的帧地址1中,并响应于该读写同步信号DX_2对存储器200_1中缓存的第1个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后通过接口170_1传输至显示面板200。并且,从处理芯片100_2中的写存储器控制器130_2响应于读写同步信号DX_2将接收到的第2个待显示帧画面的显示数据和对应的驱动时序缓存至电连接的存储器200_2的帧地址1中,并响应于该读写同步信号DX_2对存储器200_2中缓存的第1个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后通过接口170_2传输至显示面板200。这样可以使显示面板200显示第1个待显示帧画面。

[0088] 之后,主处理芯片100_1通过输入接口RX1_1和RX2_1接收第3个待显示帧画面中对应图像区域AA_1的显示数据与帧起始信号,并将接收到的当前待显示帧画面中对应图像区域AA_1的显示数据与帧起始信号先存储在FIFO存储模块110_1中。从处理芯片100_2通过输入接口RX1_2和RX2_2接收第3个待显示帧画面中对应图像区域AA_2的显示数据与帧起始信号,并将接收到的当前待显示帧画面中对应图像区域AA_2的显示数据与帧起始信号先存储在FIFO存储模块110_2中。

[0089] FIFO存储模块110_1根据帧起始信号生成帧起始同步信号FS_3,并发送给主处理芯片100_1的时序产生模块120_1与从处理芯片100_2的时序产生模块120_2。

[0090] 主处理芯片100_1中的时序产生模块120_1响应于帧起始同步信号FS_3和对应的帧起始信号生成对应主处理芯片100_1接收的显示数据的驱动时序。并且,从处理芯片100_2中的时序产生模块120_2响应于帧起始同步信号FS_3和对应的帧起始信号同步生成对应从处理芯片100_2接收的显示数据的驱动时序。以对主处理芯片100_1和从处理芯片100_2接收到的显示数据进行同步处理,使这两个芯片中的显示数据打齐。

[0091] 主处理芯片100_1中的写存储器控制器130_1接收FIFO存储模块110_1中存储的显

示数据以及接收该显示数据对应的驱动时序,并生成读写同步信号DX_3,以及将读写同步信号DX_3发送给主处理芯片100_1中的读存储器控制器140_1、从处理芯片100_2中的写存储器控制器130_2和读存储器控制器140_2。

[0092] 主处理芯片100_1中的写存储器控制器130_1响应于读写同步信号DX_3将接收到的第3个待显示帧画面的显示数据和对应的驱动时序缓存至电连接的存储器200_1的帧地址2中,并响应于该读写同步信号DX_2对存储器200_1中缓存的第2个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后通过接口170_1传输至显示面板200。并且,从处理芯片100_2中的写存储器控制器130_2响应于读写同步信号DX_3将接收到的第3个待显示帧画面的显示数据和对应的驱动时序缓存至电连接的存储器200_2的帧地址2中,并响应于该读写同步信号DX_3对存储器200_2中缓存的第2个待显示帧画面的显示数据和对应的驱动时序进行读取与处理后通过接口170_1传输至显示面板200。这样可以使显示面板200显示第2个待显示帧画面。之后同理,以此类推,在此不作赘述。

[0093] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括显示面板和本发明实施例提供的显示驱动装置。该显示装置的实施可以参见上述显示驱动装置的实施例,重复之处不再赘述。

[0094] 在具体实施时,在本发明实施例中,显示面板例如可以为液晶显示面板或电致发光显示面板,在此不作限定。

[0095] 在具体实施时,在本发明实施例中,显示装置可以为:手机、平板电脑、电视机、显示面板、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0096] 本发明实施例提供的显示驱动装置、其控制方法及显示装置,通过设置一个主处理芯片及多个从处理芯片,这样可以有利于实现高分辨率显示面板的设计。并且,在主处理芯片对接收的当前待显示帧画面中对应图像区域的显示数据进行缓存时,可以生成读写同步信号并将生成的读写同步信号发送给每一个从处理芯片。以通过读写同步信号控制主处理芯片和每一从处理芯片将接收到的当前待显示帧画面的显示数据缓存至对应电连接的存储器的帧地址中,并对电连接的存储器中缓存的上一个待显示帧画面的显示数据进行读取与处理后传输至显示面板,以驱动显示面板进行画面显示。并且,由于通过读写同步信号控制主处理芯片和各从处理芯片控制存储器的存储和读取操作,可以避免各处理芯片之间共享存储器的帧地址,这样在某一个处理芯片对应的存储器的帧地址突变时,并不会影响其余处理芯片对应的存储器的帧地址,从而可以保证各个处理芯片输出的显示数据均属于同一帧画面,进而可以消除多个处理芯片不同步导致的画面显示异常的问题。

[0097] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

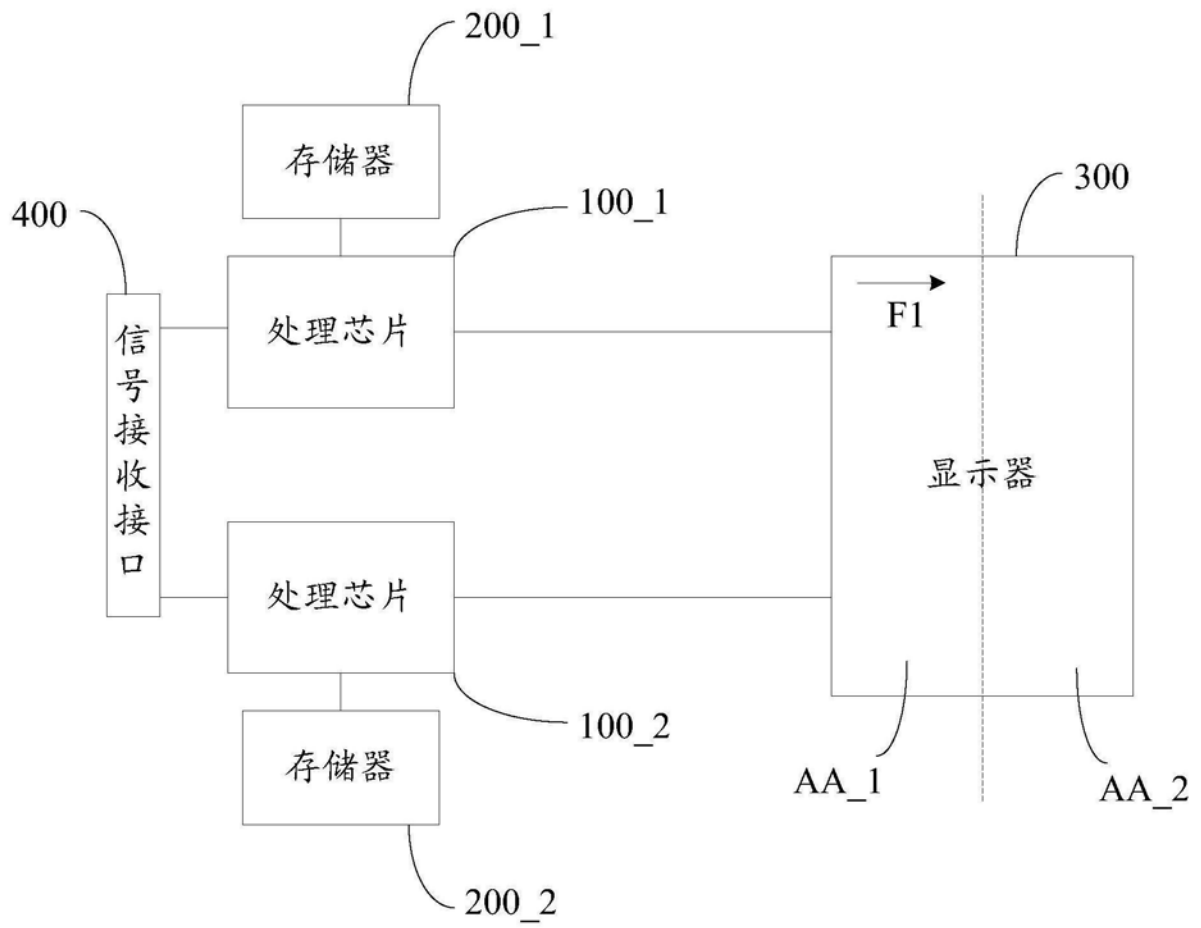


图1

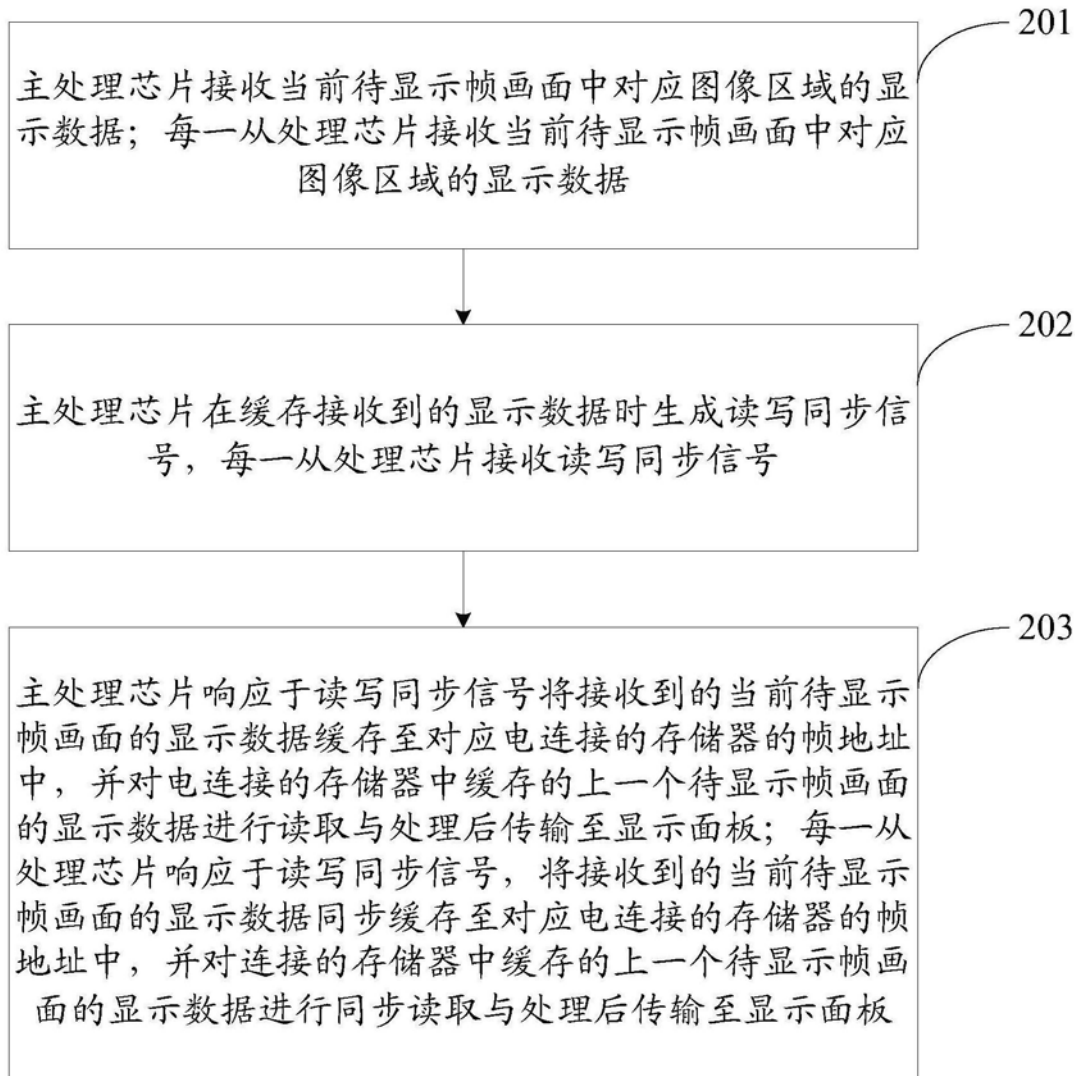


图2



图3

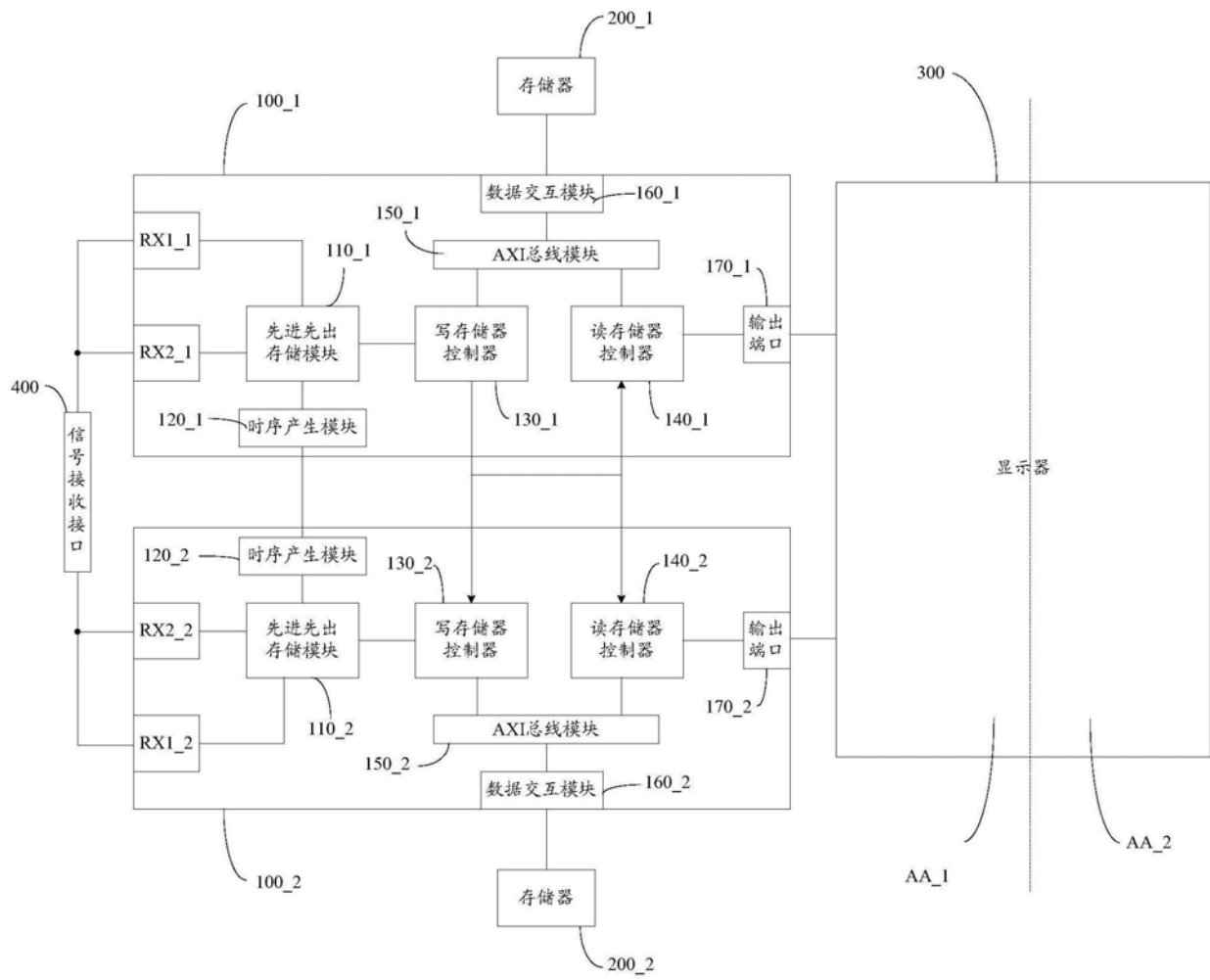


图4