



(12) 发明专利

(10) 授权公告号 CN 101309345 B

(45) 授权公告日 2011. 01. 12

(21) 申请号 200810097156. 0

(22) 申请日 2008. 05. 19

(30) 优先权数据

132787/07 2007. 05. 18 JP

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 田浦忠行

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

(51) Int. Cl.

H04N 3/15(2006. 01)

H04N 5/335(2006. 01)

审查员 蒋一明

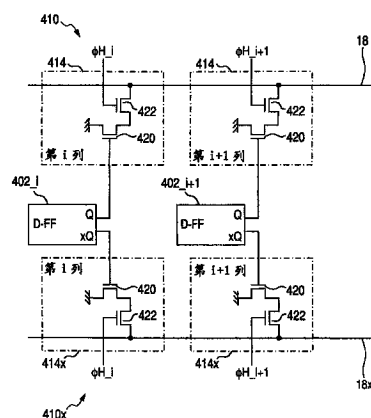
权利要求书 2 页 说明书 31 页 附图 16 页

(54) 发明名称

固态成像设备、成像装置和电子装置

(57) 摘要

提供了一种固态成像设备、成像装置和电子装置。该固态成像设备包括：排列了单位像素的像素单元；互补信号生成单元，其基于从所述像素单元中的各个单位像素中读出的模拟像素信号，生成彼此具有互补性的两种互补信号；两种互补信号线，在其上传输所述两种互补信号；水平扫描单元，其在所述互补信号线上传送所述两种互补信号中的每个；以及差分放大单元，其通过差分输入来接收所述两种互补信号线上的信号，并比较所述信号。



1. 一种固态成像设备,包括:
排列了单位像素的像素单元;
互补信号生成单元,其基于从所述像素单元中的各个单位像素中读出的模拟像素信号,生成彼此具有互补性的两种互补信号;
两种互补信号线,在其上传输所述两种互补信号;
水平扫描单元,其在所述互补信号线上分别传送所述两种互补信号;
差分放大单元,其通过差分输入来接收所述两种互补信号线上的信号,并比较所述信号;以及
互补信号放大单元,其放大所述两种互补信号线上的各个信号,其中
所述差分放大单元通过差分输入来接收由所述互补信号放大单元放大的各个信号,并比较所述信号。
2. 根据权利要求1的固态成像设备,其中
在所述像素单元中,以矩阵形状排列所述单位像素,以及
所述固态成像设备还包括从所述像素单元的各个单位像素中读出模拟像素信号的垂直扫描单元。
3. 根据权利要求1的固态成像设备,还包括AD转换单元,其将从所述像素单元中的各个单位像素中读出的所述模拟像素信号转换成数字数据,其中
所述两种互补信号是互补位数据。
4. 根据权利要求1的固态成像设备,其中所述互补信号放大单元具有反馈电路,该反馈电路在用于基于放大的信号来控制所述互补信号线上的信号的幅度的方向上起作用。
5. 根据权利要求4的固态成像设备,还包括:
第一电平调整单元,包括下拉所述互补信号线的电势的驱动晶体管;以及
第二电平调整单元,包括上拉所述互补信号线的电势的负载晶体管,其中
所述反馈电路将所述放大的信号供应至所述负载晶体管的控制输入端。
6. 根据权利要求5的固态成像设备,还包括控制以在预定范围内上拉所述电势的第三电平调整单元。
7. 根据权利要求6的固态成像设备,其中所述第三电平调整单元具有在所述互补信号线和参考电压之间正向连接的二极管。
8. 一种成像装置,包括:
以矩阵形状排列单位像素的像素单元;
垂直扫描单元,其从所述像素单元的各个单位像素中读出模拟像素信号;
互补信号生成单元,其基于从所述像素单元中的各个单位像素中读出的模拟像素信号,生成彼此具有互补性的两种互补信号;
两种互补信号线,在其上传输所述两种互补信号;
水平扫描单元,其在所述互补信号线上分别传送所述两种互补信号;
差分放大单元,其通过差分输入来接收所述两种互补信号线上的信号,并比较所述信号;
主控制单元,其生成用于控制所述垂直扫描单元和所述水平扫描单元的控制信息;
互补信号放大单元,其放大所述两种互补信号线上的各个信号,其中

所述差分放大单元通过差分输入来接收由所述互补信号放大单元放大的各个信号,并比较所述信号。

固态成像设备、成像装置和电子装置

技术领域

[0001] 本发明涉及作为用于检测物理量分布的半导体设备的例子的固态成像设备、成像装置和电子装置,且更具体地,涉及一种(例如,通过水平地传送信号)向其它功能单元和向外部顺序地输出信号的机制。

背景技术

[0002] 在电路领域中,由特定功能单元生成的电信号通常(例如,通过水平传送)被顺序地传送给其它功能单元和外部。

[0003] 例如,在各种领域中使用通过以矩阵形状排列多个单位元件(例如像素)的物理量分布检测半导体设备,其中这些单位元件具有对在从外部输入的诸如光或辐射的电磁波、压力(接触等)等等的物理量的改变的敏感性。

[0004] 作为例子,在视频装置的领域中,使用包括 CCD(电荷耦合器件)型或 MOS(金属氧化物半导体)或 CMOS(互补金属氧化物半导体)型的成像元件(成像设备)在内的固态成像设备,作为物理量的例子,其检测光(电磁波的例子)的变化。

[0005] 近年来,作为固态成像设备的例子,能够克服在 CCD 图像传感固有的各种问题的 MOS 和 CMOS 图像传感器备受关注。在计算机装置领域,使用基于压力的电特性的变化或光特性的变化来检测指纹的图像的指纹验证设备等等。这些设备读出作为电信号的物理量分布,其被单位元件(固态成像设备中的像素)转换成电信号。

[0006] 例如,对于每个像素,CMOS 图像传感器具有由浮动扩散放大器等配置的放大器电路。在读出像素信号时,常常使用被称为列并行输出型或列型的系统。该列并行输出系统或列系统是用于(作为地址控制的例子)选择像素阵列单元的特定行、同时访问这一行中的像素、并对这一行中的所有像素同时且并行地从像素阵列单元中读出像素信号的系

[0007] 在固态成像设备中,可以采用用于通过模拟-数字转换器将从像素阵列单元读出的模拟像素信号转换成数字数据然后输出该数字数据的系统。

[0008] 这同样也适用于列并行输出型的固态成像设备。已经提出各种信号输出电路作为固态成像设备的信号输出电路。作为最先进型的信号输出电路,考虑包括用于每列的 AD 转换器且将图像信号取出到外部作为数字数据的系统(参见例如 W. Yang et al., "An Integrated 800×600CMOS image system", ISSCC99DIFEST OF TECHNICAL PAPERS, SESSION 17/PAPER WA17.3, PP. 304-305, Feb., IEEE, 1999(此后称为非专利文献 1))。

[0009] 作为 AD 转换系统,已经从电路大小、处理速度(速度的增加)、分辨率等等的角度来考虑各种系统。作为例子,存在被称为斜率积分型或斜坡信号比较型(在本说明书中此后被称为参考信号比较型)的 AD 转换系统,其用于比较模拟单元信号与其值逐渐改变的所谓斜坡状参考信号(斜坡波),用于将单元信号转换成数字数据,与该比较处理并行地进行计数处理,以及基于当完成比较处理时的点处的计数值来获取单元信号的数字数据。在非专利文献 1 中,公开了采用参考信号比较型的 AD 转换系统的配置示例。像素的模拟输出可以在低频带中以列并行进行 AD 转换。可以说这适合于实现高图像质量和高速度这两者的

图像传感器。

发明内容

[0010] 但是,当基于从单位像素获得的图像信号的关于像素的信息被输出到后一级(通常被称为水平传送)时,在用于水平传送的信号线(信息传送路径:具体地,被称为水平信号线)上出现的寄生电容引发了问题。当寄生电容的电容值增加时,寄生电容很有可能导致信号延迟,且防止在信息传送的速度的提高。

[0011] 例如,当进行高速操作于例如增加帧速率时,有必要以高速进行诸如行扫描和水平传送的操作。当包含 AD 转换时,也有必要以高速进行 AD 转换。当希望在高速操作期间增加水平传送的速度时,直到由列地址选择来指定的列的信息输出级驱动了水平信号线且列的信息到达了后一级的电路的时间是主要的。

[0012] 当采用列并行输出型时,在水平方向上用于像素列的信息输出级被连接到水平信号线。各个信息输出级的寄生电容被组合以形成总体寄生电容 C。由于作为信息传送路径的水平信号线的长度而导致的线电阻 R 取决于像素列的数量而增加。用大的寄生电容 C 和大的线电阻 R 作为负载来驱动所选列的信息输出级。寄生 CR 限制了像素信息的传送速度。近年来,由于存在对于像素增加的需求,被连接于水平信号线的信息输出级的数量趋于增加。这限制了近年来特别需求的高速操作。

[0013] 因此,希望提供一种向设备的其它功能单元和外部顺序地传送和输出信号,且能够以高速传送信号的机制。

[0014] 根据本发明的实施例,提供一种固态成像设备,包括:互补信号生成单元,其基于从像素单元的各个单位像素读出的模拟像素信号,生成具有彼此互补的两种互补信号;两种互补信号线,其传输两种互补信号;水平扫描单元,其分别传送在互补信号线上的两种互补信号;以及差分放大单元,其通过差分输入接收在两种互补信号线上的信号,并比较该信号。

[0015] 直接地说,固态成像设备具有如下特性:当水平地传送像素信息时,像素信息被传送作为彼此互补的两种互补信号,且由后一级处的差分放大单元再现原始信息(或与其等同的信息)。

[0016] 固态成像设备可以被形成作为一个芯片,或可以是具有通过集合地封装成像单元和信号处理单元而形成的成像功能的模块状形式。

[0017] 本实施例还应用于成像装置。在该例中,成像装置获得与固态成像设备一样的效果。成像装置涉及摄像机(或摄像机系统)或具有成像功能的便携式装置。“成像”不仅包括去通常摄像机拍摄期间捕获图像,而且包括在更广义上的指纹检测等等。

[0018] 根据本发明的实施例,提供一种电子装置,其包括:两种互补信号线传输具有彼此的互补性的两种互补信息;扫描单元,其分别传送在互补信号线上的两种互补信息;放大单元,其分别放大在两种互补信号线上的两种互补信息;以及差分放大单元,其通过差分输入接收由放大单元放大的各个信号,并比较信号。

[0019] 直接地说,电子装置具有如下特性:当传送信息时,信息被传送作为具有彼此互补性的两种互补数据,且在后一级处的差分放大单元来再现原始数据。具体地,放大单元被插入在互补性信号线和差分放大单元之间,且在信号线侧上的幅度被设置得很小,且在差分放大单元的输入侧上幅度被设置得大。

[0020] 根据本发明的实施例,像素信息被传送作为互补信号,且被后一级处的差分放大单元再现。因此,即使噪声被混合到信号线上的信号中,可以消除噪声的影响。因此,能够进行高速传送。

[0021] 根据本发明的另一实施例,数字数据被传送作为互补数据并被后一级处的差分放大单元再现。因此,即使噪声被混合到信号线上的信号中,可以消除噪声的影响。放大单元被插入在互补信号线和差分放大单元之间,在信号线侧上的幅度被设置得小,且在差分放大单元的输入侧上的幅度被设置得大。因此,可以解决由于在作为总线线的水平信号线上的寄生电容而造成的问题。这是因为功耗更小,且在具有小幅度的信息的传送中能够比在具有大幅度的信息的传送中具有较高速传送操作。

附图说明

[0022] 图 1 是根据本发明的实施例的作为固态成像设备的 CMOS 固态成像设备的示意图;

[0023] 图 2A 是示出用于执行参考信号比较型的 AD 转换的基本电路的配置的例子(第一例子)的图;

[0024] 图 2B 是示出用于执行参考信号比较型的 AD 转换的基本电路的配置的例子(第二例子)的图;

[0025] 图 3A 是用于说明参考信号比较型的 AD 转换的第一处理例子中的操作的时序图;

[0026] 图 3B 是用于说明参考信号比较型的 AD 转换的第二处理例子中的操作的时序图;

[0027] 图 3C 是用于说明参考信号比较型的 AD 转换的第四处理例子中的选择的时序图;

[0028] 图 4A 是示出数据存储/传送与输出单元的细节的电路方框图;

[0029] 图 4B 是示出数据存储/传送与输出单元和输出电路的外围的配置例子的电路方框图;

[0030] 图 4C 是用于说明图 4B 所示的配置的级别操作的电压电平图;

[0031] 图 5A 是用于说明具体配置例子的图;

[0032] 图 5B 是用于说明具体配置例子的图;

[0033] 图 6A 是用于说明图 5B 所示的比较的配置例子的操作的图;

[0034] 图 6B 是用于说明应用了图 5B 所示的配置例子的实施例的操作的图;

[0035] 图 6C 是用于说明在图 5B 所示的配置例子中第三电平调整单元的电平控制动作的图;

[0036] 图 6D 是用于说明在图 5B 所示的配置例子中第三电平调整单元的电平控制动作的另一图;

[0037] 图 6E 是用于说明在在图 5B 所示的配置例子中的差分放大单元的 NMOS 晶体管的偏压电平和信息再现动作之间的关系图;以及

[0038] 图 7 是示出作为使用与根据实施例的固态成像设备相同的机制的物理信息获取装置的例子的成像装置的示意结构的图。

具体实施方式

[0039] 下文参考附图说明本发明的实施例。在下述例子中,使用作为 X-Y 地址型的固态

成像设备的例子的 CMOS 固态成像设备作为设备。假设,由 NMOS 组成 CMOS 固态成像设备的所有像素。

[0040] 但是,这仅是一个例子。将被使用的设备不局限于 MOS 型的固态成像设备。稍后描述的所有实施例都可以以相同的方式被应用于通过以线状或矩阵状来排列多个单位元件而检测所形成的物理量分布的所有半导体设备,其中,多个单位元件具有对从外部输入的诸如光或辐射的电磁波的敏感性。

[0041] < 固态成像设备的概述 >

[0042] 图 1 是作为根据本发明的实施例的固态成像设备的 CMOS 固态成像设备 (CMOS 图像传感器) 的示意图。

[0043] 固态成像设备 1 具有以行和列 (即,以二维矩阵状) 排列多个像素的像素单元,该多个像素包括输出对应于入射光量的信号的光接收元件 (电荷生成单元的例子)。来自各个像素的信号输出是电压信号。在固态成像设备 1 中列并行地提供 CDS (相关双采样) 处理功能单元、ADC (模拟数字转换器) 等等。

[0044] “列并行地提供 CDS 处理功能单元和数字转换单元”意味着,基本平行于垂直列中的垂直信号线 (列信号线的例子) 19 而提供多个 CDS 处理功能单元和多个数字转换单元。

[0045] 当在平面上看设备时,可以在相对于像素阵列单元 10 的列方向上的仅一个边缘侧 (在图中下侧排列的输出侧) 上排列所有各个多个功能单元。可替换地,可以在相对于像素阵列单元 10 的列方向上的一个边缘侧 (在图中下侧上排列的输出侧) 上和在该一个边缘侧的相反侧上的另一边缘侧 (图中上侧) 上分开地排列各个多个功能单元。在后一情况下,可考虑也在各个边缘侧上分开地排列在行方向上进行读出扫描 (水平扫描) 的水平扫描单元,且可以彼此独立地操作这些水平扫描单元。

[0046] 例如,作为以列并行提供 CDS 处理功能单元和数字转换单元的典型例子,存在如下列型:其中对于在成像单元的输出侧上提供的被称为列区域的部分中的各个垂直列提供 CDS 处理功能单元和数字转换单元,且顺序地向输出侧读出信号。固态成像设备 1 不局限于列型 (列并行型)。例如,还可能采用将一个 CDS 处理功能单元和一个数字转换单元分配到相邻的多个 (例如两个) 垂直信号线 19 (垂直列) 的形式、或将一个 CDS 处理功能单元和一个数字转换单元分配到位于 N 线间隔 (N 是正整数;N-1 条线被排列在 N 条线之间) 处的 N 个垂直信号线 19 (垂直列)。

[0047] 在除了列型以外的所有形式中,多个垂直信号线 19 (垂直列) 共同使用一个 CDS 处理功能单元和一个数字转换单元。因此,提供用于供应多个列的像素信号的开关电路 (开关),其中多个列的像素信号从像素阵列单元 10 侧被供应到一个 CDS 处理功能单元和一个数字转换单元。取决于后一级的处理,分别需要诸如用于提供存储输出信号的存储器的措施之类的措施。

[0048] 在任何情况下,提供例如采用将一个 CDS 处理功能单元和一个数字转换单元分配到多个垂直信号线 19 (垂直列) 的形式,相比于在读出像素列单元中的像素信号以在各个单位像素中进行相同信号处理之后进行各个像素信号的信号处理的形式,能够简化在各个单位像素中的结构,且处理图像传感器的像素的增加、尺寸的减少、成本的减少等等。

[0049] 可以并行于以列并行排列的多个信号处理单元,同时处理一行的像素信号。因此,相比于在输出电路侧和在设备的外部上的一个 CDS 处理功能单元和一个数字转换单元中

进行处理的情况,可以以低速激活信号处理单元。该形式在功率节省、带宽性能、噪声等方面有优势。换句话说,当功耗、带宽性能等等被设置成相同时,整个传感器的高速操作是可能的。

[0050] 在列型的结构的情况下,还存在如下优势:可以以低速激活信号处理单元,该结构在功耗、带宽性能、噪声等方面有优势,且不需要开关电路(开关)。在以下实施例中,除非另外具体说明,否则采用列型。

[0051] 如图 1 所示,根据本实施例的固态成像设备 1 包括:像素阵列单元 10,也被称为像素单元;成像单元等等,其中将多个单位像素 3 排列为行和列;驱动控制单元 7,被提供在像素阵列单元 10 的外侧;读出电流源单元 24,其供应向像素阵列单元 10 的单位像素 3 读出的像素信号的操作电流(读出电流);列处理单元 26,具有被排列为各个垂直列上的列电路 25;以及输出电路(S/A:传感放大器)28。在相同的半导体衬底上提供各个功能单元。

[0052] 当需要时在输出电路 28 的前一级处提供数字算术单元 29。“当需要时”意味着,例如,在列电路 25 的后一级处、而不是在列电路 25 中,进行在复位电平 S_{rst} 和信号电平 S_{sig} 之间的差分处理,或由列处理单元 26 进行对应于补数计数处理和其他乘法累计(multiply-accumulate)处理的数据校正。

[0053] 在图 1 中,为了图示的简化,现在示出了行和列的一部分。但是实际上,在各个行和列上排列几十到几千个单位像素 3。单位像素 3 典型地包括:作为发光元件(电荷生成单元)的光电二极管,其是检测单元的例子;以及像素(像素信号生成单元的例子)内的放大器,其具有用于放大的半导体元件(例如晶体管)。

[0054] 在固态成像设备 1 中,像素阵列单元 10 可适用于通过使用颜色分离过滤器来进行彩色成像。换句话说,像素阵列单元 10 适用于通过提供任一个颜色分离过滤器的滤色器而成像的彩色图像,该颜色分离过滤器由在例如光接收表面上的所谓拜耳阵列(Bayer array)中的用于对彩色图像成像的多个颜色的滤色器的组合来组成,其中使得各个电荷生成单元(光电二极管等等)的电磁波(在该例中,光)入射在该光接收表面上。

[0055] 每个列电路 25 具有差分处理单元(CDS)25a 和 AD 转换单元(ADC)25b 的功能,该差分处理单元(CDS)25a 执行在紧接着像素复位(下文称为复位电平)之后的信号电平(即像素信号 S_o 的参考电平)与信号电平之间的差分处理,以获取由复位电平与信号电平之间的差值所指示的信号分量,AD 转换单元(ADC)25b 将作为像素信号的参考电平的复位电平与信号电平之间的差值的信号分量转换为 N 位数字数据。

[0056] 差分处理单元 25a 和 AD 转换单元 25b 的排列次序是任意的。例如,如图 1 所示,差分处理单元 25a 可以进行模拟复位电平与模拟信号电平之间的差分处理,且 AD 转换单元 25b 可以将差分处理的结果转换成数字数据。可替换地,虽然未在图中示出,AD 转换单元 25b 可以将复位电平和信号电平分别转换成数字数据,且差分处理单元 25a 可以计算各个数字数据之间的差值。在 AD 转换单元 25b 中将像素信号转换成数字数据不是必不可少的。

[0057] 差分处理单元 25a 的功能等同于用于计算复位电平 S_{rst} 和信号电平 S_{sig} 之间的差值的处理,其中该信号电平 S_{sig} 包括像素信号电压 V_x 的真实信号分量 V_{sig} (对应于所接收的光量)(等同于所谓 CDS 处理)。通过此功能,可能消除被称为固定样式噪声(FPN)和复位噪声的噪声信号分量。

[0058] 以此方式,根据本实施例的列电路 25 可以被配置以用作 AD 转换/噪声消除信号

处理设备,其具有用于将从像素阵列单元 10 传送的模拟像素信号转换成数字数据的 AD 转换功能、以及控制和消除噪声分量的功能。列电路 25 将从由选择列地址的垂直扫描单元 14 选择的行中的单位像素 3 输出的像素信号电压 V_x 对于一行同时地转换成 n 位数字数据,并进行噪声消除信号处理。

[0059] 作为在列处理单元 26 中的 AD 转换处理,能够采用并行地逐行使用被提供在各列中的列电路 25(更具体地,AD 转换单元 25b)来对被并行地保持在行单元中的模拟信号进行 AD 转换的方法。在该例中,可考虑采用参考信号比较型(单斜坡积分型(single slope integration)、斜坡信号比较型等等)的 AD 转换系统。该方法具有如下特性:由于可以由简单的结构实现 AD 转换器,因此即使并行地提供电路,电路尺寸也不大。

[0060] 在该例中,通过设计 AD 转换单元 25b 的电路配置和操作,能够进行 CDS 处理,用于相对于通过垂直信号线 19 输入的电压模式的像素信号来计算紧接着像素复位之后的复位电平与真实的信号电平(对应于所接收的光量)之间的差值。能够使得 AD 转换单元 25b 用作消除诸如固定样式噪声的的噪声信号分量的差分处理单元 25a。

[0061] 在参考信号比较型的 AD 转换中,基于从转换开始(比较处理的开始)到转换结束(比较处理的结束)的时间来确定计数操作有效期(指示该时期的信号被称为计数使能信号),且基于计数使能信号将模拟处理对象信号转换成数字数据。

[0062] 采用用于列电路 25 的处理信号比较型的 AD 转换系统仅是一个例子。只要可以进行 AD 转换处理和噪声消除信号处理,可以优选地采用其他任意电路配置。

[0063] 像素信号电压 V_x 被 AD 转换成数字数据,且被列电路 25 水平地传送。可以水平地传送对应于像素信号电压 V_x 的模拟信息。在该例中,可建议对于每个像素列进行 CDS 处理,其用于在差分处理单元 25a 中计算复位电平 S_{rst} 与像素信号电压 V_x 的像素电平 S_{sig} 之间的差值。

[0064] 该实施例特性在于,在用于解决由于水平传送中在水平信号线 18 上的负载电容导致的问题的机制。作为参考信号比较型的 AD 转换的具体机制,可以使用诸如在非专利文件 1 中公开的机制之类的任何机制。

[0065] 如稍后详细描述,根据本实施例的水平传送具有如下特性:具有表示对应于像素信号电压 V_x 的一个信息的互补性的两个信息被水平地传送以恢复在后一级电路中的原始信息。具体地,优选地,关于通过 AD 转换像素信号电压 V_x 而获得的数字信息的各个位数数据,具有互补性的两个逻辑上相反的互补数据被水平地传送以恢复后一级电路的原始位数数据。

[0066] 例如,当水平地传送模拟信息时,通过组成一对的不同的水平信号线 18 和 18x 将具有相反极性的差分信号分别传送给输出电路 28。当水平地传送数字数据时,通过组成一对的水平信号线 18 和 18x(对于每个位)来将具有对于每个位的相反 L/H 的关系的互补数据(互补位数数据)传送给输出电路 28。任意地判断如何生成差分信号和互补数据。差分信号和互补数据被统称为互补信息。

[0067] 驱动控制单元 7 具有用于顺序地读出像素阵列单元 10 的信号的控制电路功能。例如,驱动控制单元 7 包括:控制列地址和列扫描的水平扫描单元(列扫描电路)12;控制列地址和列扫描的垂直扫描单元(列扫描电路)14;以及具有例如生成内部时钟的功能的通信/时序控制单元 20。

[0068] 单位像素 3 通过行选择的行控制线 15 和垂直信号线 19 分别被连接于垂直扫描单元 14 和列处理单元 26, 其中列电路 25 被提供用于各个垂直列。行控制线 15 指示从垂直扫描单元 14 进入像素的通常的配线。

[0069] 垂直扫描单元 14 选择像素阵列单元 10 的行, 并向该行供应所需的脉冲。例如, 垂直扫描单元 14 包括: 垂直解码器 14a, 其定义在垂直方向上的读出行 (选择像素阵列单元 10 的行); 以及垂直驱动单元 14b, 其向在由垂直解码 14a 定义的 (在行方向上的) 读出地址上的单位像素 3 的行控制线 15 供应脉冲, 并驱动之。垂直解码器 14a 选择除了从其读出信号的行 (读出行: 还被称为选择行或信号输出行) 以外的例如用于电子快门的行。

[0070] 水平扫描单元 12 具有读出扫描单元的功能, 该读出扫描单元选择与时钟同步地依次选择列处理单元 26 的列电路 25, 并向水平信号线 18 读出通过数字地转换像素信号而获得的数据。例如, 水平扫描单元 12 包括: 水平解码器 12a, 其定义在水平方向上的读出行 (选择在列处理单元 26 中的各个列电路 25); 和水平驱动单元 12b, 其根据由水平解码器 12a 定义的读出地址来将列处理单元 26 的各个信号导向水平信号线 18。水平信号线 18 是用于传送由列电路 25 生成的数据的总线。

[0071] 虽然未在图中示出, 通信 / 时序控制单元 20 包括: 时序生成器 TG (读出地址控制设备的例子) 的功能块, 其供应各个单元的操作所需的时钟和预定时序的脉冲信号; 以及通信接口的功能块, 其由终端 5a 接收经从外部的主控制单元供应的主时钟 CLK0, 经由终端 5b 接收从外部的主控制单元供应的指示操作模式等等的的数据, 并向外部的的主控制单元输出包括关于固态成像设备 1 的信息的数据。

[0072] 例如, 通信 / 时序控制单元 20 向水平解码器 12a 输出水平地址信号, 并向垂直解码器 14a 输出垂直地址信号。各个解码器 12a 和 14a 分别接收地址信号, 并选择对应于地址信号的行和列。水平扫描单元 12 和垂直扫描单元 14 包括用于地址设置的解码器 12a 和 14a, 并响应于从通信 / 时序控制单元 20 给出的控制信号 CN1 和 CN2, 通过进行移位操作 (扫描) 来切换 (switch) 读出地址。

[0073] 在该情况下, 由于以二维矩阵状排列单位像素 3, 因此可考虑通过进行 (垂直) 扫描, 以在行单元中 (列并行) 访问并获取由被提供在单位像素 3 中的像素信号生成单元所生成的、并通过垂直信号线 19 在列方向上输出的模拟像素信号, 然后进行 (水平) 扫描, 以在作为垂直列的排列方向的行方向上访问并向外部读出像素信号 (在该例中, 数字化的像素数据), 来增加读出像素信号和像素数据的速度。不需要说, 不仅扫描是可能的, 而且用于通过直接指定期望被读出的单位像素 3 的地址来读出所需单位像素 3 的信息的随机访问是可能的。

[0074] 采用诸如水平扫描单元 12 和垂直扫描单元 14 之类的驱动控制单元 7 的各个组件, 来与像素阵列单元 10 一起形成固态成像设备 1 的一部分, 作为在单晶硅的半导体区域中整体地形成的所谓单芯片的组件, 且作为半导体系统的一个例子的 CMOS 图像传感器。

[0075] 可以形成固态成像设备 1 作为其中以此方式在半导体区域中整体地形成各个单元的一个芯片。替换地, 虽然未在图中示出, 但固态成像设备 1 可以采用模块状的形式, 模块状的形式具有通过集合地封装除了诸如像素阵列单元 10、驱动控制单元 7 和列处理单元 26 之类的各种信号处理单元、诸如摄像镜头、低通滤光器和 / 或红外切断过滤器 (infrared cut filter) 之类的光学系统而形成的成像功能。

[0076] 在具有这种结构的固态成像设备 1 中,通过垂直信号线 19 向列处理单元 26 的列电路 25,对于各个垂直列,供应从单位像素 3 输出的像素信号。

[0077] 在基本结构中没有提供数据存储 / 传送与输出单元 256 的情况下,AD 转换单元 25b 或差分处理单元 25a 的输出被连接于水平信号线 18。当信号模拟地经过差分处理单元 25a 的差分处理,然后被 AD 转换单元 25b 转换成数字数据时,AD 转换单元 25b 的输出被连接于水平信号线 18。相反地,当信号被 AD 转换单元 25b 转换成数字数据,然后经过差分处理单元 25a 的差分处理时,差分处理单元 25a 的输出被连接于水平信号线 18。如图 1 所示,以下说明前面的情况。

[0078] 通过控制线 12c 从水平扫描单元 12 向 AD 转换单元 25b 输入控制脉冲 (水平数据传送时钟 ϕH)。AD 转换单元 25b 具有保持计数结果的锁存器功能,且保持数据直到通过控制线 12c 接收控制脉冲的指令。

[0079] 在该实施例中,如图所示,各个列电路 25 的输出侧包括:在 AD 转换单元 25b 的后一级上的数据存储 / 传送与输出单元 256、作为存储由 AD 转换单元 25b 保持的计数结果的 N 位存储器设备;以及在 AD 转换单元 25b 和数据存储 / 传送与输出单元 256 之间排列的作为数据开关单元的例子的开关 (SEL) 258。

[0080] 当采用包括数据存储 / 传送与输出单元 256 的结构时,以预定时序,与另一垂直列中的另一开关 258 共同地,将作为控制脉冲的存储器传送指令脉冲 CN8 从通信 / 时序控制单元 20 供应给开关 258 之一。

[0081] 当供应了存储器传送指令脉冲 CN8 时,基于负载功能,开关 258 向数据存储 / 传送与输出单元 256 传送在对应于开关 258 的列中的 AD 转换单元 25b 的数据。数据存储 / 传送与输出单元 256 保持并存储所传送的数据。

[0082] 由于提供了开关 258,因此根据本实施例的水平扫描单元 12 具有读出扫描单元的功能,该读出扫描单元与由列处理单元 26 的各个差分处理单元 25a 和各个 AD 转换单元 25b 分别进行的处理并行地读出由各个数据存储 / 传送与输出单元 256 保持的数据。

[0083] 当采用包括数据存储 / 传送与输出单元 256 的结构时,AD 转换单元 25b 可以向数据存储 / 传送与输出单元 256 传送在此保持的 AD 转换数据。因此,能够控制 AD 转换单元 25b 的 AD 转换处理和用于彼此独立地向水平信号线 18 读出 AD 转换的结果的操作。可以实现用于进行 AD 转换处理的管道操作,和用于向外部并行地读出信号的操作。

[0084] 例如,通过锁存 (保持或存储)AD 转换单元 25b 中的像素数据的 AD 转换结果,来完成 AD 转换。然后,在预定时序,像素数据被传送给数据存储 / 传送与输出单元 256,并在其中存储和保持传送数据。然后,列电路 25 基于以预定时序与从水平扫描线 12 通过控制线 12c 输入的控制脉冲同步的移位操作,从输出端 5c 向列处理单元 26 的外部 and 具有像素阵列单元 10 的芯片的外部顺序地输出在数据存储 / 传送与输出单元 256 中存储和保持的像素数据。

[0085] << 参考信号比较型的 AD 转换的机制 >>

[0086] 图 2A 和 2B 示出了用于执行参考信号比较型的 AD 转换的基本电路配置的例子。

[0087] 如图 2A 所示,作为用于执行参考信号比较型的 AD 转换的第一配置例子,电路包括向列处理单元 26 供应 AD 转换的参考信号 SLP_ADC 的参考信号生成单元 27。参考信号 SLP_ADC 仅必须具有随通常特定倾斜而线性地变化的波形。该变化可以是平滑的斜面状变化或

可以是顺序的阶梯方式的变化。

[0088] 参考信号生成单元 27 包括数字模拟转换器 (DAC) 27a。参考信号生成单元 27 从来自通信 / 时序控制单元 20 的参考数据 CN4 指示的初始值开始, 与计数时钟 Ckdac 同步地生成参考信号 SLP_ADC, 并向列处理单元 26 的各个 AD 转换单元 25b 供应所生成的参考信号 SLP_ADC 作为 AD 转换的参考电压 (ADC 参考信号)。虽然未在图中示出, 但可考虑提供用于噪声预防的过滤器。

[0089] 从通信 / 时序控制单元 20 向参考信号生成单元 27 的 DA 转换器 27a 供应的控制数据 CN4 包括用于均衡数字数据相对于时间的变化率的信息, 以便在每个比较处理中的参考信号 SLP_ADC 基本上具有相同的倾斜 (变化率)。具体地, 与计数时钟 Ckdac 同步地在每个单位时间上改变计数值, 且由电流加法型的 DA 转换器来将计数值转换成电压信号。计数时钟 Ckdac 可以与计数时钟 CK_CNT 一致。

[0090] AD 转换单元 25b 包括: 电压比较单元 (比较器) 252, 比较由参考信号生成 27 的 DA 转换器 27a 生成的参考信号 SLP_ADC 与通过各个行控制线 15 (V1、V2、V3..... 和 Vv) 的垂直信号线 19 (H1、H2..... 和 Hh) 从单位像素 3 获得的模拟像素信号; 以及计数器单元 254, 其计数直到电压比较单元 252 完成比较处理, 或直到完成和保持计数的结果以后经过预定时间的的时间。AD 转换单元 25b 具有 n 位 AD 转换功能。

[0091] 在该配置例子中的计数器单元 254 具有计数单元和数据保持单元 (计数值保持单元) 的两种功能, 其中计数单元根据随参考信号 SLP_ADC 的时间的改变来计数时钟 CK_CNT 并生成计数数据 (计数值), 且数据保持单元保持在由计数单元生成的计数数据中对应于像素信号电压 Vx 的计数数据。

[0092] AD 转换单元 25b 在电压比较单元 252 和计数器单元 254 之间具有计数操作控制单元 253, 其控制计数操作的时段和用于在计数器单元 254 中保持计数数据的操作。计数操作控制单元 253 具有计数相位调整单元 (PH SEL) 260, 其控制在计数器单元 254 中的计数处理 (计数操作有效期 TEN) 的时段。用于控制计数时段的计数时段控制信号 SEL 从通信 / 时序控制单元 20 被供应给计数相位调整单元 260。比较脉冲 COMP 从电压比较单元 252 被供应给计数相位调整单元 260。

[0093] 可想象使用计数时段控制信号 SEL 的各种方法。例如, 计数时段控制信号 SEL 被用于均匀地控制在所有列中的计数器单元 254 的计数操作有效期, 控制通过将垂直列划分为若干 (典型地两个) 组而形成的各个组的计数操作有效期, 并根据像素信号电压 Vx 控制计数操作有效期。

[0094] 计数相位调整单元 260 基于来自通信 / 时序控制单元 20 的计数时段控制信号 SEL 或在前一行或自身行中的电压比较单元 252 的像素信号电压 Vx 和参考信号 SLP_ADC (统称为相位调整控制信号) 的比较结果 (可以使用不同于电压比较单元 252 的比较器), 逻辑地反转来自电压比较单元 252 的比较脉冲 COMP, 并将比较脉冲 COMP 传递给计数器单元 254 作为 (在相反相位中的) 计数使能信号 EN。可替换地, 计数相位调整单元 260 将比较脉冲 COMP 直接传递给计数器单元 254, 作为 (在相同相位中的) 计数使能信号 EN。计数相位调整单元 260 是确定计数时段的计数时段控制单元的例子。

[0095] 例如, EX-OR (异或) 被用作计数相位调整单元 260。比较脉冲 COMP 被输入到一个输入端, 且相位调整控制信号被输入到另一输入端。在该例中, 当相位调整控制信号处于 H

电平时 EX-OR 门将比较脉冲 COMP 逻辑地反转为计数使能信号 EN, 且当相位调整控制信号处于 L 电平时, 直接使用比较脉冲 COMP 作为计数使能信号 EN。

[0096] 在该配置例子中的列 AD 转换处理中, 参考信号 SLP_ADC 从 DA 转换器 27a 被共同地供应给在各个列中排列的电压比较单元 252, 且对于由各个电压比较单元 252 处理的像素信号电压 V_x , 电压比较单元 252 使用共同的参考信号 SLP_ADC 进行比较处理。计数器单元 254 使用计数相位调整单元 260 的输出作为计数使能信号 EN, 基于当计数使能信号 EN 处于 H 电平时的计数时钟 CK_CNT 来进行计数处理, 并在结束计数处理时保持计数结果。

[0097] 除了计数时段控制信号 SEL 以外, 从通信 / 时序控制单元 20 向各个 AD 转换单元 25b 的计数相位调整单元 260 和计数器单元 254 输入控制信号 CN5, 用于指示其他控制信息, 如关于计数器单元 254 是否按下计数模式或上计数模式进行两次计数处理、以及对于在第一次计数处理中的初始值 Dini 进行设置和复位处理的信息。

[0098] 由参考信号生成单元 27 生成的阶梯状参考信号 SLP_ADC 被输入与电压比较单元 252 的其他输入端 RAMP 共同的电压比较单元 252 的一个输入端 RAMP。对应于其他输入端的垂直列中的垂直信号线 19 被连接于其他输入端。来自像素阵列单元 10 的像素信号电压被分别输入到其他输入端。电压比较单元 252 的输出信号 (比较脉冲 COMP) 被供应给计数相位调整单元 260。

[0099] 计数时钟 CK_CNT 从共同的通信 / 时序控制单元 20 被输入给计数器单元 254 的时钟端 CK。虽然在图中未示出计数器单元 254 的结构, 但可以通过将包括锁存器的数据存储单元的配线形式改变为同步计数器格式来实现计数器单元 254。计数器单元 254 用一个计数时钟 CK_CNT 的输入进行内部计数。

[0100] 当计数器单元 254 在用于获取一个像素的信号分量 V_{sig} 的数字数据 D_{sig} 的两次计数处理中切换下计数操作和上计数操作时, 优选地, 使用能够切换下计数操作和上计数操作的上下计数器。

[0101] 另一方面, 当计数器单元 254 在两次计数操作中仅必须进行下计数操作和上计数操作之一时, 仅必须使用对应于操作的上计数或下计数器。但是, 原则上, 还有可能, 作为一种使用形式, 可切换下计数操作和上计数操作的上下计数器被用于进行下计数操作和上计数操作之一。但是, 通常, 上下计数器需要用于模式切换的电路配置。与仅对应于上计数器和下计数器的单一计数模式的配置相比, 电路尺寸大。因此, 当计数器单元 254 仅仅必须进行下计数操作和上计数操作中的任何一个时, 可考虑不采用上下计数器。

[0102] 作为计数器单元 254, 优选地使用异步计数器形式, 计数输出值从该异步计数器被输出而不同步于计数时钟 CK_CNT。基本上, 在同步计数器的情况下, 由计数时钟 CK_CNT 来限制所有触发器 (计数器基本元件) 的操作。因此, 当请求较高频率操作时, 作为计数器单元 254, 优选地使用适合于高速操作的异步计数器, 因为仅有第一触发器 (计数器基本元件) 来确定其操作限制频率。

[0103] 通过控制线 12c 从水平扫描单元 12 向计数器单元 254 输入控制脉冲。计数器单元 254 具有保持计数结果的锁存功能。计数器单元 254 保持计数器输出值直到通过控制线 12c 接收控制脉冲的指令。

[0104] 在各个 AD 转换单元 25b 的输出侧上, 例如, 计数器单元 254 的输出可以被连接于水平信号线 18。可替换地, 如图 1 所示, 还可能采用如下配置: 在计数器单元 254 的后一级

处提供作为用于存储由计数器单元 254 保持的计数结果的存储器设备的数据存储 / 传送与输出单元 256。

[0105] 数据存储 / 传送与输出单元 256 的输出被连接于水平信号线。如上所述,在该实施例中,具有每个比特的相反 L/H 的关系的互补数据被传送给输出电路 28。因此,例如,水平信号线是由列电路 25 使用的对应于比特数量“n”(n 是正整数)的 $2 \times n$ 条总线,和用于传送互补数据的一组(水平信号线 18 和 18x)。例如,在 $10 (= n)$ 比特的情况下,排列 $2 \times 10 = 20$ 条总线。

[0106] 根据计数操作有效期,参考信号比较型的 AD 转换可以被粗略地划分为前半计数操作和后半计数操作。在前半计数操作中,在参考信号 SLP_ADC 开始变化时的时间点处开始计数,且在参考信号 SLP_ADC 和处理对象信号电压彼此一致时的时间点处结束计数。在后半计数操作中,在参考信号 SLP_ADC 和处理对象信号电压彼此一致时的时间点处开始计数,且当计数到达该计数中的期望的计数数量时的时间点处(典型地,处理到达最大 AD 转换时段时的时间点)结束计数。

[0107] 在本说明书中,在从参考信号 SLP_ADC 开始变化时的时间点到参考信号 SLP_ADC 和像素信号电压 V_x 变得相同时的时间点的前半时段中进行的计数处理也被称为实数(real number)计数处理。另一方面,在从参考信号 SLP_ADC 和像素信号电压 V_x 彼此一致时的时间点到处理到达在该处理中的最大 AD 转换时段时的时间点的后半时段中进行的计数处理也被称为补数(complement)计数处理。

[0108] 根据计数模式,AD 转换可以被粗略地划分为上计数模式的处理和下计数模式的处理。

[0109] 在从垂直信号线 19 输出的像素信号 S_o (像素信号电压 V_x)中,通常在时间序列中,信号电平 S_{sig} 出现在包括像素信号的噪声的、作为参考电平的复位电平 S_{rst} 之后。对于参考电平(复位电平 S_{rst} ;实践中,相当于复位电平 S_{rst})的处理被称为在预充电相位(可以被简称为 P 相位)中的处理(或在复位计数器时段中的处理)。对于信号电平 S_{sig} 的处理被称为在数据相位(可以被简称为 D 相位)中的处理(或在数据计数器时段中的处理)。当在 P 相位(phase)处理之后进行 D 相位处理时,D 相位处理是对于通过将信号分量 V_{sig} 加上复位电平 S_{rst} 而获得的信号电平 S_{sig} 的处理。

[0110] 当采用了第一配置例子时,在各个垂直列中提供计数器单元 254。因此,当与对于参考信号比较型的 AD 转换中的每个列的 AD 转换一起执行 CDS 功能时,可以根据前半计数操作和后半计数操作的组合、计数模式(上计数和下计数),并根据在 P 相位处理和 D 相位处理中采用前半计数操作和后半计数操作以及计数模式中的哪个,来采用各种处理方法。

[0111] 另一方面,如图 2B 所示,作为用于执行参考信号比较型的 AD 转换的第二配置例子,像参考信号生成单元 27 一样,对于各个垂直列共同地使用计数器单元 254。列电路 25 具有电压比较单元 252 和数据存储 / 传送与输出单元 256。计数器单元 254 在各种 P 相位处理和 D 相位中,在对应于参考信号 SLP_ADC 的斜坡时段的最大 AD 转换时段期间,进行上计数操作(或下计数操作)。计数器单元 254 的各个位的计数数据(还被称为计数时钟) $CK_0, \dots$ 以及 CK_{n-1} 被通知给各个垂直列中的数据存储 / 传送与输出单元 256。当反转在列中的电压比较单元 252 的比较输出 COMP 时,在各个垂直列中的数据存储 / 传送与输出单元 256 捕获并保持计数器单元 254 的计数数据。

[0112] 该配置例子中的计数器单元 254 具有根据参考信号 SLP_ADC 随时间的改变来计数计数时钟 CK_CNT 并生成计数数据（计数值）的计数单元的功能。数据存储 / 传送与输出单元 256 具有保持在由计数单元生成的计数数据中对应于像素信号电压 V_x 的计数数据的数据保持单元（计数值保持单元）的功能。

[0113] 数据存储 / 传送与输出单元 256 在不同存储单元中，在其内部保持在各种 P 相位处理和 D 相位处理中获取的各个数据 D_p 和 D_d 。数据存储 / 传送与输出单元 256 在水平扫描单元 12 的控制下，通过各个水平信号线 18 向数字算术单元 29 传送在各个 P 相位处理和 D 相位处理中获取的各个数据 D_p 和 D_d 。数字算术单元 29 计算在各个数据 D_p 和 D_d 之间的差值以计算信号分量 V_{sig} 的数字数据 D_{sig} 。

[0114] 数据存储 / 传送与输出单元 256 的输出被连接于水平信号线。在该实施例中，具有对于每个位的相反 L/H 的关系的互补数据被传送给数字算术单元 29。因此，例如，水平信号线是由列电路 25 使用的对应于比特数量“n”（n 是正整数）的 $2*2*n$ 条总线，和用于传送对于 P 相位和 D 相位中的数据 D_p 和 D_d 中的每个的互补数据的一组（水平信号线 18 和 18x）。例如，在 $10(=n)$ 比特的情况下，排列 $2*2*10=40$ 条总线。

[0115] 在配置和处理方法的所有例子中，原则上，斜坡状参考信号 SLP_ADC 被供应给比较器（电压比较器），通过将垂直信号线 19 输入的模拟像素信号电压 V_x 与参考信号 SLP_ADC 相比较，且当计数操作有效期来到时，开始时钟信号中的计数，从而计数在指定计数操作有效期中的时钟数量，以进行 AD 转换。

[0116] 在所有配置例子和处理方法中，在 P 相位处理期间，读出单位像素 3 的复位分量 V_{rst} ，且处理在像素信号电压 V_x 中的复位电平 S_{rst} 。对于每个单位像素 3 波动的噪声被包括在复位分量 V_{rst} 作为偏移量。但是，在复位分量 V_{rst} 中的波动通常小，且复位电平 S_{rst} 通常对所有像素是共同的。因此，通常已知在任意垂直信号线 19 的像素信号电压 V_x 中的复位分量 V_{rst} 的输出值（=复位电平 S_{rst} ）。因此，在 P 相位处理期间，能够通过调整参考信号 SLP_ADC 来减少比较时段。例如，在 P 相位处理期间的最大计数数量 D_{rm} 被设置为 7 比特的计数数量（128 时钟）。

[0117] 另一方面，在 D 相位处理期间，除了复位电平 S_{rst} 以外还读出对应于每个像素单元 3 的入射光的量的信号分量 V_{sig} ，且处理包括信号分量 V_{sig} 的信号电平 S_{sig} 。因此，在 D 相位处理期间，由于读出了对应于入射光量的信号分量 V_{sig} ，因此为了判断宽区域中的光量的幅度，需要将比较时段设置得宽，且较大地改变被供应给电压比较单元 252 的参考信号 SLP_ADC。例如，在 D 相位处理期间的比较处理的最大计数数量 D_{sm} 被设置为 10 比特的计数数量（1024 个时钟）到 12 比特的计数数量（4096 个时钟）。对于复位电平 S_{rst} 的比较处理的最长时段被减少到短于对于信号电平 S_{sig} 的比较处理的最长时段。不将最长时段都设置为相同，而通过以此方式将前一最长时段设置得短于后一最长时段，减少了两次 AD 转换的总体 AD 转换时段。

[0118] < 固态成像设备的操作；第一处理例子中的操作 >

[0119] 图 3A 是用于说明在参考信号比较型的 AD 转换的第一处理例子中的操作的时序图。当应用第一处理例子时，采用图 2A 所示的第一配置例子作为电路配置。

[0120] 作为参考信号比较型的 AD 转换中的计数操作有效期，当在列电路 25 中进行复位电平和信号电平之间的差分处理时，例如，通常，在两次处理时，能够应用第一处理例子，其

中在开始参考信号 SLP_ADC 中的改变时的时间段处设置计数的开始,且在参考信号 SLP_ADC 和处理对象信号电压变得彼此一致时的时间点处设置计数的结束。换句话说,在第一处理例子中,前半计数操作被应用于两次处理。

[0121] 在该例中,在用于获取一个像素的信号分量 V_{sig} 的数字数据 D_{sig} 的两次计数处理中,计数器单元 254 切换和进行下计数操作和上计数操作。作为整体的操作,当 D 相位处理是上计数时,可以将该操作考虑为用于计数信号电平 S_{sig} 的实数的操作。当 D 相位处理是下计数时,可以将该操作考虑为用于计数信号电平 S_{sig} 的补数(负数)的操作。

[0122] 虽然未详细说明,但基本上,例如应用与在 JP-A-2005-311933 和 JP-A-2006-33452 中公开的方法相同的方法。在被称为参考信号比较型的通常 AD 转换处理中,首先,关于某个处理对象行 V_x ,对于垂直列 H1 到 Hh,计数器单元 254 的各个触发器被复位为 P 相位中的最大 AD 转换等级的最小值 $\min$,例如,在第一次处理期间、即在作为对于复位电平 S_{rst} 的 AD 转换时期的 P 相位中的处理时期中的“0”。计数器单元 254 被设置在下计数模式。并行地进行由电压比较单元 252 对参考信号 SLP_ADC 与像素信号电压 V_x 的 P 相位电平的比较处理和由计数器单元 254 进行的计数处理,以进行对 P 相位电平的 AD 转换。假设,开始时,参考信号 SLP_ADC 高于像素信号电压 V_x 的 P 相位电平,且电压比较单元 252 的比较输出 COMP 处于 H 电平。在开始比较处理之后,电压比较单元 252 的比较输出 COMP 在作为 P 相位电平的复位电平 S_{rst} 和参考信号 SLP_ADC 彼此一致时的时间点处从 H 电平改变到 L 电平。此时,计数器单元 254 保持指示数字值 D_{rst} 的计数值,该数字值 D_{rst} 对应于复位电平 S_{rst} 的幅度(当考虑指示 $-D_{rst}$ 的符号时)。

[0123] 在第二次的随后的处理、即作为用于信号电平 S_{sig} 的 AD 转换时期的 D 相位中的处理时期期间,除了复位电平 S_{rst} 以外,还读出与每个单位像素 3 的入射光量相对应的信号分量 V_{sig} ,且进行在 P 相位中的读出相同的处理。首先,计数器单元 254 被设置在与在 P 相位处理期间的下计数模式相反的上计数模式。并行地进行由电压比较单元 252 在参考信号 SLP_ADC 与像素信号电压 V_x 的 D 相位电平之间的比较处理,以进行 D 相位电平的 AD 转换。假设,在开始时,参考信号 SLP_ADC 高于像素信号电压 V_x 的 D 相位电平,且电压比较单元 252 的比较输出 COMP 处于 H 电平。在开始比较处理之后,电压比较单元 252 的比较输出 COMP 在当作为 D 相位电平的信号电平 S_{sig} 和参考信号 SLP_ADC 彼此一致时的时间点处从 H 电平改变到 L 电平。在此时,计数器单元 254 保持对应于信号电平 S_{sig} 的幅度的计数值。

[0124] 在这种情况下,与在 P 相位相反地,从在 P 相位的读出和 AD 转换期间获取的像素信号电压 V_x 的复位电平 S_{rst} 的数字值 D_{rst} (负值)上计数了计数值。信号电平 S_{sig} 是通过将信号分量 V_{sig} 添加到复位电平 S_{rst} 来获得的电平。因此,信号电平 S_{sig} 的 AD 转换结果的计数值基本上是“ $D_{rst}+D_{sig}$ ”。但是,由于上计数的开始点是作为复位电平 S_{rst} 的 AD 转换结果的“ $-D_{rst}$ ”,因此,在计数单元 254 中实际保持的计数值是“ $-D_{rst}+(D_{sig}+D_{rst})=D_{sig}$ ”。

[0125] 换句话说,在计数器单元 254 中的计数处理是在不同计数模式中的计数操作;在 P 相位处理期间的下计数和在 D 相位处理期间的上计数。因此,在计数器单元 254 中,自动地进行在作为复位电平 S_{rst} 的 AD 转换结果的计数值“ $-D_{rst}$ ”和作为信号电平 S_{sig} 的 AD 转换结果的计数值“ $D_{rst}+D_{sig}$ ”之间的差分处理(减法处理)。在计数器 254 中保持对应于差分处理的结果的计数值 D_{sig} 。在计数值单元 254 中保持的对应于差分处理的结果的计数

数 D_{sig} 表示对应于信号分量 V_{sig} 的数字数据。

[0126] 如上所述,可以由计数器单元 254 中的差分处理通过两次读出和计数处理、即 P 相位处理期间的下计数和 D 相位处理期间的上计数来消除包括在单位像素 3 的每个中的波动的复位电平 S_{rst} 。可以通过简单的配置来获取对应于每个单位像素 3 的入射光量的信号分量 V_{sig} 的 AD 转换结果。因此,列电路 25 操作不仅作为将模拟像素信号转换成数字像素数据的数字转换单元,还作为 CDS 处理功能单元。

[0127] 在第一处理例子中的 AD 转换处理具有如下特性:在一个像素的第一次的计数处理和第二次的计数处理中,在下计数 P 相位处理中和在上计数 D 相位处理中进行各个计数操作,以实际上进行在 P 相位的补数的计数处理和在上计数的实数的计数处理。实际上,补数的计数处理是在负侧上的计数处理,且可以被视为减法元素。实数的计数处理是在正侧上的计数处理,且可以被视为加法元素。

[0128] 在应用第一处理例子时,在用于获取一个像素的信号分量 V_{sig} 的数字数据 D_{sig} 的两次计数处理中切换和进行下计数操作和上计数操作。因此,可考虑在计数器单元 254 中使用能够切换下计数操作和上计数操作的上下计数器。

[0129] 当在计数器单元 254 的后一级处提供数据存储/传送与输出单元 256 时,在开始计数器单元 254 的操作和水平传送之前,子时钟 DLAT 从通信/时序控制单元 20 被供应给数据存储/传送与输出单元 256 作为存储器传送指令脉冲 CN8。通过子时钟 DLAT 作为触发,数据存储/传送与输出单元 256 将在计数器单元 254 中保持的前一行 V_{x-1} 中的数字数据 D_{sig} 捕获到计数器 254 中的锁存器电路,并保持数字数据 D_{sig} 。

[0130] 在 AD 转换时期结束后,列电路 25 将数字数据 D_{sig} 保存在数据存储/传送与输出单元 256 中的计数器单元 254,并开始对新的行 V_x 的 AD 转换。由在列处理单元 26 的各个垂直列中的列电路 25 中的 AD 转换处理的背景下的水平扫描单元 12 来依次选择在数据存储/传送与输出单元 256 中的前一行中的数字数据 D_{sig} ,并通过各个水平信号线 18 和 18x 将其传送给输出电路 28 作为互补数据 Q_{sig} 和 xQ_{sig} ,用于互补信息传送。输出电路 28 基于互补数据 Q_{sig} 和 xQ_{sig} 来再现原始数字数据 D_{sig} 。并行于 AD 转换处理,与 AD 转换处理并行地进行对于互补数据 Q_{sig} 和 xQ_{sig} 的水平传送操作。当水平扫描单元 12 以高速顺序地选择各个垂直列时,通过在数据存储/传送与输出单元 256 的输出级处的驱动晶体管来将各个列中的互补数据 Q_{sig} 和 xQ_{sig} 以高速传送到输出电路 28。然后,对于各个行依次重复相同的操作,从而创建二维图像。

[0131] < 固态成像设备的操作;第二处理例子中的操作 >

[0132] 当由列电路 25 进行在复位电平和信号电平之间的差分处理时,在两次处理中,还可以采取第二处理例子,其中在参考信号 SLP_ADC 和处理对象信号电压彼此一致时的时间点处开始计数,且在计数到达在该计数中的期望的计数数(典型地,处理到达最大 AD 转换时期的时间点)时的时间点处结束计数。换句话说,在第二处理例子中,后半计数操作被应用于两次处理。

[0133] 在该情况下,如在上述情况下一样,在获取一个像素的信号分量 V_{sig} 的数字数据 D_{sig} 的两次计数处理中,计数器单元 254 切换和进行对于每个垂直列的下计数操作和上计数操作。因此,当应用了第二处理例子时,图 2A 所示的第一配置例子被采用作为电路配置。

[0134] 在第二处理例子中的基本操作与在第一处理例子不是那么的不同。但是,在第二

处理例子中的操作与在第一处理例子的不同之处在于,考虑了对应于在最大 AD 转换时期的后半段中进行的计数处理的数据的校正。第二处理例子中的整个操作可以被看作用于对补数进行计数的操作。在这种情况下,由于对补数进行计数,因此需要用于获得作为实数的最终数据的数据校正的机制。用于数据校正的机制可以通过第一次计数处理中的初始值来实现,或可以通过在后一级处的数字算术单元 29 中的数字算术运算来实现。

[0135] 下面描述了为什么需要考虑数据校正的理由。在 P 相位处理期间的最大计数数被表示为 D_{rm} , 且在 D 相位处理期间对应于最大信号分量 V_{sig} 的最大计数数被表示为 D_{sm} 。在这种情况下,在 D 相位处理期间的最大计数数被表示为“ $D_{rm}+D_{sm}$ ”。在各个相位中的最大 AD 转换时期中,当在像素信号电压 V_x 和参考信号 SLP ADC 彼此一致且反转了比较输出 COMP 之后在后半段中进行计数处理时,当复位电平 S_{rst} 被表示为 D_{rst} 时,在 P 相位中的计数值 D_p 被表示为“ $D_{rm}-D_{rst}$ ”。当信号电平 S_{sig} 的计数值被表示为 D_{sig} 时,在 D 相位中的计数值 D_d 被表示为“ $(D_{rm}+D_{sm})-(D_{rst}+D_{sig})$ ”。

[0136] 当在 P 相位处理期间在上计数模式中和在 D 相位处理期间在下计数模式中进行计数且从在 P 相位处理中获得的计数值开始 D 相位处理时,在 D 相位处理之后的数据被表示为 $(D_{rm}-D_{rst})-\{(D_{rm}+D_{sm})-(D_{rst}+D_{sig})\}=D_{sig}-D_{sm}$ 。为了偏移“- D_{sm} ”并获得信号分量 V_{sig} 的数字数据 D_{sig} ,例如,在仅第一次的 P 相位处理期间的初始值 D_{ini} 必须被设置到 D_{sm} ,或 D_{sm} 仅必须被数字算术单元 29 添加到“ $D_{sig}-D_{sm}$ ”。

[0137] 在计数模式的这种组合中,关于信号电平 S_{sig} ,在下计数中进行在后半 AD 转换处理时期中的补数计数。因此,能够通过由补数计数将计数处理的特性组合到负侧且由下计数处理将计数处理的特性组合到负侧,来获得 D_{sig} 作为到正侧的值。上述“ $D_{sig}-D_{sm}$ ”表示该值。在这种情况下,存在优势:可在第二次处理之后,根据第一次中的初始值的设置来立即获取数字数据 D_{sig} 。

[0138] 另一方面,当在 P 相位处理期间按下计数模式进行计数和在 D 相位处理期间按上计数模式进行计数且从在 P 相位处理中获得的计数值开始 D 相位处理时,D 相位处理之后的数据被表示为 $\{(D_{rm}+D_{sm})-(D_{rst}+D_{sig})\}-(D_{rm}-D_{rst})=D_{sm}-D_{sig}$ 。为了偏移 D_{sm} 并获得信号分量 V_{sig} 的数字数据 D_{sig} 的负数,例如,在第一次的 P 相位处理期间的初始值 D_{ini} 仅必须被设置为“- D_{sm} ”,或 D_{sm} 仅必须被数字算术单元 29 从“ $D_{sm}-D_{sig}$ ”中减去。为了将数字数据 D_{sig} 的负数“- D_{sig} ”复位到正数,例如,被反转的比特数据仅必须从数据存储器/传送与输出单元 256 中输出,或比特数据仅必须被数字算术单元 29 反转。但是,准确地,当仅进行比特数据的反转时,存在差值“1”。因此,为了获得更精确的数据,可考虑在数字算术单元 29 中添加“1”。替换地,还可以通过在数字算术单元 29 中进行算术操作 $\{D_{sm}-(D_{sm}-D_{sig})\}$ 来获取数字数据 D_{sig} 。

[0139] 在计数模式的这种组合中,关于信号电平 S_{sig} ,在上计数中进行在后半 AD 转换时期中的补数计数。因此,可以通过由补数计数将计数处理的特性组合到负侧且由下计数处理将计数处理的特性组合到负侧,来获得 D_{sig} 作为到负侧的值。上述“ $D_{sm}-D_{sig}$ ”表示该值。

[0140] 图 3B 是用于说明在参考信号比较型的 AD 转换的第二处理例子中的操作。在图 3B 中示出与第一处理例子的组合。具体地,当在前一行中的像素信号电压 V_x 中的信号电压 S_{sig} 处于相对于预定阈值的低亮度范围内时,应用第一处理例子。当信号电平 S_{sig} 处

于相对于预定阈值的高亮度范围内时,应用第二处理例子。

[0141] 在图中所示的例子中,在像素信号电压 V_{x_0} 和像素信号电压 V_{x_1} 的两者中,其中像素信号电压 V_{x_0} 的前一行中的信号电平 S_{sig} 处于低亮度范围,(该行不总是处于低亮度范围内),且像素信号电压 V_{x_1} 的前一行中的信号电平 S_{sig} 处于高亮度范围内(该行不总是处于高亮度范围内),复位数据 $Drst$ 是 50,信号数据 $Dsig$ 是 1950,在 P 相位处理时期中的最大计数数 Drm 是 128,且在 D 相位处理时期中的最大计数数 Dsm 是 4096。在第一处理例子和第二处理例子两者中,在 P 相位处理期间在下计数模式中进行计数,且在 D 相位处理期间在上计数模式中进行计数。在 P 相位处理期间,从初始值 = 0 开始计数处理。在该图中,像素信号电压 V_{x_0} 和像素信号电压 V_{x_1} 不同且比较器的反转时序平移。但是,实际上,由于像素信号电压 V_{x_0} 和像素信号电压 V_{x_1} 如上所述相同,比较器的反转时序相同。

[0142] 在 P 相位处理和 D 相位处理两者中,第一处理例子被应用到像素信号电压 V_{x_0} 。因此,首先,在被准备作为 P 相位处理时期的 $Drm = 128$ 的计数时期中,由电压比较电压 252 进行在参考信号 SLP_ADC 和像素信号电压 V_{x_0} 之间的比较。在像素信号电压 V_{x_0} 的复位电平 $Srst_0$ 和参考信号 SLP_ADC 彼此一致时的第五十计数处,反转电压比较单元 252 的比较输出 $COMP(=COMP_OUT0)$ 。另外,还反转计数使能信号 $EN(=PCOMP_OUT0)$ ($COMP_OUT0$ 和 $PCOMP_OUT0$ 是同相的)。停止下计数操作,并在计数器单元 254 中保持计数值“-50”。

[0143] 在被准备作为 D 相位处理时期的 $Drm+Dsm = 128+4096$ 的计数时期中,由电压比较单元 252 进行参考信号 SLP_ADC 和像素信号电压 V_{x_0} 的比较。在当像素信号电压 V_{x_0} 的信号电平 $Ssig_0$ 和参考信号 SLP_ADC 彼此一致时的第“50+1950”=计数处,反转电压比较单元 252 的比较输出 $COMP(=COMP_OUT0)$ 。另外,还反转计数使能信号 $EN(=PCOMP_OUT0)$ 并停止上计数操作。此时,由于从在 P 相位处理中获得的计数值“-50”进行上计数,因此在计数器单元 254 中保持“-50+2000”= 1950。1950 与信号数据 $Dsig$ 一致。

[0144] 另一方面,在 P 相位处理和 D 相位处理两者中,第二处理例子被应用于像素信号电压 V_{x_1} 。因此,首先,在被准备作为 P 相位处理时期的 $Drm = 128$ 的计数时期中,由电压比较单元 252 进行参考信号 SLP_ADC 和像素信号电压 V_{x_0} 的比较。在像素信号电压 V_{x_1} 的复位电平 $Srst_1$ 彼此一致时的第五十计数处,反转比较输出 $COMP(=COMP_OUT1)$ 。另外,还反转计数使能信号 $EN(=PCOMP_OUT1)$ ($COMP_OUT0$ 和 $PCOMP_OUT0$ 是反相的)。计数器单元 254 从该点开始下计数,并在 $Drm = 128$ 次计数处停止计数操作。因此,由于计数器单元 254 下计数“128-50 = 78”,因此在结束 P 相位处理之后在计数器单元 254 中保持“-78”。

[0145] 在被准备作为 D 相位处理时期的 $Drm+Dsm = 128+4096$ 计数时期中,由电压比较单元 252 进行参考信号 SLP_ADC 和像素信号电压 V_{x_1} 的比较。在像素信号电压 V_{x_1} 的信号电平 $Ssig_1$ 和参考信号 SLP_ADC 彼此一致时的第 2000 计数处,反转电压比较单元 252 的比较输出 $COMP(=COMP_OUT1)$ 。但是,还反转计数使能信号 $EN(=PCOMP_OUT1)$ ($COMP_OUT0$ 和 $PCOMP_OUT0$ 是反相的)。计数器单元 254 从该点开始上计数,并在 $Drm+Dsm = 128+4096$ 次计数处停止计数操作。

[0146] 因此,计数器单元 254 向上计数“128+4096-2000 = 2224”个时钟。在此点处,由于从在 P 相位处理中获得的计数值“-78”开始上计数,因此在计数器单元 254 中保持“-78+2224”= 2146。将计数值 2146 的数据 $Dout$ 传送到数字算术单元 29。数字算术单元 29 从对应于信号数据 $Dsig$ 的最大值的最大计数数 Dsm 减去数据 $Dout$,以获得“4096-2146”

= 1950 作为最终信号数据 Dsig。

[0147] 对于像素信号电压 V_{x_0} 和像素信号电压 V_{x_1} 两者,在 D 相位处理期间,计数相位调整单元 260 通过时钟信号 CLK 锁存电压比较单元 252 的比较输出 COMP,其升高到接近例如参考信号 SLP_ADC 的斜坡期中的中间电压,对应于划分低亮度范围和高亮度范围的阈值。计数相位调整单元 260 进行计数调整,用于判断在下一行的处理期间是正常输出比较输出 COMP 以作为计数使能信号 EN 还是反转输出以作为计数使能信号 EN。如果将在用于划分低亮度范围和高亮度范围的 CLK 信号上升时的时刻 (timing) 设置在参考信号 SLP_ADC 的中间电压,则计数器单元 254 的激活期不会变得长于参考信号 SLP_ADC 的斜坡期的一半。

[0148] 当在行中的 D 相位处理期间像素信号电压 V_x 的信号电平 Ssig 属于低亮度范围时,电压比较单元 252 的比较输出 COMP 被反转并且在时钟信号 CLK 的上升点处于 L 电平。因此,计数相位调整单元 260 锁存 L 电平作为比较输出 COMP 的相位信息。相反,当在行中的 D 相位处理期间像素信号电压 V_x 的信号电平 Ssig 属于高亮度范围时,电压比较单元 252 的比较输出 COMP 未被反转并且在时钟信号 CLK 的上升点处于 H 电平。因此,计数相位调整单元 260 锁存 H 电平作为比较输出 COMP 的相位信息。

[0149] 将比较脉冲 COMP 输入到 EX-OR 门的一个输入端,并且将行中的锁存信息输入到另一端,作为相位调整控制信号。当信号电平 Ssig 属于低亮度范围时,相位调整控制信号处于 L 电平,并且当信号电平 Ssig 属于高亮度范围时,相位调整控制信号处于 H 电平。以这种方式,当信号电平属于行中的低亮度范围时,在下一行的处理期间,输出比较脉冲 COMP 作为未被逻辑反转的计数使能信号 EN。因此,将前半计数操作 (第一处理例子) 应用于处理。当信号电平 Ssig 属于行中的高亮度范围时,在下一行的处理期间,将比较脉冲 COMP 逻辑反转并输出作为计数使能信号 EN。因此,将后半计数操作 (第二处理例子) 应用于处理。

[0150] 在此例子中,当通过数字算术单元 29 进行补数计数操作中所涉及的数据校正时,通过水平信号线 18 和 18x,将由计数相位调整单元 260 锁存的比较输出 COMP 的相位信息通知给数字算术单元 29。基于该信息,数字算术单元 29 将补数计数操作中所涉及的数据校正应用于经过补数计数的像素数据。

[0151] < 固态成像设备的操作 ;第三处理例子中的操作 >

[0152] 尽管图中没有示出,但是在第三处理例子中,当采用称为参考信号比较型等的 AD 转换系统时,采用可以与 AD 转换同时进行差分处理功能同时防止计数器单元 254 的面积增加的问题的机制。

[0153] 根据电路配置,采用在第一次 AD 转换处理和第二次 AD 转换处理期间以相同计数模式进行计数并将第一次和第二次中的计数相位设置得不同的机制,而不是切换计数模式的机制。如在第一处理例子和第二处理例子中那样,在第二次结束处理期间,从第一次计数处理的结果开始计数处理。

[0154] 在第三处理例子中,由于不需要切换技术模式,作为电路配置,能够采用图 2A 所示的第一配置例子或者采用图 2B 所示的第二配置例子。

[0155] “将计数相位设置得不同”意味着在第一次 AD 转换处理 (例如 P 相位中的处理) 和第二次 AD 转换处理 (例如 D 相位中的处理) 中将计数处理时段设置得不同。更具体地,在从参考信号 SLP_ADC 开始变化的时间点直到参考信号 SLP_ADC 与像素信号电压 V_x 变得相同的时段中进行的计数处理和从参考信号 SLP_ADC 与像素信号电压 V_x 变得相同的时间

点到处理达到该处理中的最大 AD 转换时期的时间点（一般是参考信号 SLP_ADC 停止变化的时间点）的时段中进行的 AD 转换处理存在差别。这个差别意味着计数相位间的差别。

[0156] 换句话说，在两次计数处理中，使用比较输出 COMP 被反转的时间点作为分界，组合作为前半计数操作的实数计数处理和作为后半计数操作的补数计数处理。

[0157] 一般而言，从参考信号 SLP_ADC 中的变化开始的时间点直到参考信号 SLP_ADC 与像素信号电压 V_x 变得相同的时段和从参考信号 SLP_ADC 与像素信号电压 V_x 变得相同的时间点到处理达到该处理中的最大 AD 转换时期的时间点的时段对应于从电压比较单元 252 输出的比较脉冲 COMP 的输出电平。因此，仅需要切换在比较脉冲 COMP 处于 L 电平的时段中开始的计数处理和在该比较脉冲 COMP 处于 H 电平的时段中开始的计数处理。

[0158] 另外，在第三处理例子中，为了使得能够获取差分处理结果作为两次计数处理的结果，作为第一方法，当开始第一次计数处理时，用对应于计数模式并被初始设置为初始值 Dini 的符号（加号或减号）附加到与在参考信号 SLP_ADC 与像素信号电压 V_x 变得相同的时间点后进行的计数处理中的最大 AD 转换时期相等的计数值。从初始值 Dini 开始计数处理。可替换地，作为第二方法，尽管如在第一处理中从“0”开始计数处理，但是在第二次计数处理完成后，由在计数器单元 254 的后一级处的数字算术单元 29 校正初始值 Dini。当在计数器单元 254 的后一级处不需要校正初始值 Dini 并且仅需要获得对于一个像素的 AD 转换处理结果时，第一方法是合适的方法。另一方面，当获得多个像素的信号分量 V_{sig} 的乘法累计的 AD 转换处理结果时，第二方法是合适的方法。

[0159] 换句话说，在第三处理例子中，当将另一方分配给用于信号电平 S_{sig} 的计数处理时，可以认为用于信号电平 S_{sig} 的计数处理是用于计数补数的操作。在此情况下，由于计数了补数，因此需要用于获取作为真实数量的最终数据的数据校正的机制。可以通过第一次计数操作中的初始值来实现用于数据校正的机制，或者可以通过作为后一级电路的数字算术单元 29 中的数字算法操作来实现。

[0160] < 固态成像设备的操作；第四处理例子中的操作 >

[0161] 图 3C 是用于说明参考信号比较型 AD 转换的第四处理例子中的操作的时序图。

[0162] 第四处理例子对应于在列电路 25 的后一级（例如数字算术单元 29）处进行的复位电平和信号电平之间的差分处理。

[0163] 在此情况下，尽管只进行了下计数操作和上计数操作之一，但是在两次处理期间，计数开始于参考信号 SLP_ADC 中的变化开始的时间点，并且计数结束于参考信号 SLP_ADC 与处理对象信号电压彼此一致的时间点。可替换地，计数开始于参考信号 SLP_ADC 与处理对象信号电压彼此一致的时间点，并且计数结束于处理达到该处理中的期望计数数的时间点（典型地是处理达到最大 AD 转换时期的时间点）。

[0164] 在第四处理例子中，由于不需要切换计数模式，作为电路配置，可以采用图 2A 所示的第一配置例子，或者可以采用图 2B 所示的第二配置例子。例如，当采用第一配置例子时，仅需要采用计数器单元 254 和数据存储 / 传送及输出单元 256 两者以将在 P 相位的处理和 D 相位的处理中所获取的各个数据 D_p 和 D_d 存储在其内部的不同存储单元中。

[0165] 在图 3C 中，采用图 2B 所示的第二配置例子。在从任意行 V_x 中的像素单元 3 读出垂直信号线 19_1 到 19_h 的 P 相位电平（复位电平 S_{rst} ）稳定了之后，参考信号生成单元 27 开始随着被供应至各个列中的电压比较单元 252 的参考信号 SLP_ADC 的时间的变化，并

且计数器单元 254 开始上计数并比较计数与用于每列的复位电平 S_{rst} 。当复位电平 S_{rst} 与参考信号 SLP_ADC 彼此一致时反转比较输出 COMP。因此,数据存储/传送及输出单元 256 捕获在反转时刻的计数数据,并将该计数数据存储于用于 P 相位数据 D_p 的存储单元(存储器设备 1)中。

[0166] 此外,在稳定了 D 相位电平(信号电平 S_{sig})的读出后,参考信号生成单元 27 开始随着被供应至各个列中的电压比较单元 252 的参考信号 SLP_ADC 的时间的变化,并且计数器单元 254 开始上计数并比较计数与用于每列的信号电平 S_{sig} 。当信号电平 S_{sig} 与参考信号 SLP_ADC 彼此一致时反转比较输出 COMP。因此,数据存储/传送及输出单元 256 捕获在反转时刻的计数数据,并将该计数数据存储于用于 D 相位数据 D_d 的存储单元(存储器设备 2)中。

[0167] 在 AD 转换期结束后,在水平扫描单元 12 的控制下,将由数据存储/传送及输出单元 256 存储的 P 相位和 D 相位中的 n 位数字数据 D_p 和 D_d 分别通过 $2 \times 2 \times n$ 水平信号线 18 和 18x 顺序传送到数字算术单元 29,作为互补数据 Q_p 、 xQ_p 、 Q_d 和 xQ_d 。换句话说,列电路 25 将各次中的处理的计数结果输出到数字算术单元 29 作为关于复位电平 S_{rst} 的互补数据 Q_p 和 xQ_p 、以及关于信号电平 S_{sig} 的互补数据 Q_d 和 xQ_d 。数字算术单元 29 基于互补数据 Q_p 和 xQ_p 再现原始数字数据 D_p ,并基于互补数据 Q_d 和 xQ_d 再现原始数字数据 D_d 。其后,数字算术单元 29 使用再现的数据 D_p 和 D_d 进行“ $D_d - D_p$ ”的差分处理,以获取关于信号分量 V_{sig} 的 AD 转换数据。其后,对每行依次重复相同的操作,由此建立了二维图像。

[0168] < 水平传送的问题 >

[0169] 通过作为总线的水平信号线 18 将由各个列中的数据存储/传送及输出单元 256 存储的数据顺序传送到输出电路(或数字算术单元 29)侧,作为单端信息(single end information)。在此情况下,由于在水平信号线 18 上出现了寄生电容,因此发生由于寄生电容的出现而引起的各种问题。例如,发生传送速度的衰减,并且由于用于水平信号线 18 来控制寄生电容的配线宽度(金属宽度)需要增加而引起芯片尺寸增加。

[0170] 例如,寄生电容的值是通过总计以下而获得的值:

[0171] (1) 由于水平信号线 18 而引起的电容;

[0172] (2) 由于输出电路 28 的输入级而引起的电容;

[0173] (3) 由于 1 个数据存储/传送及输出单元 256 的 1 个输出级 $\times$ 数据存储/传送及输出单元 256 的个数而引起的电容;以及

[0174] (4) 用于连接水平信号线 18 与 1 个数据存储/传送及输出单元 256 的 1 个输出级 $\times$ 数据存储/传送及输出单元 256 的个数的配线的电容。

[0175] 因此,当通过顺序选择数据存储/传送及输出单元 256 而将由各个列中的数据存储/传送及输出单元 256 存储的数据读出到水平信号线 18 时,由于水平信号线 18 的寄生电容,在数据传送中发生错误。具体地,当寄生电容的电容值增加时,这导致信号延迟并且阻止了数据传送速度的增加。

[0176] 例如,当进行高速操作以例如增加帧频时,需要以高速进行诸如行扫描、AD 转换和水平数据传送之类的操作。在这些操作中,当希望增加水平数据传送的速度时,直到由水平扫描单元 12 选择的数据存储/传送及输出单元 256 驱动水平信号线 18 并且数据存储/传送及输出单元 256 的信号到达输出电路 28 的时间是主要的。

[0177] 在具有水平方向的像素,例如,2000 列中的单位像素的像素阵列单元 10 的情况下,2000 个数据存储 / 传送及输出单元 256 被连接到水平信号线 18。数据存储 / 传送及输出单元 256 的各个输出级的寄生电容被组合。所选择的数据存储 / 传送及输出单元 256 驱动水平信号线 18 时具有很大的寄生电容作为负载。近年来,由于需要增加像素,因此与水平信号线 18 连接的数据存储 / 传送及输出单元 256 的数量趋向增加。这种趋向限制了特别是所需要的高速操作。

[0178] 作为这样的问题的解决方法,增加用于水平信号线 18 的配线宽度以便降低寄生电容并控制由于寄生电容引起的配线延迟的方法是可考虑的。然而,为了通过用作总线的水平信号线 18 按位来传送数据,芯片尺寸增加。

[0179] 因此,在此实施例,提供了数字地转换像素信号并将像素信号输出到固态成像设备 1 的外部的机制。使用该机制,能够解决由于水平信号线的寄生电容而引起的问题。该机制的基础在于,在水平信号线 18 上传送数据作为互补信息而不是在水平信号线传送数据作为单端信息。下面具体说明该机制。

[0180] < 数据存储 / 传送及输出单元和输出电路的配置 >

[0181] 图 4A 到 4C 是用于说明列处理单元 26 (具体地是数据存储 / 传送及输出单元 256 周围的单元) 和输出电路 28 的配置例子的图。图 4A 是示出数据存储 / 传送及输出单元 256 的细节的电路方框图。图 4B 是输出数据存储 / 传送及输出单元 256 周围的单元和输出电路 28 的配置例子的电路方框图。图 4C 是用于说明数据存储 / 传送及输出单元 256 周围的单元和输出电路 28 的基本操作的电压电平图。

[0182] 在根据该实施例的固态成像设备 1 中,作为用于不受水平信号线 18 的寄生电容的影响而实现高速数据传送的机制,从各个数据存储 / 传送及输出单元 256 的数据保持功能单元输出的处于 H 和 L 逻辑电平的数据被转换成用于该数据的在水平信号线 18 和 18x 上传送的互补数据 Qsig 和 xQsig,并被输出电路 28 重新转换成逻辑电平的原始数据 D,而不是通过传送驱动器直接输出到水平信号线 18。

[0183] 作为用于该机制的基础结构,如图 4A(1) 所示,数据存储 / 传送及输出单元 256 包括:D 型触发器 (D-FF) 402,其作为从列电路 25 的 AD 转换单元 25b 捕获数据并保持数据的数据保持单元的例子,其中这些数据被与被输入到时钟端 CK 的子时钟 DLAT 同步地输入到 D 输入端;以及传送驱动器 404 和 404x,其作为总线驱动电路 (数据输出级) 的例子,该总线驱动电路作为传送输出功能单元。

[0184] D 型触发器 402 的非反转输出 Q 被输入到传送驱动器 404。传送驱动器 404 通过作为总线的水平信号线 18 被连接到输出电路 28。另一方面,D 型触发器 402 的反转输出 xQ 被输入到传送驱动器 404x。传送驱动器 404x 通过作为总线的水平信号线 18x 被连接到输出电路 28。

[0185] 与各个传送驱动器 404_1 到 404_h 和 404x_1 和 404x_h 对应的水平数据传送时钟 ϕH_1 到 ϕH_h 被从通信 / 计时控制单元 20 输入到各个传送驱动器 404_1 到 404_h 和 404x_1 和 404x_h 的输出使能端 OE。当与各个传送驱动器 404_1 到 404_h 和 404x_1 和 404x_h 对应的水平数据传送时钟 ϕH_1 到 ϕH_h 激活 (即,输出使能端 OE 处于 H 电平) 时,各个传送驱动器 404_1 到 404_h 和 404x_1 和 404x_h 将所输入的信息通过水平信号线 18 和 18x 传送到输出电路 28。

[0186] 如图 4A(2) 所示, 各个计数器单元 2541 到 2544 具有异步上 / 下计数器并级联连接用于 n 位的计数器元 (cell) (例如 D 锁存器) 254_0 到 254_ $n-1$ 的结构。“级联连接”意味着用于将前一级处的计数器元的输出数据输入到后一级处的计数器元的时钟端的连接。计数时钟 CK_CNT 被供应至前一级处的计数器元 254_0 的时钟端。数据存储 / 传送及输出单元 256 的各个 D 型触发器 401_1 到 402_h 具有按位的 D 锁存器。各个传送驱动器 401_1 到 404_h、404x_1 到 404x_h 具有驱动晶体管 (D-Tr)。用于对应于计数数的 n 位的计数器元、D 锁存器和驱动晶体管被串联。

[0187] 驱动晶体管被并行连接到与其对应的水平信号线 18 和 18x (下文中也称作水平传送总线 BUS 和 xBUS), 并使用水平扫描单元 12 传送来自各个 D 锁存器的互补数据 Q 和 xQ, 其中各个 D 锁存器按位选择性输出计数数据。

[0188] 在 D 型触发器 (D-FF) 402 的后一级处, 固态成像设备 1 包括: 第一幅度电平变化单元 410 和 410x, 其将从 D 型触发器 402 输出的 H (电源侧) 和 L (地侧) 逻辑电平之一改变到电源和地之间的第三电压电平; 主放大单元 411, 其放大互补信息, 其中由第一幅度电平变化单元 410 和 410x 改变该互补信息的幅度电平; 以及锁存器单元 419, 其保持在预定时刻主放大单元 411 的输出信息 (比较结果)。锁存器单元 419 是捕获从差分放大单元 418 输出的信息并在预定时刻保持该信息的数据保持单元的例子。定义用于保持主放大单元 411 的输出信息 (比较结果) 的時刻的控制脉冲 (锁存器时钟) LT 被从水平扫描单元 12 供应至锁存器单元 419。

[0189] 假设锁存器时钟 LT 与水平数据传送时钟 ϕH 同步。更具体地, 设置控制脉冲使得锁存器单元 419 保持在由水平数据传送时钟 ϕH 定义的传送周期的中间的位置上的主放大单元 411 的输出信息 (比较结果)。

[0190] 如图 4B 所示, 主放大单元 411 包括: 第二幅度电平变化单元 417 和 417x, 其用作放大信息的互补信号放大单元, 其中由第一幅度电平变化单元 410 和 410x 改变该信息的幅度电平; 以及差分放大单元 418, 其比较并放大第二幅度电平变化单元 417 和 417x 的输出。水平传送总线 BUS 上的数据 Q 和水平传送总线 xBUS 上的数据 xQ 是反转的数据 (互补数据)。第二幅度电平变化单元 417 和 417x 具有一致的结构。主放大单元 411 和锁存器单元 419 被提供在为各个列公共的水平传送总线 BUS 和 xBUS 而提供的输出电路 28 中。

[0191] 在各个列传送驱动器 404 和 404x 中, 第一幅度电平变化单元 410 和 410x 包括: 第一电平调整单元 414 和 414x, 其将从 D 型触发器 402 的最后级放大器的输出端 Q 和 xQ 输出的 H (电源侧) 和 L (地侧) 逻辑电平之一转换成在电源和地之间的第三电压电平。

[0192] 第一幅度电平变化单元 410 和 410x 还包括: 第二电平调整单元 415 和 415x, 其将从 D 型触发器输出的 H 和 L 逻辑电平的另一个转换成在电源和地之间的第四电压电平; 以及第三电平调整单元 416 和 416x, 其控制在由第二电平调整单元 415 和 415x 转换的第四电压电平处的过充电 (overcharge), 并将第四电压电平的最大值限制到在电源和地之间的第五电压电平。第二电平调整单元 415 和 415x 以及第三电平调整单元 416 和 416x 被提供在为各个列公共的水平传送总线 BUS 和 xBUS 而提供的输出电路 28 中。

[0193] 例如, 如图 4C 所示, 第一电平调整单元 414 和 414x 将从 D 型触发器 402 输出的 H 逻辑电平改变为在电源和地之间的第三电压电平 VL3。响应于该变化, 第二电平调整单元 415 和 415x 将从 D 型触发器 402 输出的 L 逻辑电平改变为在电源和地之间的第四电压电平

VH4 ($> VL3$)。

[0194] 以这种方式,根据该实施例的传送驱动器 404 和 404x (具体地,第一电平调整单元 414 和 414x) 和第二电平调整单元 415 和 415x 具有反转的结构。如图 4C 所示,在来自 D 型触发器 402 的通用电压电平 VL (等于地电势) 和 VH (等于用于逻辑电路的电源电势) 处的二进制逻辑电平的数据 (图中的 (1)) 被转换成具有较窄的电压幅度 (VL3 到 VH4) 的模拟电压信号,并被输出到水平传送总线 BUS 和 xBUS (图中的 (2))。这样的目的是,从高速数据传输的观点来看,在高负载水平传送总线 BUS 和 xBUS 的驱动中,在保持原始 VL 和 VH 逻辑电平的同时,根据传送能力、功耗、抗噪声性能等,使得传送信息比通过水平传送总线 BUS 和 xBUS 而将数据传送到输出电路 28 更有利。

[0195] 输出电路 28 的第二幅度电平变化单元 417 和 417x 接收在水平传送总线 BUS 和 xBUS 上的、由传送驱动器 404 和 404x (具体地,第一电平调整单元 414 和 414x) 和第二电平调整单元 415 和 415x 从逻辑电平转换成具有电压幅度 (VL3 到 VH4) 的窄模拟信号的电压信息 (VL3 到 VH4)。然后,第二幅度电平变化单元 417 和 417x 将该电压信息转换 (反转并放大) 成用于差分放大单元 418 的、幅度电平 VL6 到 VH6 比 VL3 到 VH4 更宽的电压信息 VQ,并输出该电压信息 (图中的 (3))。

[0196] 第三电平调整单元 416 和 416x 具有这样的功能:当互补数据 Q 和 xQ 处于 L 电平并且未驱动第一电平调整单元 414 和 414x 时,将在由第四电压电平 VH4 对水平传送总线 BUS 和 xBUS 充电时的最大充电电势限制到第五电压电平,以控制对电源电平的过充电,其中由第二电平调整单元 415 和 415x 转换第四电压电平 VH4。

[0197] 例如,如图 4C (4) 所示,差分放大单元 418 基于在幅度电平 VL6 到 VH6 处以相反极性变化的电压信息 VQ 和 xVQ,使用电压比较器来比较水平传送总线 BUS 上的电压信息 VQ 是高于还是低于水平传送总线 xBUS 上的电压信息 xVQ。差分放大单元 418 使用电压比较器的放大功能 (需要时,与输出缓冲器联合处理),将电压信息 VQ 和电压信息 xVQ 之间的电压差放大到用于锁存器单元 419 的逻辑电平 VLout 和 VHout。

[0198] 当在单一端处的水平信号线 18 上传送信息时,由于作为水平传送路径的水平信号线 18 很长,寄生电容 CR 限制了传送速度。当采用用于并行进行 AD 转换的计数操作和水平传送操作的管线处理 (pipeline processing) 以增加操作速度时,在计数器操作期间的电源噪声被混合在水平传送路径中,并限制了传送速度的增加。

[0199] 另一方面,在该实施例中,不是在保持输出电路 (此例子中的 D 型触发器 402) 的逻辑输出电平的同时在水平信号线 18 上传送数据,而是将数据作为互补信息而传送并转换成具有较小幅度的、被传输到输出电路 28 的电压信号,并在输出电路 28 中再次再现为用于后一级电路的逻辑电平。在水平信号线 18 和 18x 上传送数据,作为互补并且小幅度电压信号。结果,实现高速水平传送。由于传送了互补信息,因此即使诸如电源噪声的公共模式噪声被混合在水平传送路径中,也可以消除噪声的影响。因此,可以明显降低传送误差。具体地,当作为互补数据而传送数字数据时,基于所传送的互补数据来再现原始数据,然后在预定时刻锁存原始数据。这也使得能够明显提高数据准确性。下面说明具体配置例子。

[0200] < 配置例子 >

[0201] 图 5A 和 5B 是用于说明具体配置例子的图。如图 5A 所示,数据存储 / 传送及输出单元 256 的第一电平调整单元 414 和 414x 具有在 D 型触发器 402 的输出端 Q 和 xQ 与水平

传送总线 BUS 和 xBUS 之间的用作驱动晶体管 (D-Tr) 的 NMOS 晶体管 420 和用作具有模拟切换功能的切换晶体管的 NMOS 晶体管 422。

[0202] 来自水平扫描单元 12 的对应于各列的水平数据传送时钟 ϕH_1 和 ϕH_h 被供应至 NMOS 晶体管 422 的栅极端。NMOS 晶体管 422 在水平扫描单元 12 的控制下将 NMOS 晶体管 420 的反转输出输出到各个列公共的水平传送总线 BUS 和 xBUS。

[0203] 将 D 型触发器 402 的输出端 Q 和 xQ 的输出数据输入到 NMOS 晶体管 420 的栅极端。NMOS 晶体管 420 的源极端接地。NMOS 晶体管 420 的漏极端连接到 NMOS 晶体管 422 的一个输入和输出端 (例如源极端)。

[0204] 当 NMOS 晶体管 422 导通时, NMOS 晶体管 420 逻辑反转 D 型触发器 402 的输出端 Q 和 xQ 的输出数据的 H (电源侧) 逻辑电平并将其转换成在电源和地之间的第三电压电平 VL3。

[0205] 逻辑反转从 D 型触发器 402 的输出端 Q 和 xQ 输出的 L (地侧) 和 H 逻辑电平的 L 逻辑电平并将其转换成第四电压电平 VL3 的第二电平调整单元 415 和 415x 被连接到水平传送总线 BUS 和 xBUS。在该配置例子中, 作为第二电平调整单元 415 和 415x, 使用用作上拉 (pull up) 水平传送总线 BUS 和 xBUS 的电势的部件。

[0206] 具体地, 用作上拉部件的第二电平调整单元 415 和 415x 使用 PMOS 晶体管进行上拉, 以便当第一电平调整单元 414 和 414x 的输出无效时 (等效于数据 Q 和 xQ 处于 L 电平的时间) 将水平传送总线 BUS 和 xBUS 拉到电源电压 Vdd 侧。为此目的, 在水平传送总线 BUS 和 xBUS 与电源电压 Vdd 之间提供具有 PMOS 晶体管 440 的第二电平调整单元 415 和 415x。将电源电压 Vdd 供应至 PMOS 晶体管 440 的源极端。PMOS 晶体管 440 的漏极端连接到水平传送总线 BUS 和 xBUS。

[0207] 第三电平调整单元 416 和 416x 将第四电压电平 VH4 的过充电限制为第五电压电平 VH5, 发生过充电是因为第一电平调整单元 414 和 414x 无效 (等效于数据 Q 和 xQ 处于 L 电平的时间) 的状态持续。作为第三电平调整单元 416 和 416x, 在水平传送总线 BUS 和 xBUS 与地之间提供二极管连接的 NMOS 晶体管 442, 以将阳极置于水平传送总线 BUS 和 xBUS 侧并将阴极置于地侧。

[0208] PMOS 晶体管 440 还执行第二幅度电平变化单元 417 和 417x 的部分功能。第二幅度电平变化单元 417 和 417x 包括: NMOS 晶体管 450, 其栅极与水平传送总线 BUS 和 xBUS 连接; 在 NMOS 晶体管 450 的负载侧 (漏极端侧) 提供的电流镜像连接的 (current-mirror-connected) PMOS 晶体管 452 和 454; 以及在 PMOS 晶体管 454 的负载侧 (漏极端侧) 提供的 NMOS 晶体管 456。

[0209] 将电源电压 Vdd 供应至 PMOS 晶体管 452 和 454 的各个源极端。PMOS 晶体管 452 和 454 的各个基极端被公共连接并被连接到 PMOS 晶体管 452 的漏极端。NMOS 晶体管 450 的源极端接地。NMOS 晶体管 450 的漏极端连接到 PMOS 晶体管 452 的漏极端 (并进一步连接到 PMOS 晶体管 452 和 454 的栅极端)。NMOS 晶体管 456 的源极端接地。NMOS 晶体管 456 的漏极端连接到 PMOS 晶体管 454 的漏极端。漏极端的连接点连接到差分放大单元 418 的输入端之一。第二幅度电平变化单元 417 的 NMOS 晶体管 456 的漏极端连接到差分放大单元 418 的非反相输入端 (+), 并且第二幅度电平变化单元 417x 的 NMOS 晶体管 456 的漏极端连接到差分放大单元 418 的反相输入端 (-)。

[0210] 放大器输出端的电压信息 VQ 和 xVQ 也被供应至 PMOS 晶体管 440 的栅极端（控制输入端）。由第二幅度电平变化单元 417 放大的电压信息 VQ 和 xVQ 被供应至 PMOS 晶体管 440 的控制输入端，其中 PMOS 晶体管 440 是 NMOS 晶体管 420 的负载晶体管。配置了反馈电路，其在用于基于放大的信号来控制水平传送总线 BUS 和 xBUS 上的信号幅度的方向上起作用（稍后描述反馈电路的操作的细节）。

[0211] 主放大单元 411 具有定义 NMOS 晶体管 456 的操作电流的偏置单元 460。偏置单元 460 包括：PMOS 晶体管 462，在其栅极端处设置偏置电压 Vb；以及在 PMOS 晶体管 462 的负载侧（漏极端侧）提供的 NMOS 晶体管 464。电源电压 Vdd 被供应至 PMOS 晶体管 462 的源极端。PMOS 晶体管 462 的漏极端连接到 NMOS 晶体管 464 的漏极端。NMOS 晶体管 464 的源极端接地。NMOS 晶体管 464 的栅极端和漏极端连接。

[0212] 第二幅度电平变化单元 417 和 417x 的各个 NMOS 晶体管 456 连接到偏置单元 460 的 NMOS 晶体管 464 的栅极端并被电流镜像连接到 NMOS 晶体管 464。换句话说，将预定偏置电平从用作恒流源的偏置单元 460 输入到 NMOS 晶体管 456 的输入侧（栅极端）。

[0213] 在用作 xBUS 放大单元的第二幅度电平变化单元 417 的放大器输出端处的电压信息 VQ 被供应至差分放大单元 418 的非反相输入 (+)。在用作 xBUS 放大单元的第二幅度电平变化单元 417x 的放大器输出端处的电压信息 xVQ 被供应至差分放大单元 418 的反相输入 (-)。由差分放大单元 418 比较并放大电压信息 VQ 和电压信息 xVQ。由差分放大单元 418 比较并放大的电压信息 VD（假设 VLout 对应于所再现的数据的 L 电平，VHout 对应于数据的 H 电平）被供应至锁存器单元 419。锁存器单元 419 基于与水平数据传送时钟 ϕH 同步的锁存器时钟来捕获一般在传送周期的中间位置上的电压信息 VD，以再现原始逻辑数据 D 并与水平数据传送时钟 ϕH 同步地输出逻辑数据 D。

[0214] 考虑到数字数据的水平传送，在锁存器单元 419 中判断最终数据以提高数据再现的准确性。然而，不是必须提供锁存器单元 419。在模拟信息的水平传送中，不用锁存器单元 419，只需照原样使用从差分放大单元 418 输出的电压信息。

[0215] 如从图中很明显，第二幅度电平变化单元 417 和 417x 具有一致的结构。优选第二幅度电平变化单元 417 和 417x 具有一致的性能，使得放大器输出端处的电压信息 VQ 和 xVQ 呈现类似的特性。为此目的，例如，优选在彼此接近的位置布置第二幅度电平变化单元 417 和 417x。具体地，第二幅度电平变化单元 417 和 417x 的操作点基本上取决于 NMOS 晶体管 456 的操作电流。因此，优选在彼此接近的位置上布置在第二幅度电平变化单元 417 侧的 NMOS 晶体管 456 和在第二幅度电平变化单元 417x 侧的 NMOS 晶体管 456。

[0216] NMOS 晶体管 456 被电流镜像连接到偏置单元 460 的 NMOS 晶体管 464。因此，为了对称地布置各个晶体管的镜像电路，优选在穿过 NMOS 晶体管 464 的对称位置上布置在第二幅度电平变化单元 417 侧的 NMOS 晶体管 456 和在第二幅度电平变化单元 417x 侧的 NMOS 晶体管 456。图中所示的图表（电路图）示意性示出了该布置。在第二幅度电平变化单元 417 和 417x 中，还优选在接近的位置中布置各个晶体管 440、450、452、454 和 456。

[0217] 在具有 PMOS 晶体管 440 作为上拉部件的第二幅度电平变化单元 417 和 417x 的结构中，当某列中的输出数据 Q 和 xQ 是“L”时，使用 PMOS 晶体管 440 来将水平传送总线 BUS 和 xBUS 的电压上拉到电源电压 Vdd 侧。当某列中的输出数据 Q 和 xQ 变化到“H”时，由驱动 NMOS 晶体管 420 下拉电压，并且信号值“H”被逻辑反转并传输。不用说，当某列中的输

出数据是“L”时,由于 NMOS 晶体管 420 截止,因此由 PMOS 晶体管 440 的上拉来逻辑反转并传输信号值“L”。

[0218] 当某列中的输出数据 Q 和 xQ 变化到“H”时,NMOS 晶体管 420 导通,并且水平传送总线 BUS 和 xBUS 的电压被下拉,并且下降了某个电压而达到在对应于 H 电平的电源电压 Vdd 和对应于 L 电平的地电压 GND 之间的第三电压电平 VH3。电压下降的程度取决于 NMOS 晶体管 420 的漏极和源极之间的驱动能力(与漏极和源极之间的驱动电流和输出电阻有关)以及水平传送总线 BUS 和 xBUS 上的负载电阻和负载电容。

[0219] 在配置第一电平调整单元 414 时,使用逻辑反转从 AD 转换单元 25b 和 D 型触发器 402 输出的 H 和 L 逻辑电平的晶体管(此例子中的 NMOS 晶体管 420)。因此,存在这样的优点:能够容易地将 H 和 L 电平之一(此例子中的 H 电平)转换成第三电压电平 VH3。

[0220] 在具体配置用于当某列中的输出数据 Q 和 xQ 是“L”时将电压上拉到在对应于 H 电平的电源电压 Vdd 和对应于 L 电平的地电压 GND 之间的第四电压电平 VL4 的上拉部件时,如果使用 MOS 晶体管,存在这样的优点:与使用电阻元件的形式相比,能够在较小的面积中实现上拉部件。另外,在从 L 电平到 H 电平的转变(水平传送总线 BUS 和 xBUS 上的逻辑反转;从 H 电平到 L 电平)时,可以利用 PMOS 晶体管 440 的驱动能力。因此,与电阻元件相比,驱动能力也很高。然而,当 NMOS 晶体管 420 导通时,流通电流很可能从 PMOS 晶体管 440 经过 PMOS 晶体管 422 流到 NMOS 晶体管 420。

[0221] <配置例子中的放大动作>

[0222] 图 6A 和 6B 是用于说明图 5B 所示的第二幅度电平变化单元 417 和 417x 的放大动作的图,并功能性地示出了电路配置。图 6A 是用于说明应用用于图 5B 所示的配置例子的比较性例子的操作的图。图 6B 是用于说明根据应用图 5B 所示的配置例子的此实施例的操作的图。

[0223] 如图 6A 所示,在比较性例子的配置中,为了在具有较大寄生电容 CR 的传送路径上进行数据传送,如在此实施例中,使用差分传送电路。在该差分传送电路中,由用于对传送路径充电的负载晶体管(作为电流源)和用于互补数据的驱动晶体管驱动传送电路,并且由差分放大器比较并输出电压。然而,在这样的比较例子的配置中,传送速度取决于用于在 DC 平衡中充电和放电的负载晶体管和驱动晶体管的能力。当传送路径的寄生电容 CR 很大时,传送路径上的传送速度取决于该能力。

[0224] 另一方面,在根据图 5B 所示的实施例的配置例子中,第二幅度电平变化单元 417 和 417x 配置反馈放大器电路。换句话说,连接 PMOS 晶体管 454 的漏极端和 NMOS 晶体管 456 的漏极端的连接点是放大器输出端。在放大器输出端生成的用于差分放大单元 418 的电压信息 VQ 和 xVQ 被返回到 PMOS 晶体管 440 的栅极端(控制输入端)。PMOS 晶体管 440 配置反馈电路,用于基于栅极端处的栅极电压来控制水平传送总线 BUS 和 xBUS 中的电势波动。

[0225] 当从 D 型触发器 402 输出的逻辑数据 Q 和 xQ 处于 L 电平时, NMOS 晶体管 420 截止以在用于使用 PMOS 晶体管 440 的上拉动作来增加水平传送总线 BUS 和 xBUS 的电势的方向上起作用。然后, NMOS 晶体管 450 在 ON 方向上起作用,并且电流镜像连接的 PMOS 晶体管 452 和 454 的电流增加。该电流增加在用于增加在放大器输出端处生成的电压信息 VQ 和 xVQ 的方向上起作用。将信息通知给 PMOS 晶体管 440 的栅极端。当栅极端处的电势上

升时,由于 PMOS 晶体管 440 在 OFF 方向上起作用,因此操作电阻增加。结果,PMOS 晶体管 440 在用于降低水平传送总线 BUS 和 xBUS 的电势的方向上起作用。换句话说,当水平传送总线 BUS 和 xBUS 的电势上升(幅度增加)时,将第二幅度电平变化单元 417 和 417x 的放大器输出端处的电压信息 VQ 和 xVQ 输入到 PMOS 晶体管 440,并且 PMOS 晶体管 440 在用于控制水平传送总线 BUS 和 xBUS 的幅度增加的方向上起作用。

[0226] 相反,当从 D 型触发器 402 输出的逻辑数据 Q 和 xQ 处于 H 电平时,NMOS 晶体管 420 导通以被下拉并在用于降低水平传送总线 BUS 和 xBUS 的电势的方向上起作用。然后,NMOS 晶体管在 OFF 方向上起作用,并且电流镜像连接的 PMOS 晶体管 452 和 454 的电流降低。该电流降低在用于降低在放大器输出端处生成的电压信息 VQ 和 xVQ 的方向上起作用。该信息被通知给 PMOS 晶体管 440 的栅极端。

[0227] 当栅极端处的电势下降时,PMOS 晶体管 440 在 ON 方向上起作用。因此,操作电阻降低,并且 PMOS 晶体管 440 在用于增加水平传送总线 BUS 和 xBUS 的电势的方向上起作用。换句话说,当水平传送总线 BUS 和 xBUS 的电势下降(幅度降低)时,将第二幅度电平变化单元 417 和 417x 的放大器输出端处的电压信息 VQ 和 xVQ 输入到 PMOS 晶体管 440,并且 PMOS 晶体管 440 在用于控制水平传送总线 BUS 和 xBUS 的幅度降低的方向上起作用。

[0228] 从该事实可见,第二幅度电平变化单元 417 和 417x 操作为反馈放大器电路。在第二幅度电平变化单元 417 和 417x 的放大器输出端处生成的电压信息 VQ 和 xVQ 被输入到作为负载晶体管的 PMOS 晶体管 440 的栅极端。因此,水平传送总线 BUS 和 xBUS 的幅度电平以自对准(self-aligning)的方式稳定到与 NMOS 晶体管 456 的栅极端处的偏置电平平衡的电平。

[0229] 作为 NMOS 晶体管 420 的负载晶体管的 PMOS 晶体管 440 被用作第二电平调整单元 415,并且放大器输出端处的电压信息 VQ 和 xVQ 被反馈到 PMOS 晶体管 440 的栅极端。因此,存在这样的优点:可以容易地配置反馈放大器电路。

[0230] 以这种方式,在根据该实施例的配置中,如图 6B 所示,电路包括:用于传送互补输出数据的两个水平传送总线 BUS 和 xBUS;NMOS 晶体管 420,被分布并布置在水平传送总线 BUS 和 xBUS 上,并且操作为各个列中的驱动晶体管,用于基于互补输出数据驱动水平传送总线 BUS 和 xBUS;以及第二幅度电平变化单元 417 和 (BUS 放大单元) 和 417x(xBUS 放大单元),作为向其输入水平传送总线 BUS 和 xBUS 上的信号并生成被输入到作为差分放大器的差分放大单元 418 的输入信号(电压信息 VQ 和 xVQ)的放大级。电路还包括 PMOS 晶体管 440,其操作为被输入有由第二幅度电平变化单元 417(BUS 放大单元)和 417x(xBUS)生成的电压信息 VQ 和 xVQ 并将电压信息 VQ 和 xVQ 反馈到水平传送总线 BUS 和 xBUS,即在用于控制水平传送路径的幅度的方向上起作用的负载晶体管。

[0231] 使用这样的配置,关于作为数据传送路径的水平传送总线 BUS 和 xBUS,作为负载晶体管的 PMOS 晶体管 440 还操作为反馈晶体管。因此,由于水平传送总线 BUS 和 xBUS 上的信息的幅度被控制得很小,高速操作是可能的。由作为放大级的操作为 BUS 放大单元的第二幅度电平变化单元 417 和操作为 xBUS 放大单元的第二幅度电平变化单元 417x 放大作为差分放大器的差分放大单元 418 的输入,以将其改变为电压信息 VQ 和 xVQ。因此,能够迅速准确地比较电压信息。此外,由于传送数据作为互补信息,因此即使噪声被混合在水平传送总线 BUS 和 xBUS 中,也能够消除噪声的影响。因此,噪声电阻较高。

[0232] < 配置例子中的电平控制动作 >

[0233] 图 6C 和 6D 是用于说明图 5B 所示的配置例子中的第三电平调整单元 416 和 416x 进行的电平控制动作的图。

[0234] 当以高速驱动高负载水平传送总线 BUS 和 xBUS 时,难以确保通过率 (through rate)。这在图 6C(1) 中示出。没有提供第三电平调整单元 416 和 416x。如图所示,应该被放大到电源电压的水平传送总线 BUS 和 xBUS 的电势实际仅被放大了很小的幅度。这是因为,由于水平传送总线 BUS 和 xBUS 中存在电阻并且缓冲器 (此例中的 NMOS 晶体管 420) 中存在有限的输出阻抗,因而由于所谓的 CR 延迟,电势被放大了很小的幅度。

[0235] 当以这种方式,电势仅被放大了很小的幅度时,很可能在信号中出现误差。这在图 6C(2) 和 6D(1) 中示出。如图所示,当处于操作点接近于地侧的状态中的彼此相邻的各列中的输出典型地不同并且在水平传送总线 BUS 和 xBUS 中典型地出现变化时,接近于地侧的状态中的幅度很小,而当没有变化时幅度较大。水平传送总线 BUS 上的电势继续上升,直到数据变化到 H。然而,根据第二幅度电平变化单元 417 的动作,水平传送总线 xBUS 上的电势仍然停留在预定电平。

[0236] 操作为 BUS 放大单元的第二幅度电平变化单元 417 的放大器输出端处的电压信息 VQ 被供应至差分放大单元 418 的非反相输入 (+)。操作为 xBUS 放大单元的第二幅度电平变化单元 417x 的放大器输出端处的电压信息 xVQ 被供应至差分放大单元 418 的反相输入 (-)。由差分放大单元 418 比较并放大电压信息 VQ 和电压信息 xVQ。因此,如图 6D(2) 所示,用于再现差分放大单元 418 中的数据的数据的阈值因为输出变化而改变。这引起误判 (数据的再现错误)。

[0237] 提供第三电平调整单元 416 和 416x 以解决该问题。作为第三电平调整单元 416 和 416x,例如,提供二极管连接的 NMOS 晶体管 422。因而,当数据 Q 和 xQ 处于 L 电平时,能够根据二极管连接的 NMOS 晶体管 442 和第二幅度电平变化单元 417 的动作,将用于对水平传送总线 BUS 和 xBUS 充电的电势的上升限制到预定的第五电压电平 VH5。换句话说,当第一电平调整单元 414 和 414x 没有将水平传送总线 BUS 和 xBUS 驱动到地侧时 (等效于数据 Q 和 xQ 处于 L 电平时),将对水平传送总线 BUS 和 xBUS 的充电控制到第五电压电平 VH5 (≡ 二极管电压=约 0.6V)。因此,能够防止水平传送总线 BUS 和 xBUS 被过充电到电源电平。

[0238] 结果,幅度电平 VL3 到 VL4 被限制到二极管电压的范围,水平传送总线 BUS 和 xBUS 上的信息具有非常小的幅度,并且高速反转操作是可能的。结果,如图 6D(3) 所示,即使当水平传送总线 BUS 和 xBUS 中没有变化时,也不太容易发生数据的再现错误。为了使其更完善,将幅度电平 VL3 到 VH4 设置得与二极管电压基本相等是明智的。如果设置 NMOS 晶体管 456 的偏置电平使得在未出现第三电平调整单元 416 和 416x 时的上拉电势等于或高于二极管电压,则由 NMOS 晶体管 422 将幅度电平 VL3 到 VH4 自动设置得与二极管电压基本相等。

[0239] 将上拉时的电势控制在预定范围 (第五电压电平 VH5) 中的第三电平调整单元 416 的结构不限于 NMOS 晶体管 422 是二极管连接的这种结构。例如,还能够使用 Zener 二极管或其他电压限制元件。然而,如果二极管的阴极接地 (参考电压) 侧,并且其阳极连接到前方的偏置线侧,则存在这样的优点:可以容易地将上拉时的电势限制到预定范围 (二极管电压)。当 MOS 晶体管是二极管连接的时,容易将 MOS 晶体管合并入集成电路中。

[0240] < 配置例子中的信息再现动作和偏置电平之间的关系 >

[0241] 图 6E 是用于说明图 5B 所示的配置例子中的 NMOS 晶体管 464 的偏置电平和差分放大单元 418 的信息再现动作之间的关系的图。NMOS 晶体管 464 的操作电流主要在第二幅度电平变化单元 417 和 417x 的功耗和操作点上起作用。在功耗方面,可以使得功耗取决于由偏置单元 460 生成的偏置电流(到 NMOS 晶体管 456 的栅极端的偏置电平)。因此,能够根据传送速度改变偏置电流,并实现低功耗。

[0242] 另一方面,在操作点方面,当偏置电平彼此不一致并且在操作为 BUS 放大单元的第二幅度电平变化单元 417 的放大器输出端处的操作点和在操作为 xBUS 放大单元的第二幅度电平变化单元 417x 的放大器输出端处的操作点彼此不一致时,如图 6E 所示,在输入信息和由差分放大单元 418 再现的电压信息 VD 所指示的再现信息之间发生偏移(shift)。在图 6E 中,示出了很轻的偏移。然而,当放大器输出端处的操作点偏移较大时,有可能不能再现信息。

[0243] 在数字数据的水平传送中,可通过在差分放大单元 418 的后一级处提供锁存器单元 419 并大概在传送周期的中间捕获数字数据而提高数据再现的准确性。然而,在传送模拟信息的情况下,难于以这样的方式提供数据再现的准确性。

[0244] 因此,如上所述,优选通过例如将在第二幅度电平变化单元 417 侧的 NMOS 晶体管 456 和在第二幅度电平变化单元 417x 侧的 NMOS 晶体管 456 布置在彼此接近的位置上,使得在放大器输出端处的电压信息 VQ 和电压信息 xVQ 呈现相似特性,从而将第二幅度电平变化单元 417 和 417x 的性能设置得一致。

[0245] < 与类似配置例子的比较 >

[0246] 作为与根据上述实施例的配置类似的机制,例如,关于用于动态半导体存储设备的总线信号(输入和输出总线信号)的差分放大单元,JP-A-128870 提出了这样一种机制,其包括:用于将由列解码器选择的互补位线上的信号传输到互补总线的部件;差分地输入、比较并判断总线上的信号的差分放大器;以及提供在互补总线和差分放大器的差分输入之间的电压电平转换器(例如,源跟随器电路)。

[0247] 通过使用电压电平转换器从电源电压降低判断传送路径的差电势的差分放大器的差分输入电势,可以在饱和区使用 CMOS 结构的差分放大器。因此,能够增加整个放大器操作的速度和增益。

[0248] 在 JP-A-5-128870 中所提出的机制中,电压电平转换器(例如源跟随器电路)不具有放大功能。因此,通过将差分放大器(差分放大单元 418)的输入设置为较大的幅度同时将水平传送总线 BUS 和 xBUS 上的信息控制到较小的幅度,难以获得本实施例特有的作用和效果:能够通过将差分放大器(的输入设置为较大的幅度同时将数据路径控制到较小的幅度而快速准确地比较电压信息,以实现高速传送。

[0249] JP-A-2002-84460 提出一种在 CMOS 成像设备中的使用串联连接的反馈电阻器和输入电阻器而电压分布(voltage-distribute)放大的输出以获得电压分布的输出并使用该电压分布的输出作为差分反转输入的机制。要传送的信息是模拟信息。由差分放大器生成在与用于传送正相位信号的正相位信号线互补的负相位信号线上的负相位信号。可以将放大器增益设置为等于或大于 1。能够获得放大程度大于 1 的、固定模式噪声被抑制的输出信号。

[0250] 然而,在 JP-A-2002-84460 中所公开的机制中,需要用于稳定模拟信息的时间。另

一方面,在根据本实施例的机制中,传送数字信息,并且仅需要保留可以比较二进制值的时间。因此,在增加速度方面,此机制具有优势。

[0251] < 成像装置 >

[0252] 图 7 是示出作为采用与根据本实施例的固态成像设备 1 相同的机制的物理信息获取装置的例子成像装置(摄像机系统)的示意结构的图。该成像装置 8 是获取可见光颜色图像的成像装置。

[0253] 具体地,成像装置 8 包括:摄像镜头 802,其将载有位于诸如太阳光或荧光灯的光源 801 下的对象 Z 的图像的光 L 导向成像装置侧并聚焦光 L;低通滤光器 804;滤色器组 812,在其中例如以 Bayer 阵列布置 R、G 和 B 的过滤器;像素阵列单元 10;驱动像素阵列单元 10 的驱动控制单元 7;列处理单元 26,其将 CDS 处理、AD 转换处理等施加于从像素阵列单元 10 输出的像素信号;以及摄像机信号处理单元 810,其处理从列处理单元 26 输出的处理图像数据。

[0254] 摄像机信号处理单元 810 包括成像信号处理单元 820、以及用作控制整个成像装置 8 的主控制单元的摄像机控制单元 900。成像信号处理单元 820 包括:信号分离单元 822,其具有原色分离功能,用于当使用除了原色过滤器之外的滤波器作为滤色器时,将从列 AD 电路 25b(见图 1)供应的数字成像信号分离成 R(红)、G(绿)和 B(蓝)原色信号;以及颜色信号处理单元 830,其基于由信号分离单元 822 分离的原色信号 R、G 和 B 将信号处理施加于颜色信号 C。

[0255] 成像信号处理单元 820 还包括:亮度信号处理单元 840,其基于由信号分离单元 822 分离的原色信号 R、G 和 B 将信号处理施加于亮度信号 Y;以及编码器 860,其基于亮度信号 Y 和颜色信号 C 生成视频信号 VD。

[0256] 根据该实施例的摄像机控制单元 900 包括:微处理器 902、其形成由 CPU(中央处理单元)代表的计算机内核,在该 CPU 中,由计算机进行的算法操作和控制被集成在微集成电路中;ROM(只读存储器)904,其作为专用于读出的存储单元;RAM(随机存取存储器)906,其中可以重写数据并且可以从其随机读出数据,并且其是易失性存储单元的例子;以及图中未示出的其他外设构件。也将微处理器 902、ROM904 和 RAM906 统称为微计算机。

[0257] “易失性存储单元”意味着这样的存储单元在关闭装置的电源时,存储的内容被从其擦除。另一方面,“非易失性存储单元”意味着即使关闭的装置的主电源也继续保持存储的数据的存储单元。非易失性存储单元只需要能够继续保持存储的内容,并且不限于由半导体制成的存储器元件本身具有非易失性的存储单元。非易失性存储单元可以是形成易失性存储元件以通过提供备用电源而表现出非易失性的存储单元。

[0258] 摄像机控制单元 900 控制整个系统。用于摄像机控制单元 900 等的控制程序被存储在 ROM 904 中。具体地,在此例子中,用于利用摄像机控制单元 900 设置各种控制脉冲的开始和结束时间的程序被存储在 ROM 904 中。由摄像机控制单元 900 使用以进行各种处理的数据等被存储在 RAM 906 中。

[0259] 诸如存储卡的记录介质 924 可以被可拆卸地插入到摄像机控制单元 900 中。摄像机控制单元 900 可以与诸如因特网的通信网络。例如,除了微处理器 902、ROM 904 和 RAM 906 之外,摄像机控制单元 900 包括存储器读出单元 907 和通信 I/F(接口)908。

[0260] 基于用于曝光控制处理(包括电子快门控制)的来自亮度信号处理单元 840 的亮

度系统信号和各种控制脉冲的开始和结束时间,记录介质 924 用来登记使得微处理器 902 进行软件处理的程序数据和诸如光度数据 DL 的收敛范围的各种设置值的数据。

[0261] 存储器读出单元 907 将从记录介质 924 读出的数据存储(安装)在 RAM906 中。通信 I/F 908 调节该装置和诸如因特网的通信网络间的通信数据交换。

[0262] 在这样的成像装置 8 中,将驱动控制单元 7 和列处理单元 8 示出为与像素阵列单元 10 分离的类模块单元。然而,如关于固态成像装置 1 所描述的,不用说,可以使用单芯片的固态成像设备 1,其中这些单元整体地形成在半导体衬底上,在该半导体衬底上形成了像素阵列单元 10。

[0263] 在图中,除了像素阵列单元 10、驱动控制单元 7、列处理单元 26 和摄像机信号处理单元 810 之外,示出成像装置 8 还包括诸如拍摄镜头 802 的光学系统;低通滤光器;以及红外线切断过滤器 805。该形式适合于具有成像功能的类模块形式,其中在该类模块形式中,这些单元被集合封装。

[0264] 关于固态成像设备 1 中的模块,如图所示,可以将固态成像设备 1 提供为具有成像功能的类模块形式,其中在该类模块形式中,像素阵列单元 10(成像单元)和诸如具有 AD 转换功能和差分(CDS)处理功能的列处理单元 26 的、与像素阵列单元 10 侧紧密相关的信号处理单元(除在列处理单元 26 的后一级处的摄像机信号处理单元)被集合封装。可以在固态成像设备 1 的后一级处提供作为剩余信号处理单元的摄像机信号处理单元 810 以配置整个成像装置,其中固态成像设备 1 被提供为类模块形式。

[0265] 可替换地,尽管图中未示出,但是可以将固态成像设备 1 提供为具有成像功能的类模块形式,在该类模块形式中,像素阵列单元 10 和诸如拍摄镜头 802 的光学系统被集合封装。除了将固态成像设备 1 提供在模块形式中之外,可以通过将摄像机 810 提供在模块中来配置整个成像装置 8。

[0266] 在固态成像设备 1 的模块形式中,可以包括摄像机信号处理单元 810。在此情况下,具体地,可以认为固态成像设备 1 与成像装置 8 是一致的。

[0267] 将这样的成像装置提供为例如具有用于进行“成像”的摄像机和成像功能的便携装置。“成像”不仅包括在正常的摄像机拍摄期间捕获图像,而且包括更广义上的指纹检测等。

[0268] 具有这种结构的成像装置具有固态成像设备 1 的所有功能。可以将成像装置 8 的基本结构和操作设置得与固态成像设备 1 的相同。通过应用本实施例作为数据存储/传送及输出单元 256 和输出电路 28,能够解决在水平传送中由于水平信号线 18 上的负载电容引起的问题。

[0269] 已经参考实施例说明了本发明。然而,本发明的技术范围不限于实施例中所述的技术范围。不脱离本发明的主旨,对本发明的各种修改和改进是可能的。通过这样的修改和改进而替换或改进的形式也被包括在本发明的技术范围内。

[0270] 实施例并不限制根据权利要求的发明。实施例中所说明的所有特性的组合并不是总本发明的解决手段所必需的。各种相位的发明都被包括在实施例在。可以通过多个公开的要素的适当组合而摘选各种发明。即使从实施例中所述的所有要素中删除一些要素,只要能获得效果,就可以摘选从其中删除了一些要素的要素作为发明。

[0271] < 电子装置的应用 >

[0272] 在上述例子中,本发明应用于对像素信号进行 AD 转换和水平传送的固态成像设备和成像装置。然而,AD 转换和数据传送的机制不仅可以应用于固态成像设备和成像装置,而且可以应用于需要动态半导体存储设备中的诸如输入和输出信号的传送的各种电子装置。

[0273] 本领域技术人员应当理解,只要在所附权利要求或其等效物的范围内,依据设计需要和其他因素,可以发生各种修改、组合、子组合和变更。

[0274] 相关申请的交叉引用

[0275] 本发明包含与 2007 年 5 月 18 日在日本专利局提交的日本专利申请 JP2007-132787 相关的主题,其全部内容被引用附于此。

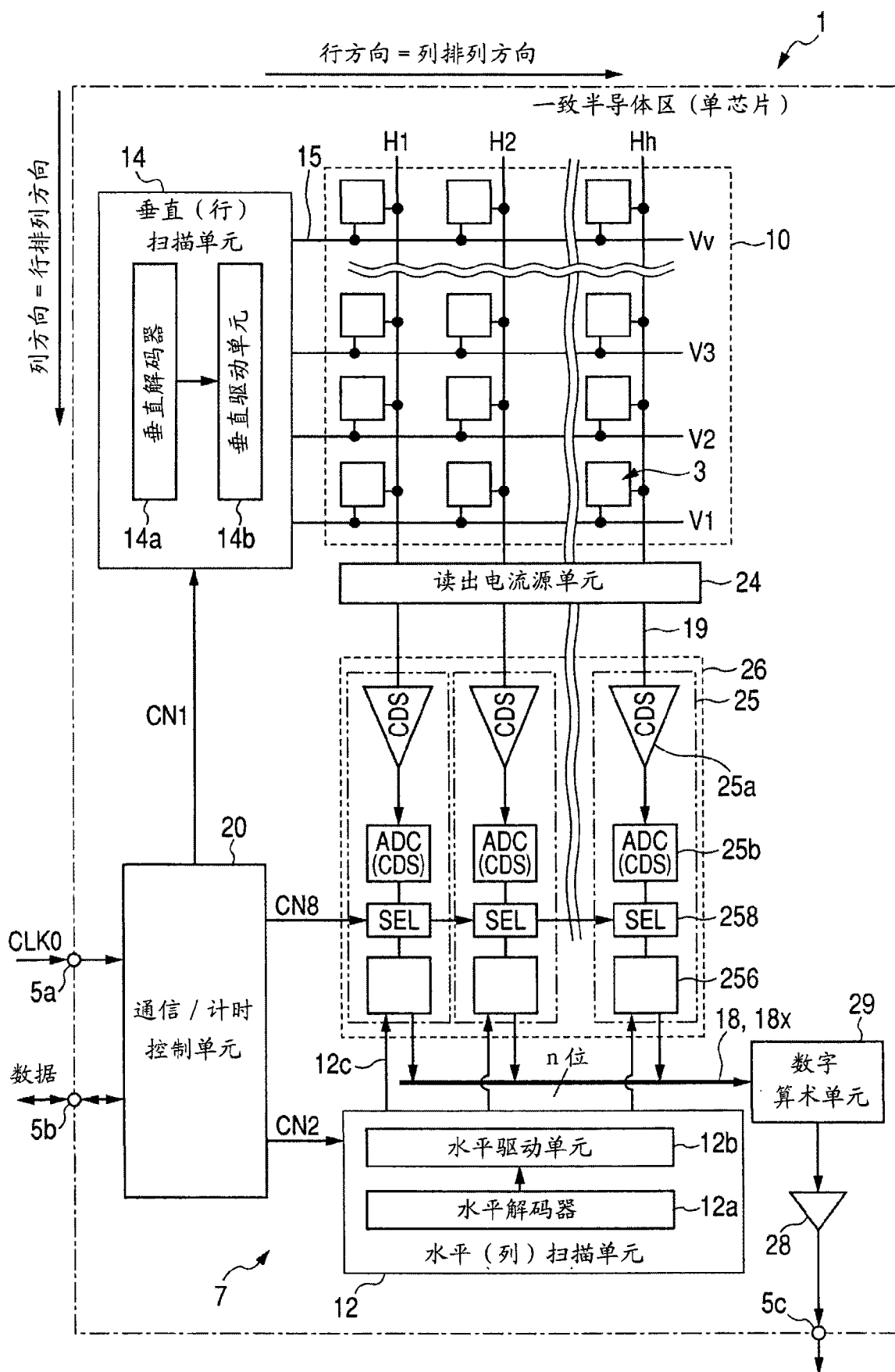


图 1

< 第一配置例子 >

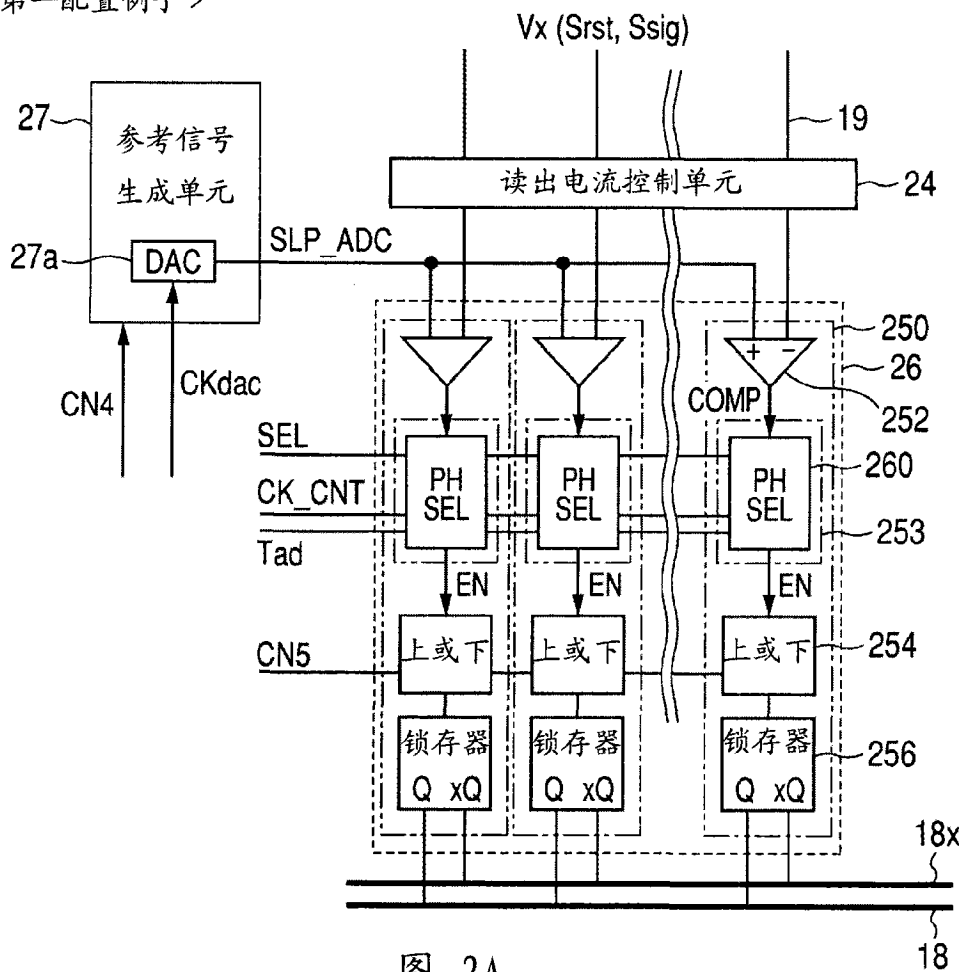


图 2A

< 第二配置例子 >

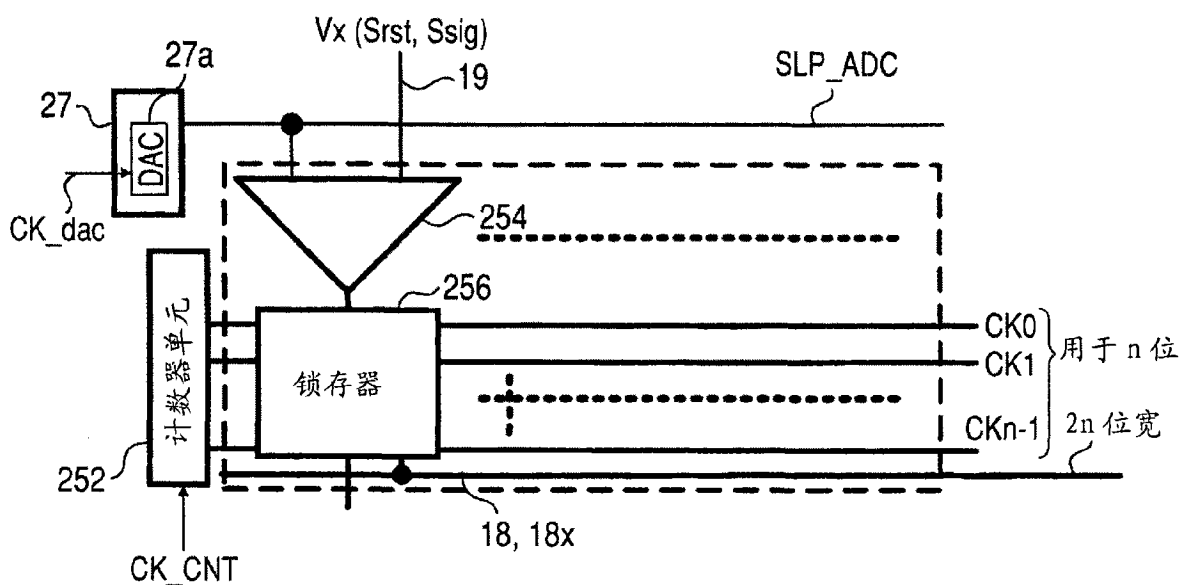


图 2B< 第一处理例子 >

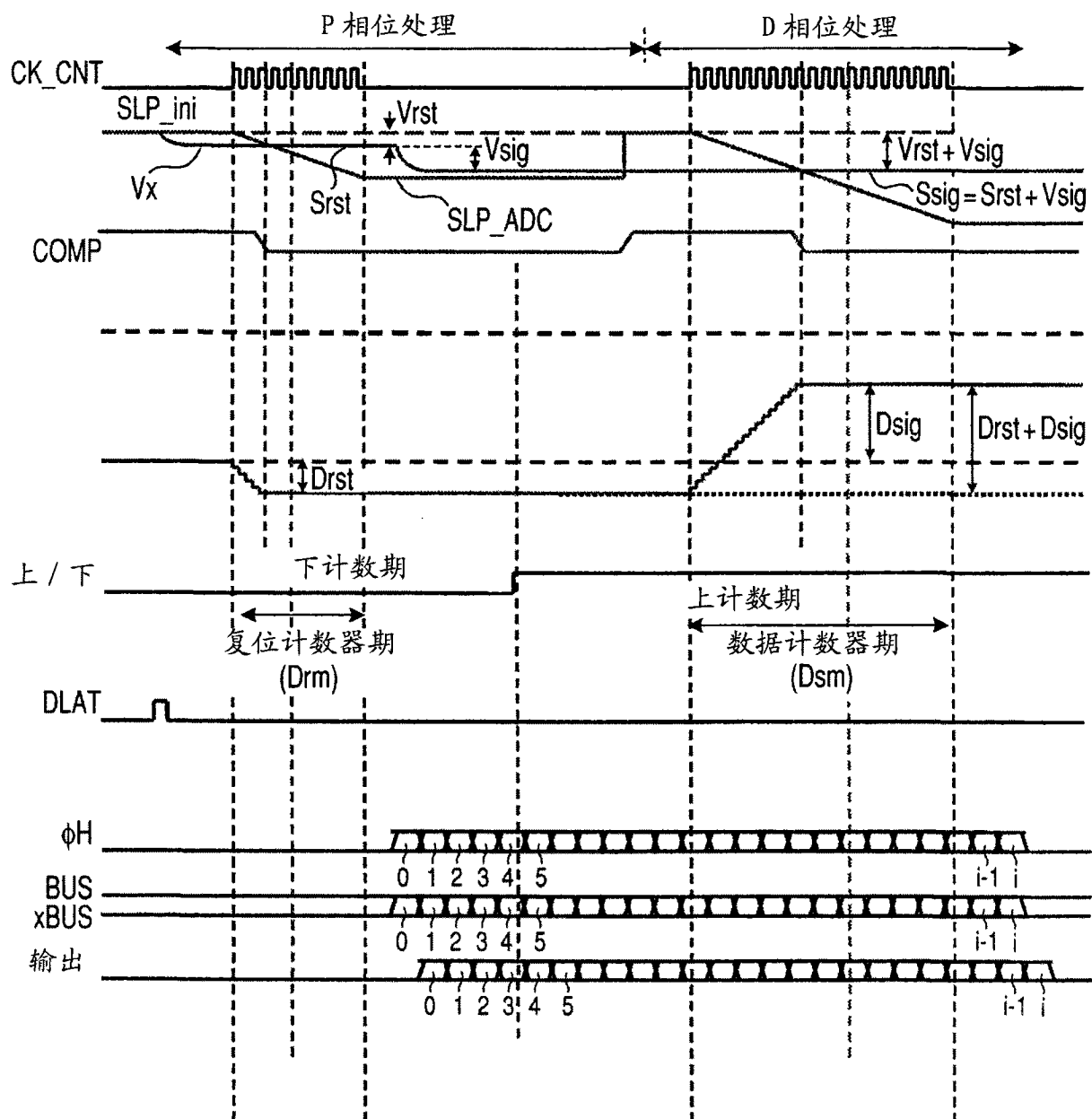


图 3A < 第二处理例子 >

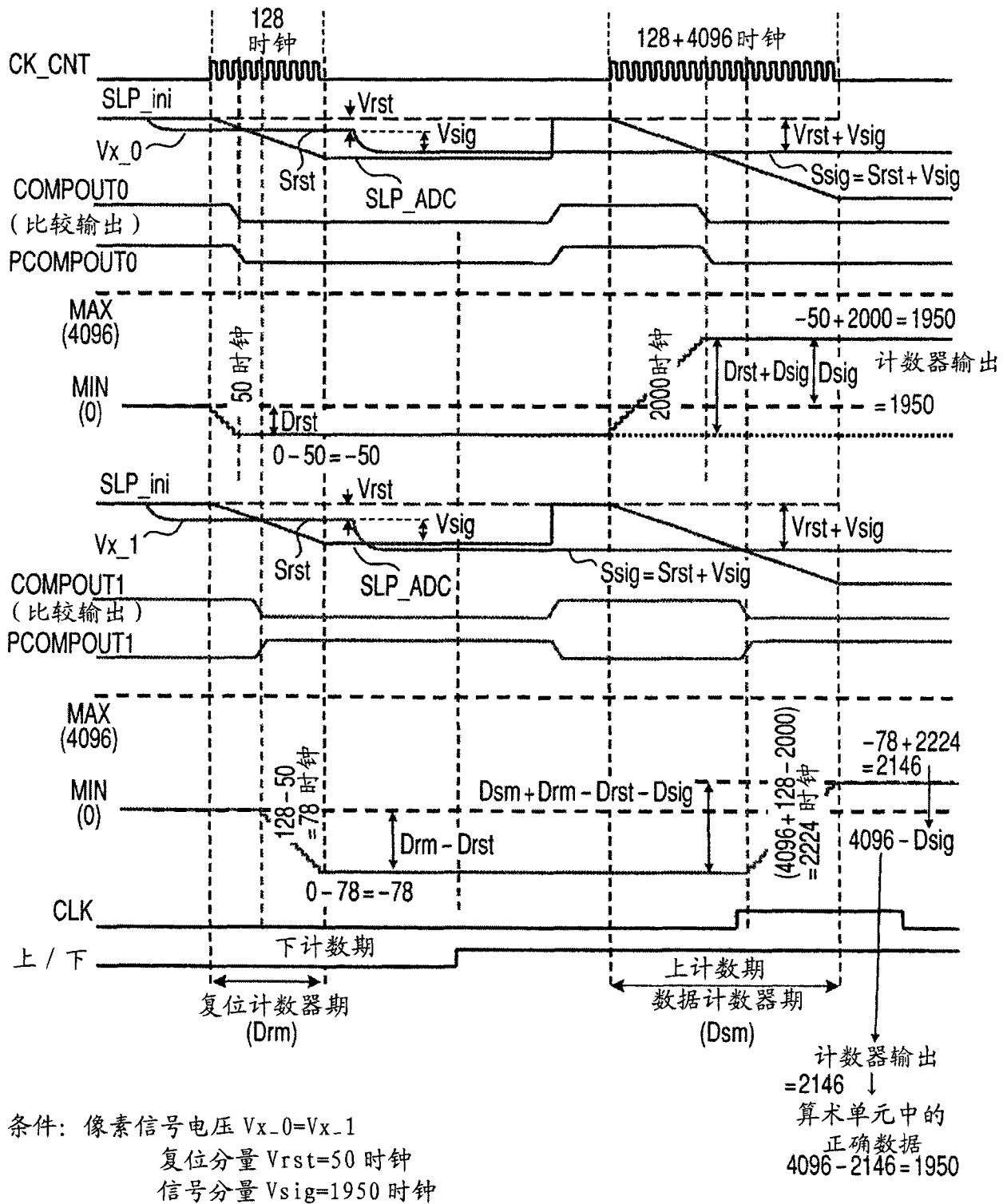


图 3B < 第四处理例子 >

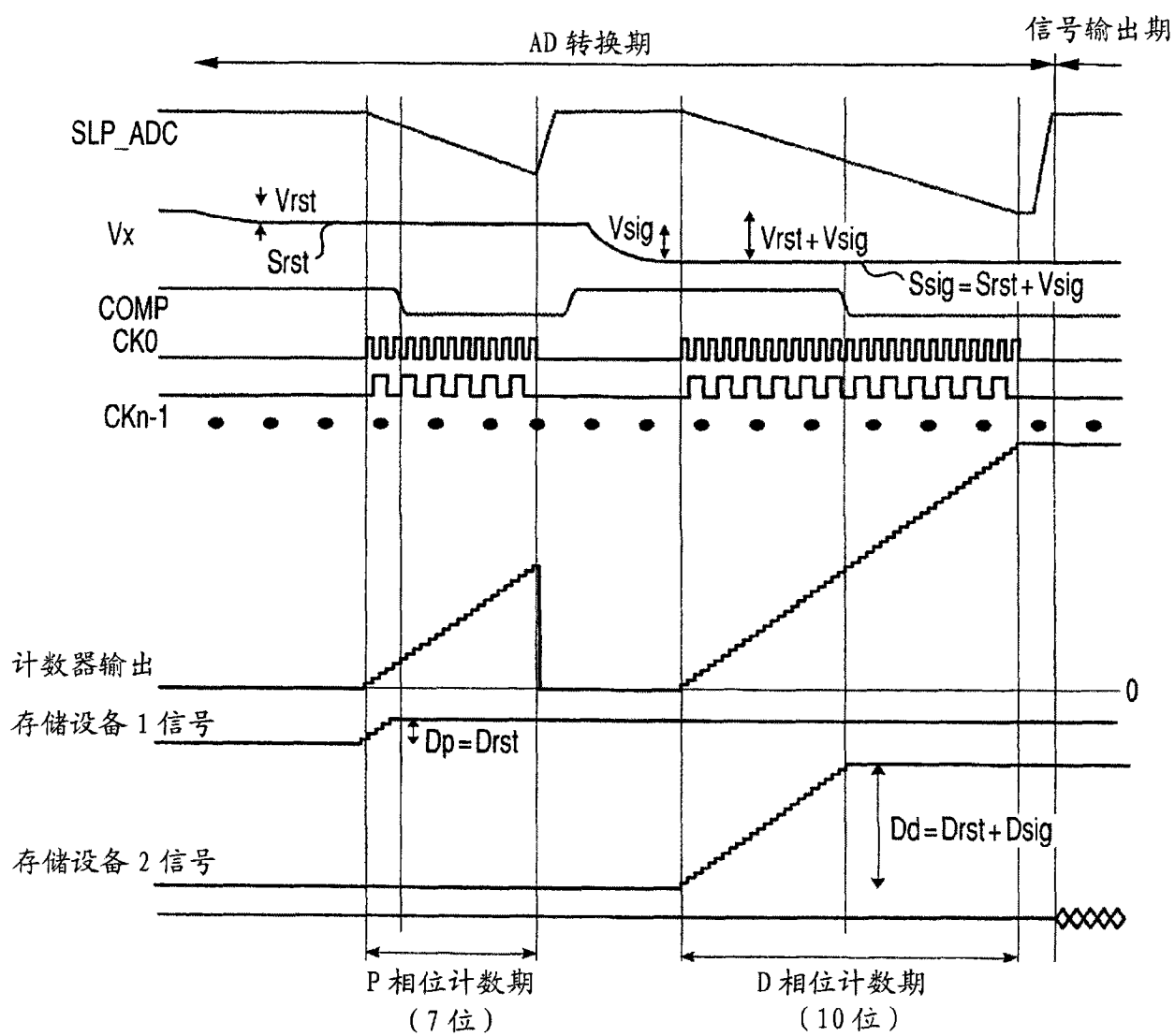
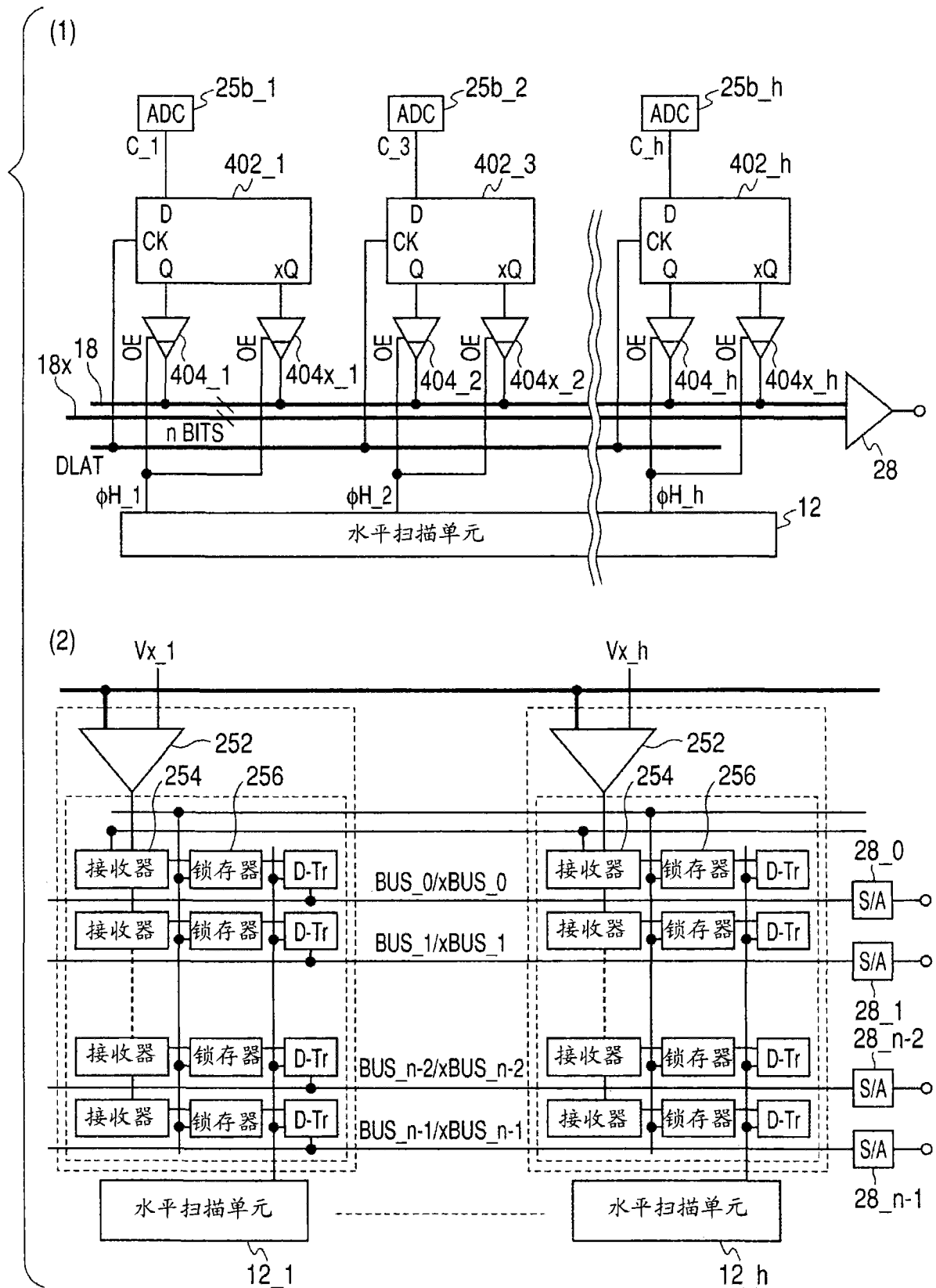


图 3C



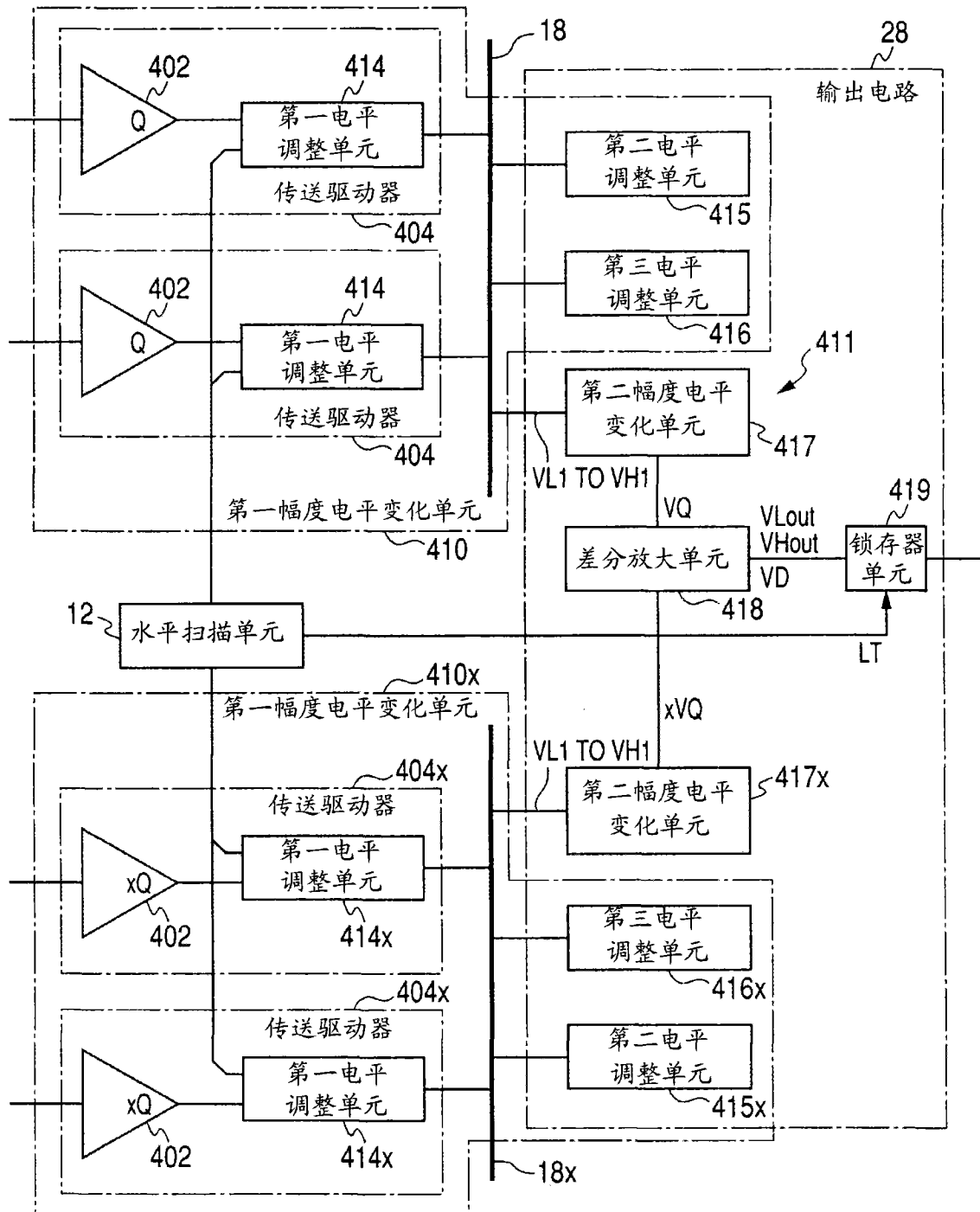


图 4B

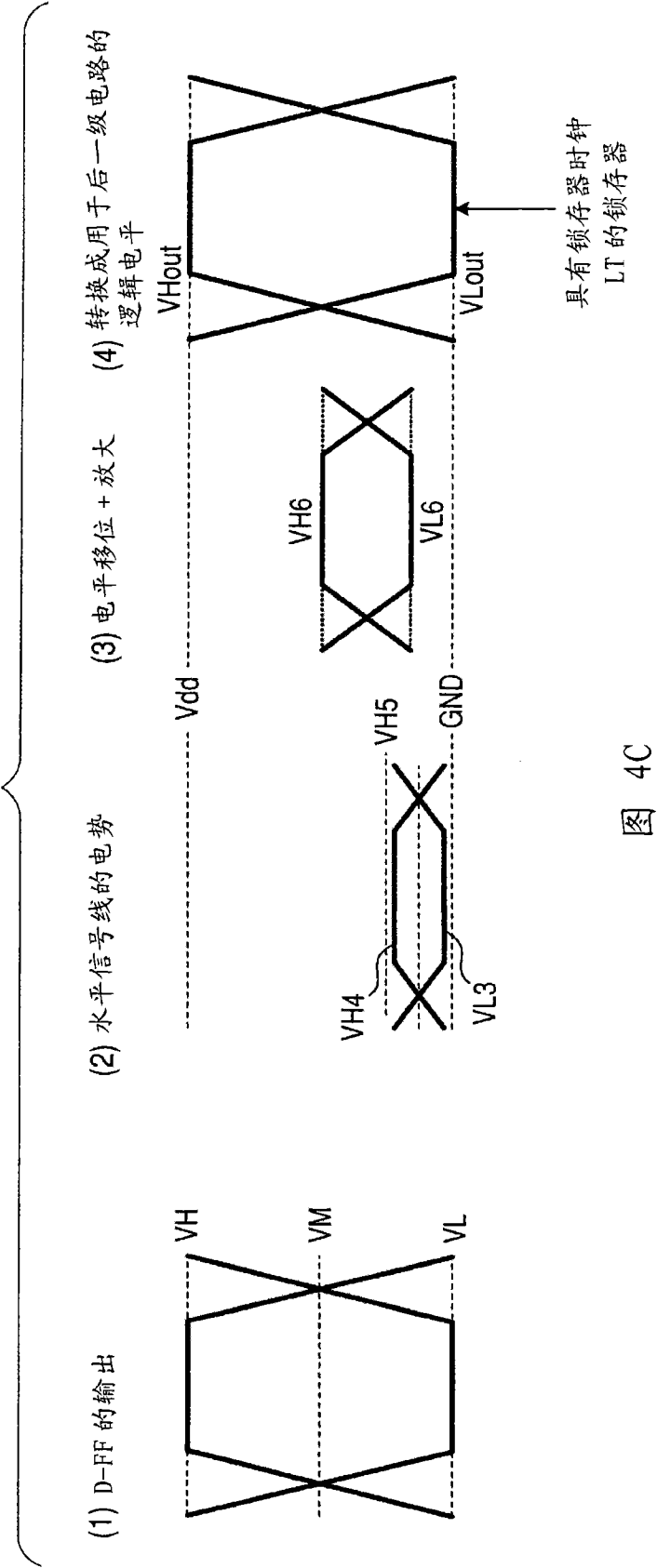


图 4C

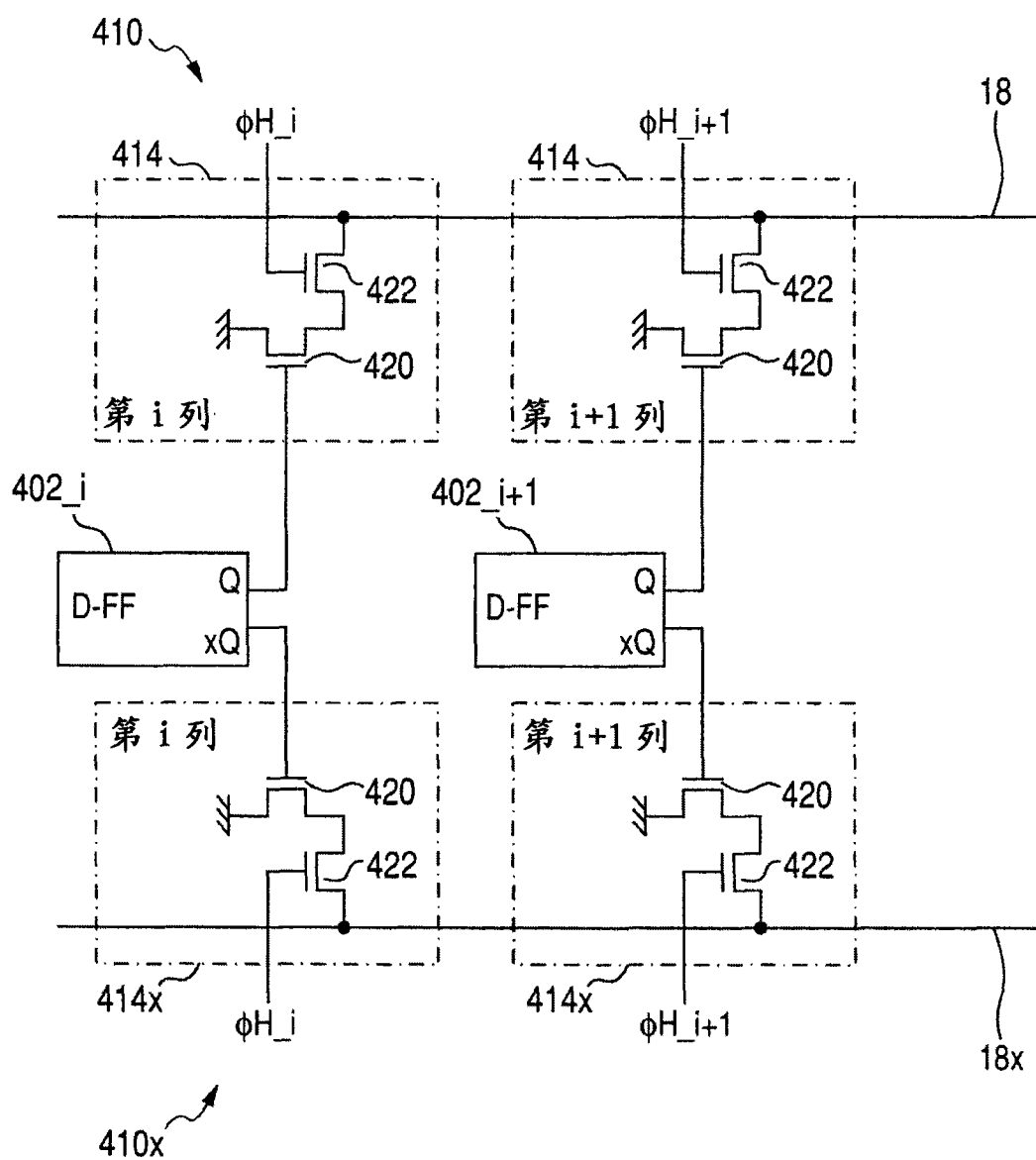


图 5A< 比较例子 : 传送动作 >

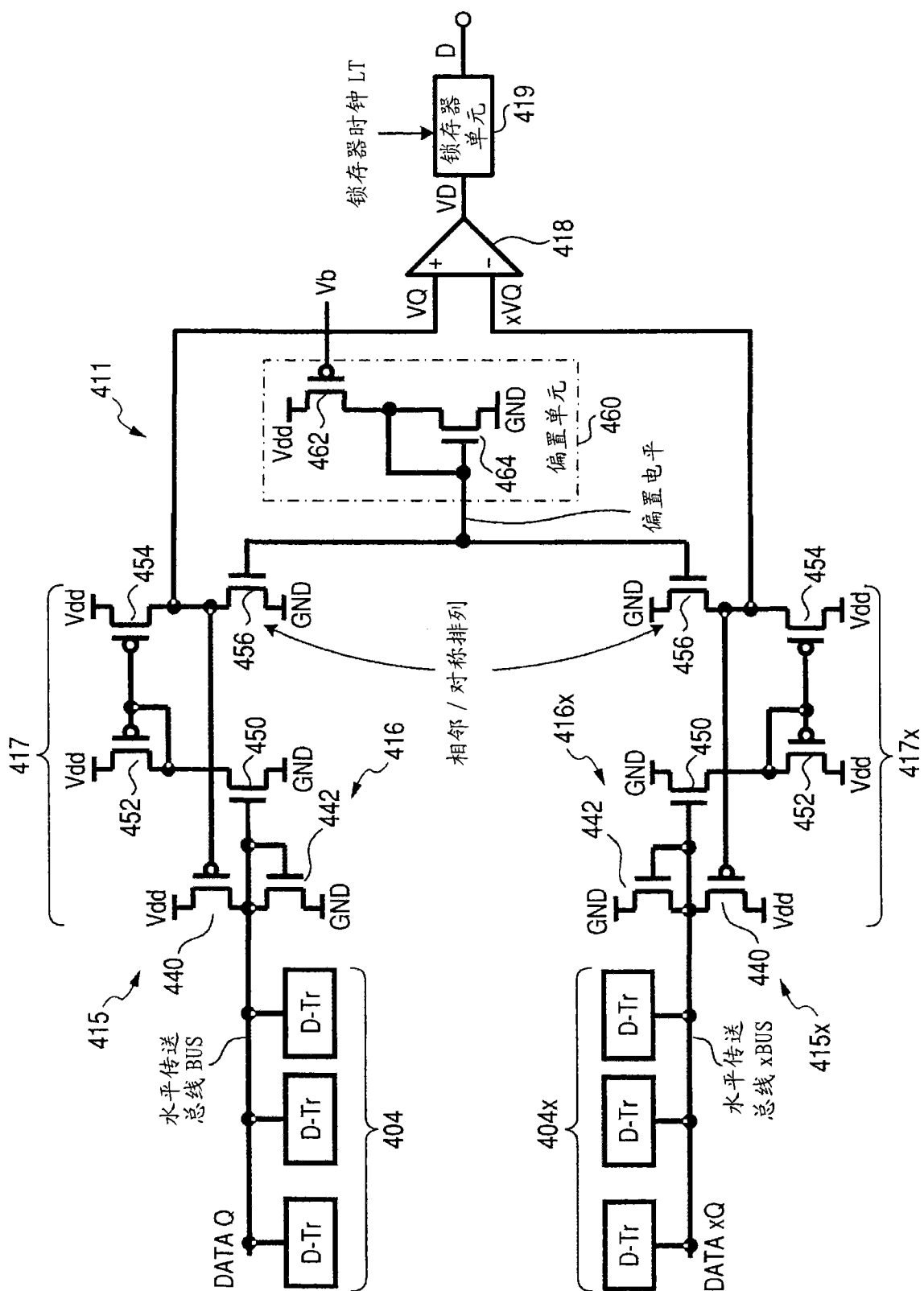


图 5B

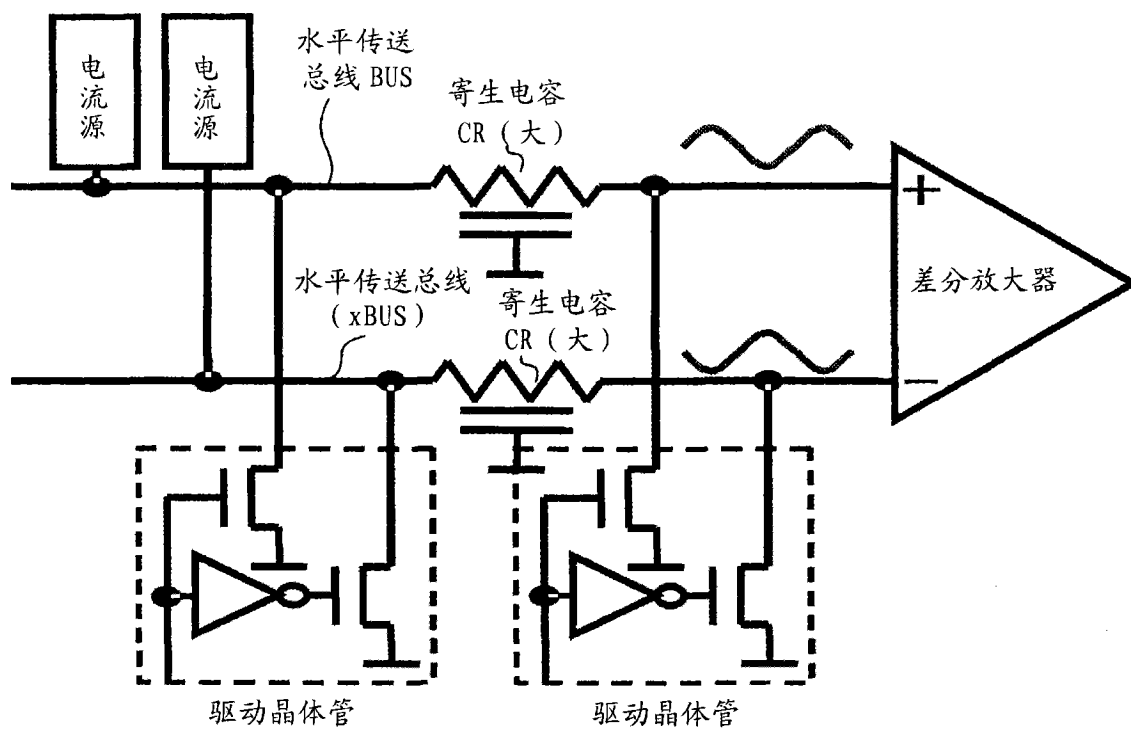


图 6A

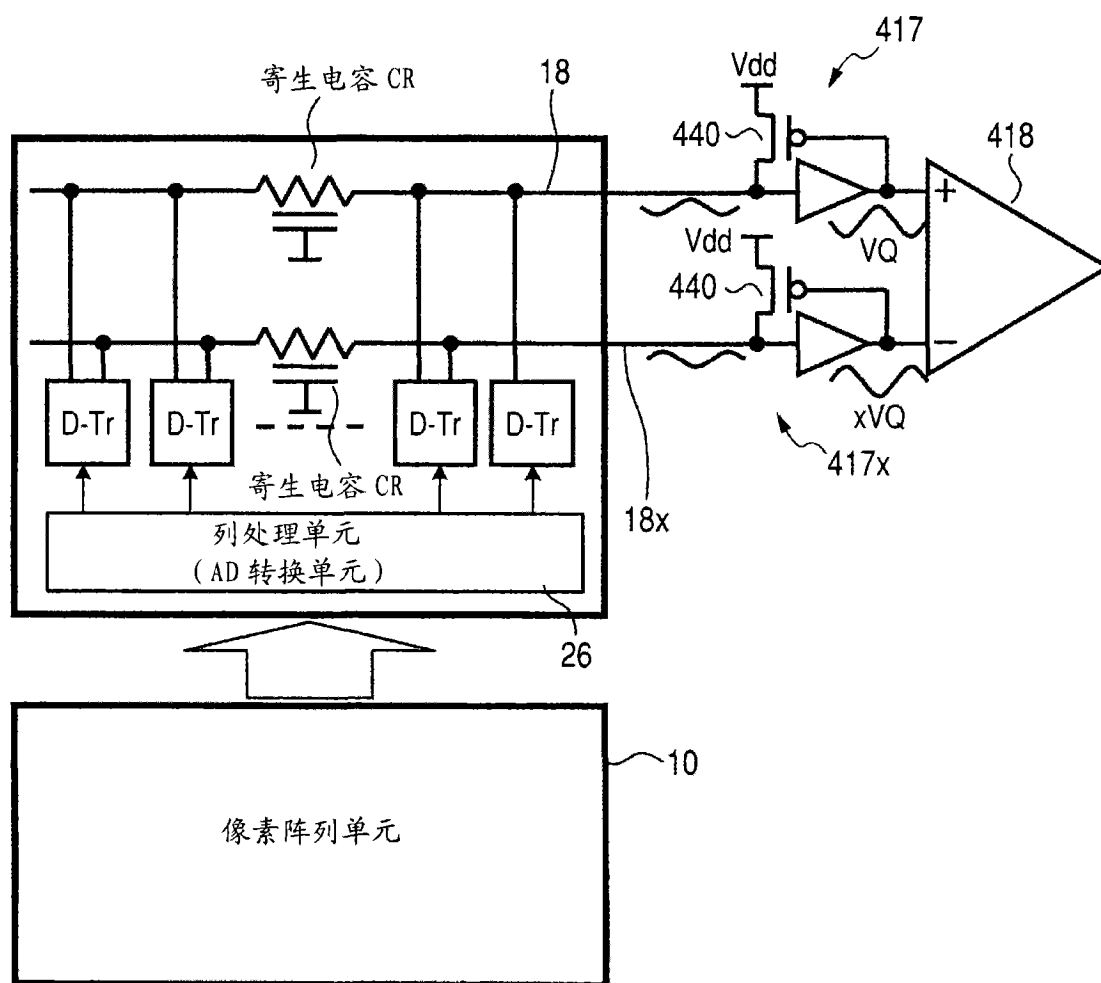


图 6B< 此实施例 :应用和传送动作 >

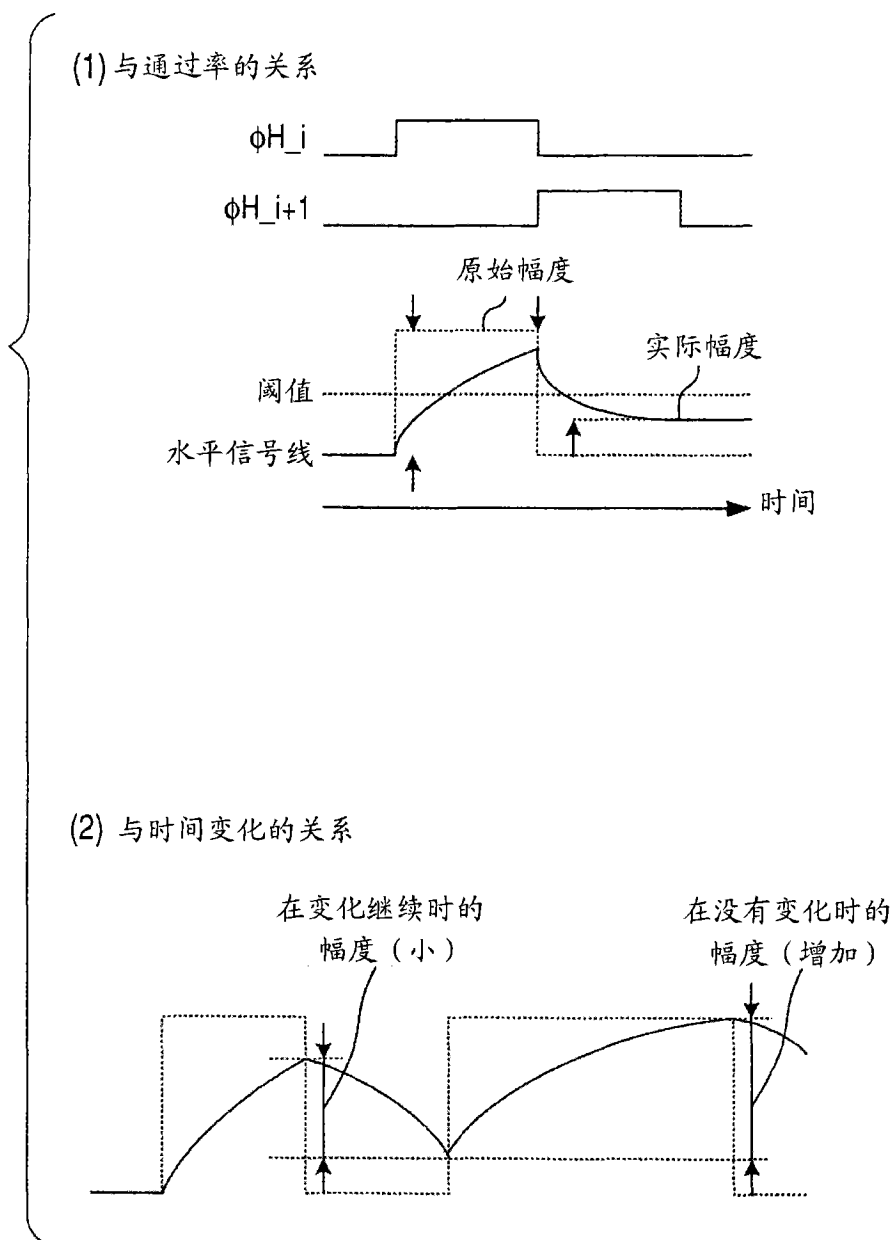
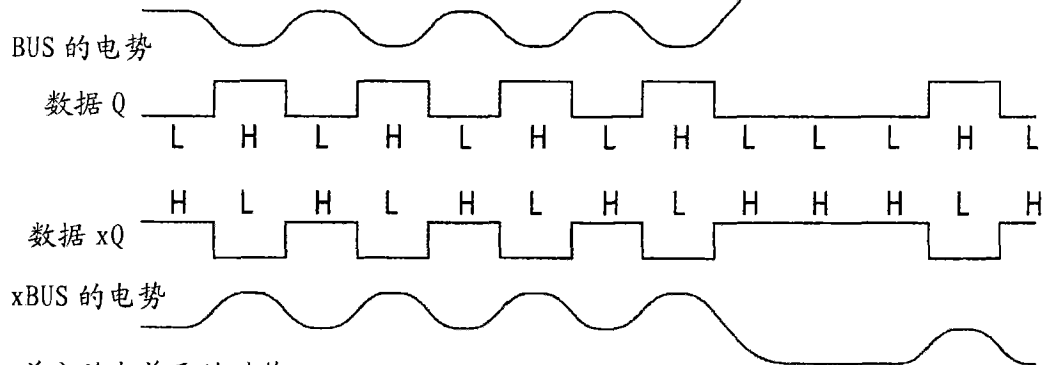


图 6C

(1) 总线上的电压变化

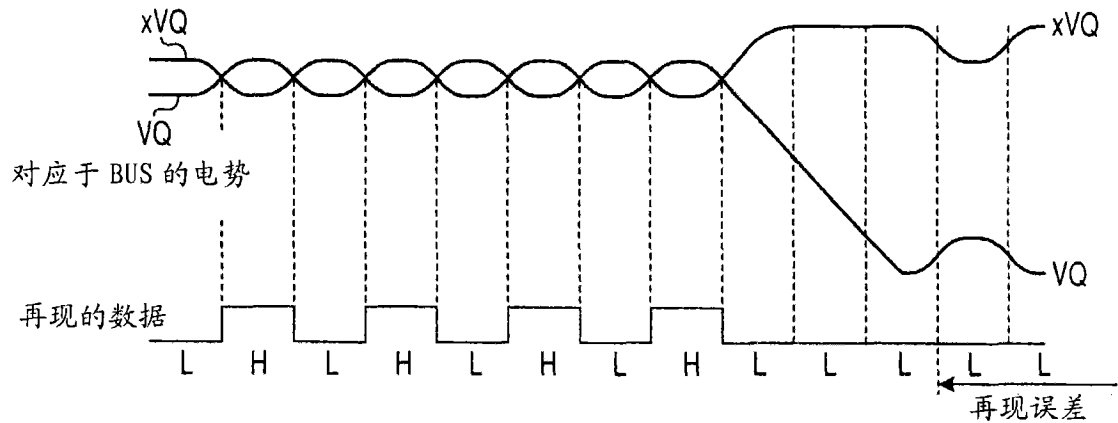
(当未提供第三电平调整单元时)



(2) 差分放大单元的动作

(当未提供第三电平调整单元时)

对应于 xBUS 的电势



(3) 差分放大单元的动作

(当提供了第三电平调整单元时)

对应于 xBUS 的电势

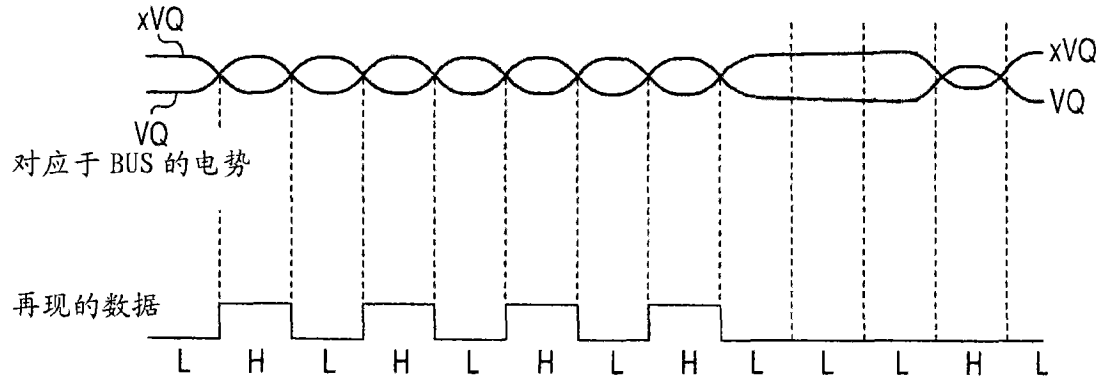


图 6D

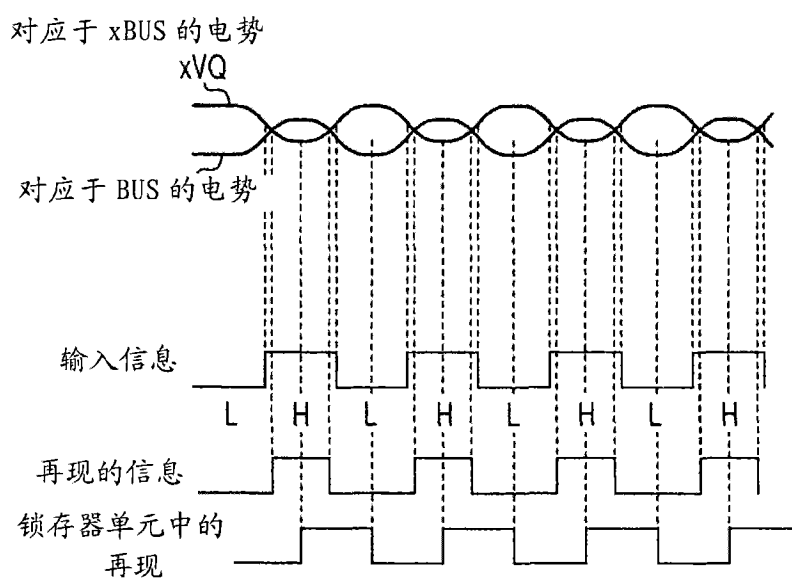


图 6E < 当偏置电压彼此不一致时 >

