

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 2 月 19 日 (2009.2.19)

【公開番号】特開 2007-43054 (P2007-43054A)

【公開日】平成 19 年 2 月 15 日 (2007.2.15)

【年通号数】公開・登録公報 2007-006

【出願番号】特願 2005-378321 (P2005-378321)

【国際特許分類】

H 0 1 L 41/09 (2006.01)

H 0 1 L 41/18 (2006.01)

H 0 1 L 41/22 (2006.01)

H 0 1 L 41/08 (2006.01)

G 0 1 C 19/56 (2006.01)

G 0 1 P 9/04 (2006.01)

【F I】

H 0 1 L 41/08 C

H 0 1 L 41/08 L

H 0 1 L 41/18 1 0 1 Z

H 0 1 L 41/22 Z

H 0 1 L 41/08 Z

G 0 1 C 19/56

G 0 1 P 9/04

【手続補正書】

【提出日】平成 20 年 12 月 25 日 (2008.12.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板と、前記基板の上に形成された第 1 電極膜と、前記第 1 電極膜の上に形成された圧電膜と、前記圧電膜の上に形成された第 2 電極膜とを備えた圧電素子において、

前記圧電膜は、結晶化された複数の圧電体薄膜の積層構造を有する

圧電素子。

【請求項 2】

請求項 1 に記載の圧電素子であって、

前記圧電体薄膜は、350nm 以下の膜厚である

圧電素子。

【請求項 3】

請求項 1 に記載の圧電素子であって、

前記第 1 電極膜は、チタン層と白金層の積層膜からなる

圧電素子。

【請求項 4】

請求項 1 に記載の圧電素子であって、

素子形状が片持ち梁形状である

圧電素子。

【請求項 5】

請求項 1 に記載の圧電素子であって、
前記基板は、シリコン単結晶基板である
圧電素子。

【請求項 6】

請求項 1 に記載の圧電素子であって、
前記第 2 電極膜は、前記圧電膜上に形成された駆動電極と、この駆動電極を挟む一对の
検出電極とで形成されている
圧電素子。

【請求項 7】

請求項 1 に記載の圧電素子であって、
前記圧電膜は、鉛、ジルコニウム、チタニウム及び酸素を主成分とする
圧電素子。

【請求項 8】

請求項 1 に記載の圧電素子であって、
前記第 1 電極膜と前記第 2 電極膜との間に印加される交流信号の中心電界強度が、前記
圧電膜のヒステリシスループの中心から正方向にシフトした位置に設定されている
圧電素子。

【請求項 9】

基板の上に第 1 電極膜を形成する工程と、
前記第 1 電極膜の上に圧電膜を形成する工程と、
前記圧電膜の上に第 2 電極膜を形成する工程とを有する圧電素子の製造方法において、
圧電体薄膜を成膜する成膜工程と当該圧電体薄膜を熱処理して結晶化させる結晶化熱処
理工程とを複数回繰り返し行うことで、前記圧電膜を所定の厚みにまで形成する
圧電素子の製造方法。

【請求項 10】

請求項 9 に記載の圧電素子の製造方法であって、
前記圧電体薄膜の 1 回当たりの形成膜厚を 350 nm 以下とする
圧電素子の製造方法。

【請求項 11】

請求項 9 に記載の圧電素子の製造方法であって、
前記結晶化熱処理を 700 以上 800 以下で行う
圧電素子の製造方法。

【請求項 12】

請求項 9 に記載の圧電素子の製造方法であって、
前記圧電体薄膜の成膜を酸素ガス雰囲気でのスパッタ法によって行う
圧電素子の製造方法。

【請求項 13】

請求項 9 に記載の圧電素子の製造方法であって、
前記圧電体薄膜はチタン酸ジルコン酸鉛であり、スパッタ用ターゲットの鉛含有量は、
チタンおよびジルコニウムの総合含有量 1 に対して、原子量で 1.02 以上 1.1 以下で
ある
圧電素子の製造方法。

【請求項 14】

請求項 9 に記載の圧電素子の製造方法であって、
前記第 1 電極膜を形成する工程では、前記基板上にチタン層を形成する工程と、このチ
タン層の上に白金層を形成する工程とからなる
圧電素子の製造方法。

【請求項 15】

請求項 9 に記載の圧電素子の製造方法であって、
前記第 2 電極膜を形成する工程の後、

前記第 2 電極膜をパターニングする工程と、
前記第 2 電極膜のパターニング後、前記圧電膜をパターニングする工程と、
前記圧電膜をパターニング後、前記第 1 電極膜をパターニングする工程とを有する
圧電素子の製造方法。

【請求項 16】

請求項 9 に記載の圧電素子の製造方法であって、
前記第 1 電極膜、前記圧電膜及び前記第 2 電極膜の形成及びパターニングを前記基板上
で複数個同時に行うとともに、個々の前記圧電膜の分極処理を前記基板上に形成した配線
を通して複数個同時に行う
圧電素子の製造方法。

【請求項 17】

請求項 16 に記載の圧電素子の製造方法であって、
前記分極処理の後、前記配線を溶解除去する
圧電素子の製造方法。

【請求項 18】

請求項 16 に記載の圧電素子の製造方法であって、
前記分極処理の後、前記配線を研削除去する
圧電素子の製造方法。

【請求項 19】

請求項 16 に記載の圧電素子の製造方法であって、
前記圧電膜の分極処理温度と当該圧電膜のキュリー温度との比が 0.2 以上である
圧電素子の製造方法。

【請求項 20】

請求項 16 に記載の圧電素子の製造方法であって、
前記圧電膜の分極処理工程では、前記第 1 電極膜を負極に接続するとともに前記第 2 電
極膜を正極に接続する
圧電素子の製造方法。