



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년08월20일  
 (11) 등록번호 10-0913054  
 (24) 등록일자 2009년08월12일

(51) Int. Cl.

*H01L 21/336* (2006.01)

(21) 출원번호 10-2002-0066118  
 (22) 출원일자 2002년10월29일  
 심사청구일자 2007년10월26일  
 (65) 공개번호 10-2004-0037571  
 (43) 공개일자 2004년05월07일

(56) 선행기술조사문헌

KR100202633 B1\*  
 JP02032545 A  
 US5122479 A  
 JP09162396 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

매그나칩 반도체 유한회사

충북 청주시 흥덕구 향정동 1

(72) 발명자

사승훈

충청북도청주시흥덕구가경동덕일한마음아파트103-504

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 7 항

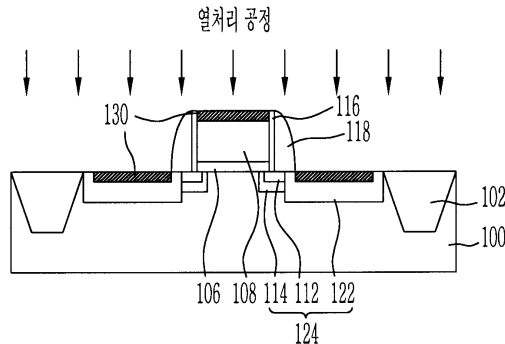
심사관 : 박근용

**(54) 반도체 소자의 제조 방법**

**(57) 요약**

본 발명은 반도체 소자의 제조방법에 관한 것으로, 금속 실리사이드층을 형성하기 위한 열처리공정 전에 금속층을 증착공정을 통해 형성하지 않고 이온주입공정을 통해 형성함으로써 금속 실리사이드층이 형성될 영역의 깊이 조절이 가능하고, 반도체 기판의 실리콘을 비정질화시킬 수 있어 균일한 금속 실리사이드층을 형성할 수 있는 반도체 소자의 제조방법을 개시한다.

**대표도 - 도7**



**특허청구의 범위**

**청구항 1**

- (a) 반도체 기판 상부에 게이트 전극을 형성하는 단계;
- (b) 상기 게이트 전극의 양측으로 노출되는 상기 반도체 기판에 소오스 및 드레인 접합영역을 형성하는 단계;
- (c) 금속 이온을 이용한 이온주입공정을 실시하여 상기 게이트 전극과 상기 소오스 및 드레인 접합영역의 일부에 금속 이온 주입영역을 형성하는 단계;
- (d) 상기 금속 이온 주입영역이 상기 반도체 기판의 상부 표면으로 노출되지 않도록 상기 금속 이온 주입영역의 상부에 티타늄 이온 주입영역을 형성하는 단계; 및
- (e) 전체 구조 상부에 대하여 열처리공정을 실시하여 상기 금속 이온주입영역에 함유된 금속 이온과 상기 반도체 기판에 함유된 실리콘을 반응시켜 금속 실리사이드층을 형성하는 단계를 포함하고,

상기 열처리공정은,

상기 금속 이온 주입영역에 함유된 금속 이온과 상기 게이트 전극, 소오스 및 드레인 접합영역에 함유된 실리콘을 반응시켜 금속 모노 실리사이드층을 형성하기 위한 제1 열처리공정; 및

상기 금속 모노 실리사이드층을 금속 디실리사이드층으로 상변이 시켜 최종 금속 실리사이드층을 형성하기 위한 제2 열처리공정을 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서,

상기 티타늄 이온 주입영역을 형성하기 위한 이온주입공정은, 1 내지 10KeV의 에너지로 5.0E16 내지 3.0E17atoms/cm<sup>2</sup>의 티타늄 이온을 주입하여 실시하되, 이온주입각은 0 내지 60° 범위로 하고, 트위스트는 0 내지 360° 범위로 하여 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 4**

제 1 항에 있어서,

상기 금속 이온 주입영역을 형성하기 위한 이온주입공정은, 10 내지 40KeV의 에너지로 5.0E16 내지 2.0E17atoms/cm<sup>2</sup>의 코발트 이온을 주입하여 실시하되, 이온주입각은 0 내지 60° 범위로 하고, 트위스트는 0 내지 360° 범위로 하여 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 5**

삭제

**청구항 6**

제 1 항에 있어서,

상기 제1 열처리공정은, RTP 장비의 챔버 내의 온도를 200 내지 250℃로 유지한 상태에서 30 내지 50℃/sec의 승온 속도로 500 내지 600℃의 온도까지 상승시켜 100% N<sub>2</sub> 가스 분위기에서 60 내지 240초 동안 금속 열처리로 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 7**

제 1 항에 있어서,

상기 제2 열처리공정은, RTP 장비의 챔버 내의 온도를 200 내지 250℃로 유지한 상태에서 30 내지 50℃/sec의

승온 속도로 750 내지 1000℃의 온도까지 상승시켜 100% N<sub>2</sub> 가스 분위기에서 30 내지 120초 동안 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 8**

제 1 항에 있어서,

상기 (d) 단계이후, 상기 열처리공정시 미반응된 금속 이온을 완전 반응시키고, 상기 이온주입공정에 의한 손상을 보상하기 위하여 전체 구조 상부에 대하여 퍼니스 방식으로 열처리공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 9**

제 8 항에 있어서,

상기 퍼니스 방식의 열처리공정은 퍼니스 장비의 챔버의 온도를 750 내지 850℃로 유지한 상태에서 N<sub>2</sub> 분위기로 10분 내지 30분 동안 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <14> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 후속 열처리공정시 실리사이드의 열화를 방지하여 소자의 안정성을 확보할 수 있는 반도체 소자의 제조방법에 관한 것이다.
- <15> 반도체 소자가 고집적화, 고성능화 및 저전압화됨에 따라 미세패턴을 통한 트랜지스터 제조와 메모리 셀에서의 게이트의 길이의 감소 및 소자 특성을 만족시키기 위해 저저항 게이트 물질이 요구되고 있다. 또한, 저전압화에 따른 트랜지스터 및 메모리 셀의 채널 전류를 증가시키기 위해 게이트 절연층의 두께가 점차 감소되고 있다. 또한, 트랜지스터의 게이트 길이의 감소로 인한 단채널효과(short channel effect)의 방지 및 펀치스루우(punchthrough)에 대한 마진 확보를 위해 소오스 및 드레인의 접합 깊이(junction depth)를 얇게 형성하여 소오스 및 드레인의 기생 저항, 즉 면저항(sheet resistance) 및 콘택저항을 감소시키고 있는 추세이다.
- <16> 최근에는 게이트, 소오스 및 드레인의 표면에 실리사이드를 형성하여 게이트 전극의 비저항과, 소오스 및 드레인의 면 저항과 콘택저항을 감소시킬 수 있는 살리사이드(self-aligned silicide; salicide) 공정에 대한 연구가 활발히 진행되고 있다. 살리사이드 공정이란 게이트, 소오스 및 드레인에만 선택적으로 실리사이드를 형성하는 공정이다. 여기서, 실리사이드로는 티타늄 실리사이드(TiSi<sub>2</sub>)나 8족 실리사이드(PtSi<sub>2</sub>, PdSi<sub>2</sub>, CoSi<sub>2</sub>, 및 NiSi<sub>2</sub>) 등이 있다.
- <17> 한편, 메모리 소자와 로직 소자가 동일 칩 내에 형성되는 MDL(Murged DRAM logic) 장치에서는 살리사이드 공정을 진행한 후 캐패시터를 형성하는데, 캐패시터의 형성시 가해지는 열처리에 의해 실리사이드가 응집(agglomeration)되어 소오스 및 드레인의 콘택저항과 면저항이 증가될 뿐만 아니라, 금속 원자의 확산으로 인하여 접합 누설 특성이 불량해지게 된다. 이에 따라, 고온 안정성과 낮은 비저항(resistivity)을 갖는 티타늄 실리사이드와 코발트 실리사이드가 가장 널리 사용되고 있다. 특히 0.25μm급의 디자인 룰(design rule)을 갖는 반도체 소자에서는 게이트의 임계치수(critical dimension)에 대한 의존성이 적은 코발트 실리사이드가 주로 사용되고 있다. 이는 코발트 실리사이드가 티타늄 실리사이드에 비해 패턴형성시 선폭(line width)이 작아져 면저항이 증가되는 특성(line dependency)이 좋기 때문이다. 그러나, 코발트는 티타늄에 비해 실리콘의 소모량이 대략 1.5배 정도로 많다. 이 때문에, 실리사이드 형성후 후속 열처리에 따른 면저항의 증가 및 그레인 사이즈(grain size)의 증가에 의해 실리사이드 라인이 끊어져 소자의 안정성이 감소하게 된다.

**발명이 이루고자 하는 기술적 과제**

- <18> 따라서, 본 발명은 상기에서 설명한 종래기술의 문제를 해결하기 위해 안출된 것으로, 실리사이드 형성공정시 반도체 기판에 함유된 실리콘 원자의 소모를 감소시키는데 그 목적이 있다.
- <19> 또한, 본 발명은 얇은 소오스 및 드레인 접합영역을 형성하는데 다른 목적이 있다.
- <20> 또한, 본 발명은 후속 열처리 공정시 실리사이드가 열화되는 것을 방지하는데 또 다른 목적이 있다.
- <21> 또한, 본 발명은 실리사이드의 열화에 따른 소자의 안정성의 감소를 방지하는데 또 다른 목적이 있다.

**발명의 구성 및 작용**

- <22> 본 발명의 일측면에 따르면, 반도체 기판 상부에 게이트 전극을 형성하는 단계와, 상기 게이트 전극의 양측으로 노출되는 상기 반도체 기판에 소오스 및 드레인 접합영역을 형성하는 단계와, 금속 이온을 이용한 이온주입공정을 실시하여 상기 게이트 전극과 상기 소오스 및 드레인 접합영역의 일부에 금속 이온 주입영역을 형성하는 단계와, 전체 구조 상부에 대하여 열처리공정을 실시하여 상기 금속 이온주입영역에 함유된 금속 이온과 상기 반도체 기판에 함유된 실리콘을 반응시켜 금속 실리사이드층을 형성하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.
- <23> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <24> 도 1 내지 도 7은 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다. 여기서는, 일례로 모스 전기장 효과 트랜지스터(Metal oxide Silicon Field Effect Transistors; MOSFET)를 도시하였다. 한편, 도 1 내지 도 7에서 도시된 동일한 참조부호는 동일한 기능을 하는 동일한 구성요소를 가리킨다.
- <25> 도 1을 참조하면, 반도체 기판(100)을 활성영역과 비활성영역, 즉 활성영역과 필드영역으로 정의하는 소자분리막(102)을 형성한다. 반도체 기판(100)은 실리콘을 포함한다.
- <26> 소자분리막(102)은 LOCOS(LOCAL Oxidation of Silicon) 공정 또는 STI(Shallow Trench Isolation) 공정을 이용하여 형성한다. 그러나, 일반적으로, 소자의 고집적화에 따라 소자 간을 전기적으로 분리시키는 영역(즉, 필드영역)을 축소시키기 위해서는 버즈 비크(Bird's beak)가 거의 발생하지 않는 STI 공정을 이용하는 것이 바람직하다.
- <27> STI 공정은 포토리소그래피(photolithography) 공정을 실시하여 반도체 기판(102)의 일부 영역, 즉 소자분리막(102)이 형성될 영역에 트렌치(미도시)를 형성한다. 그런 다음, 상기 트렌치를 HDP(High Density Plasam) 산화막을 매립하여 소자분리막(102)을 형성한다.
- <28> 도 2를 참조하면, 반도체 기판(100) 상부에 포토레지스트(photoresist; 미도시)를 코팅(coating)한 후 포토 마스크(photo mask)를 이용한 노광 및 현상공정을 실시하여 포토레지스트 패턴(104; 이하, '웰 이온주입용 마스크'라 함)을 형성한다.
- <29> 이어서, 웰 이온주입용 마스크(104)를 이용한 웰(well) 이온주입공정을 실시하여 반도체 기판(100)의 활성영역에 P-웰 또는 N-웰 영역(미도시)을 형성한다. 이때, NMOSFET의 경우에는 보론(boron)이온을 주입하여 P-웰 영역을 형성하고, PMOSFET의 경우에는 인(Phosphorus) 또는 비소(Arsenic)를 이용하여 N-웰 영역을 형성한다.
- <30> 도 3을 참조하면, 웰 이온주입용 마스크(104)는 일반적인 스트립(strip) 공정에 의해 제거된다. 이후, 전체 구조 상부에 산화막(미도시)과 폴리실리콘층(미도시)을 증착한다. 그런 다음, 상기 산화막과 폴리실리콘층을 순차적으로 패터닝하여 게이트 산화막(106)과 게이트 전극(108)을 순차적으로 형성한다. 한편, 게이트 전극(108)은 불순물로 도핑되는데, 후속공정에서 이루어지는 고농도 이온주입공정시 도핑되거나, 폴리실리콘층 패터닝공정 전에 별도로 실시되는 도핑(doping)공정에 의해 도핑된다.
- <31> 이어서, 도 2에서 설명한 방법으로 저농도 이온주입용 마스크(110)를 형성한다. 그런 다음, 저농도 이온주입용 마스크(110)를 이용한 저농도 이온주입공정과 틸트(tilt) 이온주입공정 또는 틸트 이온주입공정과 저농도 이온주입공정을 순차적으로 실시하여 노출되는 웰 영역 상에 LDD(Lightly Doped Drain) 이온주입층(112; 이하, '제1 접합영역'이라 함)과 헤일로(halo) 이온주입층(114; 이하, '제2 접합영역'이라 함)을 형성한다.

- <32> 일반적으로, 반도체 소자는 제1 및 제2 접합영역(112 및 114)의 깊이에 따라 단채널효과 등이 발생하여 특성이 열화되는데, 이 때문에 제1 및 제2 접합영역(112 및 114)은 비교적 얇게 형성하는 것이 바람직하다. 소오스 및 드레인 접합영역(도 4의 '124'참조) 간의 캐리어(carrier)의 흐름은 제1 접합영역(112)을 비교적 얇게 형성함으로써 제어가 가능하다. 즉, 고집적화에 따라 반도체 소자의 크기는 감소하나, 동작전압은 감소하지 않고 있다. 이에 따라, 소오스 및 드레인 접합영역(124) 간에 매우 높은 전기장(electric field)이 집중되어 소오스 및 드레인 접합영역(124) 간에 원치않는 핫캐리어(즉, Hot Carrier Effect; HCE)가 흐르게 된다. 이러한 핫캐리어의 흐름을 억제하기 위하여 제1 접합영역(112)은 얇게 형성한다. 또한, 제2 접합영역(114)은 제1 접합영역(112)의 깊이 감소에 따른 채널 길이의 감소에 의해 문턱전압이 낮아지는 단채널효과를 개선하고자 이온 타겟에 틸트를 주어 이온주입공정을 통해 형성한다.
- <33> 도 4를 참조하면, 웰 이온주입용 마스크(110)는 일반적인 스트립 공정에 의해 제거된다. 이후, 게이트 산화막(106)과 게이트 전극(108)의 양측벽에 버퍼산화막(116)과 스페이서(118)를 순차적으로 형성한다. 여기서, 버퍼산화막(116)은 도 3에서 설명한 게이트 전극(108)의 패터닝공정시 손상되는 양측벽을 보상하기 위하여 형성된다. 스페이서(118)는 절화막 또는 산화막(미도시)과 절화막의 적층 구조로 형성될 수 있다.
- <34> 이어서, 도 2에서 설명한 방법으로 고농도 이온주입용 마스크(120)를 형성한다. 그런 다음, 고농도 이온주입용 마스크(120)를 이용한 고농도 이온주입공정을 실시하여 스페이서(118)에 의해 덮혀지지 않고 노출되는 제1 접합영역(112)과 제2 접합영역(114)의 일부에 고농도 접합영역(122; 이하, '제3 접합영역'이라 함)을 형성한다. 한편, 고농도 이온주입공정후 제3 접합영역(122)에 주입된 이온을 확산시키기 위하여 급속 열처리 공정(Rapid Temperature Process; RTP)을 진행할 수도 있다. 이로써, 제1 내지 제3 접합영역(112, 114, 122)을 포함하는 소오스 및 드레인 접합영역(124)이 형성된다.
- <35> 도 5를 참조하면, 웰 이온주입용 마스크(120)는 일반적인 스트립 공정에 의해 제거된다. 이후, 전체 구조 상부 표면에 생성되거나, 잔존하는 산화막 또는 불순물을 제거하기 위하여 세정공정을 실시한다. 이때, 세정공정은 HF 용액, 즉 HF:H<sub>2</sub>O의 혼합비가 1:99이고, 22.5℃ 내지 23.5℃의 온도에서 60 내지 180초 동안 실시한다.
- <36> 이어서, 전체 구조 상부에 대하여 마스크없이 코발트 이온을 이용한 이온주입공정을 실시하여 코발트 이온이 주입된 영역(이하, '코발트 이온 주입영역'이라 함)(126)을 형성한다. 코발트 이온 주입영역(126)은 소오스 및 드레인 접합영역(124)의 일부에 형성되도록 이온주입에너지 및 코발트 이온의 도즈량을 적절히 조절하여 그 깊이를 조절한다.
- <37> 코발트 이온을 이용한 이온주입공정은 10 내지 40KeV의 에너지로 5.0E16 내지 2.0E17atoms/cm<sup>2</sup>의 코발트 이온을 주입하여 실시하되, 이온주입각은 0 내지 60° 범위로 하고, 트위스트(twist)는 0 내지 360° 범위로 하여 실시하는 것이 바람직하다.
- <38> 도 6을 참조하면, 전체 구조 상부에 대하여 마스크없이 티타늄 이온을 이용한 이온주입공정을 실시하여 티타늄 이온이 주입된 영역(이하, '티타늄 이온 주입영역'이라 함)(128)을 형성한다. 티타늄 이온 주입영역(128)은 소오스 및 드레인 접합영역(124)의 상부 표면영역으로 한정하고, 많은 양의 티타늄 이온을 주입시킴으로써 코발트 이온 주입영역(126)을 반도체 기판(100)의 상부 표면으로 드러나지 않도록 한다. 이와 같이, 코발트 이온 주입영역(126)의 일부에 티타늄 이온을 주입함으로써 후속 제1 열처리공정(도 7참조)시 코발트 이온과 실리콘 간의 반응속도를 조절하는 것이 가능하다.
- <39> 티타늄 이온을 이용한 이온주입공정은 1 내지 10KeV의 에너지로 5.0E16 내지 3.0E17atoms/cm<sup>2</sup>의 티타늄 이온을 주입하여 실시하되, 이온주입각은 0 내지 60° 범위로 하고, 트위스트(twist)는 0 내지 360° 범위로 하여 실시하는 것이 바람직하다.
- <40> 도 7을 참조하면, 전체 구조 상부에 RTP 방식으로 열처리공정(이하, '제1 열처리공정'이라 함)을 공정을 실시하여 코발트 이온 주입영역(126)에 함유된 코발트 이온과 소오스 및 드레인 접합영역(124) 및 게이트 전극(108)에 함유된 실리콘을 서로 반응시켜 코발트 모노 실리사이드층(cobalt monosilicide layer; CoSi)(미도시)을 형성한다. 이때, 제1 열처리공정은 RTP 장비의 챔버 내의 온도를 200 내지 250℃로 유지한 상태에서 30 내지 50℃/sec의 승온 속도로 500 내지 600℃의 온도까지 상승시켜 100% N<sub>2</sub> 가스 분위기에서 60 내지 240초 동안 급속 열처리로 실시한다.
- <41> 이어서, 전체 구조 상부에 대하여 RTP 방식으로 열처리공정(이하, '제2 열처리공정'이라 함)을 실시하여 코발트 모노 실리사이드층을 낮은 비저항으로 상변이시켜 최종 코발트 디실리사이드층(cobalt disilicide;

CoSi<sub>2</sub>)(130)을 형성한다. 이때, 제2 열처리공정은 RTP 장비의 챔버 내의 온도를 200 내지 250℃로 유지한 상태에서 30 내지 50℃/sec의 승온 속도로 750 내지 1000℃의 온도까지 상승시켜 100% N<sub>2</sub> 가스 분위기에서 30 내지 120초 동안 실시한다.

<42> 이어서, 제1 및 제2 열처리공정시 미반응된 코발트를 완전 반응시키고, 이온주입에 의한 손상(damage)을 없애기 위해 퍼니스(furnace) 방식으로 열처리공정을 추가로 실시할 수도 있다. 이때, 퍼니스 방식의 열처리공정은 퍼니스 장비의 챔버의 내의 온도를 750 내지 850℃로 유지한 상태에서 N<sub>2</sub> 분위기로 10분 내지 30분 동안 실시한다.

<43> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예들에서 구체적으로 기술되었으나, 상기한 실시예들은 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 특히, 본 발명의 기술적 사상은 최종 실리사이드층을 형성하는데 있어서 코발트 또는 티타늄 이온에 한정되는 것이 아니라, 이온주입공정이 가능한 모든 금속 물질은 모두 적용가능하다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**발명의 효과**

<44> 이상에서 설명한 바와 같이, 본 발명에서는 금속 실리사이드층을 형성하기 위한 열처리공정 전에 금속층을 증착 공정을 통해 형성하지 않고 이온주입공정을 통해 형성함으로써 금속 실리사이드층이 형성될 영역의 깊이 조절이 가능하고, 반도체 기판의 실리콘을 비정질화시킬 수 있어 균일한 금속 실리사이드층을 형성할 수 있다.

<45> 또한, 본 발명에서는 금속층을 이온주입공정에 의해 균일한 금속 실리사이드층을 형성함으로써 얇은 소오스 및 드레인 접합영역을 형성하는 것이 가능하고, 소자의 단채널 마진의 증대에 의한 소자 성능의 증대를 이룰 수 있으며, 이에 따라, 소자의 수율을 향상시킬 수 있다.

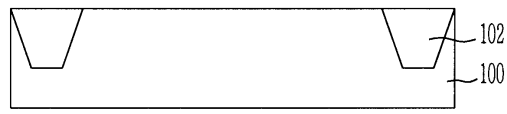
**도면의 간단한 설명**

<1> 도 1 내지 도 7은 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

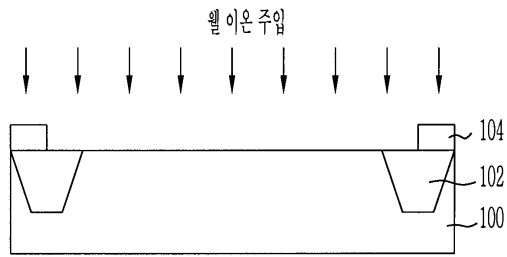
- <2> <도면의 주요 부분에 대한 부호의 설명>
- <3> 100 : 반도체 기판                      102 : 소자 분리막
- <4> 104 : 웰 이온주입용 마스크
- <5> 106 : 게이트 산화막                      108 : 게이트 전극
- <6> 110 : 저농도 이온주입용 마스크
- <7> 112 : 제1 접합영역                      114 : 제2 접합영역
- <8> 116 : 버퍼 산화막                      118 : 스페이서
- <9> 120 : 고농도 이온주입용 마스크
- <10> 122 : 제3 접합영역                      124 : 소오스 및 드레인 접합영역
- <11> 126 : 코발트 이온 주입영역
- <12> 128 : 티타늄 이온 주입영역
- <13> 130 : 코발트 디실리사이드층

도면

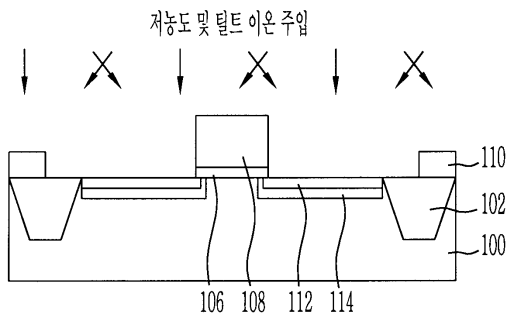
도면1



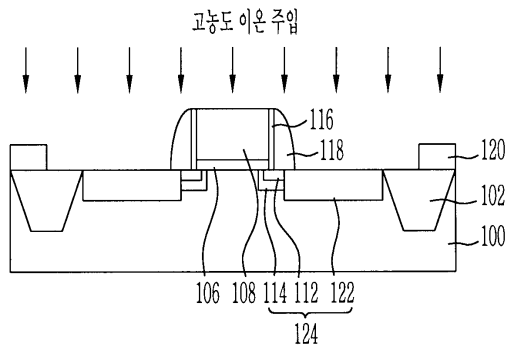
도면2



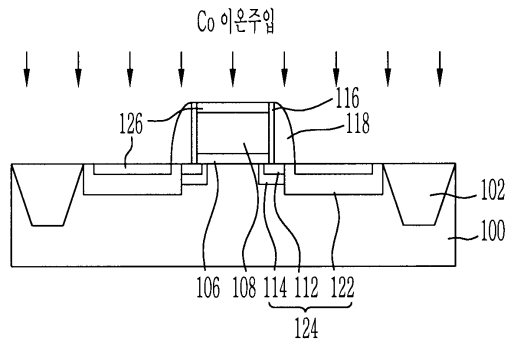
도면3



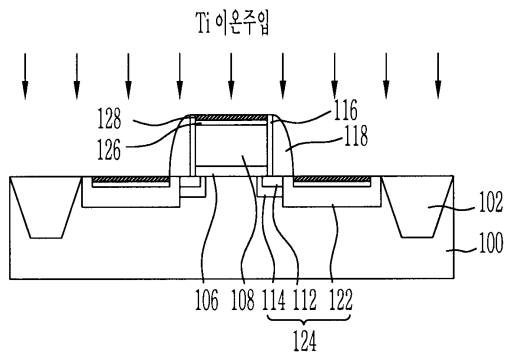
도면4



도면5



도면6



도면7

