

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6109962号
(P6109962)

(45) 発行日 平成29年4月5日(2017.4.5)

(24) 登録日 平成29年3月17日(2017.3.17)

(51) Int.Cl.

H02M 3/155 (2006.01)

F 1

H02M 3/155

H

請求項の数 17 (全 19 頁)

(21) 出願番号 特願2015-555217 (P2015-555217)
 (86) (22) 出願日 平成26年1月21日 (2014.1.21)
 (65) 公表番号 特表2016-504909 (P2016-504909A)
 (43) 公表日 平成28年2月12日 (2016.2.12)
 (86) 國際出願番号 PCT/US2014/012392
 (87) 國際公開番号 WO2014/116607
 (87) 國際公開日 平成26年7月31日 (2014.7.31)
 審査請求日 平成28年10月26日 (2016.10.26)
 (31) 優先権主張番号 13/752,197
 (32) 優先日 平成25年1月28日 (2013.1.28)
 (33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 595020643
 クアアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100194814
 弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】リバースブーストモードのための負電流感知フィードバック

(57) 【特許請求の範囲】

【請求項 1】

装置であって、

電源電圧にインダクタの第1のノードを選択的に結合するように構成された充電スイッチと、

接地に前記インダクタの前記第1のノードを選択的に結合するように構成された放電スイッチと、

ランプ電圧を生成するように構成された回路と、

前記ランプ電圧に基づいて前記インダクタの第2のノードに結合された負荷における出力電圧を設定するために前記充電スイッチおよび前記放電スイッチを制御するように構成された制御ブロックと、

前記インダクタを通る正電流を感知するための正電流感知ブロックと、ここにおいて、前記回路は、感知された前記正電流に基づいて前記ランプ電圧を生成するように構成される、前記インダクタを通る負電流を感知するように構成された負電流感知ブロックと、ここにおいて、前記回路は、前記インダクタを通る前記負電流の感知に応じて前記ランプ電圧を調整するようにさらに構成される、を備え、前記回路は、第1の端子および第2の端子を有する一連のレジスタを備え、前記回路は、前記第1の端子を介して前記正電流感知ブロックの出力を結合し、前記第2の端子を介して前記負電流感知ブロックの出力を結合するように構成される、装置。

10

20

【請求項 2】

前記充電スイッチは、P M O SトランジスタおよびN M O Sトランジスタのうちの1つを備える、請求項1に記載の装置。

【請求項 3】

前記負電流感知ブロックは、前記充電スイッチを通る負電流を感知するように構成される、請求項1に記載の装置。

【請求項 4】

前記負電流感知ブロックは、負のインダクタ電流に対応する、前記充電スイッチの両端の電圧低下を感知するように構成された増幅器を備える、請求項3に記載の装置。

【請求項 5】

10

前記負電流感知ブロックはさらに、

前記充電スイッチの制御電圧に結合されるフィードスルートランジスタ、ここにおいて、前記増幅器は、前記フィードスルートランジスタに結合される入力端子を有する、を備え、前記増幅器の出力は、負電流トランジスタに結合され、

前記負電流トランジスタは、前記調整されたランプ電圧に比例する電流を生成するための回路に結合されるドレインを有する、請求項4に記載の装置。

【請求項 6】

前記調整されたランプ電圧に比例する電流を生成するための前記回路は、オフセット電流ソースおよびスロープ補償電流ソースを備える、請求項5に記載の装置。

【請求項 7】

20

前記制御ブロックは、前記調整されたランプ電圧に応じて前記充電スイッチのON期間を調整するようにさらに構成される、請求項1に記載の装置。

【請求項 8】

前記制御ブロックは、前記出力電圧を設定するために、線形かつ連続した制御ループシステムを実装するように構成される、請求項1に記載の装置。

【請求項 9】

前記充電スイッチおよび前記放電スイッチ、前記制御ブロック、および前記負電流感知ブロックは、バックコンバータに組み込まれ、前記バックコンバータは、平均電力追跡スキーム、スイッチモード充電器に使用されるか、または高速過渡供給バックコンバータとして使用される、請求項1に記載の装置。

30

【請求項 10】

方法であって、

電源電圧にインダクタの第1のノードを選択的に結合することと、

接地に前記インダクタの前記第1のノードを選択的に結合することと、

第1の端子および第2の端子を有する一連のレジスタを介してランプ電圧を生成することと、

前記ランプ電圧に基づいて前記インダクタの第2のノードに結合された負荷における出力電圧を設定するために前記選択的な結合を構成することと、

前記インダクタを通る負電流を感知することと、

前記インダクタを通る正電流を感知することと、

40

前記感知された正電流に基づく第1の電流を前記第1の端子に結合することと、

前記感知された負電流に基づく第2の電流を前記第2の端子に結合することと、

前記インダクタを通る前記負電流の前記感知に応じて前記ランプ電圧を調整することとを備える、方法。

【請求項 11】

前記インダクタを通る前記負電流を前記感知することは、前記電源電圧に前記インダクタの前記第1のノードを選択的に結合するために充電スイッチを通る負電流を感知することを備える、請求項10に記載の方法。

【請求項 12】

前記充電スイッチの両端の電圧低下を感知することを備える前記負電流を前記感知する

50

ことは、前記ランプ電圧を前記調整することに応じて前記充電スイッチのON期間を調整することをさらに備える、請求項11に記載の方法。

【請求項13】

前記充電スイッチは、PMOSトランジスタおよびNMOSトランジスタのうちの1つを備える、請求項11に記載の方法。

【請求項14】

前記充電スイッチが前記ON期間中に前記電源電圧に前記インダクタの前記第1のノードを結合することを可能にする時間間隔の間に、充電スイッチを通る前記負電流を前記感知することが実行される、請求項11に記載の方法。

【請求項15】

10

装置であって、

充電スイッチを通る電源電圧にインダクタの第1のノードを選択的に結合するための手段と、

接地に前記インダクタの前記第1のノードを選択的に結合するための手段と、

第1の端子および第2の端子を有する一連のレジスタを介してランプ電圧を生成するための手段と、

前記ランプ電圧に基づいて前記インダクタの第2のノードに結合された負荷における出力電圧を設定するために前記選択的な結合を構成するための手段と、

前記インダクタを通る正電流を感知し、前記第1の端子に結合された第1の電流を出力するための手段と、

20

前記インダクタを通る負電流を感知し、前記第2の端子に結合された第2の電流を出力するための手段と、ここにおいて、前記ランプ電圧を前記生成するための手段は、前記インダクタを通る前記負電流の感知に応じて前記ランプ電圧を調整する、

を備える、装置。

【請求項16】

前記インダクタを通る負電流を前記感知するための手段は、前記充電スイッチを通る負電流を感知するための手段をさらに備える、請求項15に記載の装置。

【請求項17】

前記ランプ電圧を前記調整することに応じて前記充電スイッチのON期間を調整するための手段をさらに備える、請求項15に記載の装置。

30

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001] 本国際出願は、「NEGATIVE CURRENT SENSE FEEDBACK FOR REVERSE BOOST MODE」と題され、2013年1月18日に出願された、米国非仮出願番号第13/752,197号の優先権を主張し、それらの全内容は、参照により本明細書に明示的に組み込まれている。

【技術分野】

【0002】

[0002] 本開示は、バックコンバータにおける負電流感知フィードバックを利用するための技法に関する。

40

【背景技術】

【0003】

[0003] バックコンバータは通常、電子デバイスにおいて第1のレベルから（例えば、バッテリソースから）より低い第2のレベルへと電圧を降圧するために使用される。典型的なアプリケーションでは、バックコンバータは負荷に電流を供給（source）しており、通常は、負荷から電流を下げるようには構成されていない。これらのアプリケーションにおいて、バックコンバータの目標出力電圧レベルを下げることが所望されるとき、バックコンバータは、負荷に供給された電流を低減させるか、または負荷に電流を提供するのを止める可能性があり、そのため、最終的に所望された値に出力電圧を放電するために負

50

荷に依存する (relying on)。負荷抵抗が小さい場合、出力電圧がより低い目標レベルまで放電されるのに長い時間がかかり得る。

【0004】

[0004] 電流モードのバックコンバータの1つの先行技術の実装（例えば、連続状態モード (continuous condition mode) を強いるもの、すなわち CCM）では、インダクタ電流は、「リバースブーストモード (reverse boost mode)」中に、負となることが可能である。リバースブーストモードでは、インダクタは、負荷から電流を引き離すことができ、それにより、バックコンバータが負荷をより素早く放電することを可能にする。しかしながら、このような先行技術の実装では、インダクタ電流は、際限なくますます負になります。加えて、出力電圧がより低い目標レベルに到達するとき、負のインダクタ電流は、負荷を駆動するためにさらに正のレベルに戻る必要があり得る。これは、望ましくないアンダーシュートを発生させ、またシステムのセトリング時間を長引かせる。10

【0005】

[0005] 目標レベルへの遷移中に、出力電圧のアンダーシュートおよびセトリング時間を低減するためにリバースブーストモードでバックコンバータを構成するための技法を提供することが望ましいだろう。

【図面の簡単な説明】

【0006】

【図1】[0006] 図1は、バックコンバータの従来技術の実装を図示する。

【図2】[0007] 図2は、 V_{fb} V_{ref} のとき、例えば、バックコンバータの定常動作中にバックコンバータ内に存在する例示的な信号波形を図示する。20

【図3】[0008] 図3は、図1で示されるバックコンバータの例示的な実装を図示する。

【図4】[0009] 図4は、第1のレベル V_1 から、 V_1 を下回る第2のレベル V_2 へ V_{out} を素早く低減させることが望ましいシナリオに関連付けられた過渡期間 (transient period) 中にバックコンバータに存在する例示的な信号波形を図示する。

【図5】[0010] 図5は、 V_{out} の目標値が、第1のレベル V_1 から、 V_1 を大幅に下回る第2のレベル V_2 に至る遷移中にバックコンバータに存在する例示的な電圧および電流の波形を図示する。

【図6】[0011] 図6は、本開示の例示的な実施形態を図示し、ここで、PMOSスイッチ P1を通る負電流の流れは、バックコンバータの制御ループに感知およびフィードバックされる。30

【図7】[0012] 図7は、 V_{out} が V_1 から V_2 へ遷移する期間中にバックコンバータに存在する例示的な信号波形を図示し、ここで、P1を通る負電流は、上述された制御ループへフィードバックとして提供される。

【図8】[0013] 図8は、 V_{out} における V_1 から V_2 への遷移中にバックコンバータに存在する例示的な電圧および電流の波形を図示し、ここで、P1を通る負電流は、本開示に従った制御ループを調整するように使用される。

【図9】[0014] 図9は、図6のバックコンバータの例示的な実装を図示する。

【図10】[0015] 図10は、本開示に従った方法の例示的な実施形態を図示する。

【発明を実施するための形態】

【0007】

[0016] 本開示の様々な態様は、添付の図面を参照して下記でさらに十分に説明される。しかしながら、本開示は、多くの異なる形態で具現化され得、本開示全体を通して提示される任意の特定の構成または機能に制限されるものと解釈されるべきではない。むしろ、これらの態様は、本開示が、徹底的かつ完全なものとなるように、また当業者に本開示の範囲を十分に伝えるように提供される。本明細書での教示に基づいて、当業者は、本開示の範囲が、本開示の任意の他の態様から独立して実装されようと、それらと組み合わされて実現されようと、本明細書に開示された開示の任意の態様をカバーすることが意図されるものであると理解するべきである。例えば、本明細書で説明される任意の数の態様を使用して、装置が実現できることが、方法が実現できることができる。加えて、本開4050

示の範囲は、他の構造、機能、または、本明細書で説明される開示の様々な態様に追加された、またはそれ以外の構造および機能を使用して実施される、そのような装置または方法をカバーすることが意図されている。本明細書に開示された開示の任意の態様は、請求項に関する1つまたは複数のエレメントによって具現化され得ることが理解されるべきである。

【0008】

[0017] 添付図面に関連して下記で説明される詳細な説明は、本発明の例示的な態様の説明として意図されるものであり、本発明が実施され得る唯一の例示的な態様を表すことが意図されるものではない。本明細書の全体にわたって使用される「例示的な(exemplary)」という用語は、「例、事例、または例示の役割を果たすこと」を意味し、他の例示的な態様に対して、必ずしも好ましいまたは有利であると解釈されるべきではない。詳細な説明は、本発明の例示的な態様の完全な理解を提供することを目的とした特定の詳細を含む。本発明の例示的な態様は、これらの特定の詳細を用いずに実施され得ることが当業者に対して明らかになるだろう。いくつかの事例では、周知の構造およびデバイスが、本明細書で提示される例示的な態様の新規性を曖昧にするのを避けるために、ブロック図形式で示される。本明細書および請求項では、「モジュール」と「ブロック」という用語は、説明される動作を行うように構成されるエンティティを表すように置き換えて使用され得る。10

【0009】

[0018] 図1は、バックコンバータ100の従来技術の実装を図示する。図1は、例示の目的のみのために示され、本開示の範囲を制限することが意図されるものではないことに留意されたい。例えば、本開示の技法が、代替のタイプのスイッチ、回路トポロジ、ファイードバック構成などを組み込む他のバックコンバータの実装(図示されない)に容易に適用され得ることが理解されるだろう。このような代替の例示的な実施形態は、本開示の範囲内であることが意図される。20

【0010】

[0019] 図1では、バックコンバータ100は、例えば電圧レベルV_{batt}を生成するバッテリなどの入力と、インダクタLを交互に充電および放電するためのスイッチ制御ブロック140によって構成されるスイッチングトランジスタP1およびN1とを含む。インダクタは、負荷ZLに結合され、インダクタLからの電流は、負荷における出力電圧V_{out}をサポートする。P1を通る電流は、I_{P1}と表示されており、またN1を通る電流は、I_{N1}と表示されている。正電流センサ102はさらに、I_{P1}の正成分I_{P1p}を感知するために提供され、ここで、「正の」I_{P1}は、図1に表示されるように、P1のソースからP1のドレインの方向に流れるものとして本明細書で定義される。P1のドレインとN1とを結合するノードは、スイッチング電圧V_{SW}をサポートする。スイッチ制御ブロック140は、下記でさらに説明されるように、例えば、制御ループのメカニズムに従ってV_{out}から導出される入力信号130aに基づいて、スイッチN1、P1を制御する。30

【0011】

[0020] 特に、電圧感知ブロック105は、出力電圧V_{out}を感知し、信号105a(すなわち、「V_{fb}」)を生成する。増幅器110は、増幅された出力誤差信号110a(すなわち、「V_{err}」)を生成するために、基準電圧V_{ref}からV_{fb}を差し引く。V_{err}は、信号120a(すなわち、「ループフィルタ出力(Loop filter output)」)を生成するために、ループフィルタ120によってフィルタリングされる。ループフィルタ出力は、PWM比較器130によって、項「Ramp」と比較される。P1がオンのとき、Rampは、下記のように計算され得る(式1)。40

【0012】

$$\text{Ramp} = (\text{I}_{\text{P1p}} \cdot \text{R}_{\text{sns1}}) + \text{Slope comp} + \text{Offset}$$

ここで、I_{P1p}は、P1を通る感知された正電流であり、R_{sns1}は、抵抗(図1では図示されない)であり、Slope compはスロープ補償項であり、Offset50

e t はランプオフセット項である。

【0013】

[0021] 各周期中に、P 1 がオフであるとき、制御ブロック 140 は、Ramp の値を Off set にリセットし得ることに留意されたい。特に、P 1 がオフであるとき、Slope_comp 項が制御ブロック 140 によって手動で (manually) リセットされ得る一方、I_P1p は自動的にゼロとなる。比較器 130 の出力信号 130a は、パルス幅変調 (PWM : pulse-width modulated) 出力電圧、すなわち V_PWM でありうる。V_PWM は、スイッチ制御ブロック 140 に提供され、それは、それぞれトランジスタスイッチをオンおよびオフにするために、P 1 および N 1 に関するゲート制御電圧 P_cstr1 および N_cstr1 を生成する。10

【0014】

[0022] バックコンバータ出力電圧 Vout は、例えば、適切に、ブロック 105において分割比率を調整することによって、または基準電圧 Vref を設定することによって、目標電圧レベルに近づくように構成され得ることが理解されるだろう。Ramp は、感知された P 1 の電流 I_P1 に部分的に基づいて（例えば、式 1 に示される I_P1 の正成分 I_P1p を通して）生成され、バックコンバータ 100 の制御は、「電流モード制御」のタイプとも呼ばれ得ることに留意されたい。

【0015】

[0023] 図 2 は、Vfb Vref のとき、例えば、バックコンバータの定常動作中には、バックコンバータ 100 に存在する例示的な信号波形を図示する。図 2 は、1 つの起こりうる時間間隔中の、および 1 つの起こりうる動作の一定の型に対応しているバックコンバータの動作を図示することのみが意図されるものであり、示される信号間の固定のまたは通常の関係のいずれかのタイプを示唆することが意図されるものではないことに留意されたい。20

【0016】

[0024] 図 2 では、バックコンバータ 100 はクロック信号 CLK に同期され、また P 1 は第 1 の周期の始めの t1 にイネーブルにされる。時間 t1 から t2 まで、P 1 はオンであり、N 1 はオフである。この時間間隔は、TON の継続期間を有し、また、この時間中に、正電流 IL を用いてインダクタを充電するために (Vbatt - Vout) の正電圧低下が L の両端に期待されるため、「充電段階 (charging phase)」とも表される。充電段階中、信号 Ramp は、増加するインダクタ電流と、Slope_comp のランピング特性 (ramping characteristics) のために、t1 におけるレベル Off set から t2 におけるループフィルタ出力まで増加するのが見受けられる。図 1 を参照すると、時間 t2 において、Ramp がループフィルタ出力未満ではなくったとき、V_PWM は、低い電圧から高い電圧へと切り替えを行うのが見受けられる。30

【0017】

[0025] V_PWM のこの切り替えに応じて、スイッチ制御ブロック 140 は、N 1 がオンとなり P 1 がオフとなるように、スイッチ P 1、N 1 を再構成し、t2 においてスタートする。時間 t2 から t3 までの間隔は、TOFF の継続期間を有し且つ「放電段階 (discharging phase)」に対応し、ここで、L を通る電流 IL が低下し、すなわち、IL が N 1 を介して接地を通って放電される。時間 t2 から t3 までの間隔は、Ramp が Off set にリセットされる間にに対応し得ることに留意されたい。t3 において、CLK の新しい周期が開始し、放電段階は、充電段階に遷移する。40

【0018】

[0026] 図 3 は、図 1 に示されるバックコンバータ 100 の例示的な実装 100.1 を図示する。図 3 は、例示の目的のみのために示され、本開示の範囲を、示される正電流感知ブロックまたはバックコンバータの任意の特定の実装に限定することが意図されるものではないことに留意されたい。

【0019】

[0027] 図 3 では、P 1 を通る正電流 I_P1p を感知するために、正電流センサ 10 50

2 . 1 が提供される。特に、センサ 1 0 2 . 1 は、P 1 がオンにされるとき、増幅器 3 0 1 の負(-)の入力に正の電源電圧を結合するフィードスルー PMOS トランジスタ P E 1 を含む。増幅器 3 0 1 の正(+)の入力は、P 1 のドレイン電圧(V SW)に結合される。この方法では、増幅器 3 0 1 は、PMOS トランジスタ P 2 のゲートにおいて(V SW - V batt)に比例して電圧を生成する。P 1 を介する正のソース - ドレイン電圧低下(例えば、P 1 の直列のオン抵抗(series on-resistance)のため)は、そのため、3 0 1 で増幅され且つ P 2 のゲートに結合され、それは、P 1 を通る正電流 I _ P 1 p の関数であるドレイン電流 I (I _ P 1 p)を生成し得る。

【 0 0 2 0 】

[0028] センサ 1 0 2 . 1 からの、生成された電流 I (I _ P 1 p)は、R 1 と R 2 を介する電圧 V 1 を生成するために、電流 off set と結合する。V 1 は、キャパシタ C 1 の第 1 のプレートに結合される。同時に、電流ソース S 1 o p e c o m p は、C 1 の第 2 のプレートで電圧 V 2 を生成する。C 1 の第 2 のプレートと接地との間の電圧 V 2 もまた、図 3 において「 R a m p 」と表示され、PWM 比較器 1 3 0 に提供され得る電圧 R amp に対応する。例えば、ブロック 1 4 0 によって生成された制御信号(図示されない)に基づいて、S 1 が各周期の開始までリセットを抑止し得るなどのように、リセットスイッチ S 1 は、C 1 を介して電圧を定期的にリセットするように提供されることに留意されたい。10

【 0 0 2 1 】

[0029] 増幅器 1 1 0 において基準電圧 V ref を設定することによって、またはブロック 1 0 5 において分割比率を感知する電圧を調整することによって、T O F F に関連する T O N の継続期間は、V out が所望された目標レベルに達するように構成されるように、調整され得ることが理解されるだろう。特に、V out を減少させることが所望されるとき、T O N は減少され得(且つ T O F F は増加される)、これにより各周期で負荷へ運ばれた電流 I L を減少させる。逆に、V out が増加することが所望されるとき、T O N は増加され得(且つ T O F F は減少される)、これにより各周期で負荷へ運ばれた電流 I L を増加させる。20

【 0 0 2 2 】

[0030] V out を急速に低減させるために、N 1 は、V out を放電することを可能にされる。特定の場合には、インダクタを介して印加された大きな負電圧が存在し得、それは、インダクタ電流が急速にランプダウンすることを引き起こす。N 1 が十分に長い継続期間にイネーブルにされる際、インダクタ電流の流れは、最終的に結局は負になり得る。バックコンバータの特定の実装では、インダクタ L を通る負電流の流れを避けるために、一旦電流 I L が負になると、N 1 は自動的にディセーブルにされ、ポイント P 1 および N 1 は両方ともオフにされる。このイベントでは、出力電圧 V out をさらに低減することが所望される際、他の有効な電流放電経路が利用可能でないので、出力電圧 V out を放電するために、負荷 Z L が依存される(relied upon)。負荷インピーダンス Z L が小さい場合、V out が最終的な目標値に到達するには長い時間がかかり得ることに留意されたい。30

【 0 0 2 3 】

[0031] 特定の実装では、V out が低減され得るレートを増加させるために、インダクタ電流 I L は、負になることを可能にされ得る。すなわち、インダクタ L は、接地を通じて負荷 Z L からの電流 I L を下げ得る。この動作のモードはまた、バックコンバータの「リバースブーストモード」または「強制的な連続状態モード(C C M : forced continuous condition mode)」として知られている。リバースブーストモード中、N 1 がオンであるとき、I L は、接地を通り N 1 を介して Z L から流れ得ることに留意されたい。さらにも、P 1 がオンであるとき、I L は、V out から P 1 を通り V batt へと流れ得る。実際、N 1 がオンであり P 1 がオフであるとき、インダクタ電流は負になり、エネルギーは負荷からインダクタに搬送される。その後、N 1 がオフであり P 1 がオンであるとき、インダクタに格納されたエネルギーは、例えば、バッテリなどの入力に戻る。4050

【0024】

[0032] 図4は、 V_{out} が第1のレベル V_1 から、 V_1 を下回る第2のレベル V_2 に低減されるシナリオに関連付けられた過渡期間中のバックコンバータ100に存在する例示的な信号波形を図示する。特に、 V_{ref} は、サンプリングされた電圧 V_{fb} を下回る値に設定され、ループフィルタ出力が $Ramp$ を下回るようにさせる。この場合、充電段階は、 t_1' から t_2' までの最小継続期間 T_{ON}' の間のみ継続し、この時間の間、 P_1 がオンにされ N_1 がオフにされるだろう。示されるこれらの事例では、 T_{ON}' は、 $Ramp$ とループフィルタ出力との間の関係に関わらず、 P_1 が各周期中に常にオンであるゼロでない最小の時間間隔であることに留意されたい。

【0025】

[0033] 放電段階は、 t_2' において始まり、 t_3' までの継続期間 T_{OFF}' の間、継続する。ループフィルタ出力が $Ramp$ を下回るとしても、図4で示されるバックコンバータの実装100は全ての周期間で最小のオン時間 T_{ON}' を課すため、 T_{ON}' 中は P_1 がオンにされることに留意されたい。図4の最小のオン時間 T_{ON}' がゼロでない時間間隔であると示される一方、代替の例示的な実施形態では、ループフィルタ出力が $Ramp$ を下回る全体の時間を P_1 がオフにされ得る場合、最小継続期間 T_{ON}' はゼロになり得ることに留意されたい。さらに、図4の波形は規模(scale)に従って描かれており、またさらに、最小のオン時間 T_{ON}' と周期継続期間との間の任意の特定の関係を暗示するものではないことに留意されたい。

【0026】

[0034] 図5は、 V_{out} の目標値が、第1のレベル V_1 から、 V_1 を大幅に下回る第2のレベル V_2 へと減少する遷移中にバックコンバータ100に存在する例示的な電圧および電流の波形を図示する。図5の波形は、例示の目的のみのために示され、信号波形が、必ずしも示されたプロファイルを有すると示唆することが意図されるものではないことに留意されたい。

【0027】

[0035] 図5では、時間 T_1 の前に、始めに電流 I_L は正の値 I_1 を有しており、対応する出力電圧 V_{out} は第1の値 V_1 を有している。 T_1 において、例えば、 V_1 からより低いレベル V_2 へと減少する V_{out} の設定ポイントに応じて、 I_L が減少し始める。 I_L は、減少するにつれて最終的に負になり、時間 T_2 においてゼロ電流と交差する。 I_L が負になるとき(負荷電流がゼロであると仮定すると)、 T_2 において、 V_{out} は対応して減少し始める。 T_2 の後に、対応する V_{out} が一旦 V_2 を下回ると、最終的に I_L は増加し始め(I_3 と同じ位まで低く減少した後)、再度正になり得る。合わせて、 V_{out} もまた減少し始め、最終的に時間 T_3 周辺のその目標レベル近くに落ち着く。その後、 I_L および V_{out} は、 V_{out} の目標値において、次の変化までそれらの定常レベルに(例えば、 I_L は I_2 に、また V_{out} は V_2 に)落ち着くだろう。

【0028】

[0036] V_{out} を急速に低減させるためにリバースブーストモードを使用することに関連付けられる少なくとも2つの問題が存在することが、上記の説明から理解されるだろう。第1に、リバースブーストモード中、 N_1 を通る電流 I_L は、際限なくますます負になり得、それは、システムの制限された電力処理能力のために、不都合な結果となり得る。第2に、下記でさらに説明されるように、システムのアンダーシュート特性のために、 V_{out} を目標レベルまでもっていくのにかなりの追加の時間がかかり得る。

【0029】

[0037] 特に、図5では、 T_1 の後に、一度時間 $T_{2.1}$ において、また再度 T_3 において、 V_{out} のレベルが V_2 の目標値と2回交差するのが見受けられる。 $T_{2.1}$ と T_3 との間の継続期間では、 V_{out} は「アンダーシュート」の状態であるとみなされることができ、ここで、 V_{out} の過度値(transient value)は、一時的に V_2 の目標値を下回り、後にまた V_2 へと増加する。例えば、 $T_{2.1}$ と T_3 との間で、再度増加し始める前に、 V_{out} は、 V_3 と同じ位まで低く減少し得る。このアンダーシュートは、少な

10

20

30

40

50

くとも部分的に、T2の後に確立された大きな負電流ILのためであると見受けられる。インダクタLからの負電流を放電し、目標出力電圧V2を維持するために、正の、定常状態の電流に戻ってLを再充電するのに、かなりの時間が必要とされる。前述のシナリオは、リバースブーストモード中の電流モードのバックコンバータに関して、早くセトリング時間を得るための障害となることが理解されるだろう。

【0030】

[0038] 制御ループにインダクタ電流ILについての情報をフィードバックし、また特に、アンダーシュートとセトリング時間を低減させるためにVoutが目標電圧に近づくように、ILを通る負電流の量を引き下げるための技法を提供することが望ましいだろう。

10

【0031】

[0039] 図6は、本開示の例示的な実施形態を図示し、ここで、PMOSスイッチP1を通る負電流の流れは、バックコンバータ600の制御ループに感知およびフィードバックされる。図1および6で同様に表示されたエレメントは、特に記載されない限り、同様の機能を有するエレメントに対応し得ることに留意されたい。図6では、P1を通る負電流I_P1nの大きさを感知するために、負電流センサ602が提供される（本明細書で採用される決まりに従って、I_P1nに関する負の測定された値は、正のI_P1nに対応し得る）。示された例示的な実施形態では、負電流センサ602の出力I_P1nは、比較器130のための「Adjusted ramp」信号を生成するために使用され、ここで、Adjusted rampは、P1がオンであるときに下記のように定義される（式2）。

20

【0032】

$$\text{Adjusted ramp} = (I_{P1p} \cdot R_{sns1}) - (I_{P1n} \cdot R_{sns2}) + \text{Slope comp} + \text{Offset}$$

ここで、I_P1nはP1を通る感知された負電流であり、Rsns2は抵抗（図6で図示されない）である。式2と式1との比較から、インダクタ電流ILが正であるとき、Adjusted rampは、Rampと等しいことが理解されるだろう。しかしながら、ILが負であるとき、Adjusted rampは、項(I_P1n · Rsns2)のために、Rampよりも小さくなり得る。加えて、Adjusted rampは、ILがより負になるにつれて、Rampをますます下回り得る。

30

【0033】

[0040] 従って、図6から、比較器130の正(+)の入力端子におけるAdjusted rampのより低い値は、Rampの対応する値よりもより長いTON/より短いTOFFでPWM出力電圧130aを生成し得ることが理解されるだろう。言い換えると、式2でAdjusted rampを使用することで、PMOSのオン時間は、インダクタ電流ILがますます負になるにつれて次第に増加し、それは結果として、ILがさらに際限なくますます負になることを回避する。

【0034】

[0041] 図7は、VoutがV1からV2へ遷移する期間中にバックコンバータ600に存在する例示的な信号波形を図示し、ここで、P1を通る負電流は、上述された制御ループへフィードバックとして提供される。図7は、例示の目的のためのみに示され、本開示の範囲を、示される任意の例示的な信号波形に制限することが意図されるものではないことに留意されたい。

40

【0035】

[0042] 図7では、Adjusted rampが破線で示されている。示される時間間隔（例えば、t1*の前からt6*の後まで）は、VoutがV1からV2へ遷移している時間の期間に対応し、特に、負電流は、インダクタLを通って流れる。これらの時間中、P1がオンであるとき、I_P1nは正の大きさ（positive magnitude）を有し（負のILが検出されるため）、そのため、Adjusted rampは、式2に従って、対応して低減され得る。例えば、図7では、時間t1*とt2*との間の継続期間TON

50

*について、P1はオンであり、Adjusted rampは、t1*の前のループファイルタ出力を上回るレベルOff setから、t1*におけるループフィルタ出力を下回るレベルまで減少するのが見受けられる。t2*の後に、t2*とt3*との間の継続期間TOFF*の間、P1はオフであり、N1はオンである。t3*において、この周期が繰り返される。

【0036】

[0043] 図8は、VoutにおけるV1からV2への遷移中にバックコンバータ600に存在する例示的な電圧および電流の波形を図示し、ここで、P1を通る負電流は、本開示に従った制御ループを調整するように使用される。図8の波形は、例示の目的のみのために示され、信号波形が、必ずしも示されたプロファイルを有すると示唆することが意図されるものではないことに留意されたい。図5および8で同様に表示された変数は、特に記載されない限り、同様の値を有し得ることに留意されたい。例えば、図8のV1およびV2の例示的なレベルは、図5を参照して説明される同じレベルに対応し得る。10

【0037】

[0044] 図8では、図5と同様に、T1において始めに電流ILは正の値I1を有しており、対応する出力電圧Voutは第1の値V1を有している。T1において、例えば、V1からより低いレベルV2へと減少するVoutの設定ポイントに応じて、ILが減少し始める。ILは、減少するにつれて最終的に負になり、時間T2においてゼロと交差する。ILが負になるとき、センサ602によって感知されるようなIP1nは、正であり得る。上記で初めに説明されるように、正のIP1nは、Rampに関連するAdjusted rampを減少させ、そのため、図5でプロファイリングされた実装に関連する、P1がオンにされる時間TON*を増加させる。ILは、I2へと再度増加する前に、I3*と同じ位まで低く減少する。20

【0038】

[0045] Adjusted rampにおける項IP1nの存在のために、I3*は、図5で示される負電流I3を大幅に上回る（すなわち、それより負ではない）ことが理解されるだろう。これに対応して、Voutは、時間T3*においてV2の目標値に落ち着くのが見受けられ、それは、図5に描かれた実装に対応する時間T3よりも、大幅に早いものである。そのため、V1からV2への遷移に必要とされる時間は、バックコンバータ100に関してよりも、バックコンバータ600に関しての方が、かなり短くなり得ることが上記の説明から理解されるだろう。30

【0039】

[0046] 本明細書で説明される技法の利点は、説明される方法において式2でAdjusted rampを生成するために負のP1電流IP1nを組み込むことによって、例えばスイッチ制御ブロック140などによって組み込まれた同じ制御ロジックが最小の修正で再利用ことができ、それにより制御システムに対してもたらす追加の複雑さが最小であることであると理解されるだろう。特に、線形かつ連続した制御技法は、バックコンバータ100に採用され得る。さらに、有利なことに、制御システムは、「フォワードバック(forward buck)」と「リバースブースト」との別個の状態の間でスイッチングを適応させることを必要としておらず、それにより、システムの安定性を改善している。40

【0040】

[0047] 図9は、バックコンバータ600の例示的な実装600.1を図示する。図9は、例示の目的のみのために示され、本開示の範囲を、図6で示されたバックコンバータ600の例示的な実施形態のみに制限することが意図されるものではないことに留意されたい。

【0041】

[0048] 図9では、図6のセンサ602が、VSWを増幅器910の正(+)の入力に結合するフィードスルーPMOSトランジスタPE2を含む回路602.1を使用して実装される。増幅器910の負(-)の入力は、Vbattに結合される。この方法では、50

増幅器 910 は、ドレインが P E 2 のドレインに結合される N M O S トランジスタ N 2 のゲートにおいて (V S W - V b a t t) に比例して電圧を生成する。N 2 のゲート電圧はさらに、N M O S トランジスタ N 3 に提供され、ドレインがノード 699 にも結合され、また「負電流」トランジスタを意味している。ノード 699 は、結果として、R 2 を介して V 3' に結合され、ここで、V 3' はまた、正電流センサ 102.1 の出力に結合される。ノード 699 はさらに、R 3 を介して V 1' に結合され、V 1' は、O f f s e t 電流ソース、C 1 およびスイッチ S 1 に結合される。

【 0 0 4 2 】

[0049] 特に、リバースブーストモード中、V S W は、P 1 がオンであるとき、V b a t t を上回ることが予期され、そのため、N 3 がオンにされることが予期され、指示された極性を有する、負の P 1 電流の一次関数 (linear function) であるドレイン電流 (I _ P 1 n) を生成する。I (I _ P 1 n) は、そうでなければレジスタ R 1 および R 2 を通って流れ得る I (I _ P 1 p) および電流 O f f s e t から差し引かれるのが見受けられ、そのため、キャパシタ C 1 の第 1 のプレートにおける電圧 V 1' は、I (I _ P 1 n) の結果に対応して低くなることが予期される。
10

【 0 0 4 3 】

[0050] 図 10 は、本開示に従った方法 1000 の例示的な実施形態を図示する。方法 1000 は、例示の目的のみのために示され、本開示の範囲を限定することが意図されるものではないことに留意されたい。
20

【 0 0 4 4 】

[0051] ブロック 1010 において、インダクタの第 1 のノードが電源電圧に選択的に結合される。

【 0 0 4 5 】

[0052] ブロック 1020 において、インダクタの第 1 のノードが接地に選択的に結合される。

【 0 0 4 6 】

[0053] ブロック 1030 において、この選択的な結合が、インダクタの第 2 のノードに結合される負荷における出力電力を設定するように構成される。この構成は、フィルタリングされた誤差電圧を調整されたランプ電圧と比較することを備え得る。
30

【 0 0 4 7 】

[0054] ブロック 1040 において、負電流は、インダクタを通って感知され、ここで、調整されたランプ電圧は、感知された負電流に応じて調整されたランプ電圧を低減させる付加的な項を備える。

【 0 0 4 8 】

[0055] P M O S トランジスタが V b a t t にインダクタ L を結合する充電スイッチ (例えば、図 6 の例示的な実施形態 600 において) として使用される、例示的な実施形態が上記で説明されている一方、説明された技法は、充電スイッチに関して P M O S トランジスタ以外のエレメントを用いる代替の例示的な実施形態において容易に利用され得ることに留意されたい。例えば、代替の例示的な実施形態 (図示されない) ではまた、N M O S スイッチが利用され、N M O S (充電) スイッチを通る負電流が本明細書で説明される技法で感知および利用され得る。このような代替の例示的な実施形態は、本開示の範囲内であることが意図される。
40

【 0 0 4 9 】

[0056] バックコンバータを組み込む任意のアプリケーションのタイプが本開示の技法を利用し得ることが理解されるだろう。例えば、特定の例示的な実施形態では、本開示で説明された技法に組み込まれるバックコンバータは、従来技術において周知である、平均電力追跡 (A P T : average power tracking) スキーム、スイッチモードバッテリチャージャ (S M B C : switched-mode battery chargers) 、および高速過渡供給 (F T S : fast transient supply) スキームに適用され得る。このような例示的な実施形態は、本開示の範囲内であることが意図される。
50

【0050】

[0057] 本明細書および請求項では、エレメントが別のエレメントに「接続される」または「結合される」と記載されるとき、それが他のエレメントに直接接続または結合されることができるか、または介在するエレメントが存在し得ることが理解されるだろう。対照的に、エレメントが別のエレメントに「直接接続される」または「直接結合される」と記載されるとき、介在するエレメントは存在しない。加えて、エレメントが別のエレメントに「電気的に結合される」と記載されるとき、それは、低い抵抗の経路がこのようなエレメント間で存在することを表す一方、エレメントが別のエレメントと単に「結合される」と記載されるとき、このようなエレメント間に低い抵抗の経路が存在するかしないかはわからない。

10

【0051】

[0058] 当業者は、情報および信号が、様々な異なる技術および技法のいずれかを使用して表され得ることを理解するだろう。例えば、上記の説明を通して参照されうるデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界または磁気粒子、光学界または光学粒子、あるいはそれらの任意の組み合わせによって表わされうる。

【0052】

[0059] 当業者はさらに、本明細書に開示された例示的な態様に関連して説明された様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両方の組み合わせとして実装されうることを理解するだろう。ハードウェアおよびソフトウェアのこの互換性を明確に例示するために、様々な例示的コンポーネント、ブロック、モジュール、回路、およびステップが、一般にそれらの機能の観点から上記で説明されている。このような機能が、ハードウェアとして実装されるか、またはソフトウェアとして実装されるかは、特定のアプリケーションおよびシステム全体に課せられる設計制約に依存する。当業者は、各特定のアプリケーションに関して、様々な方法で、説明された機能を実装し得るが、このような実装の決定は、本発明の例示的な態様の範囲から逸脱を引き起こしていると解釈されるべきではない。

20

【0053】

[0060] 本明細書に開示された例示的な実施形態に関連して説明される様々な実例となる論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ（D S P）、特定用途向け集積回路（A S I C）、フィールドプログラマブルゲートアレイ（F P G A）、または他のプログラマブル論理デバイス、ディスクリートゲートまたはトランジスタロジック、ディスクリートハードウェアコンポーネント、あるいは本明細書で説明される機能を実行するように設計されたこれらの任意の組み合わせで、実装または実行されうる。汎用プロセッサはマイクロプロセッサであり得るが、代替としてプロセッサは任意の従来のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシンであり得る。プロセッサはまた、例えば、D S Pと、1つのマクロプロセッサ、複数のマイクロプロセッサ、D S Pコアに結合した1つまたは複数のマイクロプロセッサ、あるいは任意の他のこれらの構成との組み合わせなどの、計算デバイスの組み合わせとして実装されうる。

30

【0054】

[0061] 本明細書で開示された例示的な態様に関連して説明された方法またはアルゴリズムのステップは、直接ハードウェアにおいて、プロセッサによって実行されるソフトウェアモジュールにおいて、またはこれら2つの組み合わせにおいて、具現化されうる。ソフトウェアモジュールは、ランダムアクセスメモリ（R A M）、フラッシュメモリ、読み出し専用メモリ（R O M）、電気的プログラマブルR O M（E P R O M）、電気的消去可能なプログラマブルR O M（E E P R O M（登録商標））、レジスタ、ハードディスク、リムーバルディスク、C D - R O M、または当該技術分野において周知である任意の他の形状の記憶媒体において存在しうる。例示的な記憶媒体は、プロセッサがこの記憶媒体から

40

50

情報を読み取り、またこの記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサに統合され得る。プロセッサおよび記憶媒体は、A S I C に存在し得る。A S I C は、ユーザ端末に存在し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末において個別の構成要素として存在し得る。

【 0 0 5 5 】

[0062] 1つまたは複数の例示的な態様では、説明された機能は、ハードウェア、ソフトウェア、ファームウェア、またはこれらの任意の組み合わせで実装されうる。ソフトウェアで実装される場合、機能は、コンピュータ読取可能媒体上で、1つまたは複数の命令またはコードとして送信または記憶されうる。コンピュータ読取可能媒体は、1つの場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む通信媒体とコンピュータ記憶媒体との両方を含む。記憶媒体は、コンピュータによってアクセスできる任意の利用可能な媒体であり得る。限定ではなく例として、このようなコンピュータ読取可能媒体は、R A M、R O M、E E P R O M、C D - R O Mまたは他の光ディスク記憶装置、磁気ディスク記憶装置またはその他の磁気記憶デバイス、あるいは、データ構造または命令の形式で所望されたプログラムコードを記憶または搬送するために使用可能であり、かつコンピュータによってアクセスされることができる任意の他の媒体を備え得る。また、任意の接続は、コンピュータ読み取り可能な媒体と厳密には称されうる。例えば、ソフトウェアが、同軸ケーブル、光ファイバーケーブル、ツイストペア、デジタル加入者回線（D S L）、または赤外線、無線、およびマイクロ波のようなワイヤレス技術を使用して、ウェブサイト、サーバ、または他の遠隔ソースから送信される場合、同軸ケーブル、光ファイバーケーブル、ツイストペア、D S L、または赤外線、無線、およびマイクロ波のようなワイヤレス技術は、媒体の定義に含まれる。本明細書で使用される場合、ディスク（disk）およびディスク（disc）は、コンパクトディスク（C D）、レーザーディスク（登録商標）、光ディスク、デジタル多目的ディスク（D V D）、フロッピー（登録商標）ディスクおよびブルーレイ（登録商標）ディスクを含み、ここで、ディスク（disk s）が通常磁気的にデータを再生する一方、ディスク（discs）は、レーザーを用いて光学的にデータを再生する。上記の組み合わせもまた、コンピュータ読取可能な媒体の範囲内に含まれるべきである。10

【 0 0 5 6 】

[0063] 開示された例示的な態様の上記説明は、いずれの当業者も、本発明の製造または使用が可能であるように提供される。これらの例示的な態様への様々な修正は、当業者にとって容易に明らかであり、本明細書に定義された一般的な原理は、本発明の精神または範囲から逸脱することなく、他の例示的な態様にも適用され得る。したがって、本開示は、本明細書に示された態様に制限されることが意図されるものではなく、本明細書に開示される原理および新規の特徴と一致する最も広い範囲を与えられるべきものである。30

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

【 C 1 】

装置であって、

電源電圧にインダクタの第1のノードを選択的に結合するように構成された充電スイッチと、40

接地に前記インダクタの前記第1のノードを選択的に結合するように構成された放電スイッチと、

前記インダクタの第2のノードに結合された負荷における出力電圧を設定するために前記充電スイッチおよび前記放電スイッチを制御するように構成された制御ブロックと、ここで、前記制御ループは、フィルタリングされた誤差電圧を調整されたランプ電圧と比較する比較器を備える、

前記インダクタを通る負電流を感知するように構成された負電流感知ブロックと、を備え、

前記調整されたランプ電圧は、感知された負電流に応じて前記調整されたランプ電圧を低減させる付加的な項を備える、装置。50

[C 2]

前記インダクタを通る正電流を感知するための正電流感知ブロックをさらに備え、前記調整されたランプ電圧はさらに、感知された正電流に応じて前記調整されたランプ電圧を増加させる付加的な項を備える、C 1 に記載の装置。

[C 3]

前記充電スイッチは、PMOSトランジスタを備え、前記放電スイッチは、NMOSトランジスタを備える、C 1 に記載の装置。

[C 4]

前記負電流感知ブロックは、前記充電スイッチを通る負電流を感知するように構成される、C 1 に記載の装置。

10

[C 5]

前記負電流感知ブロックは、負のインダクタ電流に対応する、前記充電スイッチの両端の電圧低下を感知するように構成された増幅器を備える、C 4 に記載の装置。

[C 6]

前記負電流感知ブロックはさらに、

前記充電スイッチの制御電圧に結合されるフィードスルートランジスタと、ここにおいて、前記増幅器は、前記フィードスルートランジスタに結合される入力端子を有し、

負電流トランジスタに結合された前記増幅器の前記出力と、

を備え、

前記負電流トランジスタは、前記調整されたランプ電圧に比例する電流を生成するための回路に結合されるドレインを有する、

20

C 5 に記載の装置。

[C 7]

前記調整されたランプ電圧に比例する電流を生成するための前記回路は、オフセット電流ソース、キャパシタC 1、およびスロープ補償電流ソースを備える、C 6 に記載の装置。

[C 8]

前記充電スイッチは、NMOSトランジスタを備える、C 1 に記載の装置。

[C 9]

前記制御ブロックは、前記出力電圧を設定するために、線形かつ連続した制御ループシステムを実装するように構成される、C 1 に記載の装置。

30

[C 10]

前記スイッチ、制御ブロック、および負電流感知ブロックは、バックコンバータに組み込まれ、前記バックコンバータは、平均電力追跡スキーム、スイッチモード充電器に使用されるか、または高速過渡供給バックコンバータとして使用される、C 1 に記載の装置。

[C 11]

方法であって、

電源電圧にインダクタの第1のノードを選択的に結合することと、

接地に前記インダクタの前記第1のノードを選択的に結合することと、

前記インダクタの第2のノードに結合された負荷における出力電圧を設定するために前記選択的な結合を構成することと、ここで、前記構成することは、フィルタリングされた誤差電圧を調整されたランプ電圧と比較することを備える、

40

前記インダクタを通る負電流を感知することと、

を備え、

前記調整されたランプ電圧は、感知された負電流に応じて低減される、方法。

[C 12]

前記インダクタを通る正電流を感知すること

をさらに備え、

前記調整されたランプ電圧は、感知された正電流に応じて増加される、C 1 に記載の方法。

50

[C 1 3]

前記インダクタを通る前記負電流を前記感知することは、前記電源電圧に前記インダクタの前記第1のノードを選択的に結合するために充電スイッチを通る負電流を感知することを備える、C 1 1 に記載の方法。

[C 1 4]

前記負電流を感知することは、前記充電スイッチの両端の電圧低下を感知することを備える、C 1 3 に記載の方法。

[C 1 5]

前記充電スイッチは、PMOSトランジスタを備える、C 1 3 に記載の方法。

[C 1 6]

前記充電スイッチが前記電源電圧に前記インダクタの前記第1のノードを結合することを可能にする時間間隔の間に、充電スイッチを通る前記負電流を前記感知することが実行される、C 1 3 に記載の方法。

10

[C 1 7]

装置であって、

電源電圧にインダクタの第1のノードを選択的に結合するための手段と、

接地に前記インダクタの前記第1のノードを選択的に結合するための手段と、

前記インダクタの第2のノードに結合された負荷における出力電圧を設定するために前記選択的な結合を構成するための手段と、ここで、前記構成することは、フィルタリングされた誤差電圧を調整されたランプ電圧と比較することを備える、

20

前記インダクタを通る負電流を感知するための手段と

を備える、装置。

[C 1 8]

前記インダクタを通る正電流を感知するための手段をさらに備える、C 1 7 に記載の装置。

[C 1 9]

前記インダクタを通る負電流を感知するための前記手段は、前記充電スイッチを通る負電流を感知するための手段をさらに備える、C 1 7 に記載の装置。

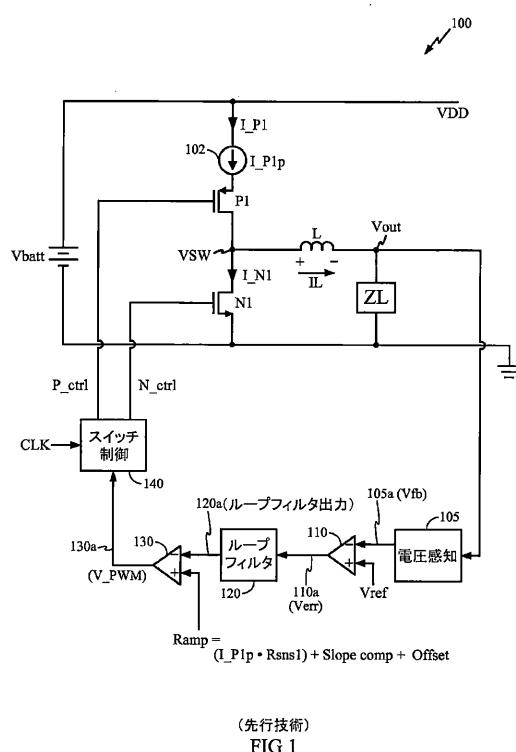
[C 2 0]

前記充電スイッチを通る負電流を感知するための前記手段は、前記充電スイッチの両端の電圧低下を感知するための手段を備える、C 1 9 に記載の装置。

30

【図1】

図1

(先行技術)
FIG 1

【図2】

図2

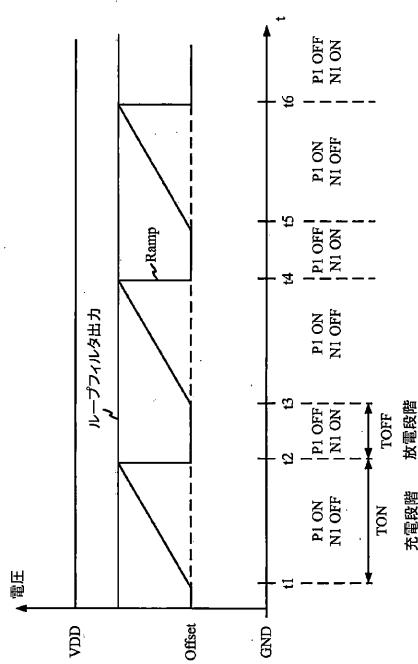


FIG 2

【図3】

図3

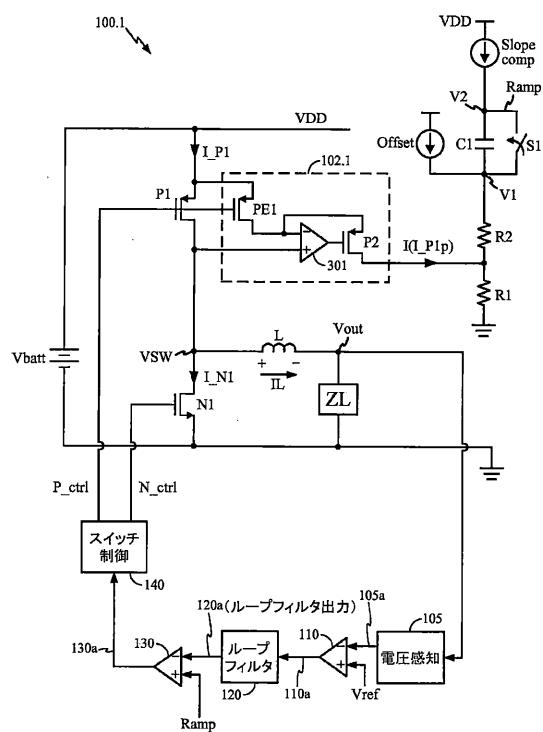


FIG 3

【図4】

整理番号B0015P1042

4 / 10

【図4】

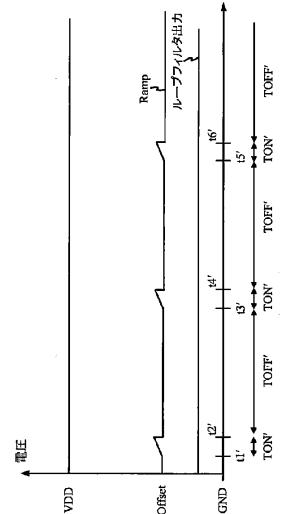
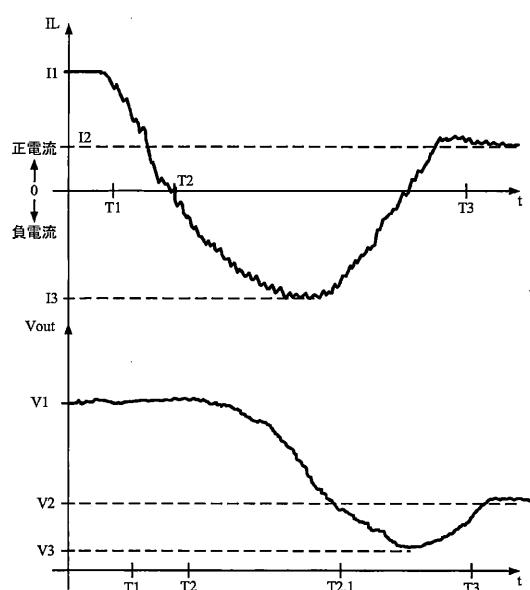


FIG 4

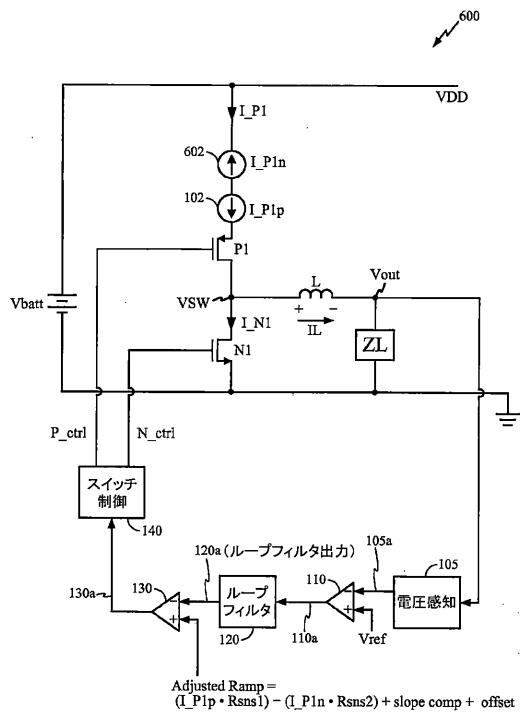
【図5】

図5



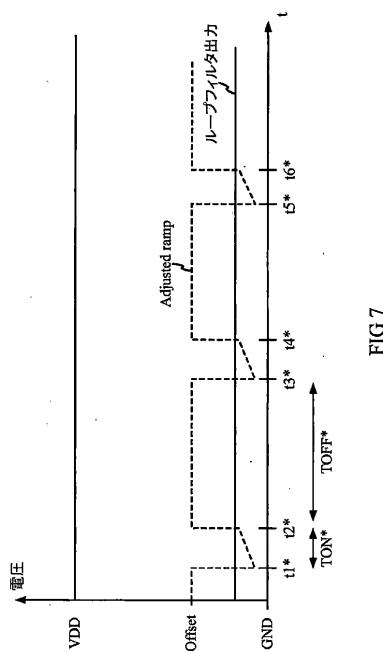
【図6】

図6



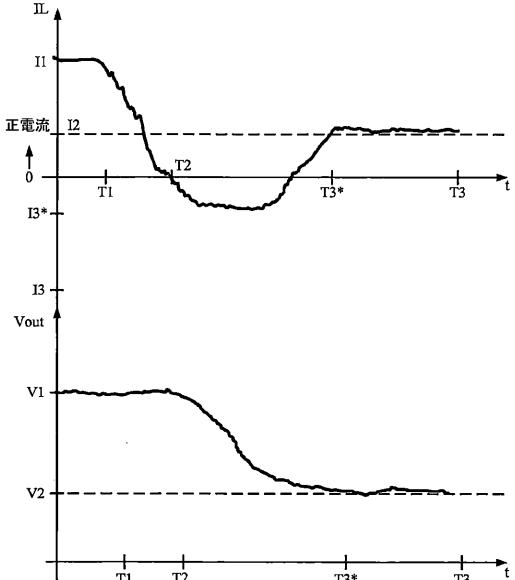
【図7】

図7



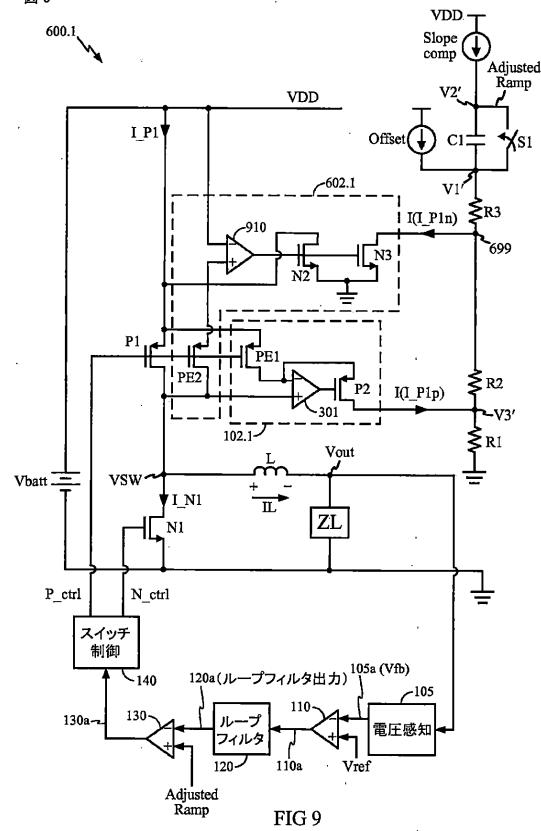
【図8】

図8



【図9】

図9



【図10】

図10

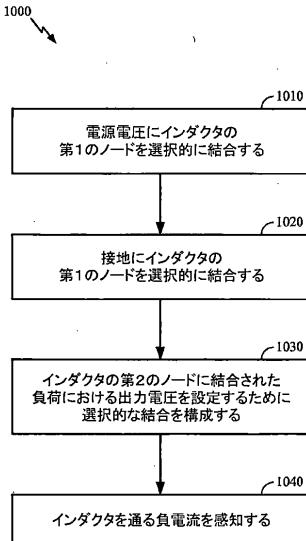


FIG 10

フロントページの続き

(72)発明者 ルツコウスキ、ジョセフ・ディー・

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドラ
イブ 5775、クワアルコム・インコーポレイテッド気付

(72)発明者 マセ、レナート・カール・アクセル

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドラ
イブ 5775、クワアルコム・インコーポレイテッド気付

審査官 坂東 博司

(56)参考文献 特開2009-219179(JP,A)

特開2009-194971(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155