



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I566378 B

(45)公告日：中華民國 106 (2017) 年 01 月 11 日

(21)申請案號：099135192

(22)申請日：中華民國 99 (2010) 年 10 月 15 日

(51)Int. Cl. : H01L27/092 (2006.01)

H01L21/8238(2006.01)

(30)優先權：2009/10/16 美國

12/589,027

(71)申請人：國家半導體公司(美國) NATIONAL SEMICONDUCTOR CORPORATION (US)
美國

(72)發明人：歐溫斯 亞歷山大 H OWENS, ALEXANDER H. (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 2007/0235807A1

US 2008/0203522A1

US 2008/0296647A1

審查人員：黃本立

申請專利範圍項數：17 項 圖式數：5 共 39 頁

(54)名稱

使用結合選擇性的磊晶與混合晶向技術 (HOT) 用於改善遷移率之方法及相關設備

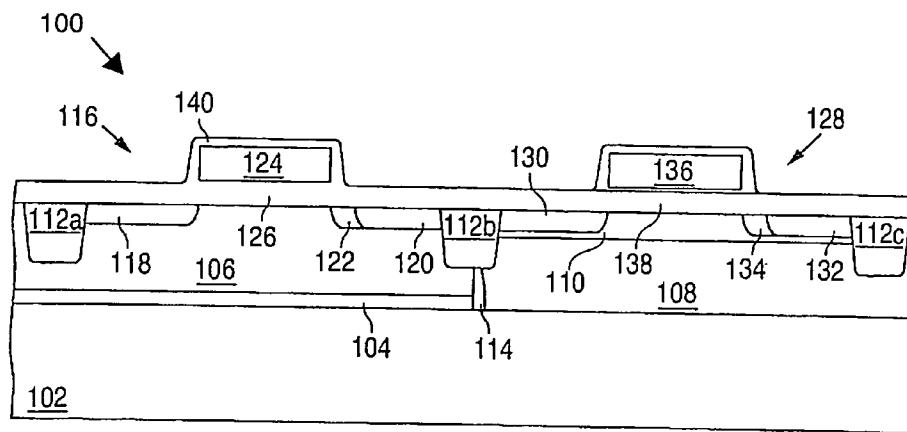
METHOD FOR IMPROVED MOBILITY USING HYBRID ORIENTATION TECHNOLOGY (HOT) IN
CONJUNCTION WITH SELECTIVE EPITAXY AND RELATED APPARATUS

(57)摘要

一種半導體設備包括一第一基板及一第二基板，該第二基板位於該第一基板之一第一部分之上且與該第一基板藉由一內埋層而分開。該半導體設備亦包括一磊晶層，該磊晶層位於該第一基板之一第二部分之上且與該第二基板隔離。該半導體設備進一步包括一至少部分地形成於該第二基板中之第一電晶體，及一至少部分地形成於該磊晶層中或該磊晶層之上的第二電晶體。該第二基板及該磊晶層具有包括不同電子遷移率及電洞遷移率之塊材性質。該等電晶體中之至少一者經建構以接收至少約 5 V 之一或多個信號。該第一基板可具有一第一結晶晶向，且該第二基板可具有一第二結晶晶向。

A semiconductor apparatus includes a first substrate and a second substrate located over a first portion of the first substrate and separated from the first substrate by a buried layer. The semiconductor apparatus also includes an epitaxial layer located over a second portion of the first substrate and isolated from the second substrate. The semiconductor apparatus further includes a first transistor formed at least partially in the second substrate and a second transistor formed at least partially in or over the epitaxial layer. The second substrate and the epitaxial layer have bulk properties with different electron and hole mobilities. At least one of the transistors is configured to receive one or more signals of at least about 5V. The first substrate could have a first crystalline orientation, and the second substrate could have a second crystalline orientation.

指定代表圖：



符號簡單說明：

100 · · · 積體電路裝置

102 · · · 晶圓

104 · · · 內埋層

106 · · · 基板

108 · · · 磊晶層

110 · · · 罩蓋

112a 至 112c . . . 渠
溝

114 · · · 間隔片

116 · · · p 通道金氧
半 導 體 (PMOS) 裝 置

118 · · · 源極

120 · · · 汲極

122 · · · 偏移

124 · · · 閘極

126 · · · 閘極氧化物

128 · · · n 通道金氧
半導體(NMOS)裝置

130 · · · 源極

132 · · · 汲極

134 · · · 偏移

136 · · · 閘極

138 · · · 閘極氧化物

140 · · · 氧化物層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：9913579✓

※申請日：99.10.15

※IPC 分類：H01L 21/092 2006.01

一、發明名稱：(中文/英文)

H01L 21/82 2006.01

使用結合選擇性的磊晶與混合晶向技術(HOT)用於改善遷移率之方法及相關設備

METHOD FOR IMPROVED MOBILITY USING HYBRID
ORIENTATION TECHNOLOGY (HOT) IN
CONJUNCTION WITH SELECTIVE EPITAXY AND
RELATED APPARATUS

二、中文發明摘要：

一種半導體設備包括一第一基板及一第二基板，該第二基板位於該第一基板之一第一部分之上且與該第一基板藉由一內埋層而分開。該半導體設備亦包括一磊晶層，該磊晶層位於該第一基板之一第二部分之上且與該第二基板隔離。該半導體設備進一步包括一至少部分地形成於該第二基板中之第一電晶體，及一至少部分地形成於該磊晶層中或該磊晶層之上的第二電晶體。該第二基板及該磊晶層具有包括不同電子遷移率及電洞遷移率之塊材性質。該等電晶體中之至少一者經建構以接收至少約 5 V 之一或多個信號。該第一基板可具有一第一結晶晶向，且該第二基板可具有一第二結晶晶向。

三、英文發明摘要：

A semiconductor apparatus includes a first substrate and a second substrate located over a first portion of the first substrate and separated from the first substrate by a buried layer. The semiconductor apparatus also includes an epitaxial layer located over a second portion of the first substrate and isolated from the second substrate. The semiconductor apparatus further includes a first transistor formed at least partially in the second substrate and a second transistor formed at least partially in or over the epitaxial layer. The second substrate and the epitaxial layer have bulk properties with different electron and hole mobilities. At least one of the transistors is configured to receive one or more signals of at least about 5V. The first substrate could have a first crystalline orientation, and the second substrate could have a second crystalline orientation.

四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

100：積體電路裝置

102：晶圓

104：內埋層

106：基板

108：磊晶層

110：罩蓋

112a 至 112c：渠溝

114：間隔片

116：p 通道金氧半導體 (PMOS) 裝置

118：源極

120：汲極

122：偏移

124：閘極

126：閘極氧化物

128：n 通道金氧半導體 (NMOS) 裝置

130：源極

132：汲極

134：偏移

136：閘極

138：閘極氧化物

140：氧化物層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於積體電路。更具體言之，本發明係關於一種使用結合選擇性的磊晶與混合晶向技術（HOT）用於改善遷移率之方法及相關設備。

【先前技術】

互補金氧半導體（CMOS）電路常形成於具有（100）結晶晶向之矽基板上。混合晶向技術（HOT）在單一基板上使用不同結晶晶向。舉例而言，混合晶向技術可在同一半導體晶圓上混合（100）結晶晶向基板與（110）結晶晶向基板。典型地進行此操作以幫助改善半導體裝置內之電洞及電子遷移率。

【發明內容】

本發明提供一種使用結合選擇性的磊晶與混合晶向技術（HOT）用於改善遷移率之方法及相關設備。

在一第一具體實例中，一種半導體設備包括一第一基板及一第二基板，該第二基板位於該第一基板之一第一部分之上且與該第一基板藉由一內埋層而分開。該半導體設備亦包括一至少部分地形成於該第二基板中之第一電晶體。該半導體設備進一步包括一磊晶層，該磊晶層位於該第一基板之一第二部分之上且與該第二基板隔離。另外，該半導體設備包括一至少部分地形成於該磊晶層中或該磊晶層之上的第二電晶體。該第二基板及該磊晶層具有包括不同電子遷移率及電洞遷移率之塊材性質，且該等電晶體

中之至少一者經建構以接收至少約 5 V 之一或多個信號。

在一第二具體實例中，一種基板結構包括一第一基板及一第二基板，該第二基板位於該第一基板之一第一部分之上且與該第一基板藉由一內埋層而分開。該基板結構亦包括一磊晶層，該磊晶層位於該第一基板之一第二部分之上且與該第二基板隔離。該第二基板具有一較該磊晶層之電洞遷移率高的電洞遷移率，該磊晶層具有一較該第二基板之電子遷移率高的電子遷移率，且該電洞遷移率及該電子遷移率為塊材性質。另外，該基板結構包括第一電晶體及第二電晶體。該第一電晶體至少部分地形成於該第二基板中，該第二電晶體至少部分地形成於該磊晶層中或該磊晶層之上，且該等電晶體中之至少一者經建構以接收至少約 5 V 之一或多個信號。

在一第三具體實例中，一種方法包括獲得一基板結構，該基板結構具有一第一基板及一第二基板，該第二基板位於該第一基板之一第一部分之上且與該第一基板藉由一內埋層而分開。該基板結構亦具有一磊晶層，該磊晶層位於該第一基板之一第二部分之上且與該第二基板隔離。該第二基板具有一較該磊晶層之電洞遷移率高的電洞遷移率，該磊晶層具有一較該第二基板之電子遷移率高的電子遷移率，且該電洞遷移率及該電子遷移率為塊材性質。該方法亦包括形成第一電晶體及第二電晶體。該第一電晶體至少部分地形成於該第二基板中，該第二電晶體至少部分地形成於該磊晶層中或該磊晶層之上，且該等電晶體中之

至少一者經建構以接收至少約 5 V 之一或多個信號。

【實施方式】

為了更完全地理解本發明及其特徵，現在結合附隨圖式參考以下描述。

下文所論述之圖 1 至圖 5 及本專利文獻中的用以描述本發明之原理的各種具體實例僅作為說明，且不應以任何方式將其解釋為限制本發明之範疇。熟習此項技術者將理解，本發明之原理可實施於任何類型的合適配置之裝置或系統中。

圖 1 說明根據本發明之使用結合選擇性的磊晶與混合晶向技術（HOT）的實例積體電路裝置 100。圖 1 中所展示的積體電路裝置 100 之具體實例僅用於說明。可在不偏離本發明之範疇的情況下使用積體電路裝置 100 之其他具體實例。

如圖 1 中所展示，積體電路裝置 100 包括晶圓 102。晶圓 102 表示可用以攜載或支撐積體電路裝置 100 之其他組件的任何合適之半導體基板。舉例而言，晶圓 102 可表示具有在 $30\ \Omega/\text{cm}$ 下之（100）結晶晶向的 P-基板。

內埋層 104 位於晶圓 102 之一部分上方。內埋層 104 大體上表示用於電隔離積體電路裝置 100 之其他組件的氧化物或其他材料之薄層。內埋層 104 可（例如）表示具有約 $1,450\ \text{\AA}$ 或 $2,000\ \text{\AA}$ 之厚度的氧化矽層或其他氧化物層。

基板 106 位於內埋層 104 上方。基板 106 可表示任何合適之半導體基板。舉例而言，基板 106 可表示具有在 30

Ω/cm 下之 (110) 結晶晶向及在約 $2\text{ }\mu\text{m}$ 與約 $5\text{ }\mu\text{m}$ 之間的厚度的 N-基板。基板 106 與晶圓 102 可具有不同結晶晶向，藉此實施 HOT 做法。為了便利起見，可將晶圓 102 稱作「第一半導體基板」且可將基板 106 稱作「第二半導體基板」。

磊晶層 108 亦位於晶圓 102 上方。磊晶層 108 可表示任何合適之磊晶材料。舉例而言，磊晶層 108 可由矽鍺（諸如， $\text{Si}_{0.85}\text{Ge}_{0.15}$ ）形成。其他材料可用於磊晶層 108 中，諸如矽錫（ SiSn ）或摻碳矽鍺（ SiGeC ）。在一些具體實例中，磊晶層 108 具有不同於基板 106 之晶向（諸如，(100) 晶向）的結晶晶向。

罩蓋 110 可形成於磊晶層 108 之上。罩蓋 110 可由一或多個半導體基板材料（諸如，矽）形成。在特定具體實例中，罩蓋 110 可由具有約 $1,000\text{ }\text{\AA}$ 之厚度的在 $30\text{ }\Omega/\text{cm}$ 下之 P-矽形成。注意，在其他具體實例中，可省略罩蓋 110。

在此實施例中，渠溝 112a 至 112c 用以幫助電隔離該結構之不同部分。渠溝 112a 至 112c 可表示任何合適之隔離結構，諸如淺渠溝隔離（STI）結構。渠溝 112a 至 112c 可以任何合適方式及由任何合適材料（諸如，氧化物）形成。且，間隔 114 可將基板 106 與磊晶層 108 分開。間隔 114 可以任何合適方式且由任何合適材料（諸如，氧化物）形成。

p 通道金氧半導體（PMOS）裝置 116 係使用基板 106 而形成。如圖 1 中所展示，PMOS 裝置 116 包括源極 118、汲極 120、偏移 122，及閘極 124。源極 118、汲極 120 及偏

移 122 中之每一者大體上表示摻雜有一或多個合適摻雜劑之基板 106 之區。舉例而言，源極 118 及汲極 120 可包括 p+ 摻雜劑，且偏移 122 可包括 p- 摻雜劑。閘極 124 大體上表示導電區（諸如，由多晶矽形成之導電區），其可用以控制 PMOS 裝置 116 之操作。閘極 124 通常與基板 106 藉由閘極氧化物 126 而分開。此等組件 118 至 126 中之每一者可使用任何合適材料以任何合適方式形成。

n 通道金氧半導體（NMOS）裝置 128 係使用罩蓋 110 而形成（但是，在其他具體實例中，NMOS 裝置 128 形成於磊晶層 108 中）。NMOS 裝置 128 包括源極 130、汲極 132、偏移 134，及閘極 136。閘極 136 與罩蓋 110 藉由閘極氧化物 138 而分開。此等組件 130 至 138 可與 PMOS 裝置 116 中之對應組件 118 至 126 相同或類似，但在 NMOS 裝置 128 中使用不同摻雜。舉例而言，源極 130 及汲極 132 可包括 n+ 摻雜劑，且偏移 134 可包括 n- 摻雜劑。此等組件 130 至 138 中之每一者可使用任何合適材料以任何合適方式形成。注意，PMOS 裝置 116 與 NMOS 裝置 128 中之不同組件之形成可重疊，諸如，當使用相同製程步驟形成閘極 124 及 136 時。閘極氧化物 126 及 138 可能使用或可能不使用相同製程步驟而形成。

氧化物層 140 形成於 PMOS 裝置 116 及 NMOS 裝置 128 之上。氧化物層 140 典型地在後續處理步驟期間保護積體電路裝置 100 底下之組件。氧化物層 140 可表示任何合適之氧化物材料且可以任何合適方式形成。

在一些具體實例中，PMOS 裝置 116 及 NMOS 裝置 128 可表示具有較高操作電壓之裝置，諸如 5 V+ PMOS 及 NMOS 裝置。常無法使用習知 CMOS 系統來獲得操作電壓之此位準。且，積體電路裝置 100 此處支援不同材料及晶向之使用，以支援較高電子遷移率與較高電洞遷移率兩者。舉例而言，基板 106 之 (110) 晶向可提供較佳電洞遷移率，而具有可調整之銻濃度之磊晶層 108 可提供較佳電子遷移率。此等結構中之兩者可用於同一積體電路裝置中或同一晶圓上。

另外，注意，此處的改善之電洞遷移率及電子遷移率為塊材性質，此意謂其為結構之固有特性而不是僅由於應力造成。此情形適用於形成用於諸如混合信號類比應用之應用中的較高電壓裝置（諸如，5 V+ PMOS 及 NMOS 裝置）中。此等類型之裝置常並不使用深次微米技術來製造，因為此等技術對此等類型之裝置提供較少益處，所以此等技術常常限於用於低電壓裝置。較高電壓裝置常並不按比例調整至深次微米尺寸，且因此並不受光微影驅動而是受整體材料性質驅動。另外，以此方式形成之裝置可具有改善之電晶體導通電阻 ($R_{DS_{ON}}$) 及跨導、較小晶粒大小，及較低成本。

雖然圖 1 說明使用結合選擇性的磊晶與 HOT 之積體電路裝置 100 的一個實施例，但可對圖 1 作出各種改變。舉例而言，圖 1 中之各種組件之相對大小及形狀僅用於說明。且，雖然在上文將圖 1 中之某些組件描述為由特定材料形

成，但圖 1 中之每一組件可由任何合適材料且以任何合適方式形成。另外，可視製造程序而在積體電路裝置 100 內形成各種其他層或結構。為了清晰起見，圖 1 中省略了此等其他層或結構。

圖 2A 至圖 2K 說明根據本發明的使用結合選擇性的磊晶與 HOT 用於形成積體電路裝置的實例技術。圖 2A 至圖 2K 中所展示之技術之具體實例僅用於說明。在不偏離本發明之範疇的情況下可使用其他技術形成積體電路裝置。

如圖 2A 中所展示，形成或以其他方式獲得絕緣體上半導體（SOI）結構。該結構包括晶圓 202 及跨越晶圓 202 而形成之內埋層 204。晶圓 202 可表示具有 $30\ \Omega/\text{cm}$ 之（100）晶向的 P-基板。內埋層 204 可表示具有約 $1,450\ \text{\AA}$ 或 $2,000\ \text{\AA}$ 之厚度的氧化矽層或其他氧化物層。基板 206 在內埋層 204 之上，基板 206 例如為具有在 $30\ \Omega/\text{cm}$ 下之（110）晶向及約 $2\ \mu\text{m}$ 至約 $5\ \mu\text{m}$ 之厚度的 N-基板。在特定具體實例中，由組件 202 至 206 形成之 SOI 結構可直接購自供應商。在其他特定具體實例中，可以任何合適方式製造 SOI 結構。

在基板 206 之上形成遮蔽氧化物層 208。遮蔽氧化物層 208 之形成可包括遮蔽氧化清潔製程；遮蔽氧化製程，在遮蔽氧化製程中，使基板 206 之一部分氧化（諸如，藉由使用在 1100°C 下之乾式氧化法歷時約 49 分鐘）；及氧化後操作。在特定具體實例中，遮蔽氧化物層 208 具有 $350\ \text{\AA} \pm 35\ \text{\AA}$ 之厚度。

如圖 2B 中所展示，在該結構之上形成襯墊氧化物層

210。襯墊氧化物層 210 之形成可包括襯墊氧化預先清潔製程、襯墊氧化製程（諸如，藉由使用在 920°C 下之乾式氧化法歷時約 40 分鐘），及氧化後操作。在特定具體實例中，襯墊氧化物層 210 具有 $110\text{ \AA}\pm 10\text{ \AA}$ 之厚度。在襯墊氧化物層 210 之上形成氮化物層 212。氮化物層 212 之形成可包括在 760°C 之溫度下使用 $\text{NH}_3/\text{N}_2/\text{DCS}/\text{HCl}$ 歷時約 160 分鐘的氮化物沈積。在特定具體實例中，氮化物層 212 具有 $1625\text{ \AA}\pm 150\text{ \AA}$ 之厚度。

如圖 2C 中所展示，在氮化物層 212 之上形成光阻遮罩 214。可將光阻遮罩 214 圖案化以使其在將要形成 NMOS 裝置之區之上包括開口 216。光阻遮罩 214 覆蓋將要形成 PMOS 裝置之區。可接著進行蝕刻以移除基板 206 之一部分。蝕刻製程可表示經設計以在到達內埋層 204 後便停止之 NMOS 光及深矽蝕刻製程。可在蝕刻製程之後進行抗蝕劑清潔及聚合物移除製程，以移除剩餘光阻遮罩 214。

如圖 2D 中所展示，抵靠基板 206 形成氧化物間隔片 218。氧化物間隔片 218 之形成可包括執行間隔片氧化物沈積製程，以在結構之上沈積一層氧化物（諸如， $2,000\text{ \AA}$ 或 $3,000\text{ \AA}$ 厚之氧化物層）。接著蝕刻該氧化物層以形成氧化物間隔片 218。蝕刻可包括在晶圓 202 處停止之間隔片回蝕製程。或者，蝕刻可包括在內埋層 204 處停止之間隔片回蝕製程，繼之以蝕刻（諸如， HCl 濕式蝕刻）以移除內埋層 204 之暴露部分並顯露晶圓 202。

如圖 2E 中所展示，（諸如）藉由使用磊晶沈積製程在

晶圓 202 之暴露部分上方在開口 216 中形成磊晶層 220。磊晶層 220 可由分級矽鍺（諸如，具有（100）晶向之 $\text{Si}_{0.85}\text{Ge}_{0.15}$ ）形成。磊晶層 220 可具有約 $3\text{ }\mu\text{m}\pm 0.5\text{ }\mu\text{m}$ 或約 $5\text{ }\mu\text{m}\pm 0.2\text{ }\mu\text{m}$ 之厚度。（諸如）當磊晶層 220 之頂表面在氮化物層 212 之頂表面下方約 2,000 Å 時，可側填滿磊晶層 220。可（諸如）藉由生長具有約 1,000 Å 之厚度的在 $30\text{ }\Omega/\text{cm}$ 下之 P-矽層而在磊晶層 220 之上形成罩蓋 222。

如圖 2F 中所展示，移除氮化物層 212 及氧化物層 208 至 210。此可（例如）藉由剝離氮化物層及氧化物層以暴露基板 206 而發生。

如圖 2G 中所展示，在結構之上形成襯墊氧化物層 223a 至 223b，且在襯墊氧化物層 223a 至 223b 之上形成氮化物堆疊 224a 至 224b。氮化物堆疊 224a 至 224b 可包括氮化物層及氮氧化矽（SiON）層。襯墊氧化物層 223a 至 223b 之形成可包括襯墊氧化預先清潔製程、襯墊氧化製程（諸如，藉由使用在 920°C 下之乾式氧化法歷時約 40 分鐘），及氧化後操作。氮化物堆疊 224a 至 224b 中之氮化物層之形成可包括在 760°C 之溫度下使用 $\text{NH}_3/\text{N}_2/\text{DCS}/\text{HCl}$ 歷時約 160 分鐘的氮化物沈積。氮化物堆疊 224a 至 224b 中之 SiON 層之形成可包括沈積 SiON 以形成抗反射塗層。在特定具體實例中，襯墊氧化物層具有 $110\text{ }\text{\AA}\pm 10\text{ }\text{\AA}$ 之厚度，氮化物層具有 $1625\text{ }\text{\AA}\pm 150\text{ }\text{\AA}$ 之厚度，且 SiON 層具有 $320\text{ }\text{\AA}\pm 32\text{ }\text{\AA}$ 之厚度。

使用任何合適技術在該結構中形成渠溝 226a 至 226c。舉例而言，可在該結構上形成遮罩（諸如，複合遮罩）且

將遮罩圖案化以暴露將形成渠溝 226a 至 226c 之區。可使用顯影檢測關鍵尺寸 (DICD) 程序來檢測遮罩並確保遮罩合適 (諸如, 藉由確保遮罩具有寬度為 $0.25\ \mu\text{m} \pm 0.023\ \mu\text{m}$ 之開口)。可使用蝕刻 (諸如, 複合電漿蝕刻) 來形成渠溝 226a 至 226c (諸如, 具有 $5,600\ \text{\AA} \pm 400\ \text{\AA}$ 之深度之渠溝)。可接著 (諸如) 藉由使用 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 加上 SCl 之溶液歷時 5 分鐘來移除遮罩。可使用最終檢測關鍵尺寸 (FICD) 程序來檢測所得渠溝 226a 至 226c 並確保渠溝合適 (諸如, 藉由確保渠溝具有 $0.22\ \mu\text{m} \pm 0.025\ \mu\text{m}$ 之最小寬度)。

如圖 2H 中所展示, 填充渠溝 226a 至 226c 以形成隔離渠溝。可執行場預先清潔製程, 且可在每一渠溝中形成渠溝襯套。舉例而言, 可使用矽 228 (諸如, $400\ \text{\AA}$ 或 $600\ \text{\AA}$ 矽) 之選擇性沈積形成渠溝襯套, 繼之以形成渠溝襯套氧化物 230。可使用現場蒸氣產生 (ISSG) 以形成具有 $200\ \text{\AA} \pm 20\ \text{\AA}$ 之厚度的熱氧化物層來形成渠溝襯套氧化物 230。在襯套氧化物清潔操作之後, 可能發生或可能不發生渠溝退火。在該結構之上形成氧化物層 232, 該氧化物層 232 填充渠溝 226a 至 226c 之剩餘部分。可 (例如) 使用高密度電漿 (HDP) STI 氧化物沈積製程來形成氧化物層 232。可發生清潔製程及可能的快速熱退火 (RTA)。氧化物層 232 可具有 $5,976\ \text{\AA} \pm 426\ \text{\AA}$ 之厚度。此處的渠溝襯套之使用可幫助減少接面漏電並改善氧化物層 232 之氧化物品質。

如圖 2I 中所展示, 在氧化物層 232 之上形成反遮罩 234, 並將反遮罩 234 圖案化以形成開口 236 至 238。接著

蝕刻在反遮罩 234 之下的氧化物層 232。可（例如）藉由以下操作來形成反遮罩 234：使用反遮罩及反遮罩上覆層，蝕刻反遮罩，且在 250°C 下對反遮罩進行灰化處理歷時 70 秒。在蝕刻之後，可在反遮罩清潔期間移除反遮罩 234，反遮罩清潔可使用 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 加上 SC1 之溶液歷時 10 分鐘。

如圖 2J 中所展示，移除在氮化物堆疊 224a 至 224b 上方剩餘的反遮罩 234 及氧化物層 232 之部分。此操作可涉及使用化學機械拋光（CMP）操作。氧化物層 232 之一部分保留在渠溝 226a 至 226c 中。氧化物層 232 之此部分可具有 $4,000 \text{ Å} \pm 400 \text{ Å}$ 之厚度。

如圖 2K 中所展示，移除氮化物堆疊 224a 至 224b 及襯墊氧化物層 223a 至 223b。此情形可（例如）藉由形成開口遮罩並使開口遮罩固化且接著執行開口遮罩蝕刻而發生。蝕刻可包括歷時 2.5 分鐘之緩衝氧化物蝕刻（BOE）及使用 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 加上 SC1 歷時 10 分鐘之濕式蝕刻以移除 SiON 層。可使用以下濕式蝕刻來移除氮化物層：使用 HF 歷時 1.5 分鐘及 H_3PO_4 加上 SC1 歷時 10 分鐘。可使用襯墊氧化物剝離來移除襯墊氧化物層，襯墊氧化物剝離可能或可能不在該結構上留下極薄氧化物（諸如， $80 \text{ Å} \pm 50 \text{ Å}$ ）。在該結構之上形成閘極氧化物層 240a 至 240b。可（例如）使用 120A 蒸氣製程來形成閘極氧化物層 240a 至 240b。

就此而言，可在圖 2K 中所展示之結構之第一區 242 中形成 PMOS 裝置，且可在圖 2K 中所展示之結構之第二區 244 中形成 NMOS 裝置。第一區 242 包括具有第一晶向（諸

如，(110) 晶向) 之基板材料，該第一晶向可提供改善之電洞遷移率。第二區 244 包括磊晶材料 (諸如，SiGe)，該磊晶材料提供改善之電子遷移率且可能具有第二晶向 (諸如，(100) 晶向)。可使用 (例如) 標準 CMOS 製程來形成 PMOS 裝置及 NMOS 裝置。

注意，絕緣體上半導體結構之使用可引發關於熱耗散之問題。然而，可 (諸如) 藉由使用組件之仔細佈局或藉由使用允許將熱直接耗散至晶圓 202 之傳導條來大大地緩解或避免此情形。

亦注意，可使用基板誘發之應變來變更待形成之 NMOS 裝置之遷移率。可使用磊晶層 220 及罩蓋 222 來產生基板誘發之應變。磊晶層 220 可表示與矽或用於罩蓋 222 中之其他材料相容的應變層。磊晶層 220 因此可增加或減小罩蓋 222 之晶格間距，且罩蓋 222 視用以形成磊晶層 220 之材料而處於擴展或壓縮。NMOS 裝置之源極及汲極可形成於罩蓋 222 中，且罩蓋 222 之擴張或壓縮可影響 NMOS 裝置之操作。

此外，可注意用以形成 PMOS 裝置及 NMOS 裝置之後續 CMOS 處理步驟。應變釋放可隨著熱預算、鍺含量及罩蓋厚度增加而增加。在後續操作期間 (諸如，在氧化物生長或活化退火期間)，可將磊晶層 220 及罩蓋 222 暴露至高溫。在一些具體實例中，可將在形成磊晶層 220 及罩蓋 222 之後的所有熱循環保持在低於 1,000°C 並使所有熱循環儘可能短，且只要可能，便可使用諸如 ISSG 及快速熱處理 (RTP)

之技術。

另外，可在形成實施此做法之特定裝置時考慮以下情形。若在積體電路中除需要形成於圖 2K 中所展示之結構之區 242 至 244 中的 PMOS 裝置及 NMOS 裝置之外亦需要標準 CMOS 電晶體，則可在基板 206 中形成此等電晶體。且，由於與 PMOS 裝置及 NMOS 裝置之操作相關聯的高電流及高密度，可在設計電路時考慮電遷移問題，並可選擇適當材料（諸如，銅）以用於形成局部互連線。另外，若共同閘極氧化物無法用於 PMOS 裝置與 NMOS 裝置兩者中，則可使用雙多晶-雙閘極氧化物（DP-DGO）做法來形成 PMOS 裝置及 NMOS 裝置。

雖然圖 2A 至圖 2K 說明使用結合選擇性的磊晶與 HOT 用於形成積體電路裝置之技術的一個實施例，但可對圖 2A 至圖 2K 作出各種改變。舉例而言，雖然此等圖說明處於不同製造階段之實例結構，但可使用各種技術來形成積體電路裝置。因此，可省略、修改或重新排列一或多個步驟且可添加額外步驟。且，可對圖 2A 至圖 2K 中所展示之結構作出各種修改。另外，雖然在上文將某些組件描述為由特定材料形成，但每一組件可由任何合適材料及以任何合適方式形成。作為特定實施例，雖然將矽鍺描述為用於磊晶層 220 中，但可使用其他材料（諸如，GaN、GaAs、SiC、AlN，或鑽石）。另外，組件之相對大小及形狀僅用於說明。

圖 3A 至圖 3G 說明關於根據本發明之積體電路裝置中之疵點的實例細節。圖 3A 至圖 3G 中所展示之細節僅用於

說明。在不偏離本發明之範疇的情況下，其他積體電路可具有不同的疵點特性。

圖 3A 說明實施於積體電路裝置中（諸如，圖 2K 中所展示之結構之區 244 中）的 NMOS 裝置之橫截面圖。圖 3B 說明同一 NMOS 裝置之長度視圖。如此處所展示，NMOS 裝置係使用在無應力 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 磊晶層之上之 70 nm 應變矽罩蓋來實施。錯配錯位為電晶體裝置中可發生之共同疵點。如圖 3A 中所展示，錯配錯位可形成於 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 磊晶層中。如圖 3B 中所展示，一系列錯配錯位可沿著 NMOS 裝置之長度形成。

圖 3C 說明標準 NMOS 裝置中之錯配錯位 302 之效應。此處，錯配錯位 302 允許材料較大地擴散至周圍基板中，此情形造成水平峰 304 至 306 形成於電晶體之源極區域及汲極區域中。此等峰 304 至 306 導致電晶體中之較高接面漏電。與此對比，圖 3D 說明形成於在無應力 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 磊晶層上方之 70 nm 應變矽罩蓋中的 NMOS 裝置中之錯配錯位 352 的效應。如圖 3D 中所展示，水平峰 354 至 356 仍可形成於電晶體之源極區域及汲極區域中。然而，與圖 3C 中之峰相比較，峰 354 至 356 較小且隔開較遠。因此，圖 3D 中所展示之電晶體遭受較少接面漏電。

如圖 3E 中所展示，可將磊晶層中之錯配錯位濃度與矽罩蓋厚度之間的關係映射至與不同接面漏電相關聯之不同區域。圖 3E 中之開圓表示較少漏電流，而圖 3E 中之實心圓表示過量漏電流。如此處所展示，有可能針對特定 NMOS 設計

選擇矽罩蓋厚度及磊晶層鍍濃度以達成所要漏電流位準或範圍。注意，可針對在罩蓋中使用不同材料或在磊晶層中使用不同材料之裝置建構相同類型之圖表。

返回參看圖 3B，鄰近錯配錯位之間的距離可表示為 γ 。距離 γ 對各種因素敏感，諸如鍍濃度、矽罩蓋厚度及熱預算。在圖 3F 中展示一種用以使針對給定鍍濃度、給定矽罩蓋厚度及給定熱預算之距離 γ 特性化的可能方式。此處，可在晶圓上形成多個島狀物 350（各自表示一被一矽罩蓋覆蓋之 SiGe 磊晶層）。島狀物 350 跨越晶圓具有恆定寬度及可變間距，且島狀物 350 在晶圓下具有可變寬度及恆定間距。在製造之後，可（諸如）採用光學方法使用暗視場照明法檢查島狀物 350，以識別使錯配錯位之數目最小化的特定大小/空間組合。以此方式，可識別針對給定鍍濃度/矽罩蓋厚度/熱預算組合之最佳大小/空間組合。可針對不同鍍濃度/矽罩蓋厚度/熱預算組合重複此操作。

一旦判定了針對給定實施方案之距離 γ ，就可如圖 3G 中所展示來佈置電路，其中使用藉由局部互連線 384 而連接之多個島狀物 382 來形成多個電晶體 380 中之每一者。島狀物 382 中之每一者可具有等於所識別之距離 γ 的長度及寬度尺寸。理想地，此情形可幫助使電晶體 380 中之錯配錯位最小化或消除電晶體 380 中之錯配錯位。

雖然圖 3A 至圖 3G 說明關於積體電路裝置中之疵點的實例細節，但可對圖 3A 至圖 3G 作出各種改變。舉例而言，可使用其他技術來識別可接受之距離 γ 。且，可以任何其他

合適方式來形成電晶體 380。

圖 4 說明根據本發明之具有使用結合選擇性的磊晶與 HOT 而形成的電晶體裝置之實例電路 400。圖 4 中所展示的電路 400 之具體實例僅用於說明。

在此特定實施例中，電路 400 表示具有脈寬調變(PWM)控制器 402、驅動器 404 及兩個電晶體 406 至 408 的降壓式調節器。PWM 控制器 402 大體上操作以輸出具有可調整之脈寬的信號。該輸出信號造成驅動器 404 將控制信號輸出至電晶體 406 至 408 之閘極，該等控制信號重複地接通及切斷電晶體 406 至 408。提供至電晶體 406 之控制信號中的脈衝可滯後於提供至電晶體 408 之控制信號中的脈衝之後。當接通時，電晶體 406 將電感器 410 耦接至輸入電壓 V_{IN} ，且電晶體 408 將電感器 410 耦接至地。電感器 410 耦接至電容器 412，且電路 400 產生用於負載之輸出電壓 V_{OUT} 。負載電阻 414 表示為 R_L 。電晶體 406 至 408 中之每一者接通及切斷的時間量及因此的輸出電壓 V_{OUT} 之位準係由 PWM 控制器 402 所輸出之信號的脈寬來控制。

PWM 控制器 402 包括用於控制信號之脈寬之任何合適結構，諸如同步整流 PWM 控制器。驅動器 404 包括用於驅動電晶體之任何合適結構。電晶體 406 至 408 可分別表示 $5V+$ PMOS 及 NMOS 電晶體。電晶體 406 至 408 可如圖 1 中所展示來實施。電感器 410、電容器 412 及負載電路 414 可具有任何合適值。

在特定具體實例中，電路 400 接收 5 V 輸入電壓 V_{IN} ，

在 5 V 下驅動電晶體 406 至 408 之閘極，且產生 2.45 輸出電壓 V_{OUT} 。電路 400 可具有 2 ns 之停滯時間、0.5 A 之輸出電流、50% 之作用時間循環，及 1 μ F 之電容器 412。電路 400 可具有 50 mm 之總閘極寬度及 1 至 20 MHz 之頻率範圍，或 10 至 200 mm 之寬度範圍及 6 MHz 之頻率。

雖然圖 4 說明具有使用結合選擇性的磊晶與 HOT 而形成之電晶體裝置之電路 400 的一個實施例，但可對圖 4 作出各種改變。舉例而言，使用結合選擇性的磊晶與 HOT 而形成的電晶體裝置可用於任何其他合適電路中。

圖 5 說明根據本發明之使用結合選擇性的磊晶與 HOT 用於形成積體電路裝置的實例方法 500。圖 5 中所展示的方法 500 之具體實例僅用於說明。可在不偏離本發明之範疇的情況下使用方法 500 之其他具體實例。

如圖 5 中所展示，在步驟 502 處，製造或以其他方式獲得絕緣體上半導體 (SOI) 結構。SOI 結構可包括第一基板材料 (諸如，p 型晶圓)、第二基板材料 (諸如，n 型材料)，及將第一基板材料與第二基板材料分開之內埋層。第一基板材料與第二基板材料可具有不同結晶晶向，諸如，第一基板材料具有 (100) 晶向且第二基板材料具有 (110) 晶向。

在步驟 504 處，自 SOI 結構移除第二基板材料之一部分。此舉可包括 (例如) 遮罩 SOI 結構且移除 n 型基板之一部分以暴露底下之 p 型晶圓。在步驟 506 處，在已移除第二基板材料之區中沈積磊晶層。此舉可包括 (例如) 在 p

型晶圓之暴露部分之上形成分級矽鍺磊晶層。在步驟 508 處，在磊晶層之上形成罩蓋。此舉可包括（例如）在矽鍺磊晶層之上形成矽罩蓋。

就此而言，該結構包括兩個不同區域。一個區域具有原始的第二基板材料，且另一區域具有磊晶層及罩蓋。在步驟 510 中，將該結構之不同區域隔離。此舉可包括（例如）在不同區域周圍及不同區域之間形成渠溝。在步驟 512 處，在隔離之區域中形成 PMOS 裝置及 NMOS 裝置。舉例而言，可在具有原始的第二基板材料之區域中形成 PMOS 裝置，且可在具有磊晶層及罩蓋之區域中形成 NMOS 裝置。

雖然圖 5 說明使用結合選擇性的磊晶與 HOT 用於形成積體電路裝置之方法 500 的一個實施例，但可對圖 5 作出各種改變。舉例而言，雖然展示為一系列步驟，但圖 5 中之各種步驟可重疊，可並列地發生或以不同次序發生。

闡述在本專利文獻內所使用之某些詞語及片語的定義可為有利的。在參考諸圖式中之結構使用時，諸如「在.....之上」、「在.....之下」之術語僅表示在特定方向上檢視時之結構之態樣。術語「耦接」及其衍生詞表示兩個或兩個以上組件之間的任何直接或間接通信，而不管此等組件是否彼此實體接觸。術語「包括」及「包含」以及其衍生詞意謂不具有限制之包括。術語「或」為包括性的，其意謂及/或。片語「與...相關聯」及「與其相關聯」以及其衍生詞可意謂包括、包括於...內、與...互連、含有...、含於...內、連接至...或與...連接、耦接至...或與...耦接、可與...連通、與...

協作、交錯、相鄰、接近、繫結至...或與...繫結、具有、具有...之性質、具有至...之關係或與...之關係，或其類似者。

雖然本發明已描述某些具體實例及大體上相關聯之方法，但熟習此項技術者將顯而易見此等具體實例及方法之變更及排列。因此，實例具體實例之上述描述並不界定或約束本發明。在不偏離如藉由以下申請專利範圍定義的本發明之精神及範疇的情況下，其他改變、取代及變更亦係可能的。

【圖式簡單說明】

圖 1 說明根據本發明之使用結合選擇性的磊晶與混合晶向技術（HOT）的實例積體電路裝置；

圖 2A 至圖 2K 說明根據本發明的使用結合選擇性的磊晶與 HOT 用於形成積體電路裝置的實例技術；

圖 3A 至圖 3G 說明關於根據本發明之積體電路裝置中之疵點的實例細節；

圖 4 說明根據本發明之具有使用結合選擇性的磊晶與 HOT 而形成的電晶體裝置之實例電路；及

圖 5 說明根據本發明之使用結合選擇性的磊晶與 HOT 用於形成積體電路裝置的實例方法。

【主要元件符號說明】

100：積體電路裝置

102：晶圓

104：內埋層

106：基板

- 108：磊晶層
- 110：罩蓋
- 112a 至 112c：渠溝
- 114：間隔片
- 116：p 通道金氧半導體（PMOS）裝置
- 118：源極
- 120：汲極
- 122：偏移
- 124：閘極
- 126：閘極氧化物
- 128：n 通道金氧半導體（NMOS）裝置
- 130：源極
- 132：汲極
- 134：偏移
- 136：閘極
- 138：閘極氧化物
- 140：氧化物層
- 202：晶圓
- 204：內埋層
- 206：基板
- 208：遮蔽氧化物層
- 210：襯墊氧化物層
- 212：氮化物層
- 214：光阻遮罩

- 216：開口
- 218：氧化物間隔片
- 220：磊晶層
- 222：罩蓋
- 223a 至 223b：襯墊氧化物層
- 224a 至 224b：氮化物堆疊
- 226a 至 226c：渠溝
- 228：矽
- 230：渠溝襯套氧化物
- 232：氧化物層
- 234：反遮罩
- 236 至 238：開口
- 240a 至 240b：閘極氧化物層
- 242：第一區
- 244：第二區
- 302：錯配錯位
- 304 至 306：水平峰
- 350：多個島狀物
- 352：錯配錯位
- 354 至 356：水平峰
- 380：多個電晶體
- 382：多個島狀物
- 384：局部互連線
- 400：實例電路

402：脈寬調變（PWM）控制器

404：驅動器

406 至 408：電晶體

410：電感器

412：電容器

414：負載電阻

500：實例方法

502 至 512：實例方法之步驟

R_L ：負載電阻

V_{IN} ：輸入電壓

V_{OUT} ：輸出電壓

七、申請專利範圍：

1.一種半導體設備，其包含：

一第一基板；

一第二基板，其位於該第一基板之一第一部分之上且與該第一基板藉由一內埋層而分開；

一第一電晶體，其至少部分地形成於該第二基板中；

一磊晶層，其位於該第一基板之一第二部分之上且與該第二基板隔離；

一罩蓋，其位於該磊晶層之上且接觸該磊晶層；及

一第二電晶體，該第二電晶體是至少部分地在該罩蓋中且在該磊晶層之上；

其中該第二基板及該磊晶層具有包括不同電子遷移率及電洞遷移率之塊材性質；且

其中該等電晶體中之至少一者經建構以接收至少約 5 V 之一或多個信號。

2.如申請專利範圍第 1 項之半導體設備，其中：

該第一電晶體包含一 p 通道金氧半導體 (PMOS) 電晶體；

該第二電晶體包含一 n 通道金氧半導體 (NMOS) 電晶體。

3.如申請專利範圍第 1 項之半導體設備，其中：

該第一基板具有一第一結晶晶向；且

該第二基板具有一第二結晶晶向。

4.如申請專利範圍第 3 項之半導體設備，其中該磊晶層

具有該第一結晶晶向。

5.如申請專利範圍第 1 項之半導體設備，其中：

該第一基板包含具有一 (100) 結晶晶向之 p 型矽；

該第二基板包含具有一 (110) 結晶晶向之 n 型矽；且

該罩蓋包含 p 型矽。

6.如申請專利範圍第 1 項之半導體設備，其中該磊晶層包含矽鍺。

7.如申請專利範圍第 6 項之半導體設備，其中該矽鍺具有一約 15%之鍺濃度。

8.一種半導體設備，其包含：

一基板結構，其包含：

一第一基板；

一第二基板，其位於該第一基板之一第一部分之上且與該第一基板藉由一內埋層而分開；及

一磊晶層，其位於該第一基板之一第二部分之上且與該第二基板隔離，其中該第二基板具有一較該磊晶層之電洞遷移率高的電洞遷移率，其中該磊晶層具有一較該第二基板之電子遷移率高的電子遷移率，且其中該電洞遷移率及該電子遷移率為塊材性質；

一罩蓋，其位於該磊晶層之上且接觸該磊晶層；及

第一電晶體及第二電晶體，該第一電晶體至少部分地形成於該第二基板中，該第二電晶體是至少部分地在該罩蓋中且在該磊晶層之上，該等電晶體中之至少一者經建構以接收至少約 5 V 之一或多個信號。

9.如申請專利範圍第 8 項之半導體設備，其中：

該第一電晶體包含一 p 通道金氧半導體（PMOS）電晶體；且

該第二電晶體包含一 n 通道金氧半導體（NMOS）電晶體。

10.如申請專利範圍第 8 項之半導體設備，其中：

該第一基板具有一第一結晶晶向；且

該第二基板具有一第二結晶晶向。

11.如申請專利範圍第 10 項之半導體設備，其中該磊晶層具有該第一結晶晶向。

12.如申請專利範圍第 10 項之半導體設備，其中：

該第一基板包含具有一（100）結晶晶向之 p 型矽；

該第二基板包含具有一（110）結晶晶向之 n 型矽；且

該罩蓋包含 p 型矽。

13.如申請專利範圍第 8 項之半導體設備，其中該磊晶層包含矽鍺。

14.一種製造半導體設備之方法，其包含：

獲得一基板結構，該基板結構包含：

一第一基板；

一第二基板，其位於該第一基板之一第一部分之上且與該第一基板藉由一內埋層而分開；及

一磊晶層，其位於該第一基板之一第二部分之上且與該第二基板隔離，其中該第二基板具有一較該磊晶層之電洞遷移率高的電洞遷移率，其中該磊晶層具有一較該第二

基板之電子遷移率高的電子遷移率，且其中該電洞遷移率及該電子遷移率為塊材性質；及

形成第一電晶體及第二電晶體，該第一電晶體至少部分地形成於該第二基板中，該第二電晶體至少部分地形成於該磊晶層中或該磊晶層之上，該等電晶體中之至少一者經建構以接收至少約 5 V 之一或多個信號；其中：

該第一基板具有一第一結晶晶向；

該第二基板具有一第二結晶晶向；

該第一基板包含具有(100)結晶晶向的 p 型矽；

該第二基板包含具有(110)結晶晶向的 n 型矽；

該磊晶層包含矽鍺；及

一位於該磊晶層之上且接觸該磊晶層之罩蓋包含 p 型矽，該第二電晶體至少部分地形成於該罩蓋中。

15.如申請專利範圍第 14 項之製造半導體設備之方法，其中獲得該基板結構包含：

移除第二基板材料之一部分；

在該第二基板之一側上形成一間隔；及

在已移除該第二基板材料之一區中形成該磊晶層。

16.如申請專利範圍第 15 項之製造半導體設備之方法，其中獲得該基板結構進一步包含：

形成渠溝以將該第二基板與該磊晶層隔離。

17.如申請專利範圍第 14 項之製造半導體設備之方法，其中該磊晶層具有該第一結晶晶向。

八、圖式：

(如次頁)

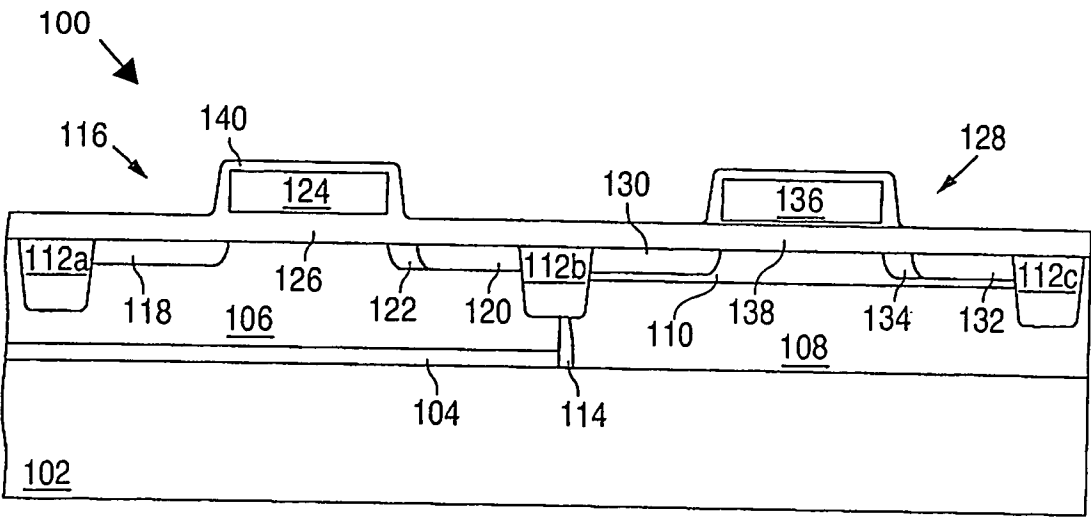


圖 1

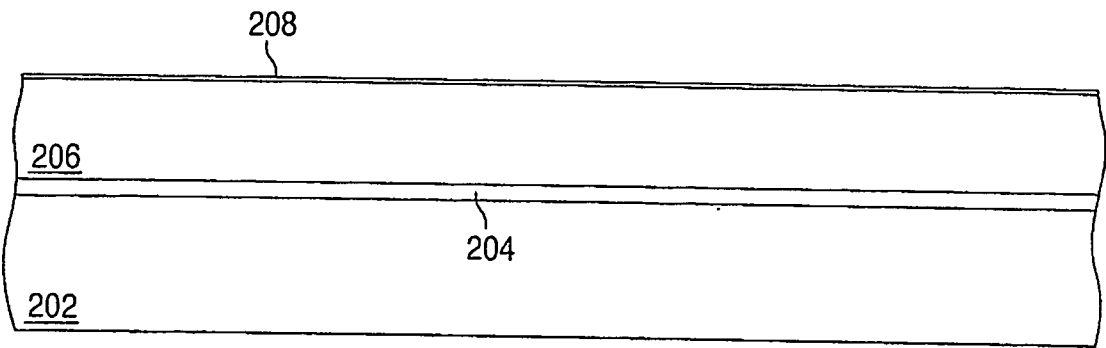


圖 2A

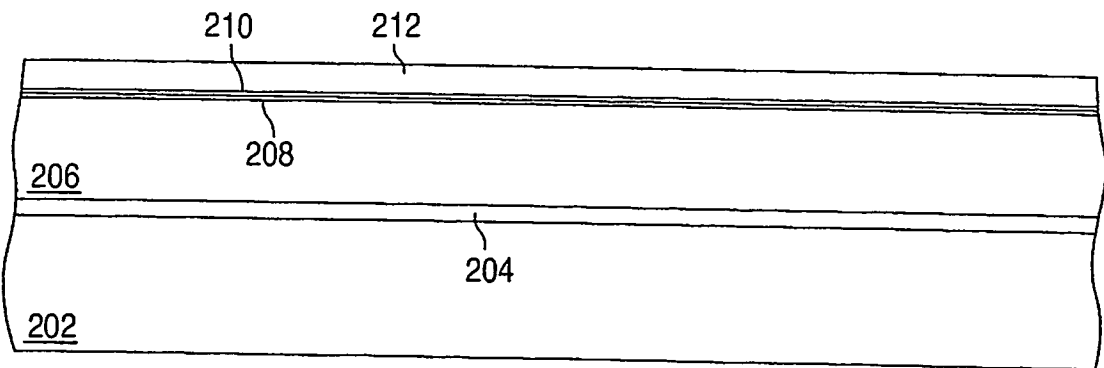


圖 2B

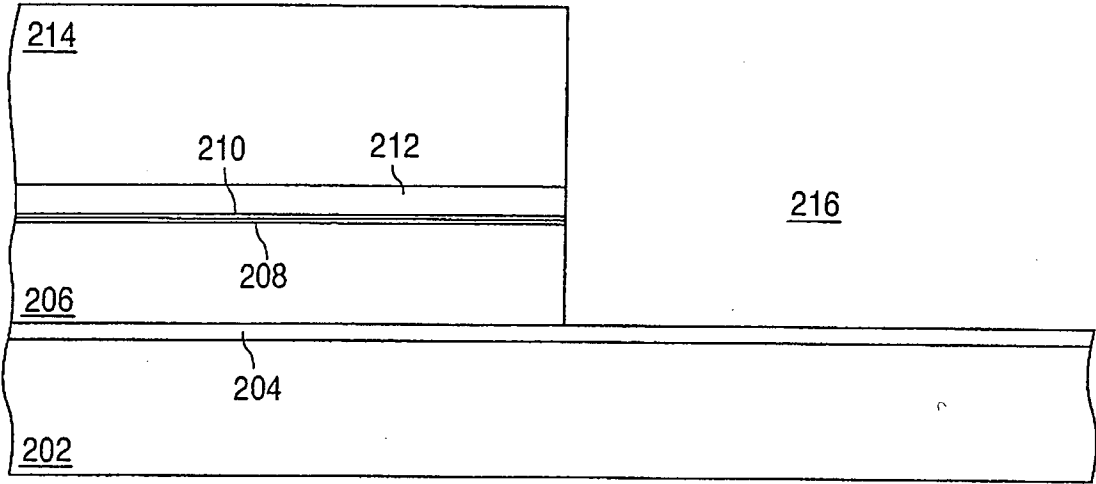


圖 2C

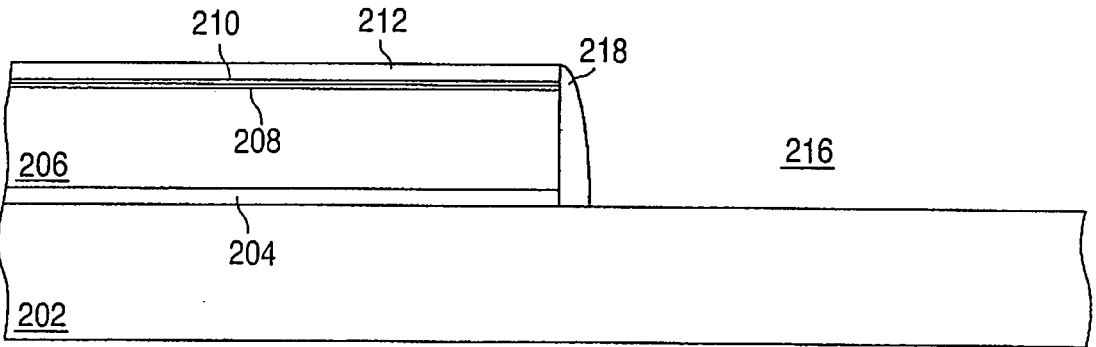


圖 2D

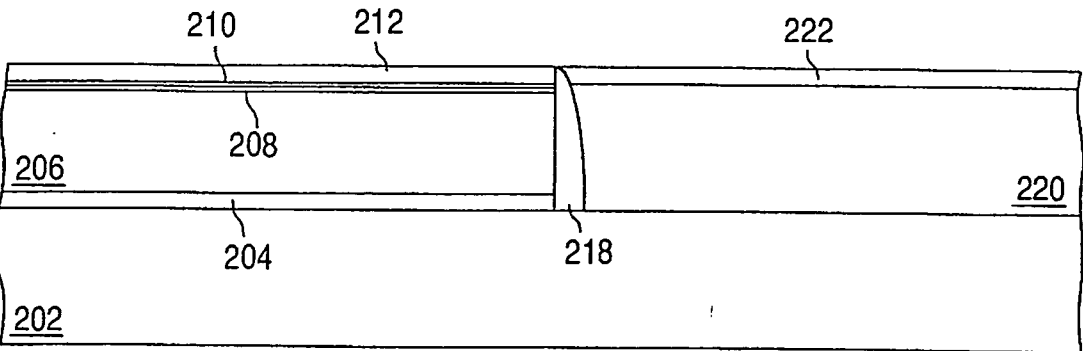


圖 2E

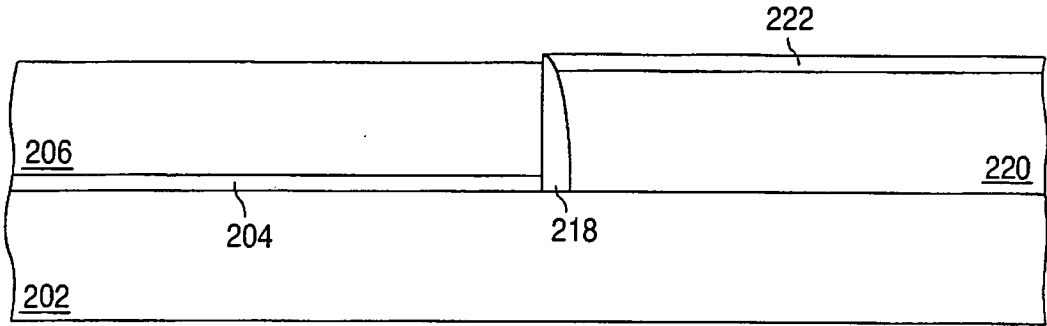


圖 2F

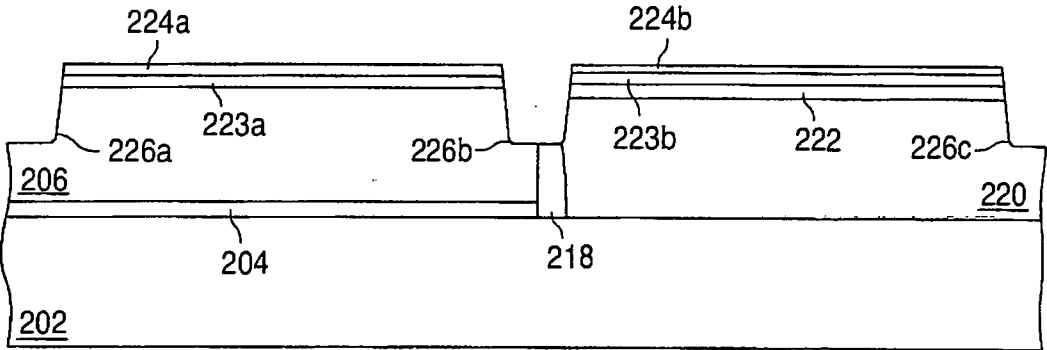


圖 2G

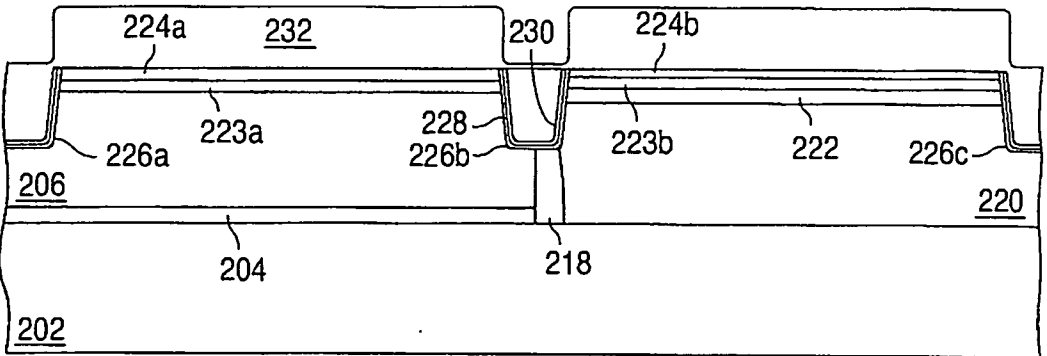


圖 2H

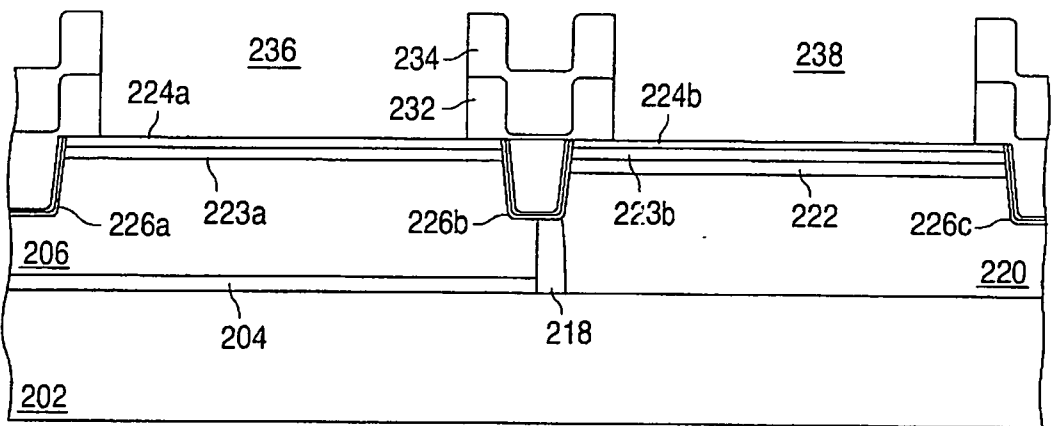


圖2I

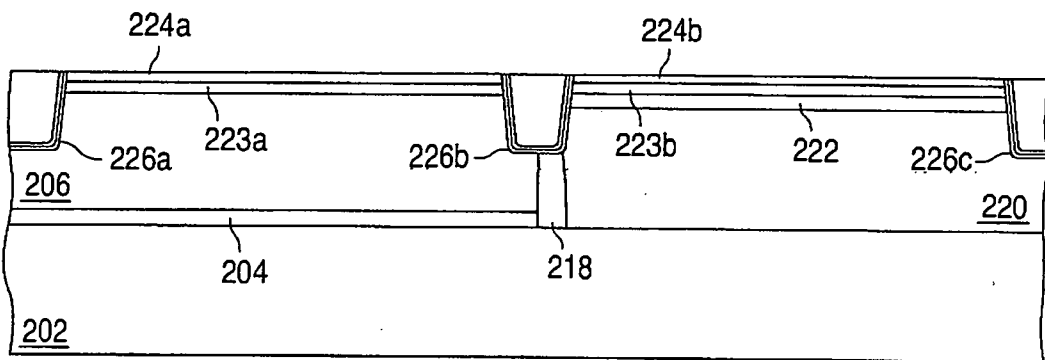


圖2J

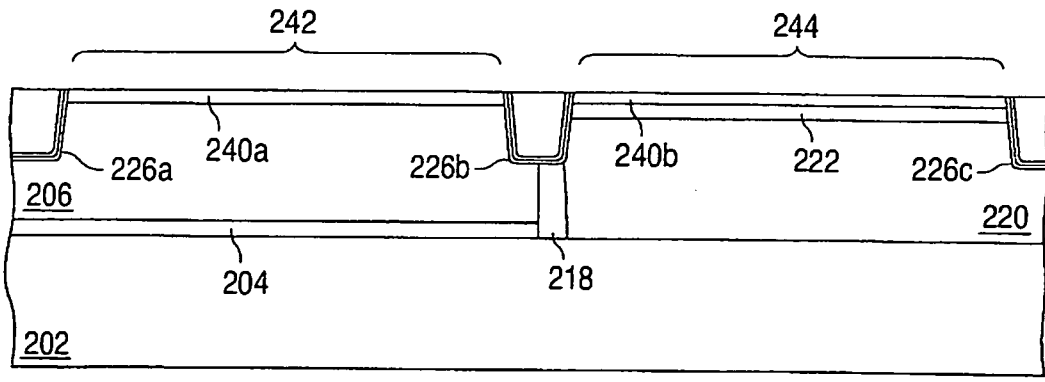


圖2K

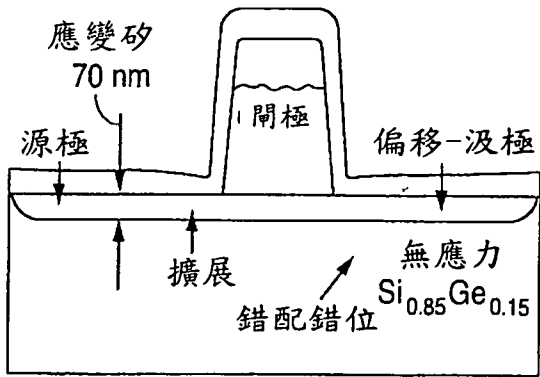


圖3A

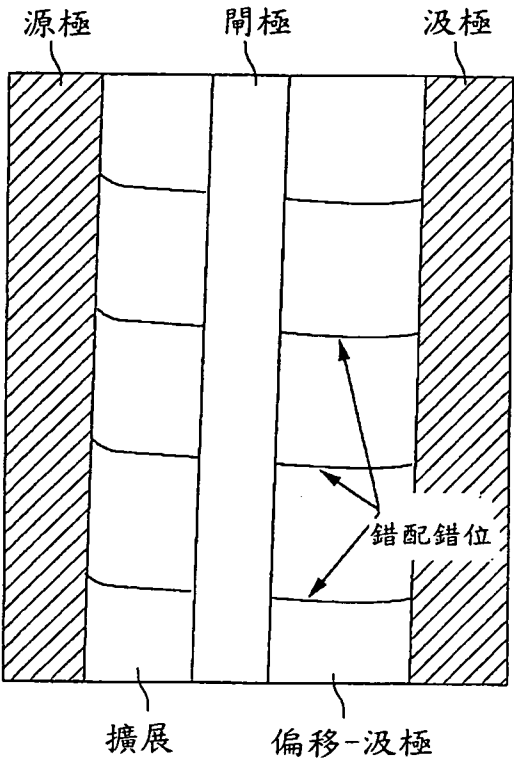


圖3B

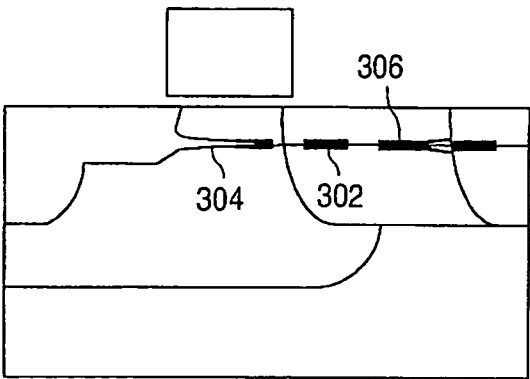


圖3C

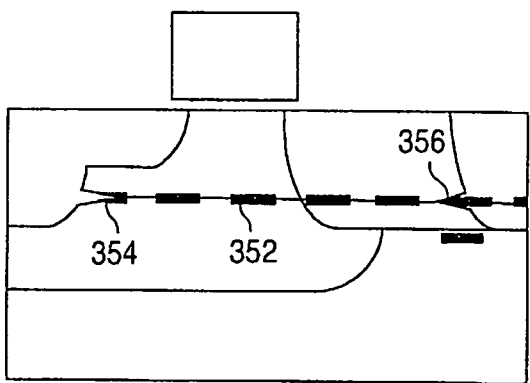


圖3D

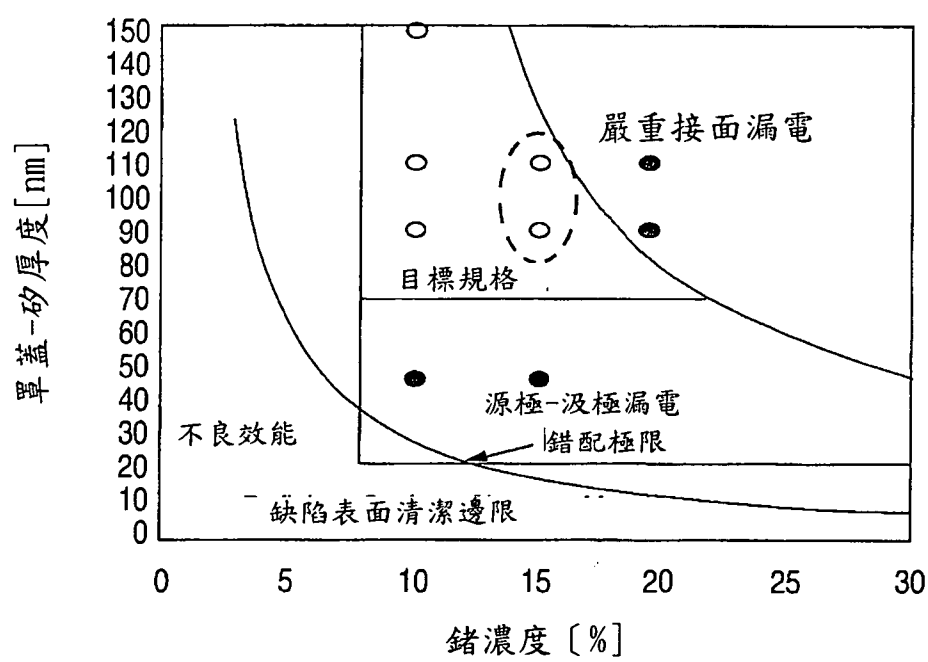


圖 3E

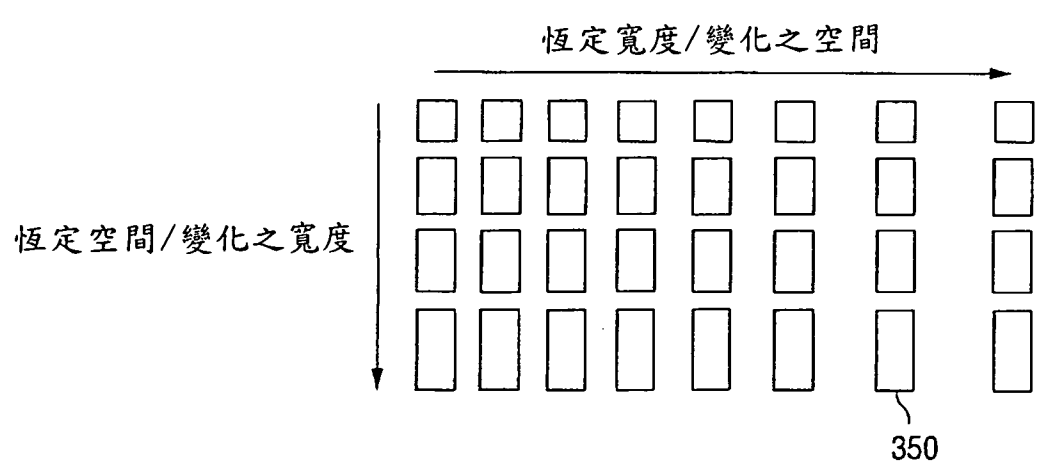


圖 3F

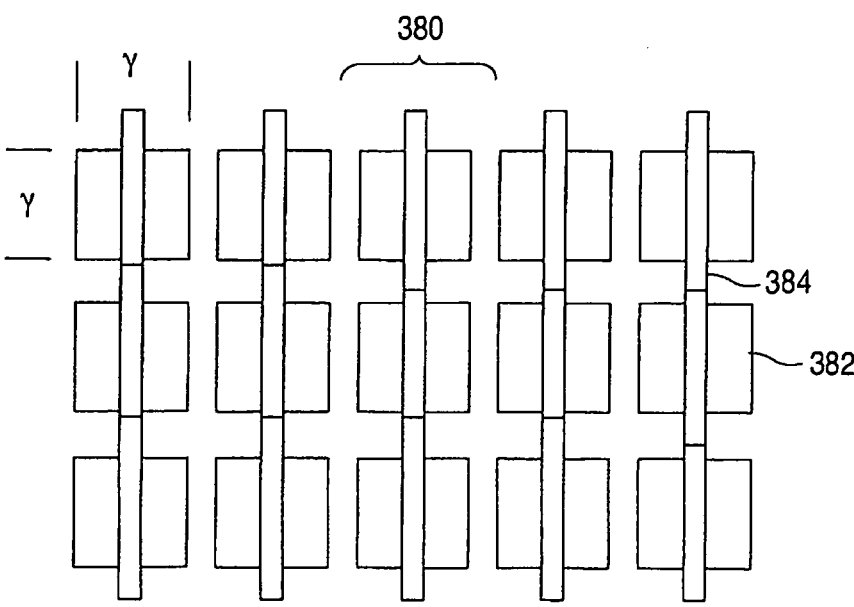


圖 3G

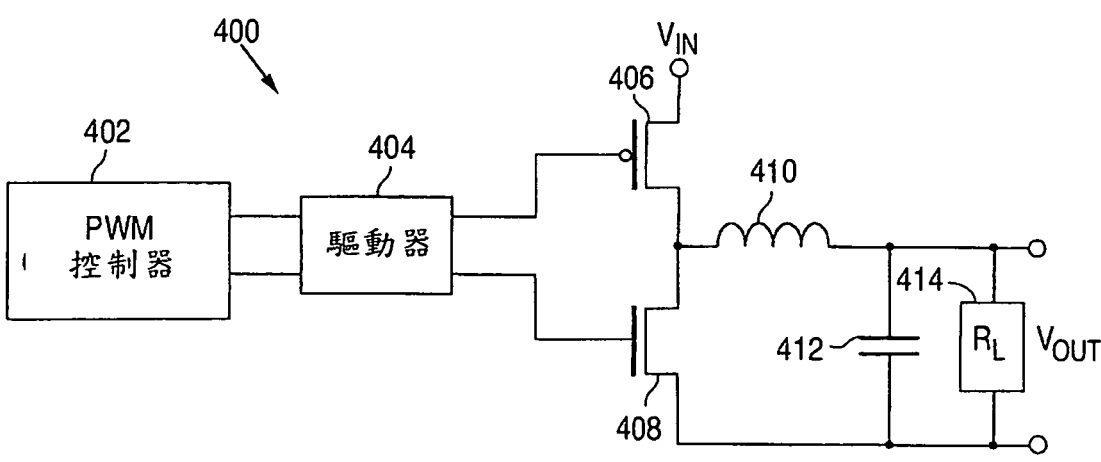


圖 4

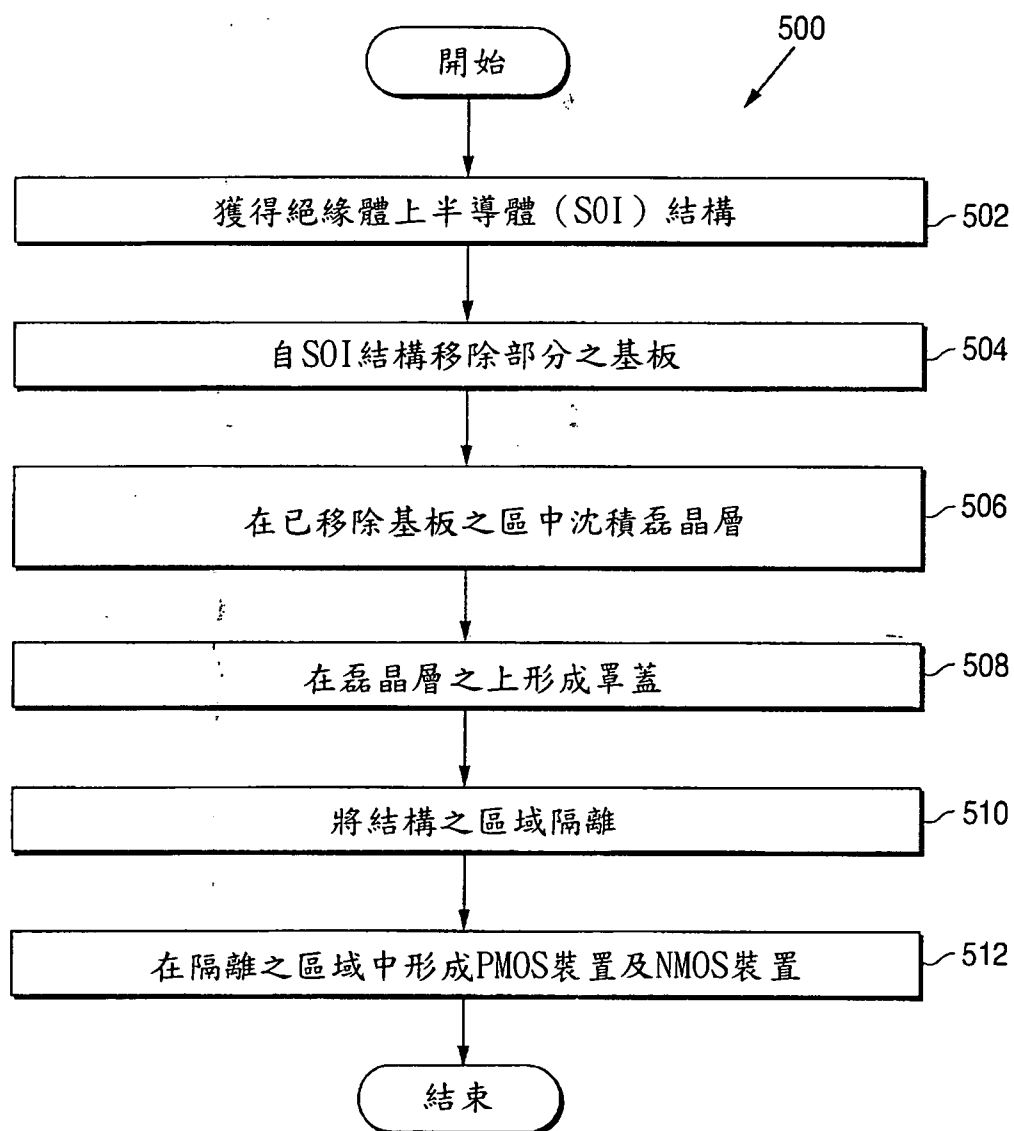


圖 5