

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2012-504842

(P2012-504842A)

(43) 公表日 平成24年2月23日 (2012. 2. 23)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 29/42 (2006. 01)	G 1 1 C 29/00 6 3 1 Z	5 B 0 1 8
G 0 6 F 12/16 (2006. 01)	G 0 6 F 12/16 3 1 0 H	5 B 1 2 5
G 1 1 C 16/06 (2006. 01)	G 1 1 C 17/00 6 3 9 C	5 L 1 0 6
G 1 1 C 16/04 (2006. 01)	G 1 1 C 17/00 6 2 4	
G 1 1 C 16/02 (2006. 01)	G 1 1 C 17/00 6 4 1	
審査請求 未請求 予備審査請求 未請求 (全 59 頁) 最終頁に続く		

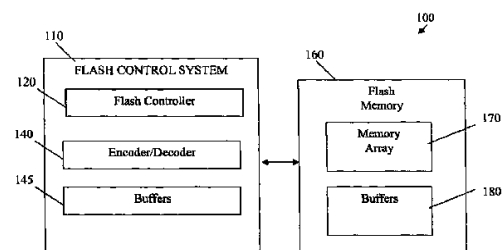
(21) 出願番号	特願2011-530195 (P2011-530195)	(71) 出願人	508243639 エルエスアイ コーポレーション アメリカ合衆国 95035 カリフォル ニア, ミルピタス, バーバー レーン 1 621
(86) (22) 出願日	平成21年9月30日 (2009. 9. 30)	(74) 代理人	100094112 弁理士 岡部 譲
(85) 翻訳文提出日	平成23年5月24日 (2011. 5. 24)	(74) 代理人	100064447 弁理士 岡部 正夫
(86) 国際出願番号	PCT/US2009/059081	(74) 代理人	100104352 弁理士 朝日 伸光
(87) 国際公開番号	W02010/039869	(74) 代理人	100128657 弁理士 三山 勝巳
(87) 国際公開日	平成22年4月8日 (2010. 4. 8)	(74) 代理人	100160967 弁理士 ▲濱▼口 岳久
(31) 優先権主張番号	61/194, 751		
(32) 優先日	平成20年9月30日 (2008. 9. 30)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	PCT/US2009/049333		
(32) 優先日	平成21年6月30日 (2009. 6. 30)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 基準セルを使用する、メモリ・デバイスの軟データ生成の方法および装置

(57) 【要約】

基準セルを使用する、メモリ・デバイスの軟データ生成の方法および装置を提供する。少なくとも1つの軟データ値が、1つまたは複数の基準セルに既知のデータを書き込むことと、基準セルのうちの1つまたは複数を読み取ることと、読み取られた1つまたは複数の基準セルに基づいて読取統計を入手することと、入手された読取統計に基づいて少なくとも1つの軟データ値を入手することによって、メモリ・デバイス内で生成される。読取統計を、オプションで、メモリ・アレイの1つまたは複数の所望の位置について、あるいは1つまたは複数のアドレス・セル内の所与のパターン P A T T について、入手することができる。読取統計は、オプションで、複数の可能な値について入手された非対称統計を含むことができる。

FIG. 1
Prior Art

【特許請求の範囲】

【請求項 1】

メモリ・デバイス内で少なくとも 1 つの軟データ値を生成する方法であって、
 1 つまたは複数の基準セルに既知のデータを書き込むことと、
 前記基準セルのうちの 1 つまたは複数を読み取ることと、
 前記読み取られた 1 つまたは複数の基準セルに基づいて読取統計を入手することと、
 前記入手された読取統計に基づいて前記少なくとも 1 つの軟データ値を入手することと
 を含む方法。

【請求項 2】

前記読み取るステップは、データ・ビット、電圧レベル、電流レベル、および抵抗レベルのうちの 1 つまたは複数を読み取る、請求項 1 に記載の方法。 10

【請求項 3】

前記読み取るステップは、軟データおよび硬データのうちの 1 つまたは複数を読み取る、請求項 1 に記載の方法。

【請求項 4】

前記軟データ値は、1 つまたは複数の対数尤度比を生成するのに使用される軟読取値を含む、請求項 1 に記載の方法。

【請求項 5】

前記軟データ値は、1 つまたは複数の対数尤度比を含む、請求項 1 に記載の方法。

【請求項 6】

前記ステップのうちの 1 つまたは複数は、コントローラ、読取チャネル、信号処理ユニット、およびデコーダのうちの 1 つまたは複数によって実施される、請求項 1 に記載の方法。 20

【請求項 7】

前記読取統計は、前記 1 つまたは複数の基準セルから読み取られた 1 つまたは複数のビットを前記既知のデータ内の 1 つまたは複数のビットと比較することによって判定される、請求項 1 に記載の方法。

【請求項 8】

前記既知のデータは、ビット・パターンおよび記号パターンのうちの 1 つまたは複数を含む、請求項 1 に記載の方法。 30

【請求項 9】

前記既知のデータは、電圧、電流、および抵抗のうちの 1 つまたは複数を使用して前記基準セルに書き込まれる、請求項 1 に記載の方法。

【請求項 10】

前記読取統計は、前記既知のデータ内の基準ビットの総数に対する相対的な誤りのあるビットの個数に基づく、請求項 1 に記載の方法。

【請求項 11】

前記軟データ値 L_e は、

【数 1】

$$\hat{c}=1 \text{ の場合には } L_e(c) = \log \frac{1-p_0}{p_0}$$

$$\hat{c}=0 \text{ の場合には } L_e(c) = \log \frac{p_0}{1-p_0}$$

として入手され、 p_0 は、前記読取統計であり、 c は、メモリ・デバイスから受け取られ 50

た硬ビットである、請求項 1 に記載の方法。

【請求項 1 2】

前記読取統計および前記軟データ値のうちの 1 つまたは複数は、テーブルから入手される、請求項 1 に記載の方法。

【請求項 1 3】

前記読取統計および前記軟データ値のうちの 1 つまたは複数は、耐久性、プログラム／消去サイクルの個数、読取サイクルの個数、保持時間、温度、温度変化、プロセス・コーナー、セル間干渉影響、前記メモリ・デバイス内の位置、ワード線内の位置、メモリ・アレイ内の位置、およびアグレッサ・セル内のパターンのうちの 1 つまたは複数の関数として計算される、請求項 1 に記載の方法。

10

【請求項 1 4】

前記読取統計は、メモリ・アレイの 1 つまたは複数の所望の位置について入手され、前記書き込むステップは、前記既知のデータを前記 1 つまたは複数の所望の位置に書き込むことを含む、請求項 1 に記載の方法。

【請求項 1 5】

前記所望の位置は、ページ位置、ワード線位置、ビット線位置、およびマルチレベル・セル内の所与のビットのうちの 1 つまたは複数を含む、請求項 1 4 に記載の方法。

【請求項 1 6】

前記ビット線位置は、偶数ビット線または奇数ビット線を含む、請求項 1 5 に記載の方法。

20

【請求項 1 7】

マルチレベル・セル内の前記所与のビットは、最上位ビット (MSB) および最下位ビット (LSB) のうちの 1 つまたは複数を含む、請求項 1 5 に記載の方法。

【請求項 1 8】

前記既知のデータは、マルチレベル・セル内の前記ビットのうちの 1 つまたは複数に対応する所望の位置に書き込まれる、請求項 1 5 に記載の方法。

【請求項 1 9】

前記読取統計は、検討されるビットの総数に対する相対的な前記 1 つまたは複数の所望の位置内の誤りのあるビットの個数に基づく、請求項 1 4 に記載の方法。

【請求項 2 0】

1 つまたは複数の所望の位置に関する前記読取統計は、前記 1 つまたは複数の所望の位置に関連するデータを復号するのに使用される、請求項 1 4 に記載の方法。

30

【請求項 2 1】

前記読取統計は、少なくとも 1 つのターゲット・セルに関連する 1 つまたは複数のアグレッサ・セル内の所与のパターン P A T T について入手され、前記書き込むステップは、前記既知のデータを前記少なくとも 1 つのターゲット・セルに書き込むことを含む、前記方法は、前記 1 つまたは複数のアグレッサ・セル内の前記所与のパターン P A T T を有する誤りのあるターゲット・ビットの個数を判定するステップと、誤りのあるターゲット・ビットの前記個数に基づいて前記所与のパターンに関する前記読取統計を入手するステップとをさらに含む、請求項 1 に記載の方法。

40

【請求項 2 2】

前記パターン P A T T を判定するために前記 1 つまたは複数のアグレッサ・セルを読み取るステップをさらに含む、請求項 2 1 に記載の方法。

【請求項 2 3】

既知のパターンを前記 1 つまたは複数のアグレッサ・セルに書き込むステップをさらに含む、請求項 2 1 に記載の方法。

【請求項 2 4】

前記読取統計は、ターゲット・ビットの総数に対する相対的な誤りのあるターゲット・ビットの個数に基づく、請求項 2 1 に記載の方法。

【請求項 2 5】

50

前記所与のパターン P A T T に関する前記読取統計は、前記 1 つまたは複数の関連するアグレッサ・セルが前記パターン P A T T を含むときにデータを復号するのに使用される、請求項 2 1 に記載の方法。

【請求項 2 6】

前記読取統計は、複数の可能な値について入手された非対称読取統計を含み、前記方法は、前記既知のデータ内の第 1 の値を有する誤りのあるビットの個数を判定するステップと、前記既知のデータ内の第 2 の値を有する誤りのあるビットの前記個数を判定するステップと、前記第 1 の値を有する誤りのあるビットの前記個数に基づいて前記第 1 の値に関する読取統計を入手するステップと、前記第 2 の値を有する誤りのあるビットの前記個数に基づいて前記第 2 の値に関する読取統計を入手するステップとをさらに含む、請求項 1 に記載の方法。

10

【請求項 2 7】

前記読取統計は、前記それぞれの値を有する基準ビットの総数に対する相対的な前記それぞれの値を有する誤りのあるビットの前記個数に基づく、請求項 2 6 に記載の方法。

【請求項 2 8】

前記非対称読取統計は、前記それぞれの値を有するデータを復号するのに使用される、請求項 2 6 に記載の方法。

【請求項 2 9】

前記軟データ値 L_e は、
【数 2】

20

$$\hat{c}=0 \text{ の場合には } L_e(c) = \log \frac{P(Y=0|X=0)}{P(Y=0|X=1)} = \frac{1-p}{q}$$

$$\hat{c}=1 \text{ の場合には } L_e(c) = \log \frac{P(Y=1|X=0)}{P(Y=1|X=1)} = \frac{p}{1-q}$$

として入手され、 p は、前記第 1 の値に関する前記読取統計であり、 q は、前記第 2 の値に関する前記読取統計であり、 c は、メモリ・デバイスから受け取られた硬ビットである、請求項 2 6 に記載の方法。

30

【請求項 3 0】

前記軟データ値をデコーダに供給するステップをさらに含む、請求項 1 に記載の方法。

【請求項 3 1】

前記軟データ値は、前記デコーダに反復して供給される、請求項 3 0 に記載の方法。

【請求項 3 2】

前記メモリ・デバイスは、フラッシュ・メモリ・デバイスである、請求項 1 に記載の方法。

【請求項 3 3】

40

前記メモリ・デバイスは、セルあたり少なくとも 2 つのデータ・レベル s を格納することができる、請求項 1 に記載の方法。

【請求項 3 4】

前記基準セルは、実質的にすべての可能なレベルを格納する、請求項 1 に記載の方法。

【請求項 3 5】

前記基準セルは、周期的パターンを有する、請求項 1 に記載の方法。

【請求項 3 6】

前記基準セルは、読み取られ周期的に書き込まれるか、経時的に読み取られる、請求項 1 に記載の方法。

【請求項 3 7】

50

メモリ・デバイス内で少なくとも1つの軟データ値を生成するシステムであって、メモリと、

前記メモリに結合され、

1つまたは複数の基準セルに既知のデータを書き込み、

前記基準セルのうちの1つまたは複数を読み取り、

前記読み取られた1つまたは複数の基準セルに基づいて読取統計を入手し、

前記入手された読取統計に基づいて前記少なくとも1つの軟データ値を入手するように動作可能な少なくとも1つのプロセッサとを含むシステム。

【発明の詳細な説明】

10

【技術分野】

【0001】

関連出願の相互参照

本願は、それぞれ参照によって本明細書に組み込まれている、2008年9月30日に
出願した米国仮出願第61/194,751号および2009年6月30日に
出願した国際出願第PCT/US09/49333号、名称「Methods and Apparatus for Soft Demapping and Intercell Interference Mitigation in Flash Memories」の優先権を主張するものである。

【0002】

20

本願は、それぞれ本願と同時に
出願され、参照によって本明細書に組み込まれている、
国際出願、名称「Methods and Apparatus for Soft Data Generation for Memory Devices Based on Performance Factor Adjustment」、国際出願、名称「Methods and Apparatus for Soft Data Generation for Memory Devices」、および国際出願、名称「Methods and Apparatus for Soft Data Generation for Memory Devices Using Decoder Performance Feedback」に関連する。

【0003】

30

本発明は、全般的にはフラッシュ・メモリ・デバイスに関し、より具体的には、そのようなフラッシュ・メモリ・デバイスでのセル間干渉、バック・パターン依存（back pattern dependency）、雑音、および他のひずみを軽減する改善された軟デマッピング（soft demapping）および軟データ生成（soft data generation）の技法に関する。

【背景技術】

【0004】

フラッシュ・メモリ・デバイスなどの複数のメモリ・デバイスは、データを格納するのにアナログ・メモリ・セルを使用する。各メモリ・セルは、電荷または電圧など、ストレージ・バリュー（storage value）とも称するアナログ値を格納する。ストレージ・バリューは、セルに格納された情報を表す。たとえば、フラッシュ・メモリ・デバイスでは、各アナログ・メモリ・セルは、通常はある電圧を格納する。各セルの可能なアナログ値の範囲は、しきい領域に分割され、各領域は、1つまたは複数のデータ・ビット値に対応する。データは、所望の1つまたは複数のビットに対応する公称アナログ値を書き込むことによってアナログ・メモリ・セルに書き込まれる。

40

【0005】

たとえば、シングルレベル・セル（SLC）フラッシュ・メモリ・デバイスは、メモリ・セルあたり1ビット（すなわち、2つの可能なメモリ状態）を格納する。その一方で、マルチレベル・セル（MLC）フラッシュ・メモリ・デバイスは、メモリ・セルあたり複数のビットを格納する（すなわち、各セルが、4つ以上のプログラム可能な状態を有する

50

）。MLCフラッシュ・メモリ・デバイスのより詳細な議論については、たとえば、参照によって本明細書に組み込まれている、2009年3月11日出願した国際出願第PCT/US09/36810号、名称「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding And Per-Page Coding」を参照されたい。

【0006】

たとえば、マルチレベルNANDフラッシュ・メモリ・デバイスでは、フローティング・ゲート・デバイスが、複数の間隔に分割される範囲内のプログラム可能しきい電圧と共に使用され、各間隔は、異なるマルチビット値に対応する。所与のマルチビット値をメモリ・セルにプログラムするためには、メモリ・セル内のフローティング・ゲート・デバイスのしきい電圧を、その値に対応するしきい電圧間隔にプログラムする。

10

【0007】

メモリ・セルに格納されたアナログ値は、しばしば、ひずむ。ひずみは、通常、たとえばバック・パターン依存（BPD）、雑音、およびセル間干渉（ICI）に起因する。フラッシュ・メモリ・デバイスでのひずみのより詳細な議論については、たとえば、それぞれ参照によって本明細書に組み込まれている、J. D. Lee他、「Effects of Floating-Gate Interference on NAND Flash Memory Cell Operation」、IEEE Electron Device Letters、264～266頁（2002年5月）、またはKi-Tae Park他、「A Zeroing Cell-to-Cell Interference Page Architecture With Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories」、IEEE J. of Solid State Circuits、Vol. 43、No. 4、919～928頁（2008年4月）を参照されたい。

20

【0008】

複数の技法が、ICIおよび他の外乱の影響を軽減するために提案されまたは提唱されてきた。たとえば、Ki-Tae Park他は、ICIを軽減する、偶数／奇数プログラミング（even/odd programming）、ボトム・アップ・プログラミング（bottom up programming）、およびマルチステージ・プログラミング（multi-stage programming）などの既存のプログラミング技法を説明している。2009年6月30日出願された国際出願第PCT/US09/49333号、名称「Methods and Apparatus for Soft Demapping and Intercell Interference Mitigation in Flash Memories」は、フラッシュ・メモリでの軟デマッピングおよび外乱軽減の方法および装置を開示している。

30

【先行技術文献】

【特許文献】

40

【0009】

【特許文献1】米国仮出願第61/194,751号

【特許文献2】国際出願第PCT/US09/49333号

【特許文献3】国際出願、名称「Methods and Apparatus for Soft Data Generation for Memory Devices Based on Performance Factor Adjustment」

【特許文献4】国際出願、名称「Methods and Apparatus for Soft Data Generation for Memory Devices」

]

【特許文献5】国際出願、名称「Methods and Apparatus for

50

Soft Data Generation for Memory Devices
Using Decoder Performance Feedback」

【特許文献6】国際出願第PCT/US09/36810号

【特許文献7】米国特許第6,522,580号

【特許文献8】国際出願第PCT/US09/49326号

【特許文献9】国際出願第PCT/US09/49327号

【特許文献10】国際出願第PCT/US09/49328号

【非特許文献】

【0010】

【非特許文献1】J. D. Lee他、「Effects of Floating-Gate Interference on NAND Flash Memory Cell Operation」、IEEE Electron Device Letters、264～266頁（2002年5月） 10

【非特許文献2】Ki-Tae Park他、「A Zeroing Cell-to-Cell Interference Page Architecture With Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories」、IEEE J. of Solid State Circuits、Vol. 43、No. 4、919～928頁（2008年4月）

【非特許文献3】A. J. BlanksbyおよびC. J. Howland、「A 690-mW 1-Gb/s 1024-b, Rate-1/2 Low-Density Parity-Check Decoder」、IEEE J. Solid-State Circuits、Vol. 37、404～412頁（2002年3月） 20

【非特許文献4】D. E. Hocevar、「LDPC Code Construction With Flexible Hardware Implementation」、IEEE Int'l Conf. on Comm. (ICC)、米国アラスカ州アンカレッジ、2708～2712頁（2003年5月）

【非特許文献5】R. N. S. Ratnayake、E. F. Haratsch、およびGu-Yeon Wei、「A Bit-node centric architecture for low-density parity check decoders」、IEEE Global Telecommunications Conference (Globecom)、米国コロンビア特別区ワシントン、265～270頁（2007年11月） 30

【非特許文献6】E. Yeo他、「VLSI Architectures for Iterative Decoders in Magnetic Recording Channels」、IEEE Trans. On Magnetics、Vol. 37、No. 2、748～755頁（2001年3月）

【発明の概要】

【発明が解決しようとする課題】

【0011】

40

これらの既存の方法は、フラッシュ・メモリの復号性能を改善するのを助けたが、複数の制約をこうむり、この制約は、克服されたならば、フラッシュ・メモリの信頼性をさらに改善することができる。たとえば、現在のフラッシュ・メモリは、通常、復号のためにフラッシュ制御システムに硬データ（hard data）のみを供給する。しかし、軟データが、復号プロセスの誤り率性能を改善できることが周知である。したがって、フラッシュ・メモリからの硬データを使用して軟データを推定するかその質を高め、これによって復号性能を改善する、軟データ生成技法の必要が存在する。

【課題を解決するための手段】

【0012】

一般に、基準セルを使用する、メモリ・デバイスの軟データ生成の方法および装置が提

50

供される。本発明の一態様によれば、少なくとも1つの軟データ値が、1つまたは複数の基準セルに既知のデータを書き込むことと、基準セルのうちの1つまたは複数を読み取ることと、読み取られた1つまたは複数の基準セルに基づいて読取統計を入手することと、入手された読取統計に基づいて少なくとも1つの軟データ値を入手することとによって、メモリ・デバイス内で生成される。既知のデータを、電圧、電流、および抵抗のうちの1つまたは複数を使用して基準セルに書き込むことができる。同様に、読み取るステップは、データ・ビット、電圧レベル、電流レベル、および抵抗レベルのうちの1つまたは複数を読み取る。既知のデータは、ビット・パターンまたは記号パターンを含むことができる。生成される軟データ値は、(i) 1つまたは複数の対数尤度比を生成するのに使用される軟読取值、あるいは(ii) 1つまたは複数の対数尤度比を含むことができる。統計は、ビット・ベースの統計、セル・ベースの統計、およびパターン依存統計のうちの1つまたは複数を含むことができる。

10

【0013】

一実施形態では、読取統計は、1つまたは複数の基準セルから読み取られた1つまたは複数のビットを既知のデータ内の1つまたは複数のビットと比較することによって判定される。たとえば、読取統計を、既知のデータ内の基準ビットの総数に対する相対的な誤りのあるビットの個数に基づくものとすることができる。読取統計または軟データ値（あるいはその両方）を、耐久性、プログラム／消去サイクルの個数、読取サイクルの個数、保持時間、温度、温度変化、プロセス・コーナ、セル間干渉影響、メモリ・デバイス内の位置、ワード線内の位置、メモリ・アレイ内の位置、およびアグレッサ・セル内のパターンのうちの1つまたは複数の関数として計算することができる。

20

【0014】

一態様によれば、読取統計を、メモリ・アレイの1つまたは複数の所望の位置について入手することができ、書き込むステップは、既知のデータを1つまたは複数の所望の位置に書き込むことを含む。たとえば、所望の位置は、ページ位置、ワード線位置、ビット線位置、およびマルチレベル・セル内の所与のビットのうちの1つまたは複数を含むことができる。

【0015】

もう1つの態様によれば、読取統計を、少なくとも1つのターゲット・セルに関連する1つまたは複数のアグレッサ・セル内の所与のパターンP A T Tについて入手することができ、書き込むステップは、既知のデータを少なくとも1つのターゲット・セルに書き込むことを含み、方法は、1つまたは複数のアグレッサ・セル内の所与のパターンP A T Tを有する誤りのあるターゲット・ビットの個数を判定するステップと、誤りのあるターゲット・ビットの個数に基づいて所与のパターンに関する読取統計を入手するステップとをさらに含む。

30

【0016】

もう1つの態様によれば、読取統計は、複数の可能な値について入手された非対称読取統計を含むことができ、方法は、既知のデータ内の第1の値を有する誤りのあるビットの個数を判定するステップと、既知のデータ内の第2の値を有する誤りのあるビットの個数を判定するステップと、第1の値を有する誤りのあるビットの個数に基づいて第1の値に関する読取統計を入手するステップと、第2の値を有する誤りのあるビットの個数に基づいて第2の値に関する読取統計を入手するステップとをさらに含む。

40

【0017】

本発明ならびに本発明のさらなる特徴および利益のより完全な理解は、次の詳細な説明および図面を参照することによって得られる。

【図面の簡単な説明】

【0018】

【図1】従来のフラッシュ・メモリ・システムを示す概略ブロック図である。

【図2】図1の例示的なフラッシュ・メモリの例示的なしきい電圧分布を示す図である。

【図3】マルチレベル・セル(MLC)フラッシュ・メモリ・デバイス内の例示的なフラ

50

ッシュ・セル・アレイのアーキテクチャを示す図である。

【図 4】図 2 の電圧割当て方式の例示的な 2 ステージ M L C プログラミング方式を示す図である。

【図 5 A】隣接セルに加えられる I C I を減らす代替 M L C プログラミング方式を集合的に示す図である。

【図 5 B】隣接セルに加えられる I C I を減らす代替 M L C プログラミング方式を集合的に示す図である。

【図 6】マルチレベル・セル (M L C) フラッシュ・メモリ・デバイス内の例示的なフラッシュ・セル・アレイをさらに詳細に示す図である。

【図 7】セル間干渉、バック・パターン依存、雑音、および他のひずみなどの複数の例示的なアグレッサ・セルに起因するターゲット・セルについて存在する外乱を示す図である。

10

【図 8】本発明によるコントローラ・ベースの軟デマッピング／軟データ生成技法を組み込まれた例示的なフラッシュ・メモリ・システムを示す概略ブロック図である。

【図 9】本発明の代替実施形態によるメモリ・ベースの軟デマッピング／軟データ生成技法を組み込まれた例示的なフラッシュ・メモリ・システムを示す概略ブロック図である。

【図 10】反復的なデマッピングおよび復号ならびにオプションのインターリービングを用いる例示的なフラッシュ読取チャネル・アーキテクチャを示す図である。

【図 11】本発明による軟データ生成を用いる例示的なフラッシュ・メモリ・システムを示す図である。

20

【図 12 A】それぞれ例示的な軟デマッピング・プロセスおよび例示的な軟データ生成プロセスを説明する流れ図である。

【図 12 B】それぞれ例示的な軟デマッピング・プロセスおよび例示的な軟データ生成プロセスを説明する流れ図である。

【図 13】L D P C (l o w - d e n s i t y p a r i t y - c h e c k) 符号の例示的な 2 部グラフ表現を示す図である。

【図 14】例示的な L D P C デコーダ・アーキテクチャを示すブロック図である。

【図 15】本発明の一実施形態による軟データ生成を用いる例示的なフラッシュ・メモリ・システムを示す図である。

【図 16】例示的な 2 進チャネルの誤り確率 p および q を示すトレリスである。

30

【図 17 A】フラッシュ・メモリからのデータの読出に関する統計を記録する例示的なセル・ベースの統計テーブルを示す図である。

【図 17 B】フラッシュ・メモリからのデータの読出に関する統計を記録する例示的なセル・ベースの統計テーブルを示す図である。

【図 17 C】フラッシュ・メモリからのデータの読出に関する統計を記録する例示的なセル・ベースの統計テーブルを示す図である。

【図 18】フラッシュ・メモリからのデータの読出に関するパターン依存統計を記録する例示的なパターン依存セル・ベース統計テーブルを示す図である。

【図 19】本発明の基準セル実施形態に関する、図 3 の例示的なフラッシュ・セル・アレイをさらに詳細に示す図である。

40

【図 20】本発明の基準セル実施形態に関するビット・ベースの統計生成プロセスの例示的な実施態様を説明する流れ図である。

【図 21】本発明の基準セル実施形態に関するセル・ベースの統計生成プロセスの例示的な実施態様を説明する流れ図である。

【図 22】本発明の復号済み符号語実施形態に関するビット・ベースの統計生成プロセスの例示的な実施態様を説明する流れ図である。

【図 23】本発明の復号済み符号語実施形態に関するセル・ベースの統計生成プロセスの例示的な実施態様を説明する流れ図である。

【図 24】メモリ・アレイ内の複数の異なる位置に関する誤り確率統計を計算する例示的なビット・ベースの位置固有統計生成プロセスを説明する流れ図である。

50

【図 2 5】メモリ・アレイ内の複数の異なる位置に関する統計を計算する例示的なセル・ベースの位置固有統計生成プロセスを説明する流れ図である。

【図 2 6】各アグレッサ・セルのすべての可能な値に基づく、所与のターゲット・セルに対するパターン依存外乱の影響を示す確率密度関数の集団を示す図である。

【図 2 7】少なくとも 1 つのターゲット・セルに関連する 1 つまたは複数のアグレッサ・セル内の所与のデータ・パターンに依存する誤り確率統計を推定する例示的なビット・ベースのパターン依存統計生成プロセスを説明する流れ図である。

【図 2 8】少なくとも 1 つのターゲット・セルに関連する 1 つまたは複数のアグレッサ・セル内の所与のデータ・パターンに依存する統計を推定する例示的なセル・ベースのパターン依存統計生成プロセスを説明する流れ図である。

【図 2 9】本発明の基準セル実施形態の 2 つの可能な 2 進値の誤り確率統計を推定する例示的な非対称統計生成プロセスを説明する流れ図である。

【図 3 0】本発明の復号済み符号語実施形態の 2 つの可能な 2 進値の誤り確率統計を推定する例示的な非対称統計生成プロセスを説明する流れ図である。

【図 3 1】満足されないパリティ検査を使用する統計生成プロセスの例示的实施態様を説明する流れ図である。

【図 3 2】満足されないパリティ検査を使用してメモリ・アレイ内の複数の異なる位置の誤り確率統計を推定する例示的な位置固有統計生成プロセスを説明する流れ図である。

【図 3 3】満足されないパリティ検査を使用して 2 つの可能な 2 進値の誤り確率統計を推定する例示的な非対称統計生成プロセスを説明する流れ図である。

【発明を実施するための形態】

【0019】

本発明のさまざまな態様は、シングルレベル・セルまたはマルチレベル・セル（MLC）NANDフラッシュ・メモリ・デバイスなどのメモリ・デバイスでの改善された復号のための軟データ生成技法を対象とする。本明細書で使用されるときに、マルチレベル・セル・フラッシュ・メモリは、各メモリ・セルが複数のビットを格納するメモリを含む。通常、1 つのフラッシュ・セルに格納される複数のビットは、異なるページに属する。本発明は、本明細書ではアナログ値を電圧として格納するメモリ・セルを使用して例示されるが、当業者に明白であるように、本発明を、格納されたデータを表すのに電圧または電流を使用することなど、メモリ・デバイスの任意のストレージ機構と共に使用することができる。

【0020】

図 1 は、従来のフラッシュ・メモリ・システム 100 の概略ブロック図である。図 1 に示されているように、例示的なフラッシュ・メモリ・システム 100 は、フラッシュ制御システム 110 およびフラッシュ・メモリ・ブロック 160 を含む。例示的なフラッシュ制御システム 110 は、フラッシュ・コントローラ 120、エンコーダ／デコーダ・ブロック 140、および 1 つまたは複数のバッファ 145 を含む。代替実施形態では、エンコーダ／デコーダ・ブロック 140 およびいくつかのバッファ 145 を、フラッシュ・コントローラ 120 の内部で実施することができる。エンコーダ／デコーダ・ブロック 140 およびバッファ 145 を、たとえば、周知の市販の技法および／または製品を使用して実施することができる。

【0021】

例示的なフラッシュ・メモリ・ブロック 160 は、それぞれ周知の市販の技法および／または製品を使用して実施できる、メモリ・アレイ 170 および 1 つまたは複数のバッファ 180 を含む。メモリ・アレイ 170 は、NANDフラッシュ・メモリ、相変化メモリ（PCM）、MRAMメモリ、NORフラッシュ・メモリ、または別の不揮発性フラッシュ・メモリなど、シングルレベル・セルまたはマルチレベル・セルのフラッシュ・メモリとして実施することができる。本発明を、主にマルチレベル・セル NANDフラッシュ・メモリの文脈で例示するが、当業者に明白であるように、本発明を、シングルレベル・セル・フラッシュ・メモリおよび他の不揮発性メモリに適用することができる。

【0022】

マルチレベル・セル・フラッシュ・メモリ

マルチレベル・セルNANDフラッシュ・メモリでは、しきい値検出器が、通常、特定のセルに関連する電圧値を事前定義のメモリ状態に変換するのに使用される。図2に、参照によって本明細書に組み込まれている米国特許第6,522,580号の教示に基づく、図1の例示的なマルチレベル・セル・フラッシュ・メモリ170の例示的なしきい電圧分布を示す。一般に、セルのしきい電圧は、そのセルがある量の電流を導通するようにするためにそのセルに印加される必要がある電圧である。しきい電圧は、セルに格納されるデータに関する測定値である。

【0023】

10

図2に示された例示的な実施形態では、各ストレージ要素は、各メモリ・セル内に2ビットのデータを格納するために4つの可能なデータ状態を使用する。図2は、4つのピーク210~213を示し、各ピークは1つの状態に対応する。マルチレベル・セル・フラッシュ・デバイスでは、しきい電圧分布グラフ200の異なるピーク210~213が、セルに2ビットを格納するのに使用される。

【0024】

しきい電圧分布グラフ200のピーク210~213は、対応する2進値を用いてラベルを付けられている。したがって、あるセルが第1状態210であるときに、そのセルは、下側ビット（最下位ビット、LSBとも称する）について「1」を、上側ビット（最上位ビット、MSBとも称する）について「1」を表す。状態210は、一般に、セルの初期未プログラム状態または消去状態である。同様に、あるセルが、第2状態211であるときに、そのセルは、下側ビットについて「0」、上側ビットについて「1」を表す。あるセルが第3状態212であるときに、そのセルは、下側ビットについて「0」、上側ビットについて「0」を表す。最後に、あるセルが第4状態213であるときに、そのセルは、下側ビットについて「1」、上側ビットについて「0」を表す。

20

【0025】

しきい電圧分布210は、0ボルト未満の負のしきい電圧レベルを有する、消去状態（「11」データ状態）であるアレイ内のセルのしきい電圧 V_t の分布を表す。それぞれ「10」および「00」のユーザ・データを格納するメモリ・セルのしきい電圧分布211および212が、それぞれ0ボルトと1ボルトとの間ならびに1ボルトと2ボルトとの間にあるものとして示されている。しきい電圧分布213は、読取経路電圧の2ボルトと4.5ボルトとの間にセットされたしきい電圧レベルを有する、「01」データ状態になるようにプログラムされたセルの分布を示す。

30

【0026】

したがって、図2の例示的な実施形態では、0ボルト、1ボルト、および2ボルトを、各レベルまたは各状態の間の電圧レベルしきい値として使用することができる。これらの電圧レベルしきい値は、フラッシュ・メモリ160（たとえば、フラッシュ・メモリ160内のセンシング回路）によって、所与のセルの電圧レベルまたは状態を判定するのに使用される。フラッシュ・メモリ160は、電圧レベルしきい値に対する測定電圧の比較に基づいて各セルに1つまたは複数のビットを割り当て、この割り当ては、その後、硬判定としてフラッシュ制御システム110に送られる。それに加えてまたはその代わりに、軟情報（soft information）を使用する実施態様では、フラッシュ・メモリ160は、測定電圧または測定電圧の量子化版を軟情報としてフラッシュ制御システム110に送ることができ、ここでは、メモリ・セルに格納されたビット数より多数のビットが、測定電圧を表すのに使用される。

40

【0027】

さらに、セルが、通常は周知のプログラム／検証技法を使用してプログラムされることに留意されたい。一般に、プログラム／検証サイクル中には、フラッシュ・メモリ160は、最小ターゲットしきい電圧を超えるまで、セル・トランジスタ内に電荷をたくわえるために増加する電圧を徐々に印加する。たとえば、図2の例で「10」データ状態をプロ

50

グラムする時に、フラッシュ・メモリ 160 は、0.4 V の最小ターゲットしきい電圧を超えるまで、セル・トランジスタ内に電荷をたくわえるために増加する電圧を徐々に印加することができる。

【0028】

下でさらに述べるように、単一のメモリ・セルに格納された 2 ビットのそれぞれの、異なるページからのものである。言い換えると、各メモリ・セルに格納された 2 ビットの各ビットは、異なるページ・アドレスを担う。図 2 に示された右側ビットは、下側ページ・アドレスが入力される時にアクセスされる。左側ビットは、上側ページ・アドレスが入力される時にアクセスされる。

【0029】

図 3 に、マルチレベル・セル (MLC) フラッシュ・メモリ・デバイス 160 内の例示的なフラッシュ・セル・アレイ 300 のアーキテクチャを示し、ここで、各例示的セルは、通常、2 ビットを格納するフローティングゲート・トランジスタに対応する。図 3 では、各セルが、2 ビットが属する 2 つのページの 2 つの番号に関連する。例示的なセル・アレイ・セクション 300 は、ワード線 n から $n+2$ および 4 つのビット線を示す。例示的なフラッシュ・セル・アレイ 300 は、偶数ページおよび奇数ページに区分され、たとえば、偶数番号を有するセル (番号 0 および 2 を有するセルなど) は、偶数ページに対応し、奇数番号を有するセル (番号 1 および 3 を有するセルなど) は、奇数ページに対応する。ワード線 n は、たとえば、偶数ビット線に偶数ページ 0 および 2 を格納し、奇数ビット線に奇数ページ 1 および 3 を格納する。

【0030】

さらに、図 3 は、偶数ビット線セルまたは奇数ビット線セルのいずれかが選択され、示された順序で順次 (ボトム・アップ) プログラムされる、例示的なプログラム・シーケンスを示す。番号は、ページがプログラムされる順序を示す。たとえば、ページ 0 は、ページ 1 の前にプログラムされる。偶数ページおよび帰趨ページのプログラミングのさらなる議論については、参照によって本明細書に組み込まれている、K. -T. Park 他、「A Zeroing Cell-to-Cell Interference Page Architecture with Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories」、IEEE Journal of Solid-State Circuits、Vol. 43、No. 4、919~928 頁 (2008 年 4 月) を参照されたい。

【0031】

図 4 に、図 2 の電圧割当て方式の例示的な 2 ステージ MLC プログラミング方式 400 を示す。図 4 に示されているように、LSB プログラミング・ステージ中には、消去状態 410 である選択されたセルの状態は、LSB が 0 である場合には最低のプログラム済み状態 411 に移動する。したがって、LSB プログラミング状態で、メモリ・セルは、消去状態「11」から「10」にプログラムされる。次に、MSB プログラム・ステージ中に、2 つの状態すなわち状態「00」(412) および状態「01」(413) が、以前の LSB データに応じて順次形成される。一般に、MSB プログラミング状態中には、「10」状態が「00」にプログラムされ、状態「11」が「01」にプログラムされる。

【0032】

図 4 のプログラミング方式 400 が、状態 410 から状態 413 への変化に関連する最大電圧シフトを示すことに留意されたい。複数のプログラミング方式が、状態の変化に関連する最大電圧シフトを減らし、これによって、電圧シフトによって引き起こされる ICI を減らすために提案されまたは提唱されてきた。

【0033】

図 5 A および 5 B は、隣接セルに加えられる ICI を減らす代替 MLC プログラミング方式 500 を集合的に示す。図 5 A に示されているように、LSB プログラミング・ステージ中に、メモリ・セルは、SLC プログラミングに似た形で、状態「11」から一時的

(または中間) 状態として状態「x 0」にプログラムされる。同一ワード線内の隣接セルも L S B プログラムされた後に、分布は、おそらくは、I C I に起因して図 5 A のピーク 5 1 0 によって示されるように広げられる。その後、図 5 B に示された M S B プログラミング・ステージで、「x 0」状態が、入力データに対応する最終状態として「0 0」および「1 0」のいずれかにプログラムされ、あるいは、「1 1」状態が、最終的な「0 1」状態にプログラムされる。一般に、「1 1」セルを除くすべてのメモリ・セルは、M S B プログラミング・ステージで、L S B データについて一時的にプログラムされた状態からその最終的な状態に再プログラムされ、その結果、隣接セルによって引き起こされる I C I を大幅に減らせるようになる。最終的な状態のセルは、最終的な状態に再プログラムされたので、中間状態である間に経験した I C I から損害を受けない。最終的な状態のセルは、最終的な状態になって以降に経験した I C I からのみ損害を受ける。上で注記したように、中間プログラム状態を使用する、図 5 A および 5 B のマルチステップ・プログラミング・シーケンスは、最大電圧変化を減らし、したがって、これらの電圧変化によって引き起こされる I C I を減らす。図 5 B で、たとえば M S B プログラミング・ステージ中の最大電圧シフトが、それぞれ状態「1 1」から「0 1」へおよび状態「x 0」から状態「1 0」への遷移に関連することがわかる。これらの電圧シフトは、図 4 の状態「1 1」から「0 1」への最大電圧シフトより大幅に小さい。

【0034】

図 6 に、マルチレベル・セル (M L C) フラッシュ・メモリ・デバイス 1 3 0 内の例示的なフラッシュ・セル・アレイ 6 0 0 をさらに詳細に示す。図 6 に示されているように、フラッシュ・セル・アレイ 6 0 0 は、フラッシュ・セルあたり 3 つのビット c_i を格納する。図 6 は、1 ブロックのフラッシュ・セル・アレイ・アーキテクチャを示し、ここで、各例示的なセルは、通常、3 ビットを格納するフローティングゲート・トランジスタに対応する。例示的なセル・アレイ 6 0 0 は、 m 個のワード線および n 個のビット線からなる。通常、現在のマルチページ・セル・フラッシュ・メモリでは、単一のセル内のビットは、異なるページに属する。図 6 の例では、各セルの 3 つのビットは、3 つの異なるページに対応し、各ワード線は、3 つのページを格納する。次の議論では、ページ 0、1、および 2 を、ワード線内の下側ページ・レベル、中央ページ・レベル、および上側ページ・レベルと称する。

【0035】

上で示したように、フラッシュ・セル・アレイを、偶数ページおよび奇数ページにさらに区分することができ、たとえば、偶数番号を有するセル (図 6 のセル 2 および 4 など) は、偶数ページに対応し、奇数番号を有するセル (図 6 のセル 1 および 3 など) は、奇数ページに対応する。この場合に、ページ (ページ 0 など) は、偶数セル内に偶数ページ (偶数ページ 0) を含み、奇数セル内に奇数ページ (奇数ページ 0) を含む。

【0036】

セル間干渉および他の外乱

図 7 に、セル間干渉、バック・パターン依存、雑音、および他のひずみなどの複数の例示的なアグレッサ・セル 7 2 0 に起因するターゲット・セル 7 1 0 について存在する外乱を示す。次の表記か、図 7 で使用されている。

- W L ワード線、
- B L ビット線、
- B L o 奇数ビット線、
- B L e 偶数ビット線、および
- C キャパシタンス。

【0037】

たとえば、I C I は、ターゲット・セル 7 1 0 がプログラムされた後にプログラムされるアグレッサ・セル 7 2 0 によって引き起こされる。I C I は、ターゲット・セル 7 1 0 の電圧 V_t を変更する。例示的实施形態では、「ボトム・アップ」プログラミング方式が仮定され、ワード線 i および $i + 1$ 内の近接アグレッサ・セルが、ターゲット・セル 7 1

0 の I C I を引き起こす。ブロックのそのようなボトム・アップ・プログラミングを用いると、図 7 に示されているように、下側ワード線 $i-1$ からの I C I が除去され、5 つまでの隣接するセルが、アグレッサ・セル 7 2 0 として I C I に寄与する。しかし、当業者に明白であるように、本明細書で開示される技法を、ワード線 $i-1$ などの他のワード線からのアグレッサ・セルも I C I に寄与する場合に一般化できることに留意されたい。ワード線 $i-1$ 、 i 、および $i+1$ からのアグレッサ・セルが I C I に寄与する場合には、8 つまでの最も近い隣接セルを考慮する必要がある。ターゲット・セルからより遠い他のセルは、その I C I への寄与を無視できる場合には、無視することができる。一般に、アグレッサ・セル 7 2 0 は、所与のターゲット・セル 7 1 0 の後にプログラムされるアグレッサ・セル 7 2 0 を識別するためにプログラミング・シーケンス方式（ボトム・アップまたは偶数／奇数技法など）を分析することによって識別される。

10

【0038】

一般に、 V_t は、セルに格納されたデータを表す電圧であり、読取動作中に入手される。 V_t を、読取動作によって、たとえばセルあたりに格納されるビット数より高い精度を有する軟電圧値として、またはセルあたりに格納されるビット数と同一の分解能を有する硬電圧レベル（たとえば、3 ビット／セル・フラッシュについて 3 ビット）に量子化された値として、入手することができる。

【0039】

I C I 軽減技法のより詳細な議論については、たとえば、それぞれ参照によって本明細書に組み込まれている国際出願第 P C T / U S 0 9 / 4 9 3 2 6 号、名称「Method
s and Apparatus for Read-Side Intercell
Interference Mitigation in Flash Memories」または国際出願第 P C T / U S 0 9 / 4 9 3 2 7 号、名称「Methods and
Apparatus for Write-Side Intercell Interference Mitigation in Flash Memories」を参照されたい。

20

【0040】

軟データ生成

本発明は、フラッシュ・メモリの軟デマッピング技法および軟データ生成技法を提供する。下で図 1 2 A に関連してさらに述べる、1 つの例示的实施形態では、質を高められた軟データが、確率密度関数、その近似、ビット・ベースの確率、またはセル・ベースの確率などの確率統計を使用してフラッシュ・メモリによって割り当てられる軟データから生成される。下で図 1 2 B に関連してさらに述べる、別の例示的实施形態では、軟データは、確率密度関数、その近似、ビット・ベースの確率、またはセル・ベースの確率などの確率統計を使用してフラッシュ・メモリによって割り当てられる硬データから生成される。一般に、フラッシュ・メモリによって割り当てられるデータは、最初に入手される。次に、本発明は、フラッシュ・メモリからのデータに基づいて、確率または信頼性情報などの軟情報を生成し、またはその質を高める。生成された軟情報を、オプションで、軟判定復号に使用することができる。本明細書で使用されるときに、用語「確率密度関数」は、確率密度関数と、ヒストグラムおよびガウス近似などのその近似とを含まなければならない。

30

40

【0041】

図 8 は、本発明によるコントローラ・ベースの軟データ生成技法を組み込まれた例示的なフラッシュ・メモリ・システム 8 0 0 の概略ブロック図である。図 8 に示されているように、例示的なフラッシュ・メモリ・システム 8 0 0 は、インターフェース 8 5 0 によって接続された、フラッシュ制御システム 8 1 0 およびフラッシュ・メモリ・ブロック 8 6 0 を含む。例示的なフラッシュ制御システム 8 1 0 は、通常は 1 つまたは複数の集積回路である、フラッシュ・コントローラ 8 2 0 および読取チャネル 8 2 5 を含む。

【0042】

例示的な読取チャネル 8 2 5 は、信号処理ユニット 8 3 0、エンコーダ／デコーダ・ブ

50

ロック 840、および 1 つまたは複数のバッファ 845 を含む。用語「読取チャネル」が、書込チャネルをも含むことができることに留意されたい。代替実施形態では、エンコーダ／デコーダ・ブロック 840 およびいくつかのバッファ 845 を、フラッシュ・コントローラ 820 の内部で実施することができる。エンコーダ／デコーダ・ブロック 840 およびバッファ 845 を、たとえば、本発明の特徴および機能を提供するために本明細書で変更される、周知の市販の技法および／または製品を使用して実施することができる。

【0043】

例示的な信号処理ユニット 830 は、それぞれたとえば図 12A および 12B に関連して下でさらに述べる 1 つまたは複数の軟デマッパおよび／または軟データ生成プロセス 835 を実施する 1 つまたは複数のプロセッサを含む。例示的なフラッシュ・メモリ・ブロック 860 は、それぞれ周知の市販の技法および／または製品を使用して実施できるメモリ・アレイ 870 および 1 つまたは複数のバッファ 880 を含む。

【0044】

開示される軟データ生成技法のさまざまな実施形態では、例示的なインターフェース 850 は、アグレッサ・セルに関連する情報を表す値など、従来のフラッシュ・メモリ・システムに関連する追加情報を伝える必要がある場合がある。したがって、インターフェース 850 は、従来のフラッシュ・メモリ・システム内のインターフェースより大きい容量またはより高速のレートをも有する必要がある場合がある。インターフェース 850 を、オプションで、参照によって本明細書に組み込まれている、2009 年 6 月 30 日に出願した国際出願第 PCT/US09/49328 号、名称「Methods and Apparatus for Interfacing Between a Flash Memory Controller and a Flash Memory Array」（弁理士整理番号第 08-0769 号）の教示に従って実施することができ、この国際出願第 PCT/US09/49328 号の教示は、たとえばダブル・データ・レート（DDR）技法を使用してインターフェース 850 の情報搬送容量を高める。書込動作中に、インターフェース 850 は、通常はページ・レベル・アクセス技法またはワード線レベル・アクセス技法を使用して、ターゲット・セルに格納されるプログラム値を転送する。例示的なページ・レベル・アクセス技法またはワード線レベル・アクセス技法のより詳細な議論については、たとえば、参照によって本明細書に組み込まれている、2009 年 3 月 11 日に出願した国際出願第 PCT/US09/36810 号、名称「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding」を参照されたい。

【0045】

読取動作中に、インターフェース 850 は、ターゲット・セルおよびアグレッサ・セルについてメモリ・アレイ 870 から入手された硬読取值および／または軟読取值を転送する。たとえば、ターゲット・セルをも有するページの読取值に加えて、上側／下側ワード線または隣接する偶数ビット線もしくは奇数ビット線内の 1 つまたは複数の近接ページの読取值が、インターフェース・バスを介して転送される。図 8 の実施形態では、開示される軟データ生成技法は、フラッシュ・メモリの外部で、通常は最小面積を達成するために論理回路用に最適化されたプロセス・テクノロジーで実施される。しかし、これは、インターフェース 850 上で転送される可能性がある追加のアグレッサ・セル・データという犠牲を払うものである。

【0046】

図 9 は、本発明の代替実施形態によるメモリ・ベースの軟データ生成技法を組み込まれた例示的なフラッシュ・メモリ・システム 900 の概略ブロック図である。図 9 に示されているように、例示的なフラッシュ・メモリ・システム 900 は、インターフェース 950 によって接続された、フラッシュ制御システム 910 およびフラッシュ・メモリ・ブロック 960 を含む。

10

20

30

40

50

【0047】

例示的なフラッシュ制御システム910は、通常は1つまたは複数の集積回路である、フラッシュ・コントローラ920およびオプションの読取チャネル925を含む。代替実施形態では、エンコーダ／デコーダ・ブロック940およびいくつかのバッファ945を、フラッシュ・コントローラ920の内部で実施することができる。例示的なフラッシュ・コントローラ920を、たとえば、本発明の特徴および機能をサポートするために本明細書で変更される、周知の市販の技法および／または製品を使用して実施することができる。例示的な読取チャネル925は、エンコーダ／デコーダ・ブロック940および1つまたは複数のバッファ945を含む。エンコーダ／デコーダ・ブロック940およびバッファ945を、周知の市販の技法および／または製品を使用して実施することができる。

10

【0048】

例示的なフラッシュ・メモリ・ブロック960は、それぞれ周知の市販の技法および／または製品を使用して実施することができる、メモリ・アレイ970および1つまたは複数のバッファ980を含む。さらに、例示的なフラッシュ・メモリ・ブロック960は、それぞれたとえば図12Aおよび12Bに関連して下でさらに述べる1つまたは複数の軟デマッピングおよび／または軟データ生成プロセス990を実施する1つまたは複数のプロセッサを含む例示的な信号処理ユニット985を含む。

【0049】

開示される軟データ生成技法のさまざまな実施形態では、例示的なインターフェース950は、アグレッサ・セルに関連する情報を表す値など、従来のフラッシュ・メモリ・システムに関連する追加情報を伝える必要がある場合がある。したがって、インターフェース950は、従来のフラッシュ・メモリ・システム内のインターフェースより大きい容量またはより高速のレートをもつ必要がある場合がある。インターフェース950を、オプションで、参照によって本明細書に組み込まれている、2009年6月30日に出願した国際出願第PCT/US09/49328号、名称「Methods and Apparatus for Interfacing Between a Flash Memory Controller and a Flash Memory Array」（弁理士整理番号第08-0769号）の教示に従って実施することができ、この国際出願第PCT/US09/49328号の教示は、たとえばダブル・データ・レート（DDR）技法を使用してインターフェース950の情報搬送容量を高める。

20

30

【0050】

書込動作中に、インターフェース950は、ターゲット・セルおよびアグレッサ・セルに格納されるプログラム・データを転送する。読取動作中に、インターフェース950は、ターゲット・セル（1つまたは複数）およびオプションでアグレッサ・セルの新しい硬読取值、硬データ、軟読取值、または軟データを転送する。通常、単一の読取アクセスについて伝えられる情報は、1ページまたは1ワード線のデータである。ターゲット・セルのデータだけを送ることは、通常は論理回路用ではなくメモリ用に最適化された、フラッシュ・メモリの製造に使用されるメモリ・プロセス・テクノロジーを使用してメモリの内部で軟データ生成プロセスを実施するという犠牲を払って、インターフェース950の帯域幅要件を減らすことに留意されたい。

40

【0051】

図10に、参照によって本明細書に組み込まれている2009年6月30日に出願した国際出願第PCT/US09/49333号、名称「Methods and Apparatus for Soft Demapping and Intercell Interference Mitigation in Flash Memories」の教示に従う反復的なデマッピングおよび復号ならびにオプションのインターリービングを用いる例示的なフラッシュ読取チャネル・アーキテクチャ1000を示す。図10に示されているように、例示的な書込経路は、エンコーダ1010、オプションのインターリーバ1020、直並列コンバータ1030、およびマップ1040を含む。データは、既知の形でメモリ1050に書き込まれ、メモリ1050から読み取られる。例示的な読

50

取経路は、軟デマッパまたは軟データ・ジェネレータ1060、並直列コンバータ1070、デインターリーバ1080、デコーダ1090、およびインターリーバ1095を含む。一般に、下でさらに述べるように、軟デマッパまたは軟データ・ジェネレータ1060は、反復プロセスが最終判断に収束するまで反復的な形で新しい軟情報を生成し、軟デマッパにフィード・バックするためにデコーダ1090によって処理される、下でさらに説明される軟情報を生成する。

【0052】

本発明に従って軟情報（LLR）を生成するのに軟デマッパ1060によって使用される式を、下の「読取統計を使用する軟データ（LLR）の計算」という題名のセクションで述べる。図10に示されているように、軟デマッパ1060によって生成される軟情報を、軟デマッパ1060、デインターリーバ1080、デコーダ1090、およびフィードバック経路内のインターリーバ1095の間の反復デマッピングおよび復号に使用することができる。

10

【0053】

フラッシュからのデータに基づく軟データ生成

本発明は、現在のフラッシュ・メモリ860、960が、通常はフラッシュ制御システム810、910に硬データだけを供給することを認めるものである。しかし、軟データが、復号プロセスで誤り率性能を改善できることが周知である。したがって、本発明の一態様によれば、フラッシュ・メモリ860、960からの硬データは、軟データを推定するのに使用され、これによって、フラッシュ制御システム810、910での復号性能を改善する。たとえば、後で述べるように、硬データの統計特性を使用して、軟データを推定するかその質を高めることができる。生成された軟データを、その後、誤り率性能を改善するために、LDPC符号の確率伝搬（belief propagation）復号などの復号に使用することができる。

20

【0054】

本発明のもう1つの態様によれば、フラッシュ・メモリ860、960は、フラッシュ制御システム810、910に軟データまたは軟情報を供給する。質を高められた軟データが、フラッシュ・メモリ860、960によって供給された軟データから生成されて、これによって、フラッシュ制御システム810、910での復号性能が改善される。軟情報を使用する実施態様では、フラッシュ・メモリ・システム860、960は、測定電圧または測定電圧の量子化版を軟情報としてフラッシュ制御システム810、910に送り、ここで、メモリ・セルに格納されるビット数より多数のビットが、測定電圧を表すのに使用される。

30

【0055】

図11に、本発明の一実施形態によるコントローラ・ベースの軟データ生成を用いる例示的なフラッシュ・メモリ・システム1100を示す。図11に示されているように、例示的なフラッシュ・メモリ・システム1100は、インターフェース1115によって接続された、フラッシュ・メモリ・ブロック1110およびフラッシュ制御システム1120を含む。後で述べるように、軟データ値または硬データ値（あるいはその両方）は、フラッシュ・メモリ・ブロック1110によって割り当てることができ、さらなる復号および処理のためにインターフェース1115を介してフラッシュ制御システム1120に転送される。例示的なフラッシュ制御システム1120は、下で図12Aおよび12Bに関連してさらに述べる軟デマッパ／軟データ・ジェネレータ1200と、下で図13～14に関連してさらに述べるデコーダ1400とを含む。デコーダ1400は、たとえば、確率伝搬、メッセージ・パッシング、Sum-Product、またはMin-Sumアルゴリズムなど、LDPC復号アルゴリズムを使用して実施することができる。

40

【0056】

図11に示されているように、軟デマッパ／軟データ・ジェネレータ1200によって生成される軟情報を、オプションで、軟デマッパ／軟データ・ジェネレータ1200とデコーダ1400との間の反復的なデマッピングおよび復号に使用することができる。一般

50

に、図 1 1 に示されているように、軟デマッパ／軟データ・ジェネレータ 1 2 0 0 は、下の「読取統計を使用する軟データ (L L R) の計算」という題名のセクションで述べるように、L L R の形の軟情報 L_e を生成する。当初に、軟デマッパ／軟データ・ジェネレータ 1 2 0 0 によって計算された L L R、 L_e は、フラッシュ・メモリ 1 1 0 0 からの軟読出または硬読出（あるいはその両方）および対応する統計に基づく。L L R、 L_e は、デコーダ 1 4 0 0 によって処理されて、新しい軟情報 L_a を生成し、この軟情報 L_a は、反復プロセスが最終判断に収束するまで、反復的な形で軟デマッパ／軟データ・ジェネレータ 1 2 0 0 にフィード・バックされる。

【0057】

軟デマッパ／軟データ・ジェネレータ 1 2 0 0

10

図 1 2 A は、フラッシュ・メモリ 8 1 0、9 1 0 によって供給される軟データから質を高められた軟データを生成するために本発明の特徴を組み込んだ例示的な軟デマッピング・プロセス 1 2 0 0 を説明する流れ図である。図 1 2 A に示されているように、例示的な軟デマッピング・プロセス 1 2 0 0 は、当初に、ステップ 1 2 1 0 中にターゲット・セルの軟データ r をフラッシュ・メモリ 8 1 0、9 1 0 から入手し、オプションで、ターゲット・セルに関連するアグレッサ・セル（1 つまたは複数）に格納されたデータを表す 1 つまたは複数の値 h を入手する。

【0058】

その後、軟デマッピング・プロセス 1 2 0 0 は、ステップ 1 2 2 0 中に、1 つまたは複数の確率密度関数など、 r およびオプションで h に基づく統計（または確率）を入手する。この統計は、下の「統計の収集」という題名のセクションでさらに述べる。

20

【0059】

その後、ステップ 1 2 3 0 中に、入手された統計を使用して L L R（1 つまたは複数）を計算する。L L R（1 つまたは複数）は、下の「読取統計を使用する軟データ (L L R) の計算」という題名のセクションで述べる。その後、ステップ 1 2 4 0 中に、計算された L L R をデコーダ 1 4 0 0 に供給し、あるいはオプションでデインターリーバに供給する。計算された L L R を、オプションで、たとえば L L R の符号に基づいて、読取データに対する最終判断を行うのに使用することができる。

【0060】

図 1 2 B は、フラッシュ・メモリ 8 1 0、9 1 0 によって供給される硬データから軟データを生成するために本発明の特徴を組み込んだ例示的な軟データ生成プロセス 1 2 5 0 を説明する流れ図である。図 1 2 B に示されているように、例示的な軟データ生成プロセス 1 2 5 0 は、当初に、ステップ 1 2 6 0 中にターゲット・セルの硬データ

30

【数 1】

$$\hat{s}$$

（以下、「 $s^{\wedge}$ 」と表記。他の変数についても同）をフラッシュ・メモリ 8 1 0、9 1 0 から入手し、オプションで、ターゲット・セルに関連するアグレッサ・セル（1 つまたは複数）に格納されたデータを表す 1 つまたは複数の値

【数 2】

$$\bar{h}$$

（以下、単に「 h^{-} 」と表記。他の変数についても同）を入手する。硬データ $s^{\wedge}$ は、たとえば、フラッシュ・メモリ 8 1 0、9 1 0 によって各セルに割り当てられた 2 進ビットまたはレベルとすることができる。

40

【0061】

セル内の 1 ビットの L L R を計算するために、他のビットは使用不能であり、セル内の他のビットは、たとえば、ページ・アクセス技法およびワード線アクセス技法を使用して読み取られる。例示的なページ・レベル・アクセス技法およびワード線レベル・アクセス技法のより詳細な議論については、たとえば、参照によって本明細書に組み込まれている

50

2009年3月11日に出願した国際出願第PCT/US09/36810号、名称「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding」を参照されたい。ページ・アクセス技法を用いると、そのLLRが計算されようとしているページが読み取られ、オプションで、同一ワード線内の他のページをも読み取ることができ、その結果、硬データをセルのレベルs^hにマッピングできるようになる。ワード線アクセス技法を用いると、ワード線全体を読み取って、セル内のすべてのビットを入手することができ、これらのビットから、硬データ・レベルs^hが入手される。

10

【0062】

たとえば、アグレッサ・セル720（または、アグレッサ・セル720が格納されているページもしくはワード線）からビットを読み出すことによって、パターンh⁻が入手される。アグレッサ・セルを読み出す技法のより詳細な議論については、たとえば、参照によって本明細書に組み込まれている国際出願第PCT/US09/49326号、名称「Methods and Apparatus for Read-Side Inter-cell Interference Mitigation in Flash Memories」を参照されたい。

【0063】

次に、軟データ生成プロセス1250は、ステップ1270中に、1つまたは複数の確率密度関数など、s^hおよびオプションでh⁻に基づく統計（または確率）を入手する。この統計は、下の「統計の収集」という題名のセクションでさらに述べるように、ビット・ベースの確率またはセル・ベースの確率とすることもできる。軟読取値の分布のガウス近似が使用されるときには、この統計は、ガウス近似式について「読取統計を使用する軟データ（LLR）の計算」という題名のセクションで述べるように、分布の平均値または分散を含む。平均値および分散は、たとえば、プログラム／消去サイクル、読取サイクル、および温度などの異なる性能要因についてフラッシュ・メモリ・チップの特性試験中に事前計算し、テーブルに格納することができる。平均値および分散を、性能要因に基づき、オプションで、アグレッサ・セル720に格納されたパターンh⁻にも基づいて、テーブルから入手することができる。

20

30

【0064】

次に、ステップ1280中に、入手された統計を使用して、LLR（1つまたは複数）を計算する。LLR（1つまたは複数）は、下の「読取統計を使用する軟データ（LLR）の計算」という題名のセクションで述べる。「読取統計を使用する軟データ（LLR）の計算」という題名のセクションで説明するように、統計に加えてまたはその代わりに、デコーダによって供給される先験的LLR L_a をオプションで使用して、LLRを計算できることに留意されたい。セル内のビットのLLRが計算される時に、先験的LLR L_a は、セル内の少なくとも1つのビット（オプションで他のすべてのビット）に使用される。これは、セル内のこれらの他のビットが読み取られており、先験的LLR L_a がデコーダによってそれらについて計算済みであることを必要とする。

40

【0065】

その後、ステップ1290中に、計算されたLLRがデコーダ1400に供給され、あるいはオプションでデインターリーバに供給される。計算されたLLRを、オプションで、たとえばLLRの符号に基づいて、読取データに対する最終判断を行うのに使用することができる。セル内のすべてのビット（またはワード線内のすべてのページ）を、2009年3月11日に出願した国際出願第PCT/US09/36810号、名称「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding」に記載されているように共同で符号化し、復

50

号することができることに留意されたい。別の実施形態では、セル内のビット（またはワード線内のすべてのページ）を、やはり国際出願第PCT/US09/36810号に記載されているように、別々に符号化し、復号することができる。

【0066】

デコーダ1400 LDPC実施態様

LDPC符号およびLDPC復号の次の背景の議論は、参照によって本明細書に組み込まれている、A. J. BlanksbyおよびC. J. Howland、「A 690-mW 1-Gb/s 1024-b, Rate-1/2 Low-Density Parity-Check Decoder」、IEEE J. Solid-State Circuits、Vol. 37、404～412頁（2002年3月）の議論に基づく。より詳細な議論について、読者は、BlanksbyおよびHowlandの論文全体を参照されたい。

10

【0067】

LDPC符号のグラフ表現

LDPC符号を、2部グラフを使用して表すことができ、2部グラフでは、ノードの一方の集合は、パリティ検査制約を表し、他方の集合は、データ・ビットを表す。図13は、LDPC符号の例示的な2部グラフ表現1300を示す図である。パリティ検査行列は、グラフの結合行列であり、ここで、Hの列*i*に対応するビット・ノード*i*は、Hの項目*h_{j i}*がセットされているすなわち非0である場合に、Hの行*j*に対応するチェック・ノード*j*に接続される。

20

【0068】

LDPC符号を復号するのに使用される1つのアルゴリズムが、sum-productアルゴリズムとして知られている。このアルゴリズムを用いる良い復号性能のためには、LDPC符号のグラフ表現内のサイクルの長さが、できる限り長いことが重要である。図13の例示的な表現では、長さ4の例示的な短いサイクルが図示されている。図13に示された長さ4のサイクルなどの短いサイクルは、sum-productアルゴリズムの性能を劣化させる。LDPC符号を復号する別の周知のアルゴリズムが、min-sumアルゴリズムである。

【0069】

Sum-Productアルゴリズム

30

sum-productアルゴリズムは、LDPC符号を復号するための反復アルゴリズムである。sum-productアルゴリズムは、メッセージ・パッシング・アルゴリズムまたは確率伝搬としても知られている。sum-productアルゴリズムのより詳細な議論については、たとえば、それぞれ参照によって本明細書に組み込まれている、A. J. BlanksbyおよびC. J. Howland、「A 690-mW 1-Gb/s 1024-b, Rate-1/2 Low-Density Parity-Check Decoder」、IEEE J. Solid-State Circuits、Vol. 37、404～412頁（2002年3月）、D. E. Hocevar、「LDPC Code Construction With Flexible Hardware Implementation」、IEEE Int'l Conf. on Comm. (ICC)、米国アラスカ州アンカレッジ、2708～2712頁（2003年5月）、ならびにR. N. S. Ratnayake、E. F. Haratsch、およびGu-Yeon Wei、「A Bit-node centric architecture for low-density parity check decoders」、IEEE Global Telecommunications Conference (Globecom)、米国コロンビア特別区ワシントン、265～270頁（2007年11月）を参照されたい。

40

【0070】

ビット・ノード*i*からチェック・ノード*j*へのメッセージ*Q_{i j}*は、

【数 3】

$$Q_{i,j} = \sum_{l \in B_i, l \neq j} R_{l,i} + L_{e,i}$$

によって与えられ、ここで、 $L_{e,i}$ は、ビット i の軟デマッパ／軟データ・ジェネレータによって供給される外来 LLR である。チェック・ノード j からビット・ノード i へのメッセージ $R_{j,i}$ は、

【数 4】

$$R_{j,i} = s_{j,i} \cdot \phi \left(\sum_{l \in C_j, l \neq i} \phi(|Q_{l,j}|) \right)$$

10

によって与えられ、ここで、

【数 5】

$$s_{j,i} = \prod_{l \in C_j, l \neq i} \text{sign}(Q_{l,j})$$

かつ

20

【数 6】

$$\phi(x) = -\log \tanh(x/2) = \log \frac{e^x + 1}{e^x - 1}$$

である。ビット i の帰納的对数尤度比 (LLR) とも呼ばれる帰納的情報値 Λ_i は、

【数 7】

$$\Lambda_i = \sum_{l \in B_i} R_{l,i} + L_{e,i}$$

30

によって与えられる。

【0071】

反復的なデマッピングおよび復号のために軟デマッパ／軟データ・ジェネレータに供給されるビット i の LLR $L_{a,i}$ は、

【数 8】

$$L_{a,i} = \sum_{l \in B_i} R_{l,i}$$

として与えられ、ここで、 B_i は、ビット・ノード i に接続されたチェック・ノードの集合であり、 C_j は、チェック・ノード j に接続されたビット・ノードの集合である。

40

【0072】

LDPCC デコーダ ハードウェア共有デコーダ・アーキテクチャ

LDPCC 符号を復号する sum-product アルゴリズムを実施する時の重要な課題は、メッセージの受渡しを管理することである。チェック・ノードとビット・ノードとの両方の機能性が、比較的単純なので、そのそれぞれの実現は、少数のゲートだけを用いる。主な問題は、機能ノードの間のメッセージの受渡しに必要な帯域幅の実施である。

【0073】

図 14 は、例示的なハードウェア共有 LDPCC デコーダ・アーキテクチャ 1400 のブロック図である。図 14 に示されているように、一般化された LDPCC デコーダ・アーキテクチャ 1400 は、それぞれチェック・ノード機能性またはビット・ノード機能性のい

50

ずれかを実施する複数の機能ユニット1410、1420と、メッセージを格納し、グラフ接続性を実現するメモリ・ファブリック1450とを含む。制御論理1430は、メモリ・ファブリック1450の構成を制御する。ハードウェア共有LDPCデコーダ・アーキテクチャ1400の実施態様の詳細な議論については、たとえば、E. Yeo他、「VLSI Architectures for Iterative Decoders in Magnetic Recording Channels」、IEEE Trans. On Magnetism、Vol. 37、No. 2、748～755頁(2001年3月)を参照されたい。

【0074】

そのようなハードウェア共有アーキテクチャが、デコーダの面積を減らすことが認められている。

【0075】

図15に、本発明の一実施形態による軟データ生成を用いる例示的なフラッシュ・メモリ・システム1500を示す。図15に示されているように、例示的なフラッシュ・メモリ・システム1500は、フラッシュ・メモリ・ブロック1510を含む。後で述べるように、硬データ値または軟データ値(あるいはその両方)は、通常、フラッシュ・メモリ・ブロック1510によって割り当てられ、さらなる復号および処理のためにインターフェース1515を介してフラッシュ制御システム1520に転送される。例示的なフラッシュ制御システム1520は、下で図16に関連してさらに述べるLLRジェネレータ1550、下の「統計の収集」という題名のセクションでさらに述べる統計ジェネレータ(1つまたは複数)1570、およびデコーダ1530を含む。統計ジェネレータ(1つまたは複数)1570によって生成される統計は、オプションで、下でたとえば図17Aから17Cおよび18に関連してさらに述べる1つまたは複数の統計テーブル1560に記録され、あるいはその代わりに、リアルタイムで生成され得る。

【0076】

統計ジェネレータ(1つまたは複数)1570によって生成された統計は、LLRジェネレータ1550によって使用されて、たとえばLLR、 L_e の形の軟データを生成する。当初に、LLR、 L_e は、フラッシュ・メモリ1510からの軟読出または硬読出(あるいはその両方)および対応する統計に基づく。LLR、 L_e は、デコーダ1530によって処理されて、新しい軟情報 L_a を生成し、この軟情報 L_a は、反復プロセスが最終判断に収束するまで、反復的な形でLLRジェネレータ1550にフィード・バックされる。

【0077】

デコーダ1530は、やはり、たとえば確率伝搬、メッセージ・パッシング、Sum-Product、またはMin-SumアルゴリズムなどのLDPC復号アルゴリズムを使用して実施することができる。本明細書で説明される統計ジェネレータ1570およびLLRジェネレータ1550の機能を、フラッシュ制御システム1520、デコーダ1530、および読取チャネル825(たとえば、図8を参照されたい)のうちの1つまたは複数で実施できることに留意されたい。

【0078】

読取統計を使用する軟データ(LLR)の計算

ビットcの先験的対数尤度比(LLR) L_a は、次のように定義することができる。

【数9】

$$L_a(c) = \log \frac{P(c=0)}{P(c=1)}$$

ここで、 $P(\dots)$ は確率である。

【0079】

同様に、フラッシュ出力rに対して条件付けられたビットcのLLRは、次のように計

算される。

【数 1 0】

$$\begin{aligned} L(c|r) &= \log \frac{P(c=0|r)}{P(c=1|r)} = \log \frac{P(c=0)}{P(c=1)} + \log \frac{p(r|c=0)}{p(r|c=1)} \\ &= L_a(c) + L_e(c) \end{aligned}$$

ここで、 $L_e(c)$ は、後続デコーダに渡される外来 LLR または軟情報であり、 $p(\cdot \cdot \cdot)$ は、確率密度関数 (PDF) である。

【0080】

10

図 16 は、例示的な 2 進チャネルの誤り確率 p および q を示すトレリス 1600 である。2 進チャネルの文脈で、 p が誤り確率を表し、そうでない場合に、 $p(\cdot \cdot \cdot)$ が確率密度関数を表すことに留意されたい。 $p \neq q$ の場合には、この 2 進チャネルは非対称である。 $p = q$ の場合には、この 2 進チャネルは対称である。図 16 に示されているように、 p は、2 進 0 の誤り確率（すなわち、0 が書き込まれた時に 1 を読み取る確率）である。同様に、 q は、2 進 1 の誤り確率（すなわち、1 が書き込まれた時に 0 を読み取る確率）である。2 進 0 を正しく読み取る確率（すなわち、0 が書き込まれた時に 0 を読み取る確率）は、 $1 - p$ として表すことができる。同様に、2 進 1 を正しく読み取る確率（すなわち、1 が書き込まれた時に 1 を読み取る確率）は、 $1 - q$ として表すことができる。

【0081】

20

2 進非対称チャネルの外来 LLR

トレリス 1600 によって定義される 2 進非対称チャネルのビット c の外来 LLR、 $L_e(c)$ は、次のように表すことができる。

【数 1 1】

$$L_e(c) = \log \frac{P(\hat{c} | c = 0)}{P(\hat{c} | c = 1)}$$

【0082】

読取ビット $\hat{c} = 0$ の外来 LLR、 $L_e(c)$ は、

30

【数 1 2】

$$L_e(c) = \log \frac{P(\hat{c} = 0 | c = 0)}{P(\hat{c} = 0 | c = 1)} = \log \frac{1 - p}{q}$$

として計算される。

【0083】

読取ビット $\hat{c} = 1$ の外来 LLR、 $L_e(c)$ は、

【数 1 3】

$$L_e(c) = \log \frac{P(\hat{c} = 1 | c = 0)}{P(\hat{c} = 1 | c = 1)} = \log \frac{p}{1 - q}$$

40

として計算される。

【0084】

2 進対称チャネルの外来 LLR（ただし、 $p = q = p_0$ ）

読取ビット $\hat{c} = 0$ の外来 LLR、 $L_e(c)$ は、

【数 1 4】

$$L_e(c) = \log \frac{P(\hat{c} = 0 | c = 0)}{P(\hat{c} = 0 | c = 1)} = \log \frac{1 - p_0}{p_0}$$

として計算される。

【0 0 8 5】

読取ビット $c = 1$ の外来 LLR、 $L_e(c)$ は、

【数 1 5】

$$L_e(c) = \log \frac{P(\hat{c} = 1 | c = 0)}{P(\hat{c} = 1 | c = 1)} = \log \frac{p_0}{1 - p_0}$$

10

として計算される。

【0 0 8 6】

フラッシュ・メモリからの軟出力の外来 LLR

2 ビット／セル・フラッシュ・メモリについて、外来 LLR を、フラッシュ・メモリ 8 1 0、9 1 0 から受け取られる軟値 r について、次のように計算することができる。

【数 1 6】

$$\begin{aligned} L_e(c_0) &= \log \frac{p(r | c_0 = 0)}{p(r | c_0 = 1)} = \log \frac{P(c_0 = 0)}{P(c_0 = 1)} \cdot \frac{P(c_0 = 0, c_1 = 0 | r) + P(c_0 = 0, c_1 = 1 | r)}{P(c_0 = 1, c_1 = 0 | r) + P(c_0 = 1, c_1 = 1 | r)} \\ &= \log \frac{p(r | c_0 = 0, c_1 = 0) + \frac{P(c_1 = 1)}{P(c_1 = 0)} p(r | c_0 = 0, c_1 = 1)}{p(r | c_0 = 1, c_1 = 0) + \frac{P(c_1 = 1)}{P(c_1 = 0)} p(r | c_0 = 1, c_1 = 1)} \\ &= \log \frac{p(r | c_0 = 0, c_1 = 0) + \exp(-L_a(c_1)) \cdot p(r | c_0 = 0, c_1 = 1)}{p(r | c_0 = 1, c_1 = 0) + \exp(-L_a(c_1)) \cdot p(r | c_0 = 1, c_1 = 1)} \end{aligned}$$

20

30

【0 0 8 7】

一般に、セルあたりの任意のビット数について、ビット C_i の外来 LLR は、

【数 1 7】

$$L_e(C_i) = \log \frac{\sum_{s \in X_0^i} p(r | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in X_1^i} p(r | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}$$

と表すことができ、ここで、

40

 r : 受け取られた信号 s : 格納されたビット ($c_0, c_1, \dots, c_m$) によって与えられるオリジナルの格納された状態またはレベル c_i : 符号化されたビット m : セルあたりのビット数

【数 1 8】

$$L_a(C_i) = \log \frac{P(C_i = 0)}{P(C_i = 1)} : \text{先験的 LLR}$$

50

$L_e(C_i)$: 外来 LLR

$\chi^i_{C_i}$: そのビット・ラベルが位置 i で値 $C_i = c_i$ を有する状態またはレベルの部分集合であり、ここで、 $L_a(C_i)$ は、たとえば LDP C デコーダ 1090 または 1400 などのデコーダによって供給される。最初の反復では、 $L_a(C_i)$ を 0 に初期化することができる。

【0088】

次の等値性

【数19】

$$p(r|s) = \frac{p(r)}{P(s)} \cdot P(s|r) \quad 10$$

を使用すると、外来 LLR の式を、次のように書くこともできる。

【数20】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{P(s|r)}{P(s)} \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s|r)}{P(s)} \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \quad 20$$

【0089】

この式を、

【数21】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} P(s|r) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(s|r) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}$$

にさらに単純化することができる。

【0090】

この式は、数学的には、すべての状態またはレベルが同等にありそうである場合の上の式と同等である。

【0091】

フラッシュ・メモリからの軟出力のパターン依存外来 LLR

フラッシュ・メモリ 810、910 から受け取られる、ターゲット・セルの 1 つまたは複数の軟値 r および アグレッサ・セル (1 つまたは複数) の 1 つまたは複数の値 $\bar{h}$ について、

【数22】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} p(r, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} p(r, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \quad 40$$

であることを示すことができ、ここで、 $\bar{h}$ は、ターゲット・セルに対する外乱を引き起こす周囲のセル (1 つまたは複数) または他のセル内に格納されたデータ・パターンである。たとえば、

【数23】

$$\bar{h} = (h^{k \pm 1, l}, h^{k, l \pm 1}, h^{k \pm 1, l \pm 1})$$

は、L L Rが計算されようとしている位置 (k, l) のターゲット・セルに近接するすべてのアグレッサ・セルを表す。

【0092】

パターン h^- を、たとえばアグレッサ・セルから硬データを読み出すことによって入手することができる。

【0093】

外来 L L R の式を、次のように書くこともできる。

【数24】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{P(s | r, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s | r, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \quad 10$$

【0094】

この式を、

【数25】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} P(s | r, \bar{h}) \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(s | r, \bar{h}) \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \quad 20$$

にさらに単純化することができる。

【0095】

この式は、数学的に、すべての状態が同等にありそうである場合に上の式と同等である。

【0096】

フラッシュ・メモリからの硬出力の外来 L L R

軟出力がフラッシュ・メモリから使用可能ではなく、フラッシュ・メモリが、フラッシュ・メモリによって格納されたデータに割り当てられた状態またはレベルである硬データ $s^\wedge$ だけを供給するときには、外来 L L R を、

【数26】

$$\begin{aligned} L_e(C_i) &\approx \log \frac{\sum_{s \in \chi_0^i} p(E\{r | \hat{s}\} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} p(E\{r | \hat{s}\} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\ &\approx \log \frac{\sum_{s \in \chi_0^i} P(\hat{s} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(\hat{s} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \end{aligned} \quad 40$$

として計算することができ、ここで、 $E\{r | s^\wedge\}$ は、軟値 r (電圧など) の期待値または硬値 $s^\wedge$ を仮定する軟値 r に関するある他の推定値である。 $P(s^\wedge | s)$ は、状態またはレベル s が最初書き込まれ格納されたと仮定して、硬値 (状態またはレベルなど) $s^\wedge$ が読み取られる確率である。

【0097】

外来 L L R を、その代わりに

【数 2 7】

$$\begin{aligned}
L_e(C_i) &\approx \log \frac{\sum_{s \in \chi_0^i} \frac{P(s | E\{r | \hat{s}\})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s | E\{r | \hat{s}\})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\
&\approx \frac{\sum_{s \in \chi_0^i} \frac{P(s | \hat{s})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s | \hat{s})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\
&\approx \frac{\sum_{s \in \chi_0^i} P(s | \hat{s}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(s | \hat{s}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}
\end{aligned}$$

10

として計算することができ、ここで、 $P(s | s^{\wedge})$ は、硬値（状態またはレベル） $s^{\wedge}$ が読み取られると仮定して、状態またはレベル s が最初書き込まれるか格納された確率である。

【0098】

20

フラッシュ・メモリからの硬出力のパターン依存外来 LLR

軟出力がフラッシュ・メモリから使用可能ではなく、フラッシュ・メモリが、フラッシュ・メモリによって格納されたデータに割り当てられた状態またはレベルである硬データ $s^{\wedge}$ だけを供給するときには、外来 LLR を、アグレッサ・セルに格納されたパターン h^{-} に基づいて計算することができ、

【数 2 8】

$$\begin{aligned}
L_e(C_i) &\approx \log \frac{\sum_{s \in \chi_0^i} p(E\{r | \hat{s}, \bar{h}\}, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} p(E\{r | \hat{s}, \bar{h}\}, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\
&\approx \log \frac{\sum_{s \in \chi_0^i} P(\hat{s}, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(\hat{s}, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}
\end{aligned}$$

30

ここで、 $P(s^{\wedge}, h^{-} | s)$ は、状態またはレベル s が最初書き込まれ格納されたと仮定して、硬値（状態またはレベル） $s^{\wedge}$ が読み取られ、アグレッサ・セル内のパターンが h^{-} である確率である。 h^{-} は、ターゲット・セルに対する外乱を引き起こす周囲のセル（1つまたは複数）または他のセルに格納されたデータ・パターンである。たとえば、

【数 2 9】

40

$$\bar{h} = (h^{k \pm 1, l}, h^{k, l \pm 1}, h^{k \pm 1, l \pm 1})$$

は、その LLR が計算されようとしている位置 (k, l) のターゲット・セルに近接するすべてのアグレッサ・セルを表す。

【0099】

パターン h^{-} を、たとえばアグレッサ・セルからの硬データを読み出すことによって入手することができる。

【0100】

パターン依存 LLR を、その代わりに

50

【数 3 0】

$$\begin{aligned}
L_e(C_i) &\approx \log \frac{\sum_{s \in \chi_0^i} \frac{P(s | E\{r | \hat{s}, \bar{h}\}, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s | E\{r | \hat{s}, \bar{h}\}, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\
&\approx \frac{\sum_{s \in \chi_0^i} \frac{P(s | \hat{s}, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s | \hat{s}, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\
&\approx \frac{\sum_{s \in \chi_0^i} P(s | \hat{s}, \bar{h}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(s | \hat{s}, \bar{h}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}
\end{aligned}$$

10

として計算することができ、ここで、 $P(s | \hat{s}, \bar{h})$ は、硬値（状態またはレベルなど） $\hat{s}$ が読み取られ、アグレッサ・セル内のパターンが $\bar{h}$ であると仮定して、状態またはレベル s が最初書き込まれたか格納された確率である。

【0 1 0 1】

フラッシュからの軟出力の軟デコーダ・フィードバックなしの外来 LLR

20

デコーダからの軟出力が、軟デマッパ／軟データ・ジェネレータ内で使用されない（言い換えると、 $L_a(C_i) = 0$ ）であるときには、軟デマッパ／軟データ・ジェネレータ内の外来 LLR を、次のように計算することができる。

【数 3 1】

$$\begin{aligned}
L_e(C_i) &= \log \frac{\sum_{s \in \chi_0^i} p(r | s)}{\sum_{s \in \chi_1^i} p(r | s)} \\
L_e(C_i) &= \log \frac{\sum_{s \in \chi_0^i} \frac{P(s | r)}{P(s)}}{\sum_{s \in \chi_1^i} \frac{P(s | r)}{P(s)}} \approx \log \frac{\sum_{s \in \chi_0^i} P(s | r)}{\sum_{s \in \chi_1^i} P(s | r)}
\end{aligned}$$

30

【0 1 0 2】

これらの外来 LLR は、その後、図 10 および 11 に示されたデコーダに渡される。次に、LDPC は、たとえばデータ・ビットが復号されるまでデコーダの内部の局所反復のためにメッセージ渡し復号アルゴリズムを適用することができる。この場合に、軟デマッパ／軟データ・ジェネレータの間の大域検出／復号反復は、全体的な計算の複雑さを下げるために、実行されない。

【0 1 0 3】

40

パターン依存 LLR を、この場合には次のように計算することができる。

【数 3 2】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} p(r, \bar{h} | s)}{\sum_{s \in \chi_1^i} p(r, \bar{h} | s)}$$

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{P(s | r, \bar{h})}{P(s)}}{\sum_{s \in \chi_1^i} \frac{P(s | r, \bar{h})}{P(s)}} \approx \log \frac{\sum_{s \in \chi_0^i} P(s | r, \bar{h})}{\sum_{s \in \chi_1^i} P(s | r, \bar{h})} \quad 10$$

【0 1 0 4】

フラッシュからの硬出力の軟デコーダ・フィードバックなしの外来 L L R

軟データがフラッシュ・メモリから使用可能ではなく、デコーダからの軟出力が、計算の複雑さを減らすのに使用される場合には、外来 L L R を次のように計算することができる。

【数 3 3】

$$L_e(C_i) \approx \log \frac{\sum_{s \in \chi_0^i} p(E\{r | \hat{s}\} | s)}{\sum_{s \in \chi_1^i} p(E\{r | \hat{s}\} | s)}$$

$$\approx \log \frac{\sum_{s \in \chi_0^i} P(\hat{s} | s)}{\sum_{s \in \chi_1^i} P(\hat{s} | s)} \quad 20$$

ここで、 $E\{r | \hat{s}\}$ は、軟値 r （電圧など）の期待値または硬値 $\hat{s}$ を仮定する軟値 r のある他の推定値である。 $P(\hat{s} | s)$ は、状態またはレベル s が最初に書き込まれ格納されたと仮定して、硬値（状態またはレベルなど） $\hat{s}$ が読み取られる確率である。

【0 1 0 5】

代替実施態様では、L L R を

30

【数 3 4】

$$L_e(C_i) \approx \log \frac{\sum_{s \in \chi_0^i} \frac{P(s | E\{r | \hat{s}\})}{P(s)}}{\sum_{s \in \chi_1^i} \frac{P(s | E\{r | \hat{s}\})}{P(s)}}$$

$$\approx \frac{\sum_{s \in \chi_0^i} \frac{P(s | \hat{s})}{P(s)}}{\sum_{s \in \chi_1^i} \frac{P(s | \hat{s})}{P(s)}}$$

$$\approx \frac{\sum_{s \in \chi_0^i} P(s | \hat{s})}{\sum_{s \in \chi_1^i} P(s | \hat{s})} \quad 40$$

として計算することができ、ここで、 $P(s | \hat{s})$ は、硬値（状態またはレベルなど） $\hat{s}$ が読み取られると仮定して、状態またはレベル s が最初に書き込まれるか格納された確率である。

【0 1 0 6】

パターン依存 L L R は、この場合に、次のように計算することができる。

50

【数 3 5】

$$\begin{aligned}
 L_e(C_i) &\approx \log \frac{\sum_{s \in \chi_0^i} P(\hat{s}, \bar{h} | s)}{\sum_{s \in \chi_1^i} P(\hat{s}, \bar{h} | s)} \\
 L_e(C_i) &\approx \frac{\sum_{s \in \chi_0^i} \frac{P(s | \hat{s}, \bar{h})}{P(s)}}{\sum_{s \in \chi_1^i} \frac{P(s | \hat{s}, \bar{h})}{P(s)}} \\
 &\approx \frac{\sum_{s \in \chi_0^i} P(s | \hat{s}, \bar{h})}{\sum_{s \in \chi_1^i} P(s | \hat{s}, \bar{h})}
 \end{aligned}$$

10

【0107】

フラッシュからの軟出力の外来 LLR のガウス近似

フラッシュ・メモリからの軟出力（読取しきい電圧など）が、ガウス分布を有してモデル化される場合には、最初に格納されたか書き込まれたレベル s を仮定した軟出力 $p(r)$ の条件 PDF $p(r | s)$ を

20

【数 3 6】

$$p(r | s) = \frac{1}{\sqrt{2\pi}\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r | s\})^2\right)$$

と表すことができ、ここで、 $\sigma(s)$ は、標準偏差であり、 $E\{r | s\}$ は、状態 s の軟出力（しきい電圧など）の平均値または期待値である。

【0108】

すると、外来 LLR を

【数 3 7】

30

$$\begin{aligned}
 L_e(C_i) &= \log \frac{\sum_{s \in \chi_0^i} \frac{1}{\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r | s\})^2\right) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{1}{\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r | s\})^2\right) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\
 &= \log \frac{\sum_{s \in \chi_0^i} \frac{1}{\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r | s\})^2\right) - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j}{\sum_{s \in \chi_1^i} \frac{1}{\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r | s\})^2\right) - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j}
 \end{aligned}$$

40

として計算することができる。

【0109】

すべての状態の電圧分布が同一の標準偏差 $\sigma(s) = \sigma$ を有する場合には、この式を次の式に単純化することができる。

【数 3 8】

$$\begin{aligned}
L_e(C_i) &= \log \frac{\sum_{s \in \chi_0^i} \exp(-\frac{1}{2\sigma^2}(r - E\{r|s\})^2) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \exp(-\frac{1}{2\sigma^2}(r - E\{r|s\})^2) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\
&= \log \frac{\sum_{s \in \chi_0^i} \exp(-\frac{1}{2\sigma^2}(r - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \exp(-\frac{1}{2\sigma^2}(r - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}
\end{aligned}$$

【0 1 1 0】

この式を、

【数 3 9】

$$L_e(C_i) \approx \max_{s \in \chi_0^i} [-\frac{1}{2\sigma^2}(r - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j] - \max_{s \in \chi_1^i} [-\frac{1}{2\sigma^2}(r - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j]$$

20

にさらに単純化することができる。

【0 1 1 1】

フラッシュからの硬出力の外來 L L R のガウス近似

フラッシュ・メモリからの軟出力が使用可能ではないときには、L L R を、軟出力がガウス分布であると仮定して次のように計算することができ、

【数 4 0】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2}(E\{r|\hat{s}\} - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2}(E\{r|\hat{s}\} - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}$$

30

ここで、 $E\{r|s\}$ は、状態 s に関する軟出力 r (しきい電圧など) の平均値または期待値であり、 $E\{r|\hat{s}\}$ は、フラッシュ・メモリによって割り当てられ、供給される状態またはレベルである硬出力 $\hat{s}$ に関する軟出力 r (しきい電圧など) の平均値または期待値である。

【0 1 1 2】

すべての状態に関する電圧分布が、同一の標準偏差 $\sigma(s) = \sigma$ を有する場合には、この式を、次の式に単純化することができる。

【数 4 1】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \exp(-\frac{1}{2\sigma^2}(E\{r|\hat{s}\} - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \exp(-\frac{1}{2\sigma^2}(E\{r|\hat{s}\} - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}$$

40

【0 1 1 3】

この式を、さらに

【数 4 2】

$$L_e(C_i) \approx \max_{s \in \chi_0^i} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j \right] \\ - \max_{s \in \chi_1^i} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j \right]$$

に単純化することができる。

【0 1 1 4】

10

フラッシュ・メモリからの硬出力のパターン依存外来 L L R のガウス近似

硬出力のパターン依存 L L R は、軟出力の分布がガウシアンとしてモデル化される場合に、次のように計算することができる。

【数 4 3】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{1}{\sigma(s, \bar{h})} \exp\left(-\frac{1}{2\sigma(s, \bar{h})^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j\right)}{\sum_{s \in \chi_1^i} \frac{1}{\sigma(s, \bar{h})} \exp\left(-\frac{1}{2\sigma(s, \bar{h})^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j\right)}$$

20

ここで、 $\bar{h}$ は、上で定義したように、アグレッサ・セルに格納されるパターンであり、 $\sigma(s, \bar{h})$ は、状態 s およびパターン $\bar{h}$ に関する軟出力の分布の標準偏差である。

【0 1 1 5】

すべての状態およびパターンの電圧分布が、同一の標準偏差 $\sigma(s, \bar{h}) = \sigma$ を有する場合には、この式を次の式に単純化することができる。

【数 4 4】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \exp\left(-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j\right)}{\sum_{s \in \chi_1^i} \exp\left(-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j\right)}$$

30

【0 1 1 6】

この式を、さらに

【数 4 5】

$$L_e(C_i) \approx \max_{s \in \chi_0^i} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j \right] \\ - \max_{s \in \chi_1^i} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j \right]$$

40

に単純化することができる。

【0 1 1 7】

フラッシュ・メモリからの軟出力の軟デコーダ・フィードバックなしの外来 L L R のガウス近似

軟デコーダ・フィードバックが使用されないときには、外来 L L R を、フラッシュ・メモリからの軟出力が使用可能であるときの軟出力分布に関するガウス近似を使用して次のように計算することができる。

【数 4 6】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (r - E\{r | s\})^2)}{\sum_{s \in \chi_1^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (r - E\{r | s\})^2)}$$

【0 1 1 8】

すべての状態の電圧分布が同一の標準偏差 $\sigma(s) = \sigma$ を有する場合には、この式を、次の式に単純化することができる。

10

【数 4 7】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \exp(-\frac{1}{2\sigma^2} (r - E\{r | s\})^2)}{\sum_{s \in \chi_1^i} \exp(-\frac{1}{2\sigma^2} (r - E\{r | s\})^2)}$$

【0 1 1 9】

この式を、さらに

【数 4 8】

20

$$L_e(C_i) \approx \max_{s \in \chi_0^i} [-\frac{1}{2\sigma^2} (r - E\{r | s\})^2] - \max_{s \in \chi_1^i} [-\frac{1}{2\sigma^2} (r - E\{r | s\})^2]$$

に単純化することができる。

【0 1 2 0】

フラッシュ・メモリからの硬出力の軟デコーダ・フィードバックなしの外來 L L R のガウス近似

軟デコーダ・フィードバックが使用されないときには、外來 L L R を、フラッシュ・メモリからの硬出力だけが使用可能であるときの軟出力分布のガウス近似を使用して次のように計算することができる。

30

【数 4 9】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (E\{r | \hat{s}\} - E\{r | s\})^2)}{\sum_{s \in \chi_1^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (E\{r | \hat{s}\} - E\{r | s\})^2)}$$

【0 1 2 1】

すべての状態の電圧分布が同一の標準偏差 $\sigma(s) = \sigma$ を有する場合には、この式を、次の式に単純化することができる。

40

【数 5 0】

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \exp(-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2)}{\sum_{s \in \chi_1^i} \exp(-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2)}$$

【0 1 2 2】

この式を、さらに

50

【数 5 1】

$$L_e(C_i) \approx \max_{s \in X_0^i} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2 \right] \\ - \max_{s \in X_1^i} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2 \right]$$

に単純化することができる。

【0 1 2 3】

10

対応するパターン依存 LLR は、次のように計算される。

【数 5 2】

$$L_e(C_i) = \log \frac{\sum_{s \in X_0^i} \frac{1}{\sigma(s, \bar{h})} \exp\left(-\frac{1}{2\sigma(s, \bar{h})^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2\right)}{\sum_{s \in X_1^i} \frac{1}{\sigma(s, \bar{h})} \exp\left(-\frac{1}{2\sigma(s, \bar{h})^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2\right)}$$

【0 1 2 4】

20

すべての状態およびパターンの電圧分布が同一の標準偏差 $\sigma(s, \bar{h})$ を有する場合には、この式を次の式に単純化することができる。

【数 5 3】

$$L_e(C_i) = \log \frac{\sum_{s \in X_0^i} \exp\left(-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2\right)}{\sum_{s \in X_1^i} \exp\left(-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2\right)}$$

【0 1 2 5】

30

これを、さらに

【数 5 4】

$$L_e(C_i) \approx \max_{s \in X_0^i} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 \right] \\ - \max_{s \in X_1^i} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 \right]$$

に単純化することができる。

【0 1 2 6】

40

読取統計テーブル

図 17A ~ 17C は、フラッシュ・メモリからのデータの読出に関する統計を記録する例示的なセル・ベースの統計テーブルである。図 17A は、（書込レベル（s）および読取レベル（s^h））の所与の対について、書込レベル（s）が書き込まれたときに読取レベル（s^h）が読み取られた回数を示す、例示的なセル・ベースの統計カウント・テーブル 1700 である。たとえば、書込レベル（s）も 00 と等しいときに、読取レベル（s^h = 00）は、10617 回読み取られた。さらに、書込レベル（s）が 01 と等しいときに、読取レベル（s^h = 00）は、誤って 148 回読み取られた。カウント・テーブル 1700 は、オプションで、各行および列の合計をも示す。カウント・テーブル 1700 内の値は、図 21、23、25、および 28 に関連して下で述べる、複数のセル・ベース

50

の統計プロセスによって使用される。

【0127】

図17Bは、（書込レベル（ s ）および読取レベル（ $s^{\wedge}$ ））の所与の対について、読取レベル（ $s^{\wedge}$ ）が読み取られたという条件の下で書込レベル（ s ）が書き込まれた確率 $p(s | s^{\wedge})$ を示す、例示的なセル・ベースの統計テーブルである。図17Cは、（書込レベル（ s ）および読取レベル（ $s^{\wedge}$ ））の所与の対について、書込レベル（ s ）が書き込まれたという条件の下で、読取レベル（ $s^{\wedge}$ ）が読み取られた確率 $p(s^{\wedge} | s)$ を示す、例示的なセル・ベースの統計テーブル1740である。

【0128】

図18は、所与のパターンの存在下でフラッシュ・メモリからのデータの読出に関するパターン依存統計を記録する例示的なパターン依存セル・ベース統計テーブル1800である。例示的なテーブル1800は、（書込レベル（ s ）および読取レベル（ $s^{\wedge}$ ））の所与の対について、所与のパターン h^- の存在下で、書込レベル（ s ）が書き込まれたという条件の下で、読取レベル（ $s^{\wedge}$ ）がパターン h^- の存在下で読み取られた確率 $p(s^{\wedge}, h^- | s)$ を示す。

【0129】

統計の収集

基準セルを使用する統計収集

図19に、図3の例示的なフラッシュ・セル・アレイをさらに詳細に示す。図19に示されているように、例示的なフラッシュ・セル・アレイ1900は、すべての動作条件で信頼できるチャネル推定値または統計を提供するために複数の基準セル1920— ref_1 から1920— ref_N （本明細書では集合的に基準セル1920と称する）を含む。

【0130】

例示的な基準セル1920は、図19では切り刻まれた背景を有して図示されている。基準セル1920を、既知のビット・パターンまたは既知の記号パターンなどの既知のパターンを使用して周期的にまたは間欠的にプログラムすることができる。基準セル1920を、任意の所望の形で、たとえば、各ワード線内の一貫したまた可変の個数のセルを使用して、フラッシュ・セル・アレイ1900の中で分散させることができることに留意されたい。基準セル1920の位置は、固定することができ、あるいは、たとえば使い古されたまたは損傷を受けたセルを回避するために、経時的に変更することができる。一実施態様では、基準セル1920の位置は、固定され、同一の基準セル1920の性能を、経時的に観察することができる。この固定位置実施態様では、基準セル1920を、オプションで、1回だけ書き込むことができ、あるいは、フラッシュ・メモリ・アレイ内の他のセルに匹敵する回数だけ書き込み、読み取ることができる。

【0131】

さらなる変形形態では、基準セル1920の位置は、基準セル1920の性能がアレイ1900全体の性能を反映するために、経時的に変更される。さらに別の変形形態では、統計を、複数の異なるアレイ1900内の基準セル1920から入手することができ、その後、結果は、平均をとられる。

【0132】

下でさらに述べるように、基準セル1920は、読み取られ、既知のパターンと比較される。たとえば、誤りを検出する確率 p_0 の推定値を、次のように入手することができる。

【数55】

$$p_0 = \frac{\text{不正な読出の個数}}{\text{基準セルの個数}}$$

基準セルのプログラミングおよび読取を、オプションで、既知の形で、メモリにまたがって消耗を拡散させるウェアレベル・アルゴリズムと組み合わせることができる。

【0133】

さまざまな実施形態では、基準セル1920は、すべての可能なレベルを格納することができ、周期的パターン（レベルが交番する場合）を有し、周期的に書き込まれまたは経時的に読み取られるのいずれかとすることができる。

【0134】

後で述べるように、本発明のさまざまな実施形態は、ビット・ベースの統計、セル・ベースの統計、またはパターン依存統計を収集し、使用する。ビット・ベースの統計を使用する実施形態について、ビット誤り性能が測定される。セル・ベースの統計を使用する実施形態について、読取統計が、セルを基礎として測定される。パターン依存統計について、読取統計は、アグレッサ・セルに格納されたデータ・パターンをも説明する。

10

【0135】

1. 基準セルを使用するビット・ベースの統計

図20は、本発明の基準セル実施形態に関するビット・ベースの統計生成プロセス2000の例示的实施態様を説明する流れ図である。一般に、ビット・ベースの統計生成プロセス2000は、ビット誤りを検出する確率 p_0 を計算する。その後、誤りを検出する確率 p_0 をLLRジェネレータ1550（図15）によって使用して、所望の軟データを計算することができる。当初に、統計生成プロセス2000は、ステップ2010中に、1つまたは複数の基準セル1920に既知のパターンを書き込む。前に示したように、既知のパターンは、たとえば、既知のビット・パターンまたは既知の記号パターンとすることができる。

20

【0136】

その後、ステップ2020中に、基準セルを読み取る。その後、統計生成プロセス2000は、ステップ2030中に、基準セル1920内の誤りのあるビットの個数など、エラー・メトリックを判定する。前に示したように、ステップ2020中に読み取られた基準セル1920を、既知のパターンと比較することができる。

【0137】

統計生成プロセス2000は、ステップ2040中に、次のように誤り確率統計を計算する。

【数56】

$$p_0 = \frac{\text{誤りのあるビットの個数}}{\text{基準ビットの総数}}$$

30

【0138】

2. 基準セルを使用するセル・ベースの統計

図21は、本発明の基準セル実施形態に関するセル・ベースの統計生成プロセス2100の例示的实施態様を説明する流れ図である。図21に示されているように、セル・ベースの統計生成プロセス2100は、当初に、ステップ2110中に基準セル1920に1つまたは複数の既知の電圧レベルを書き込む。

【0139】

その後、セル・ベースの統計生成プロセス2100は、ステップ2120中に基準セル1920から電圧レベルを読み取る。可能な書込レベル s または LVL_{write} ごとに、セル・ベースの統計生成プロセス2100は、ステップ2130中に、この書込レベル s または LVL_{write} が書き込まれた時に各レベル s または LVL_{read} が読み取られた回数をカウントする。

40

【0140】

ステップ2140中に、次のように誤り確率統計を計算する。

【数 5 7】

$$p(\hat{s}|s) = \frac{\text{LVL}_{\text{writ}} \text{が書き込まれた時に LVL}_{\text{read}} \text{が読み取られた回数}}{\text{LVL}_{\text{writ}} \text{が書き込まれた総回数}}$$

【0 1 4 1】

代替案では、ステップ 2 1 4 0 中に、誤り確率統計を次のように計算することができる（逆の事例）。

【数 5 8】

$$p(s|\hat{s}) = \frac{\text{LVL}_{\text{read}} \text{が読み取られた時に LVL}_{\text{writ}} \text{が書き込まれた回数}}{\text{LVL}_{\text{read}} \text{が読み取られた総回数}}$$

10

【0 1 4 2】

代替の正規化項を、ステップ 2 1 4 0 中に計算される式の分母に使用できることに留意されたい。

【0 1 4 3】

復号済み符号語を使用する統計収集

本発明の復号済み符号語実施形態では、軟データは、基準セルとして復号済み符号語から入手されたデータを使用して、フラッシュ・メモリ・デバイス 8 1 0、9 1 0 などのメモリ・デバイスについて生成される。一般に、フラッシュ・メモリ・デバイスなどのメモリ・デバイスからの硬データが復号され、誤りのある復号済みビットの個数などのエラー・メトリックが入手される。たとえば、誤りのある復号済みビットの個数を、復号済みビットをメモリ・デバイスから入手された硬データと比較することによって入手することができる。この形で、復号済み符号語を、正しいと仮定することができ、復号済み符号語は、上で述べた基準セルとして働くことができる。

20

【0 1 4 4】

1. 復号済み符号語を使用するビット・ベースの統計

図 2 2 は、本発明の復号済み符号語実施形態に関するビット・ベースの統計生成プロセス 2 2 0 0 の例示的实施態様を説明する流れ図である。一般に、ビット・ベースの統計生成プロセス 2 2 0 0 は、復号済み符号語を使用して、誤りを検出する確率 p_0 を計算する。その後、誤りを検出する確率 p_0 を、LLR ジェネレータ 1 5 5 0（図 1 5）によって使用して、所望の軟データを計算することができる。当初に、統計生成プロセス 2 2 0 0 は、ステップ 2 2 1 0 中に、フラッシュ・メモリから硬データを入手する。

30

【0 1 4 5】

その後、ビット・ベースの統計生成プロセス（復号済み符号語）2 2 0 0 は、ステップ 2 2 2 0 中に硬データを復号する。フラッシュ・メモリからの誤りのあるビットの個数などのエラー・メトリックを、ステップ 2 2 3 0 中に判定する。誤りのあるビットの個数は、たとえば、復号済みビット（正しいと仮定される）をフラッシュ・メモリからの硬データと比較することによって判定することができる。

40

【0 1 4 6】

統計生成プロセス 2 2 0 0 は、ステップ 2 2 4 0 中に次のように誤り確率統計を計算する。

【数 5 9】

$$p_0 = \frac{\text{誤りのあるビットの個数}}{\text{復号済みビットの総数}}$$

【0 1 4 7】

2. 復号済み符号語を使用するセル・ベースの統計

50

図 2 3 は、本発明の特徴を組み込んだセル・ベースの統計生成プロセス（復号済み符号語）2 3 0 0 の例示的实施態様を説明する流れ図である。一般に、統計生成プロセス 2 3 0 0 は、復号済み符号語を使用して、セル・ベースの誤り確率を計算する。当初に、セル・ベースの統計生成プロセス 2 3 0 0 は、ステップ 2 3 1 0 中にフラッシュ・メモリから硬データ入手する。

【0 1 4 8】

その後、セル・ベースの統計生成プロセス（復号済み符号語）2 3 0 0 は、ステップ 2 3 2 0 中に硬データを復号する。その後、ステップ 2 3 2 5 中に、復号済みビットを対応する電圧レベルにマッピングする。

【0 1 4 9】

その後、可能な復号済み電圧レベル s または LVL_{decod} ごとに、セル・ベースの統計生成プロセス（復号済み符号語）2 3 0 0 は、ステップ 2 3 3 0 中に、この復号済みレベル s LVL_{decod} が復号された時に各電圧レベル s $^{\wedge}$ または LVL_{read} が読み取られた回数をカウントする。

【0 1 5 0】

ステップ 2 3 4 0 中に、次のように誤り確率統計を計算する。

【数 6 0】

$$p(\hat{s}|s) = \frac{LVL_{decod} \text{ が復号された時に } LVL_{read} \text{ が読み取られた回数}}{LVL_{decod} \text{ が復号された総回数}}$$

【0 1 5 1】

代替案では、誤り確率統計を、ステップ 2 3 4 0 中に次のように計算することができる（逆の事例）

【数 6 1】

$$p(s|\hat{s}) = \frac{LVL_{read} \text{ が読み取られた時に } LVL_{decod} \text{ が復号された回数}}{LVL_{read} \text{ が読み取られた総回数}}$$

【0 1 5 2】

条件固有の誤り確率

前に示したように、誤り確率統計を、オプションで、メモリ・アレイの異なる位置について、アグレッサ・セルの異なるパターンについて、異なる温度について、異なる個数のプログラム／消去サイクルまたは読取サイクルについて、その他など、異なる条件について入手することができる。その後、同一条件が観察される時に、軟データを、正しい条件依存の統計または確率を使用して入手することができる。

【0 1 5 3】

下で図 2 4 および 2 5 に関連して述べるように、例示的な位置固有統計生成プロセス 2 4 0 0、2 5 0 0 は、それぞれビット・ベースの統計およびセル・ベースの統計を使用して、メモリ・アレイの異なる位置に関する誤り確率統計を入手する。

【0 1 5 4】

ビット・ベースの位置固有統計

図 2 4 は、メモリ・アレイ内の複数の異なる位置に関するビット誤りを検出する確率を推定する例示的なビット・ベースの位置固有統計生成プロセス 2 4 0 0 を説明する流れ図である。たとえば、誤りを検出する確率 $p_{0, LOC}$ を、異なるページ位置、ワード線位置、ビット線位置（偶数ビット線および奇数ビット線など）、およびマルチレベル・セル内の異なるビット（最上位ビット（MSB）および最下位ビット（LSB）など）のうちの 1 つまたは複数について入手することができる。図 2 4 に示されているように、例示的なビット・ベースの位置固有統計生成プロセス 2 4 0 0 は、当初に、ステップ 2 4 3 0 中に、所望の位置固有統計に基づいて、基準セルまたは復号済み符号語の所望の位置の誤り

10

20

30

40

50

のあるビットの個数を判定する。たとえば、位置固有統計がMSBに関するものである場合には、ステップ2430中に、誤りのあるMSBビットの個数を評価する。MSB統計が入手されつつあるときには、たとえば、LSBビットなど、各セル内のすべての他のビットをオプションで無視できることに留意されたい。

【0155】

次に、位置固有統計生成プロセス2400は、ステップ2440中に次のように位置固有誤り確率統計を計算する。

【数62】

$$p_{0,loc} = \frac{\text{所望の位置の誤りのあるビットの個数}}{\text{所望の位置の検討されるビットの総数}}$$

10

【0156】

セル・ベースの位置固有統計

セル・ベースの位置固有実施態様について、メモリ・アレイ内の関心を持たれている異なる位置は、たとえば、異なるワード線位置またはビット線位置（偶数ビット線および奇数ビット線など）のうちの1つまたは複数を含むことができる。

【0157】

図25は、異なるワード線位置またはビット線位置（偶数ビット線および奇数ビット線など）のうちの1つまたは複数など、メモリ・アレイ1900内の複数の異なる位置について誤り確率統計を入手する例示的なセル・ベースの位置固有統計生成プロセス2500を説明する流れ図である。図25に示されているように、可能な基準電圧レベルsまたはLVL_{ref}ごとに、例示的なセル・ベースの位置固有統計生成プロセス2500は、当初に、ステップ2530中に、この基準レベルsまたはLVL_{ref}が復号されたか書き込まれた時に各電圧レベルs^hLVL_{read}が所望の位置で読み取られた回数をカウントする。

20

【0158】

次に、セル・ベースの位置固有統計生成プロセス2500は、ステップ2540中に次のように位置固有誤り確率統計を計算する。

【数63】

$$p(\hat{s}|s) = \frac{\text{LVL}_{ref} \text{が書き込まれたか復号された時に} \\ \text{LVL}_{read} \text{が読み取られた回数}}{\text{LVL}_{ref} \text{が書き込まれ／復号された総回数}}$$

30

【0159】

代替案では、p(s|s⁻)を、上で述べたように計算することができる。

【0160】

本発明のさまざまな実施態様では、別々のビット・ベースの、セル・ベースの、またはパターン・ベースの統計を、ページごと、ワード線ごと、もしくはメモリ・アレイごとに、またはページのグループ、ワード線のグループ、もしくはメモリ・アレイのグループについて（あるワード線内の異なるページ・レベル、またはあるメモリ・アレイ内の下ワード線、中ワード線、および上ワード線についてなど）、収集することができる。さらに、統計を、複数のページ、ワード線、またはメモリ・アレイにまたがって平均化することができ、その後、平均統計を、これらのページ、ワード線、またはメモリ・アレイについて使用することができる。

40

【0161】

パターン依存の統計

前に示したように、本発明のさまざまな実施形態は、1つまたは複数の軟値rについて、ターゲット・セルおよび1つまたは複数の値h⁻について、アグレッサ・セル（1つま

50

たは複数)について、外来 $L L R$ 、 L_e を計算し、ここで、 h^- は、アグレッサ・セル (囲むセル (1つまたは複数) などに格納されたデータ・パターンである。

【0162】

図26に、各アグレッサ・セル720のすべての可能な値に基づく、例示的なマルチレベル・セル・フラッシュ・メモリ600の所与のターゲット・セル710に関する確率密度関数2610の例示的な集団2600を示す。例示的なマルチレベル・セル・フラッシュ・メモリは、セルあたり4つのレベル(2ビット)を有し、1つのアグレッサ・セル720が、データ依存pdfについて考慮される。所与のターゲット・セル710の各可能なレベルに適用可能な確率密度関数の個数は、各アグレッサ・セル720の可能なレベルの個数を、所与のターゲット・セル710に影響するアグレッサ・セル720の個数乗したものである。前に示したように、例示的实施形態では、各セルは、4つの可能な値のうちの1つを有することができ、ターゲット・セル710あたり1つのアグレッサ・セル720があり、各アグレッサ・セル720は、4つの可能なレベルのうちの1つを有することができる。したがって、例示のために、確率密度関数の集団2600は、アグレッサ・セルのパターンに適用可能なデータまたは電圧レベル0に関する4つの確率密度関数2610-1から2610-4を含む。他のデータ・レベル1、2、および3のそれぞれについても、4つの確率密度関数がある。当業者に明白であるように、本発明を、セルあたり任意の個数のレベルおよび任意の個数のアグレッサ・セル720を有するマルチレベル・セル・フラッシュ・メモリ600に拡張することができる。

10

【0163】

一般に、図26の各確率密度関数は、他の雑音および外乱の影響の中でも、対応するアグレッサ・セル720の所与の値に関する所与のターゲット・セル710に対するICIの影響を表す。本発明のさらなる実施形態では、データ依存確率密度関数は、ICIの代わりにまたはICIに加えて、他のデータ依存ひずみを表すことができる。後で述べるように、さまざまな実施形態では、確率密度関数を、事前定義の静的なものとするか、リアルタイム観察に基づいて適合されるものとするか、あるいは、ガウス関数など、アグレッサ・セル720の測定されたまたは検出された値 h の関数として表すことができる。

20

【0164】

本発明の一態様によれば、フラッシュ・メモリ・デバイス内の外乱は、少なくとも1つのターゲット・セルに対する1つまたは複数のアグレッサ・セルのパターン依存外乱を表す1つまたは複数の確率密度関数を入手することによって特徴を表すことができる。外乱は、たとえば、バック・パターン依存、セル間干渉、プログラム妨害、読取妨害、および/または追加の雑音を含むことができる。確率密度関数を、1つまたは複数のデータ判断に基づいて更新することができる。確率密度関数を、格納されたテーブルおよび/または式として表すことができる。

30

【0165】

さらに、確率密度関数のテーブル・エントリまたは関数パラメータを、オプションで、たとえば受け取られたデータ判断に基づいて、適応式に更新することに留意されたい。たとえば、確率密度関数を、受け取られたアグレッサ・パターン h^- に基づいて選択することができる。選択された確率密度関数は、その後、受け取られたターゲット・セル値 r に基づいて、既知の技法を使用して、最新のオカレンスを用いて更新される(たとえば、対応するカウンタを増やすことによって)。

40

【0166】

前に示したように、所与のターゲット・セル710に影響するアグレッサ・セル720の個数を、複数の要因に基づいて減らすか無視することができる。この形で、検討する必要がある確率密度関数の個数を減らすことができる。たとえば、ICIを軽減する例示的实施形態では、斜めに結合する係数 $k_{x,y}$ が、他の結合する係数よりはるかに小さい(しばしばそうであるように)場合には、斜めに位置するセルからのICIを無視することができる。さらに、プログラミング・シーケンスは、検討される必要があるアグレッサ・セル720の個数に影響する。たとえば、ボトム・アップ手法など、ワード線が必ず固定さ

50

れた順序で書き込まれる場合には、下側ワード線内のセルからの外乱 I C I 寄与がない場合がある。さらに、外乱 I C I がターゲット・セル 710 の左右の隣に関して対称である場合には、特性を表される必要がある確率密度関数の個数が、半分だけ減らされる。

【0167】

前に示したように、1つの例示的实施態様では、確率密度関数を、ガウス確率密度関数を使用して近似することができる。さらなる変形形態では、確率密度関数が、たとえばヒストグラムに基づく場合に、追加の複雑さという犠牲を払って、改善された性能を得ることができる。確率密度関数がヒストグラムを使用して実施されるときに、確率密度関数を、成功して復号されたワード線を使用してヒストグラムをトレーニングすることによって適応式に更新することができる。

10

【0168】

さらなる実施形態では、確率密度関数およびその近似を、読取データを検出するために、ビタビ・アルゴリズム、軟出力ビタビ (SOVA) アルゴリズム、および BCJR アルゴリズムなどのトレリス・ベースの検出アルゴリズムによって使用することができる。

【0169】

1. ビット・ベースのパターン依存統計

図 27 は、少なくとも 1 つのターゲット・セル 710 (図 7) に関連する 1 つまたは複数のアグレッサ・セル 720 の所与のパターン h または PATT に関するビット・エラーを検出する確率 p_0 , p_{PATT} を推定する例示的なビット・ベースのパターン依存統計生成プロセス 2700 を説明する流れ図である。当初に、ビット・ベースのパターン依存統計生成プロセス 2700 は、ステップ 2720 中に基準ターゲット・セル 710 および潜在的に関連するアグレッサ・セル (1 つまたは複数) 720 を読み取る。さらに、ステップ 2725 中に、読み取られたターゲット・ビットごとに、関連するアグレッサ・セル 720 のパターン PATT を識別する。このパターンは、ステップ 2725 中に、たとえば書き込まれた既知のパターンを評価することによって、または基準セルもしくは復号済み符号語の実際の読取動作に基づいて、識別することができる。

20

【0170】

ステップ 2730 中に、1 つまたは複数の識別されたパターンについて、対応するパターンを有する誤りのあるターゲット・ビットの個数を判定する。その後、ステップ 2740 中に、次のように誤り確率統計を計算する。

30

【数 64】

$$p_{0,PATT} = \frac{\text{対応するパターン PATT を有する誤りのあるターゲット・ビットの個数}}{\text{対応するパターン PATT を有するターゲット・ビットの総数}}$$

【0171】

当業者に明白であるように、上で説明した諸技法を、オプションで、位置固有パターン依存統計を入手するために統合できることに留意されたい。さらに、さらなる変形形態では、それに加えてまたはその代わりに、読取統計を、メモリ・デバイスの耐久性、読取サイクル数、保持特性、温度、または他のパラメータの関数として入手することができる。

40

【0172】

2. セル・ベースのパターン依存統計

図 28 は、少なくとも 1 つのターゲット・セルに関連する 1 つまたは複数のアグレッサ・セルの所与のパターンに関する誤りを検出する確率を推定する例示的なセル・ベースのパターン依存統計生成プロセス 2800 を説明する流れ図である。図 28 に示されているように、セル・ベースのパターン依存統計生成プロセス 2800 は、当初に、ステップ 2820 中に 1 つまたは複数のターゲット・セルを読み取る。その後、ステップ 2825 中に、関連するアグレッサ・セル (1 つまたは複数) のパターン h または PATT を識別する。

【0173】

50

その後、ステップ2830中に、1つまたは複数の識別されたパターンについて、および可能な基準電圧レベル s または LVL_{ref} ごとに、セル・ベースのパターン依存統計生成プロセス2800は、この基準レベル s または LVL_{ref} が復号されたか書き込まれた時に各電圧レベル s または LVL_{read} が読み取られた回数をカウントする。

【0174】

ステップ2840中に、パターン依存誤り確率統計が、次のように計算される。
【数65】

$$p(\hat{s}, h | s) = \frac{\text{LVL}_{ref} \text{が書き込まれたか復号された時にアグレッサ・セル内の} \\ \text{パターンPAT Tと共にLVL}_{read} \text{が読み取られた回数}}{\text{LVL}_{ref} \text{が書き込まれ／復号された総回数}}$$

10

【0175】

非対称誤り確率統計

前に示したように、NANDフラッシュ・メモリ・チャネルなどのある種のチャネルでは、2進0および2進1などの異なる可能な2進値の誤りを検出する確率が、大きく異なる可能性がある。したがって、本発明は、オプションで、非対称チャネルの誤りを検出する確率を提供する。図29および30は、2進0および2進1などの2つの可能な2進値の誤り確率 p および q を推定する例示的な非対称統計生成プロセス2900、3000を提供する。下でさらに述べるように、図29は、基準セルを使用して非対称統計を推定し、図30は、復号済み符号語を使用して非対称統計を推定する。したがって、本発明は、フラッシュ・メモリからの硬データに基づいて可能な2進値ごとに非対称LLRを提供する。

20

【0176】

非対称誤り確率－基準セル

前に示したように、NANDフラッシュ・メモリ・チャネルなどのある種のチャネルでは、2進0および2進1などの異なる可能な2進値の誤りを検出する確率が、大きく異なる可能性がある。したがって、本発明は、オプションで、非対称チャネルの誤りを検出する確率を提供する。図29は、本発明の基準セル実施形態の2つの可能な2進値の誤り確率を推定する例示的な非対称統計生成プロセス2900を説明する流れ図である。

30

【0177】

図29に示されているように、非対称統計生成プロセス2900は、当初に、ステップ2910中に基準セル1920に既知のパターンを書き込み、その後、ステップ2020中に基準セル1920を読み取る。非対称統計生成プロセス2900は、ステップ2930中に基準データ内の2進0を有する誤りのあるビットの個数を判定し、その後、次のように、ステップ2940中に2進0の誤り確率統計を計算する。

【数66】

$$p = \frac{\text{誤りのある0の個数}}{\text{基準ビット内の0の総数}}$$

40

【0178】

その後、非対称統計生成プロセス2900は、ステップ2950中に基準データ内の2進1を有する誤りのあるビットの個数を判定し、その後、次のように、ステップ2960中に2進1の誤り確率統計を計算する。

【数67】

$$q = \frac{\text{誤りのある1の個数}}{\text{基準ビット内の1の総数}}$$

50

【0179】

非対称誤り確率－復号済み符号語

図30は、本発明の復号済み符号語実施形態の2つの可能な2進値の誤り確率を推定する例示的な非対称統計生成プロセス3000を説明する流れ図である。図30に示されているように、非対称統計生成プロセス3000は、当初に、ステップ3010中にフラッシュ・メモリから硬データ入手し、ステップ3020中に硬データを復号する。

【0180】

その後、非対称統計生成プロセス3000は、ステップ3030中に復号済みデータ内の2進0を有するフラッシュ・メモリからの誤りのあるビットの個数を判定する。その後、ステップ3040中に、次のように2進0の誤り確率統計を計算する。

10

【数68】

$$p = \frac{\text{誤りのある0の個数}}{\text{復号済みビット内の0の総数}}$$

【0181】

同様に、ステップ3050中に、復号済みデータ内の2進1を有するフラッシュ・メモリからの誤りのあるビットの個数を判定する。その後、ステップ3060中に、次のように2進1の誤り確率統計を計算する。

【数69】

20

$$q = \frac{\text{誤りのある1の個数}}{\text{復号済みビット内の1の総数}}$$

【0182】

一実施形態では、NANDフラッシュ・メモリがアイドルである（すなわち、ユーザ・データを能動的に読み取っても書き込んでもいない）間に、統計を収集し、計算し、格納することができる。

【0183】

例示的实施形態は、基準セルまたはデコーダ・フィードバックを使用する統計収集を使用した、検出されたデータまたは復号されたデータを使用して、たとえば最小平均二乗誤差判断基準を使用して、統計を推定するのに適応的方法を使用することもできる。

30

【0184】

代替実施形態では、統計または対応するLLRを、ワーストケース動作条件（たとえば、プログラム／消去サイクルの個数、保持時間、および温度に関する）について、たとえばフラッシュ・メモリの実験的特性試験に基づいて事前に計算し、その後、これらを悪いチャネル条件について使用することができる。この形で、より正確な統計またはLLRが、誤り確率が最大であるときに使用可能である。言い換えると、事前定義の統計または対応するLLRを、事前定義の動作条件について事前に計算することができる。

【0185】

40

さらなる変形形態では、軟データを、復号が成功するまで異なる統計（誤り確率など）に基づいて反復して生成することができる。統計を、データの成功の検出または復号まで、ある範囲にわたって変更することができる。本発明のこの変形形態は、データの仮想再読取を提供する。データは、実際にはフラッシュ・メモリから再読取されないが、データは、異なる軟情報を用いて成功して復号される。

【0186】

満足されないパリティ検査に基づく誤り性能

本発明の諸態様は、満足されないパリティ検査を、軟データを入手するために性能メトリックとして使用することもできることを認めるものである。（N, K, J, L）LDPC符号を検討されたく、Nは、符号語長であり、Kは、未符号化符号語長（符号語内のユ

50

ーザ・データ長)であり、JおよびLは、それぞれパリティ検査行列の列重みおよび行重みである。(N, K, J, L) LDPC符号語が、誤り確率 p_0 で伝送されるか格納される時に、チェック・サムが最初の反復で不合格になる確率を、次のように表すことができる。

【数 7 0】

$$p_c = \frac{1 - (1 - 2p_0)^L}{2}$$

この確率を、次のように推定することができる。

【数 7 1】

$$p_c = \frac{\text{最初の反復での満足されない検査の個数}}{N-K}$$

【0 1 8 7】

したがって、誤り確率 p_0 を、次のように推定することができる。

【数 7 2】

$$p_0 = \frac{1 - \sqrt[2]{1 - 2p_c}}{2} \approx \frac{p_c}{L}$$

【0 1 8 8】

上の手順では、チャネルおよび初期 LLR 値を、反復復号を実行する前に推定することができる。チャネル推定の複雑さおよび待ち時間は、軟判定復号の 1 反復のそれより小さく、LDPC 符号の硬判定復号に対するかなりの性能利益を伴う。軟判定復号の標準実施態様と比較した追加のハードウェアは、次の計算を実行するブロックである。

【数 7 3】

$$p_0 \approx \frac{\text{最初の反復での満足されない検査の個数}}{L(N-K)}$$

【0 1 8 9】

図 3 1 は、本発明の一態様による、満足されないパリティ検査を使用する統計生成プロセス 3 1 0 0 の例示的实施態様を説明する流れ図である。一実施形態では、最初の反復の後の満足されないパリティ検査が使用される。一般に、統計生成プロセス 3 1 0 0 は、満足されないパリティ検査を使用して、誤りを検出する確率 p_0 を計算する。その後、誤りを検出する確率 p_0 を、LLR ジェネレータ 1 5 5 0 (図 1 5) によって使用して、所望の軟データを計算することができる。

【0 1 9 0】

当初に、統計生成プロセス 3 1 0 0 は、ステップ 3 1 1 0 中に満足されないパリティ検査の個数を入手する。次に、統計生成プロセス 3 1 0 0 は、ステップ 3 1 2 0 中に次のように誤り確率統計を計算する。

【数 7 4】

$$p_0 \approx \frac{\text{満足されない検査の個数}}{L(N-K)}$$

【0 1 9 1】

位置固有統計－満足されないパリティ検査

図 3 2 は、満足されないパリティ検査を使用してメモリ・アレイ 1 9 0 0 内の複数の異なる位置の誤り確率統計を入手する例示的な位置固有統計生成プロセス 3 2 0 0 を説明する流れ図である。たとえば、誤り確率統計を、異なるページ位置、ワード線位置、ビット線位置（偶数ビット線および奇数ビット線など）、およびマルチレベル・セル内の異なるビット（最上位ビット（MSB）および最下位ビット（LSB）など）のうちの 1 つまたは複数について入手することができる。一般に、位置固有統計は、満足されないパリティ検査を使用して、所望の位置にビットを位置決めする符号語を使用することによって入手される（ステップ 3 2 1 0）。

【0 1 9 2】

次に、図 3 2 に示されているように、例示的な位置固有統計生成プロセス 3 2 0 0 は、ステップ 3 2 2 0 中に、符号語に関する満足されないパリティ検査の個数を入手する。その後、ステップ 3 2 3 0 中に、次のように位置固有誤り確率統計を計算する。

【数 7 5】

$$p_{0,LOC} \approx \frac{\text{満足されない検査の個数}}{L(N-K)}$$

【0 1 9 3】

満足されないパリティ検査に基づく非対称統計

図 3 3 は、満足されないパリティ検査を使用して 2 つの可能な 2 進値の誤りを検出する確率を推定する例示的な非対称統計生成プロセス 3 3 0 0 を説明する流れ図である。本発明のこの態様は、平均誤り確率 p^- を、満足されないパリティ検査に基づいて計算できることを認めるものである（ただし、 $p^- = (p + q) / 2$ ）。 p および q の値を、平均誤り確率 p^- と、誤り確率 p および q の比 k とに基づいて計算することができる。

【0 1 9 4】

誤り確率 p および q の比 k を、上で説明した復号済み符号語技法などのデータ分析を使用して入手することができる。代替案では、誤り確率 p および q の比 k を、たとえば、本願と同時に出版され、参照によって本明細書に組み込まれている、国際出願、名称「Methods and Apparatus for Soft Data Generation for memory devices Using Reference Cells」に記載の基準セル技法を使用して入手することができる。誤り確率 p および q の比 k は、通常は、オフラインで計算され、たとえばテーブルに格納されるはずである。図 3 3 に示されているように、例示的な非対称統計生成プロセス（満足されないパリティ検査） 3 3 0 0 は、当初に、ステップ 3 3 1 0 中に誤り確率 p および q の比 k を入手する。

【0 1 9 5】

平均誤り確率 p^- を、ステップ 3 3 2 0 中に、図 1 6 に関連して上で説明した技法を使用して入手することができる。具体的に言うと、平均誤り確率 p^- を、次のように推定することができる。

【数 7 6】

$$\bar{p} \approx p_0 \approx \frac{\text{満足されない検査の個数}}{L(N-K)}$$

【0 1 9 6】

その後、ステップ 3 3 3 0 中に、次のように 2 進 0 の誤り確率統計 p を計算する。

10

20

30

40

【数 77】

$$p = \frac{2\bar{p}}{k+1}$$

【0197】

その後、ステップ 3340 中に、次のように 2 進 1 の誤り確率統計 q を計算する。

【数 78】

$$q = \frac{2k\bar{p}}{k+1}$$

10

【0198】

非対称統計生成プロセス（満足されないパリティ検査）3300 によって計算される誤り確率統計 p および q を、オプションで位置固有および／またはパターン依存にすることができることに留意されたい。

【0199】

プロセス、システム、および製造品の詳細

本明細書の複数の流れ図は、ステップの例示的シーケンスを説明するが、そのシーケンスを変更できることも、本発明の実施形態である。アルゴリズムのさまざまな置換が、本発明の代替実施形態として企図されている。本発明の例示的实施形態を、ソフトウェア・プログラム内の処理ステップに関して説明したが、当業者に明白であるように、さまざまな機能を、デジタル領域でソフトウェア・プログラム内の処理ステップとして、ハードウェアで回路要素または状態機械によって、あるいはソフトウェアとハードウェアとの両方の組合せで実施することができる。そのようなソフトウェアを、たとえば、デジタル信号プロセッサ、特定用途向け集積回路、マイクロコントローラ、または汎用コンピュータで使用するすることができる。そのようなハードウェアおよびソフトウェアを、集積回路内で実施される回路内で実施することができる。

20

【0200】

したがって、本発明の機能を、方法およびこれらの方法を実践する装置の形で実施することができる。本発明の 1 つまたは複数の態様を、たとえば、記憶媒体に格納されるか、機械にロードされかつ／または機械によって実行されるか、あるいはある伝送媒体を介して伝送されるかのいずれかであるプログラム・コードの形で実施することができ、ここで、そのプログラム・コードがコンピュータなどの機械にロードされ、その機械によって実行される時に、その機械は、本発明を実践する装置になる。汎用コンピュータで実施される時に、プログラム・コード・セグメントは、特定の論理回路に類似して動作するデバイスを提供するためにプロセッサと組み合わされる。本発明を、集積回路、デジタル信号プロセッサ、マイクロプロセッサ、およびマイクロコントローラのうちの 1 つまたは複数で実施することもできる。

30

【0201】

当技術分野で既知のように、本明細書で述べられた方法および装置を、コンピュータ可読コード手段をその上で実施されたコンピュータ可読媒体をそれ自体が含む製造品として配布することができる。コンピュータ可読プログラム・コード手段は、本明細書で述べられた方法を実行するステップのすべてまたは一部を実行しまたは本明細書で述べられた装置を作成するために、コンピュータ・システムに関連して動作可能である。コンピュータ可読媒体は、記録可能媒体（たとえば、フロッピー・ディスク、ハード・ドライブ、コンパクト・ディスク、メモリ・カード、半導体デバイス、チップ、特定用途向け集積回路（ASIC））とすることができ、あるいは、伝送媒体（たとえば、光ファイバを含むネットワーク、ワールド・ワイド・ウェブ、ケーブル、または時分割多元接続、符号分割多元接続、もしくは他の無線周波数チャネルを使用する無線チャネル）とすることができ、コ

40

50

ンピュータ・システムと共に使用するのに適切な情報を格納できる既知のまたは開発されるすべての媒体を、使用することができる。コンピュータ可読コード手段は、磁気媒体上の磁気変動またはコンパクト・ディスクの表面上の高さ変動など、コンピュータが命令およびデータを読み取ることを可能にするすべての機構である。

【0202】

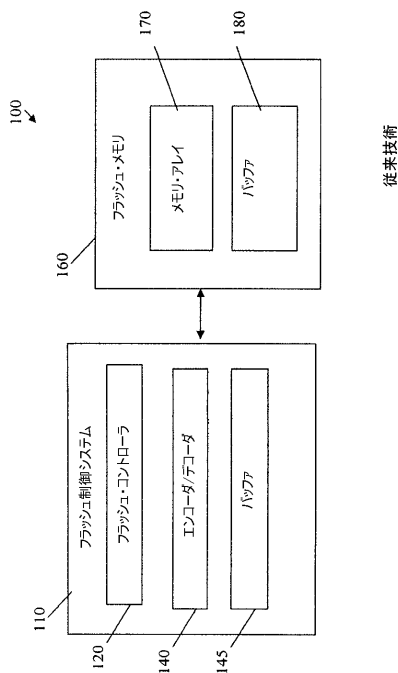
本明細書で説明されるコンピュータ・システムおよびサーバは、それぞれ、本明細書で開示される方法、ステップ、および機能を実施するために関連プロセッサを構成するメモリを含む。メモリを、分散型またはローカルとすることができ、プロセッサを、分散型または単独とすることができ。メモリを、電子メモリ、磁気メモリ、または光メモリ、あるいは上記または他のタイプのストレージ・デバイスの任意の組合せとして実施することができる。さらに、用語「メモリ」は、関連するプロセッサによってアクセスされるアドレス空間内のアドレスから読み取られるかそのアドレスに書き込まれることが可能なすべての情報を包含するのに十分に広く解釈されなければならない。この定義を用いると、ネットワーク上の情報は、それでも、関連するプロセッサがネットワークからその情報を取り出すことができるので、メモリに含まれる。

【0203】

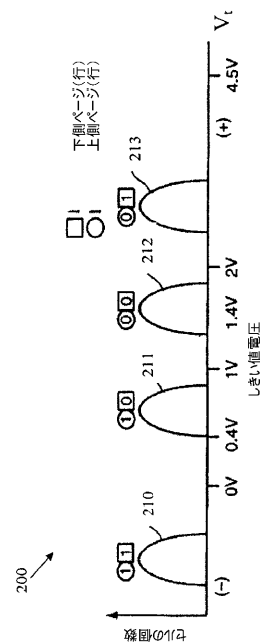
本明細書で図示され、説明された実施形態および変形形態が、本発明の原理の単なる例示であり、さまざまな修正形態を、本発明の範囲および趣旨から逸脱せずに当業者が実施できることを理解されたい。

10

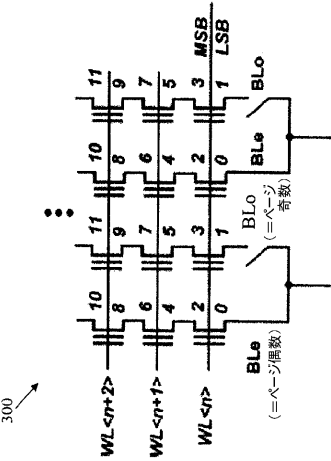
【図 1】



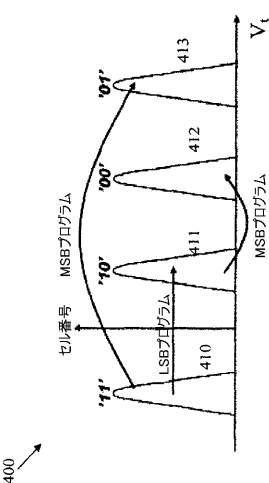
【図 2】



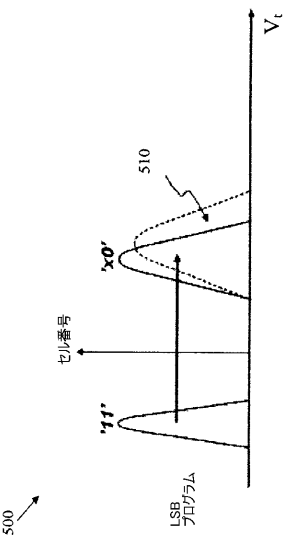
【図 3】



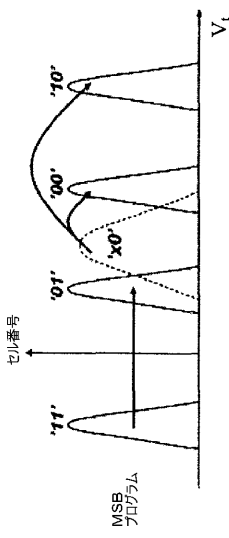
【図 4】



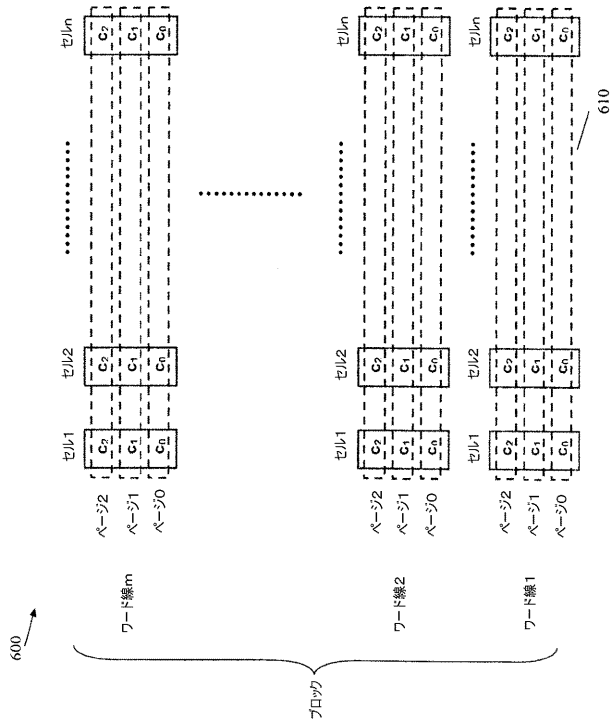
【図 5 A】



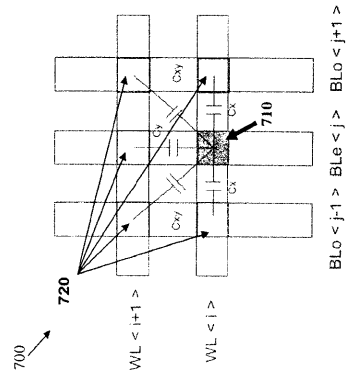
【図 5 B】



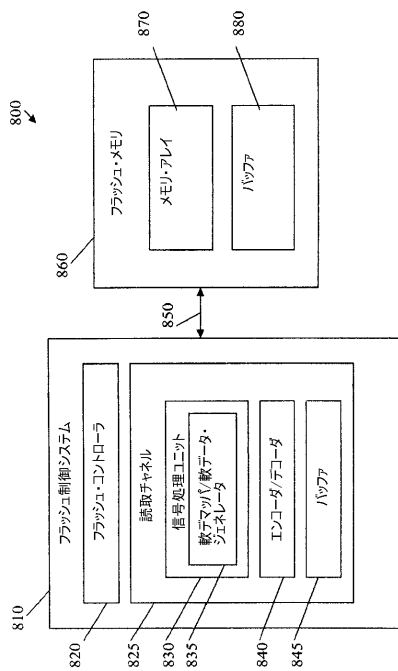
【図 6】



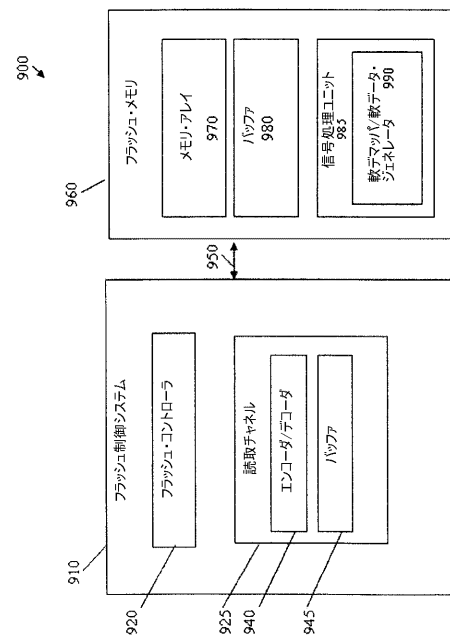
【図 7】



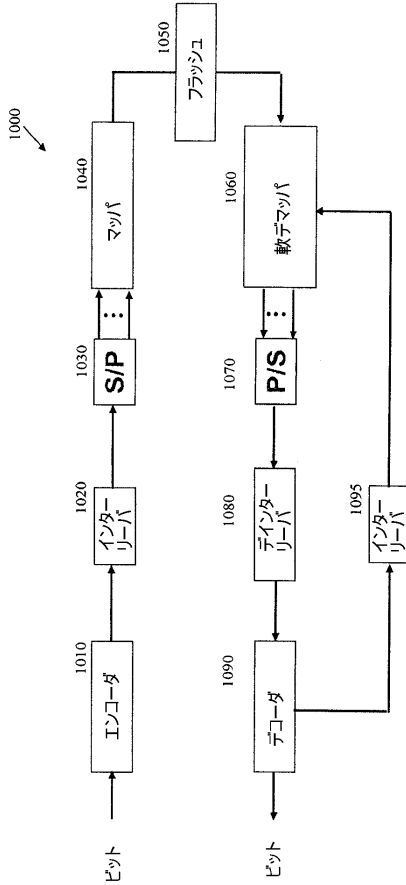
【図 8】



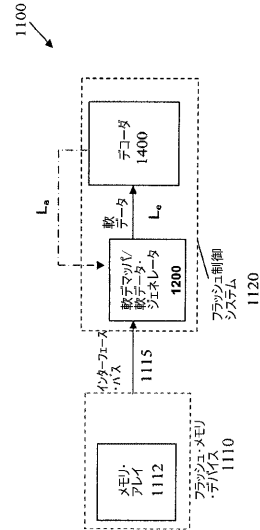
【図 9】



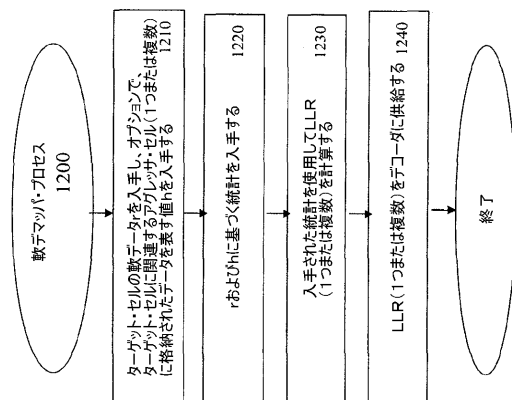
【図 10】



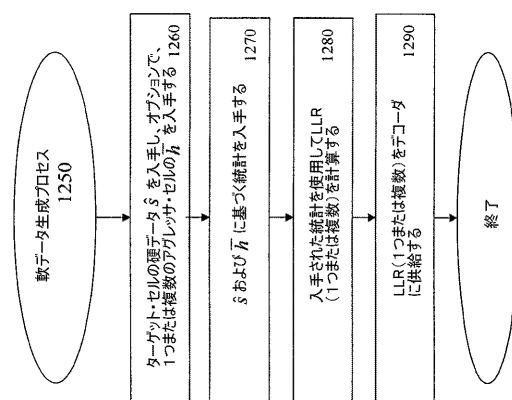
【図 11】



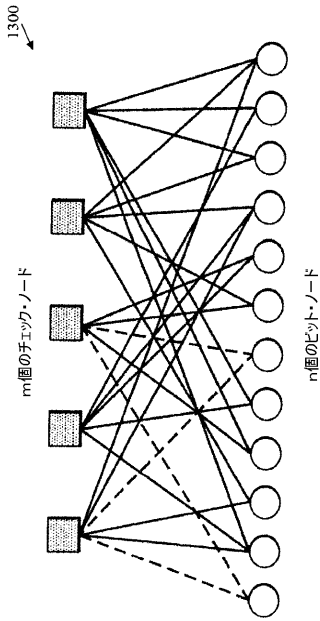
【図 12 A】



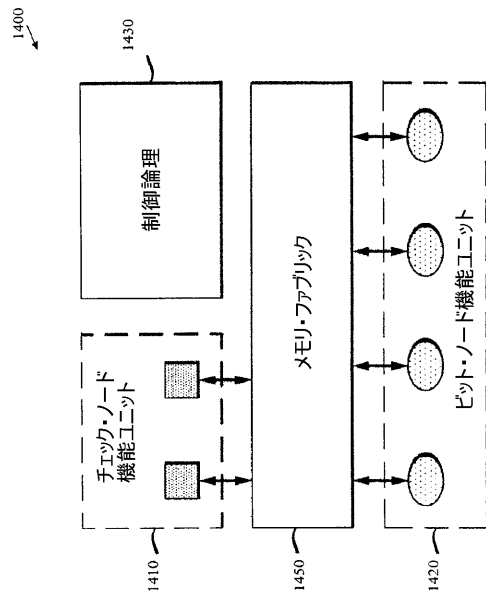
【図 12 B】



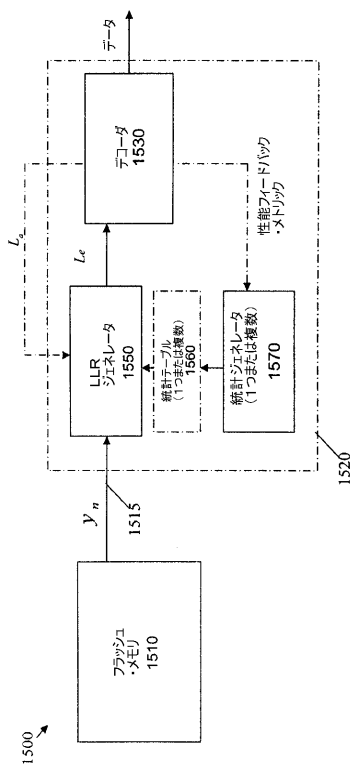
【図 13】



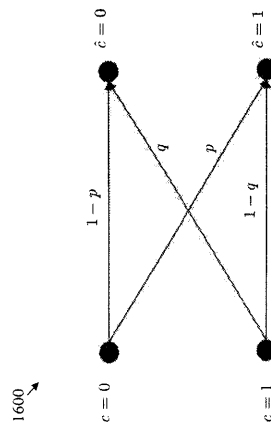
【図 14】



【図 15】



【図 16】



$p(\hat{s} | s)$ のセルベースの統計テーブル 1740

	書込 (s)		読取 (s)	
	00	01	10	11
00	0.9986	1.39E-2	1.88E-4	9.41E-5
01	0	0.9850	0	1.32E-3
10	1.41E-3	4.70E-4	0.9998	3.76E-4
11	0	6.58E-4	0	0.9982

【図 1 7 C】

セルベースの統計カウント・テーブル 1700

	書込 (s)		読取 (s)	
	00	01	10	11
00	10617	148	2	1
01	0	10480	0	14
10	15	5	10610	4
11	0	7	0	10603
合計	10632	10640	10612	10622

【図 1 7 A】

1次元依存セルベース統計テーブル $p(\hat{s}, \hat{h} | s)$ 1800

	書込 (s)		読取 (s), 1次元(h)	
	00	01	10	11
00,00	0.34	1E-2	0	0
00,01	0.3	1E-2	0	0
00,10	0.25	3E-2	0	0
00,11	0.2	3E-2	1E-3	0
01,00	0	0.3	0	3E-2
01,01	0	0.2	9E-3	1E-2
01,10	0	0.1	0	3E-2
01,11	0	0.2	0	3E-2
10,00	0	0	0.4	4E-3
10,01	2E-3	0	0.3	3E-3
10,10	3E-3	0	0.2	1E-3
10,11	4E-3	1E-1	9E-2	2E-3
11,00	0	0	0	0.25
11,01	0	0	0	0.25
11,10	0	0	0	0.3
11,11	0	0	0	0.09

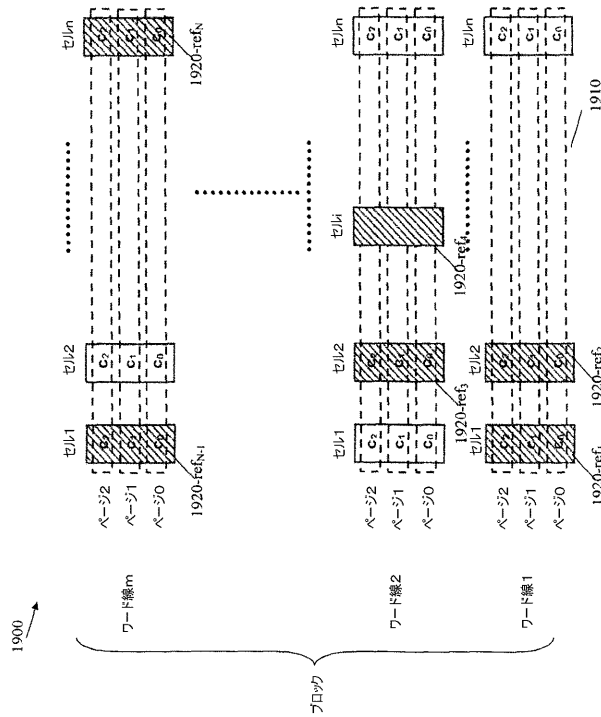
【図 1 8】

$p(\hat{s} | \hat{s})$ のセルベースの統計テーブル 1720

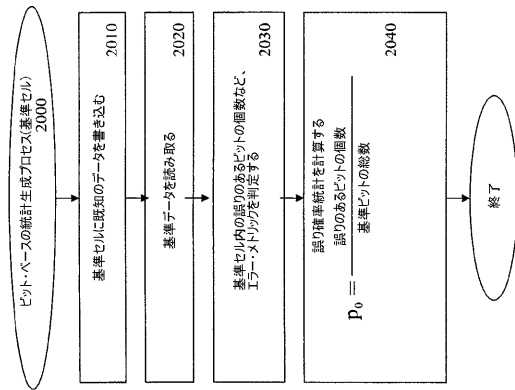
	書込 (s)		読取 (s)	
	00	01	10	11
00	0.98598	0.01374	1.86E-04	9.28E-05
01	0	0.99866	0	1.334E-3
10	1.41E-3	4.7E-4	0.9977	3.76E-4
11	0	6.6E-4	0	0.9993

【図 1 7 B】

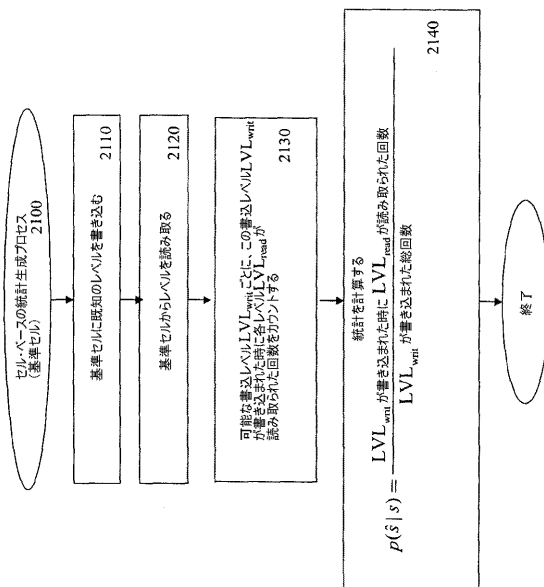
【図 19】



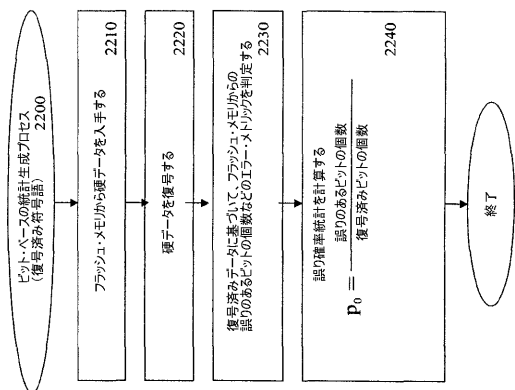
【図 20】



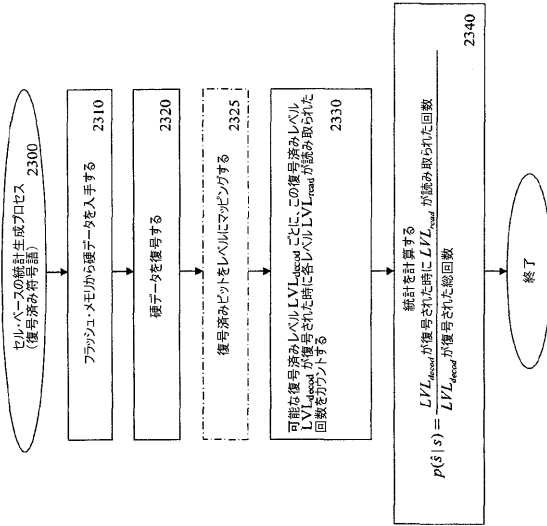
【図 21】



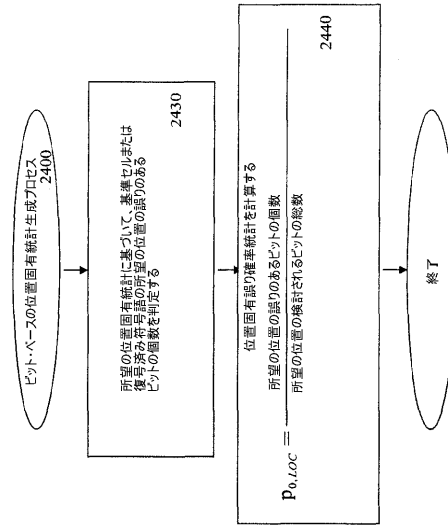
【図 22】



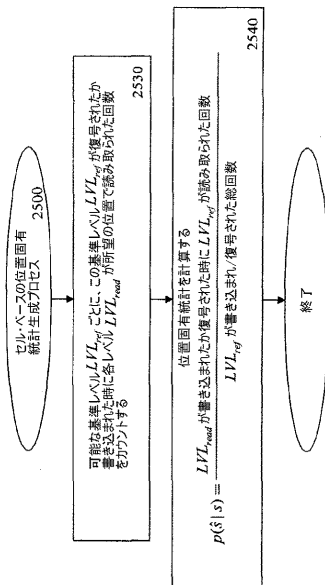
【図 2 3】



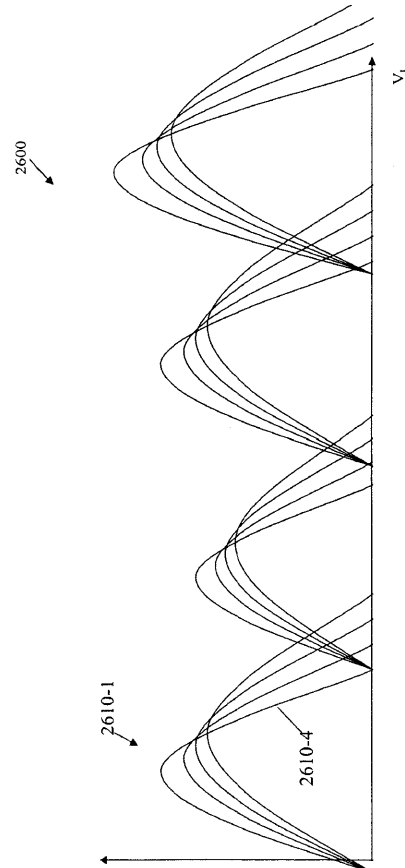
【図 2 4】



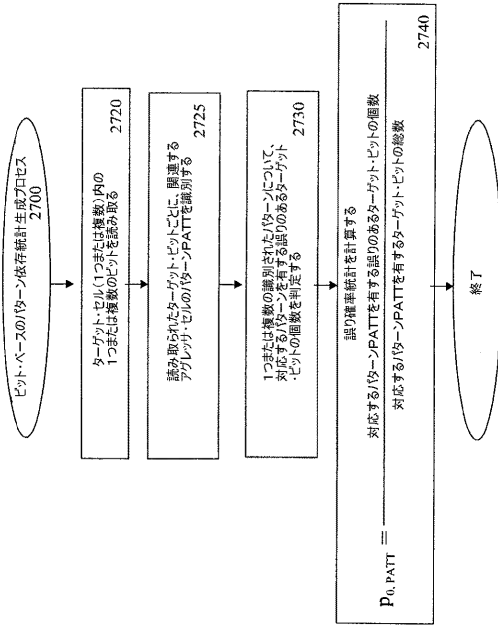
【図 2 5】



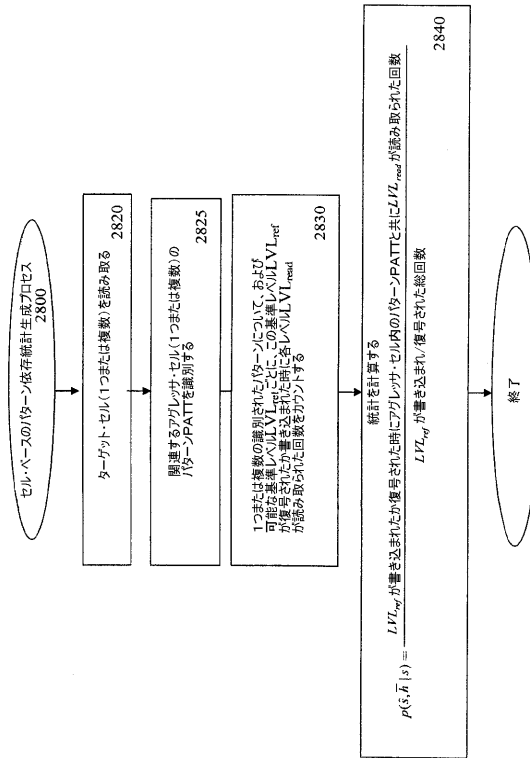
【図 2 6】



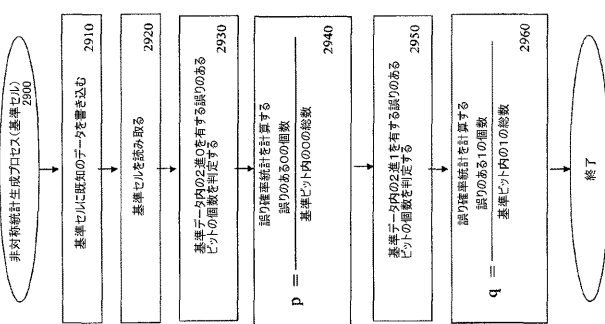
【図 27】



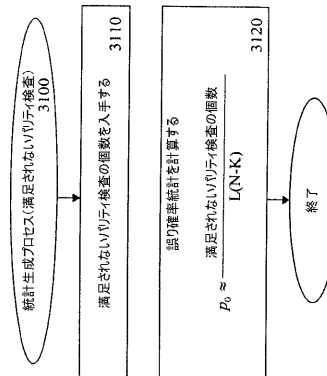
【図 28】



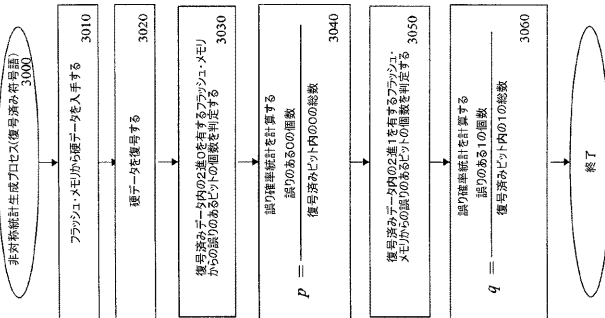
【図 29】



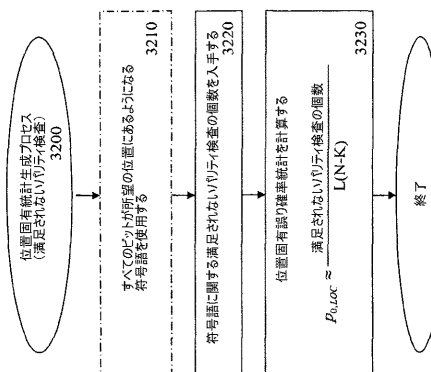
【図 31】

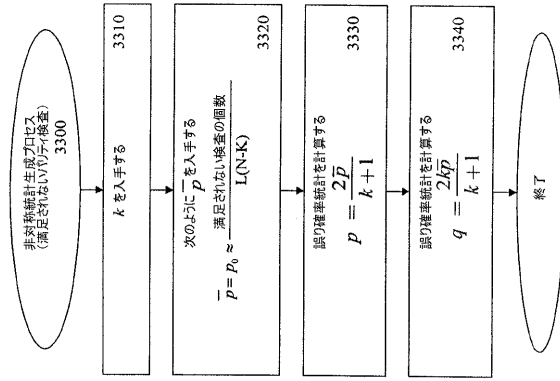


【図 30】



【図 32】





【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/059081

A. CLASSIFICATION OF SUBJECT MATTER		
INV. G11C16/26	G11C16/34	G11C7/10 G11C11/56
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2008/042593 A1 (SANDISK CORP [US]; BRANDMAN YIGAL [US]; CONLEY KEVIN M [US]) 10 April 2008 (2008-04-10) the whole document	1-37
X	US 2008/151617 A1 (ALROD IDAN [IL] ET AL) 26 June 2008 (2008-06-26) the whole document	1-37
X	US 2008/123420 A1 (BRANDMAN YIGAL [US] ET AL) 29 May 2008 (2008-05-29) the whole document	1-37
X	US 2006/015802 A1 (HOCEVAR DALE E [US]) 19 January 2006 (2006-01-19) the whole document	1-37
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 3 December 2009		Date of mailing of the international search report 11/12/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2230 HV Rijswijk Tel: (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Ramcke, Ties

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/059081

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2008042593 A1	10-04-2008	KR 20090086523 A	13-08-2009
US 2008151617 A1	26-06-2008	WO 2008075351 A2 KR 20090101160 A	26-06-2008 24-09-2009
US 2008123420 A1	29-05-2008	NONE	
US 2006015802 A1	19-01-2006	EP 1779524 A1 JP 2008507240 T KR 20070029846 A WO 2006020205 A1	02-05-2007 06-03-2008 14-03-2007 23-02-2006

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
 G 1 1 C 29/00 6 3 1 D
 G 0 6 F 12/16 3 3 0 D

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 バーガー, ハーレイ, エフ., ジュニア
 アメリカ合衆国 9 5 1 2 0 カリフォルニア, サン ホセ, マカビー エステート プレイス
 1 2 9 1
 (72)発明者 ハラッチ, エリッチ, エフ.
 アメリカ合衆国 1 8 0 1 7 ペンシルヴァニア, ベスレヘム, バーバリー ストリート 5 1 0
 5
 (72)発明者 イヴコヴィック, ミロス
 アメリカ合衆国 1 8 1 0 4 ペンシルヴァニア, アレンタウン, スプリングハウス ロード 6
 0 7 アpartment ケー
 (72)発明者 クラチコフスキー, ヴィクター
 アメリカ合衆国 1 8 1 0 3 ペンシルヴァニア, アレンタウン, ラヤン ドライヴ 6 6 3
 (72)発明者 ミラディノヴィック, ネナド
 アメリカ合衆国 9 5 0 0 8 カリフォルニア, キャンベル, ローラ コート 8 1 6
 (72)発明者 ヴィットヤエヴ, アンドレイ
 アメリカ合衆国 9 5 1 3 5 カリフォルニア, サン ホセ, ジョージ ブラウア プレイス 2
 7 8 3
 (72)発明者 エン, ジョンソン
 アメリカ合衆国 9 4 5 3 9 カリフォルニア, フレモント, ローレル グレン テラス 6 0 0

F ターム(参考) 5B018 GA03 HA01 NA06 QA13
 5B125 BA02 BA19 CA15 CA19 CA27 CA28 DA01 DA09 DB02 DB08
 DB18 DB19 DE08 EA05 EA10 EJ08 EJ09 EJ10 FA01 FA04
 FA06
 5L106 BB02 BB11 DD22 DD24 DD25 FF04 FF05