

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4829320号
(P4829320)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月22日(2011.9.22)

(51) Int.Cl.		F I		
HO 1 L 27/105	(2006.01)	HO 1 L 27/10	4 4 8	
HO 1 L 45/00	(2006.01)	HO 1 L 45/00	Z	
HO 1 L 49/00	(2006.01)	HO 1 L 49/00	Z	
G 1 1 C 13/00	(2006.01)	G 1 1 C 13/00	1 1 O R	

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2009-65030 (P2009-65030)	(73) 特許権者	000003078
(22) 出願日	平成21年3月17日(2009.3.17)		株式会社東芝
(65) 公開番号	特開2010-219343 (P2010-219343A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成22年9月30日(2010.9.30)	(74) 代理人	100092820
審査請求日	平成23年2月24日(2011.2.24)		弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	菅野 裕士
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	室岡 賢一
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

整流素子と可変抵抗素子とを直列接続してなるメモリセルを備える不揮発性半導体記憶装置の製造方法であって、

前記整流素子となる層を形成する工程は、

第1電極層、半導体層、第2電極層を形成し、且つ前記第1電極層と前記半導体層の間又は前記第2電極層と前記半導体層の間に第3電極層を形成する工程を備え、

前記半導体層及び前記第3電極層を形成する工程は、

アモルファスシリコンにて構成され且つp型の第1半導体領域と、n型の第2半導体領域とを備えるように構成された第1の層を堆積させる工程と、

前記第1の層の上層又は下層に金属にて構成された第2の層を堆積させる工程と、

第1温度の熱処理により前記第2の層をシリサイド化させてポリシリコンと格子整合のとれた材料である金属シリサイドからなる前記第3電極層を形成する工程と、

第2温度の熱処理により前記第1の層を結晶化させる工程と、

第3温度の熱処理により前記第1の層に含まれる不純物を活性化させると共に前記第1の層に含まれる結晶欠陥を回復させて前記半導体層を形成する工程とを備え、

前記第1温度は、前記第2温度より高温であり、

前記第3温度は、前記第1温度および前記第2温度より高温である

ことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】

前記第2温度の熱処理により前記第3電極層を起点として、少なくとも前記第1半導体領域と前記第2半導体領域との境界を超えて前記第1の層を結晶化させる

ことを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項3】

前記第1温度は、550 ± 20 であり、

前記第2温度は、500 ± 20 であり、

前記第3温度は、800 ± 50 である

ことを特徴とする請求項1又は請求項2記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、不揮発性半導体記憶装置の製造方法に関し、より詳しくは、ダイオードと可変抵抗素子を直列接続してなるメモリセルを配列してなる不揮発性半導体記憶装置の製造方法に関する。

【背景技術】

【0002】

近年、半導体装置の集積度が高くなることに伴い、これを構成するトランジスタ等の回路パターンはますます微細化している。このパターンの微細化には、単に線幅が細くなるだけでなく、パターンの寸法精度や位置精度の向上も要請される。この事情は半導体記憶装置に関しても例外ではない。

20

【0003】

従来知られており、市場にも投入されているDRAM、SRAM、フラッシュメモリ等の半導体記憶装置は、いずれもMOSFETをメモリセルに使用している。このため、パターンの微細化に伴い、微細化の比率を上回る比率での寸法精度の向上が要請されている。このため、これらのパターンを形成するリソグラフィ技術にも、大きな負荷が課せられており、製品コストの上昇要因となっている。

【0004】

近年、このようなMOSFETをメモリセルとして用いる半導体記憶装置の後継候補として、抵抗変化メモリが注目されている（例えば、特許文献1参照）。ここで、抵抗変化メモリには、遷移金属酸化物を記録層としてその抵抗値状態を不揮発に記憶する狭義の抵抗変化メモリ（ReRAM: Resistive RAM）の他、カルコゲナイド等を記録層として用いてその結晶状態（導体）と非晶質状態（絶縁体）の抵抗値情報を利用する相変化メモリ（PCRAM: Phase Change RAM）も含むものとする。

30

【0005】

抵抗変化メモリの可変抵抗素子には、2種類の形態があることが知られている。1つは、印加電圧の極性を切り替えることにより、高抵抗状態と低抵抗とを設定するもので、これはバイポーラ型といわれる。もう1つは、印加電圧の極性を切り替えることなく、電圧値と電圧印加時間を制御することにより、高抵抗状態と低抵抗状態の設定を可能とするもので、これはユニポーラ型といわれる。

【0006】

40

高密度メモリセルアレイを実現するためには、ユニポーラ型が好ましい。ユニポーラ型の場合、トランジスタを用いることなく、ビット線及びワード線の交差部に可変抵抗素子とダイオード等の整流素子とを重ねることにより、セルアレイが構成できるからである。さらにこのようなメモリセルアレイを三次元的に積層配列することにより、トランジスタが不要で、このためセルアレイ面積を増大させることなく、大容量を実現することが可能になる。

【0007】

ユニポーラ型のReRAMの場合、メモリセルに対するデータの書き込みは、可変抵抗素子に所定の電圧を短時間印加することにより行う。これにより、可変抵抗素子が高抵抗状態から低抵抗状態へと変化する。以下、この可変抵抗素子を高抵抗状態から低抵抗状態

50

へ変化させる動作をセット動作という。

【0008】

一方、メモリセルMCに対するデータの消去は、セット動作後の低抵抗状態の可変抵抗素子に対し、セット動作時よりも低い所定の電圧を長時間印加することにより行う。これにより、可変抵抗素子が低抵抗状態から高抵抗状態へと変化する。以下、この可変抵抗素子を低抵抗状態から高抵抗状態へ変化させる動作をリセット動作という。メモリセルは、例えば高抵抗状態を安定状態（リセット状態）とし、2値データ記憶であれば、リセット状態を低抵抗状態に変化させるセット動作によりデータの書き込みを行う。

【0009】

リセット動作時においては、メモリセルにリセット電流として1 μ A以上の大電流を流す必要がある。しかしこの場合、リセット動作完了後にメモリセル間に発生する電圧が、前述のセット動作に必要なセット電圧と極めて近い値になってしまい、動作マージンが小さいという問題がある。動作マージンが小さいことは、リセット動作の完了後に再度メモリセルが誤ってセット動作されてしまうことが生じ得ることを意味し、好ましくない。

10

【0010】

また、従来抵抗変化メモリでは、書き込み時にトランジスタを流れる逆方向リーク電流が十分低減されておらず、消費電力が大きいという問題があった。

【先行技術文献】

【特許文献】

【0011】

20

【特許文献1】特表2005-522045号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明は、リセット動作時において誤セット動作が生じることを効果的に抑制しつつ消費電力を低減し、信頼性の高い不揮発性半導体記憶装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明の一態様に係る不揮発性半導体記憶装置の製造方法は、整流素子と可変抵抗素子とを直列接続してなるメモリセルを備える不揮発性半導体記憶装置の製造方法であって、前記整流素子となる層を形成する工程は、第1電極層、半導体層、第2電極層を形成し、且つ前記第1電極層と前記半導体層の間又は前記第2電極層と前記半導体層の間に第3電極層を形成する工程を備え、前記半導体層及び前記第3電極層を形成する工程は、アモルファスシリコンにて構成され且つp型の第1半導体領域と、n型の第2半導体領域とを備えるように構成された第1の層を堆積させる工程と、前記第1の層の上層又は下層に金属にて構成された第2の層を堆積させる工程と、第1温度の熱処理により前記第2の層をシリサイド化させてポリシリコンと格子整合のとれた材料である金属シリサイドからなる前記第3電極層を形成する工程と、第2温度の熱処理により前記第1の層を結晶化させる工程と、第3温度の熱処理により前記第1の層に含まれる不純物を活性化させると共に前記第1の層に含まれる結晶欠陥を回復させて前記半導体層を形成する工程とを備え、前記第1温度は、前記第2温度より高温であり、前記第3温度は、前記第1温度および前記第2温度より高温であることを特徴とする。

30

40

【発明の効果】

【0015】

この発明によれば、リセット動作時において誤セット動作が生じることを効果的に抑制しつつ消費電力を抑制し、信頼性の高い不揮発性半導体記憶装置の製造方法を提供することができる。

【図面の簡単な説明】

50

【 0 0 1 6 】

【図 1】本発明の実施形態に係る不揮発性半導体記憶装置のブロック図である。

【図 2】メモリセルアレイ 1 及びその周辺回路の回路図である。

【図 3】メモリセルアレイ 1 の一部の斜視図である。

【図 4】図 2 の I - I 線 で切断して矢印方向に見たメモリセル 1 つ分の断面図である。

【図 5】この可変抵抗素子 V R の例を示す図である。

【図 6】この可変抵抗素子 V R の例を示す図である。

【図 7 A】本発明の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図 7 B】本発明の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。 10

【図 7 C】本発明の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図 7 D】本発明の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図 7 E】本発明の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図 7 F】本発明の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図 7 G】本発明の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。 20

【図 8】本発明の実施形態に係る不揮発性半導体記憶装置の製造工程を示す拡大断面図である。

【図 9】可変抵抗素子 V R、及びダイオード D I の電流 電圧特性の一例を示す図である。

【図 1 0】比較例に係る不揮発性半導体記憶装置の製造工程を示す拡大断面図である。

【発明を実施するための形態】

【 0 0 1 7 】

次に、本発明の実施形態を、図面を参照して詳細に説明する。

【 0 0 1 8 】

30

[実施形態に係る不揮発性半導体記憶装置の全体構成]

先ず、図 1 を参照して、本発明の実施形態に係る不揮発性半導体記憶装置の全体構成について説明する。図 1 は、本発明の実施形態に係る不揮発性半導体記憶装置（不揮発性メモリ）のブロック図である。

【 0 0 1 9 】

実施形態に係る不揮発性半導体記憶装置は、メモリセルアレイ 1、カラム制御回路 2、ロウ制御回路 3、データ入出力バッファ 4、アドレスレジスタ 5、コマンド I / F 6、ステートマシン 7、及びパルスジェネレータ 8 を有する。

【 0 0 2 0 】

メモリセルアレイ 1 は、互いに交差するように形成された複数のワード線（第 1 配線）W L 及び複数のビット線（第 2 配線）B L、及びワード線 W L 及びビット線 B L の交差部に設けられたメモリセル M C を有する。メモリセル M C は、後述する R e R A M（可変抵抗素子）を使用して形成されている。 40

【 0 0 2 1 】

カラム制御回路 2 は、メモリセルアレイ 1 のビット線 B L 方向に隣接する位置に設けられている。カラム制御回路 2 は、メモリセルアレイ 1 のビット線 B L を制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しを行う。

【 0 0 2 2 】

ロウ制御回路 3 は、メモリセルアレイ 1 のワード線 W L 方向に隣接する位置に設けられ 50

ている。ロウ制御回路3は、メモリセルアレイ1のワード線WLを選択し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しに必要な電圧を印加する。

【0023】

データ入出力バッファ4は、図示しない外部のホストにI/O線を介して接続され、書き込みデータの受け取り、消去命令の受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行う。データ入出力バッファ4は、受け取った書き込みデータをカラム制御回路2に送り、カラム制御回路2から読み出したデータを受け取って外部に出力する。

【0024】

アドレスレジスタ5は、外部からデータ入出力バッファ4に供給されたアドレスを、カラム制御回路2及びロウ制御回路3に送る。

【0025】

コマンド・インターフェイス6は、ホストからデータ入出力バッファ4に供給されたコマンドを受け付ける。コマンド・インターフェイス6は、ホストからの外部制御信号を受け、データ入出力バッファ4に入力されたデータが書き込みデータかコマンドかアドレスかを判断し、コマンドであれば受け取りコマンド信号としてステートマシン7に転送する。

【0026】

ステートマシン7は、この不揮発性メモリ全体の管理を行うもので、ホストからのコマンドを受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。また、外部のホストは、ステートマシン7が管理するステータス情報を受け取り、動作結果を判断することも可能である。また、このステータス情報は書き込み、消去の制御にも利用される。

【0027】

パルスジェネレータ8は、ステートマシン7によって制御される。この制御により、パルスジェネレータ8は、任意の電圧、任意のタイミングのパルスを出力することが可能となる。ここで、形成されたパルスはカラム制御回路2及びロウ制御回路3で選択された任意の配線へ転送することが可能である。なお、メモリセルアレイ1以外の周辺回路素子は配線層に形成されたメモリアレイ1の直下のSi基板に形成可能であり、これにより、この不揮発性メモリのチップ面積はほぼ、メモリセルアレイ1の面積に等しくすることも可能である。

【0028】

[実施形態に係る不揮発性半導体記憶装置の回路構成]

次に、実施形態に係る不揮発性半導体記憶装置の回路構成について説明する。図2は、メモリセルアレイ1及びその周辺回路の回路図である。

【0029】

不揮発性半導体記憶装置は、図2に示すように、上述したメモリセルアレイ1、選択回路2a(カラム制御回路2の一部)、及び選択回路3a(ロウ制御回路3の一部)を有する。

【0030】

メモリセルアレイ1は、上述したようにワード線WL(WL0~WL2)、ビット線BL(BL0~BL2)、メモリセルMCを有する。ワード線WL0~WL2は、X方向の所定ピッチをもって配列されY方向に延びるように形成されている。ビット線BL0~BL2は、Y方向に所定ピッチをもって配列されX方向に延びるように形成されている。メモリセルMCは、ワード線WL0~WL2とビット線BL0~BL2との交差点、すなわちマトリクス状に形成されている。

【0031】

各ワード線WLの一端は、選択回路3aに接続されている。各ビット線BLの一端は、選択回路2aに接続されている。メモリセルMCは、直列接続されたダイオード(整流素

10

20

30

40

50

子) D I、及び可変抵抗素子 V R にて構成されている。ダイオード D I のアノードはワード線 W L に接続され、カソードは可変抵抗素子 V R を介してビット線 B L に接続されている。

【 0 0 3 2 】

選択回路 2 a は、ビット線 B L 毎に設けられた、ゲート及びドレインが共通接続された選択 P M O S トランジスタ Q P 0 及び選択 N M O S トランジスタ Q N 0 からなる。選択 P M O S トランジスタ Q P 0 のソースは、高電位電源 V c c に接続されている。選択 N M O S トランジスタ Q N 0 のソースは、書き込みパルスを印加すると共にデータ読み出し時に検出すべき電流を流すビット線側ドライブセンス線 B D S に接続されている。トランジスタ Q P 0 , Q N 0 の共通ドレインは、ビット線 B L に接続され、共通ゲートには、各ビット線 B L を選択するビット線選択信号 B S i が供給されている。

10

【 0 0 3 3 】

選択回路 3 a は、ワード線 W L 毎に設けられた、ゲート及びドレインが共通接続された選択 P M O S トランジスタ Q P 1 及び選択 N M O S トランジスタ Q N 1 からなる。選択 P M O S トランジスタ Q P 1 のソースは、書き込みパルスを印加すると共にデータ読み出し時に検出すべき電流を流すワード線側ドライブセンス線 W D S に接続されている。選択 N M O S トランジスタ Q N 1 のソースは、低電位電源 V s s に接続されている。トランジスタ Q P 1 , Q N 1 の共通ドレインは、ワード線 W L に接続され、共通ゲートには、各ワード線 W L を選択するワード線選択信号 / W S i が供給されている。

20

【 0 0 3 4 】

例えば、図 2 に示す 2 行 2 列目のメモリセル M C を対象に各種動作を実行する場合、ワード線 W L 1 を「 L 」から「 H 」にし、その他ワード線 W L 0 , W L 2 を「 L 」に保持する。そして、ビット線 B L 1 を「 H 」から「 L 」にし、その他ビット線 B L 0 , B L 2 を「 H 」に保持する。ここで、メモリセル M C に印加する電圧は、書き込み動作時に電圧 V s e t とし、消去動作時に電圧 V r e s e t とし、読み出し動作時に電圧 V r e a d とする。これら電圧の大小関係は、 $V_{r e a d} < V_{r e s e t} < V_{s e t}$ となる。

【 0 0 3 5 】

なお、以上は、メモリセルが個別に選択されるのに適した例を示したが、選択されたワード線 W L 1 につながる複数のメモリセル M C のデータを一括で読み出す場合には、各ビット線 B L 0 ~ B L 2 に対して個別にセンスアンプが配置され、各ビット線 B L 0 ~ B L 2 は、ビット線選択信号 B S で、選択回路 2 a を介して、個別にセンスアンプに接続される。また、メモリセルアレイ 1 は、図 2 に示した回路とは、ダイオード D I の極性を逆にして、ビット線 B L 側からワード線 W L 側に電流が流れるようにしても良い。

30

【 0 0 3 6 】

[メモリセルアレイ 1 の積層構造]

次に、図 3 を参照して、メモリセルアレイ 1 の積層構造について説明する。図 3 は、メモリセルアレイ 1 の積層構造を示す概略斜視図である。

【 0 0 3 7 】

メモリセルアレイ 1 は、図 3 に示すように、ワード線 W L (W L 0 ~ W L 2) として機能する第 1 配線層 1 0、メモリセル M C として機能するメモリ層 2 0、及びビット線 B L (B L 0 ~ B L 2) として機能する第 2 配線層 3 0 を有する。

40

【 0 0 3 8 】

第 1 配線層 1 0 は、図 3 に示すように、X 方向に所定ピッチをもって Y 方向に延びるように形成されている。第 1 配線層 1 0 は、熱に強く、且つ抵抗値の低い材料が望ましく、例えばタングステン (W)、タングステンシリサイド (W S i)、ニッケルシリサイド (N i S i)、コバルトシリサイド (C o S i) 等にて構成されている。

【 0 0 3 9 】

メモリ層 2 0 は、図 3 に示すように、第 1 配線層 1 0 の上面に柱状に形成されている。メモリ層 2 0 は、X 方向及び Y 方向に所定ピッチをもってマトリクス状に形成されている。

50

【0040】

第2配線層30は、図3に示すように、X方向に一系列に配列されたメモリ層20の上面に接するように形成されている。第2配線層30は、Y方向に所定ピッチをもってX方向に延びるように形成されている。第2配線層30は、熱に強く、且つ抵抗値の低い材料が望ましく、例えばタングステン(W)、タングステンシリサイド(WSi)、ニッケルシリサイド(NiSi)、コバルトシリサイド(CoSi)等にて構成されている。

【0041】

次に、メモリ層20の詳細な積層構造について説明する。図4は、図3のI-I'断面図である。

【0042】

メモリ層20は、図4に示すように、ダイオード(整流素子)DIとして機能する整流素子層21、及び可変抵抗素子VRとして機能する可変抵抗層22を有する。

【0043】

整流素子層21は、図4に示すように、第1配線層10上に順次積層された電極層23、半導体層24、電極層25、及び電極層26を有する。

【0044】

電極層23、及び電極層26は、バリアメタル及び接着層として機能する。電極層23、及び電極層26は、窒化チタン(TiN)にて構成されている。

【0045】

半導体層24は、ポリシリコン(poly-Si)にて構成されている。半導体層24は、図4に示すように、下層から上層へと、n+型半導体層24a、n-型半導体層24b、及びp+型半導体層24cを有する。半導体層24は、結晶粒界をほとんど有さず、均一に結晶化されている。全ての半導体層24は、電極層25を結晶核として結晶成長した構成を有する。なお、「+」「-」の符号は、不純物濃度の大小を示している。

【0046】

電極層25は、半導体層24との間で格子整合のとれた材料にて構成されている。電極層25は、チタンシリサイド(TiSi₂)にて構成されている。電極層25(チタンシリサイド(TiSi₂))の(210)面と、半導体層24(シリコン(Si))の(111)面との格子不整合は、1.7%である。すなわち、電極層25は、半導体層24との間で格子整合のとれた材料にて構成されている。

【0047】

可変抵抗層22は、図4に示すように、上述した電極層26を有する。すなわち、可変抵抗層22は、整流素子層21と共に電極層26を共有している。また、可変抵抗層22は、電極層26上に順次積層された抵抗変化層27、及び電極層28を有する。

【0048】

抵抗変化層27は、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができる材料にて構成されている。電極層28は、バリアメタル及び接着層として機能する。電極層28は、窒化チタン(TiN)にて構成されている。

【0049】

[抵抗変化層27の構成]

次に、図5及び図6を参照して、抵抗変化層27の構成について説明する。図5及び図6は、この抵抗変化層27の構成を示す図である。抵抗変化層27は、遷移元素となる陽イオンを含む複合化合物であって陽イオンの移動により抵抗値が変化するもの(ReRAM)を用いることができる。

【0050】

図5に示す抵抗変化層27は、記録層271にて構成されている。記録層271は、少なくとも2種類の陽イオン元素を有する複合化合物から構成される。陽イオン元素の少なくとも1種類は電子が不完全に満たされたd軌道を有する遷移元素とし、且つ隣接する陽イオン元素間の最短距離は、0.32nm以下とする。具体的には、化学式A_xM_yX_z(AとMは互いに異なる元素)で表され、例えばスピネル構造(AM₂O₄)、イルメナ

10

20

30

40

50

イト構造 (AMO_3)、デラフォサイト構造 (AMO_2)、 $LiMoN_2$ 構造 (AMN_2)、ウルフライト構造 (AMO_4)、オリビン構造 (A_2MO_4)、ホランダイト構造 (A_xMO_2)、ラムスデライト構造 (A_xMO_2)、ペロブスカイト構造 (AMO_3) 等の結晶構造を持つ材料により構成される。

【0051】

図5の例では、AがZn、MがMn、XがOであり、 $ZnMn_2O_4$ を用いている。その他、 NiO 、 TiO_2 、 $SrZrO_3$ 、 $Pr_{0.7}Ca_{0.3}MnO_3$ 等の材料の1つからなる薄膜により、記録層271を構成することも出来る。

【0052】

図5において、記録層271内の小さな白丸は拡散イオン (Zn)、大きな白丸は陰イオン (O)、小さな黒丸は遷移元素イオン (Mn) をそれぞれ表している。記録層271の初期状態は高抵抗状態であるが、電極層26を固定電位、電極層28側に負の電圧を印加すると、記録層271中の拡散イオンの一部が電極層28側に移動し、記録層271内の拡散イオンが陰イオンに対して相対的に減少する。電極層28側に移動した拡散イオンは、電極層28から電子を受け取り、メタルとして析出し、メタル層272を形成する。記録層271の内部では、陰イオンが過剰となり、結果的に記録層271内の遷移元素イオンの価数を上昇させる。これにより、記録層271は、キャリアの注入により電子伝導性を有するようになってセット動作が完了する。再生に関しては、記録層271 (抵抗変化層27) を構成する材料が抵抗変化を起こさない程度の微小な電流値を流せば良い。プログラム状態 (低抵抗状態) を初期状態 (高抵抗状態) にリセットするには、例えば記録層271に大電流を十分な時間流してジュール加熱して、記録層271の酸化還元反応を促進すれば良い。また、セット時と逆向きの電場を印加することによってモリセット動作が可能である。

【0053】

図6に示す抵抗変化層27は、第1化合物層273と第2化合物層274の2層で構成されている。第1化合物層273は、電極層26側に配置され化学式 $A_xM_1yX_1z$ で表記される。第2化合物層274は、電極層28側に配置され第1化合物層273の陽イオン元素を収容できる空隙サイトを有している。

【0054】

図6の例では、第1化合物層273におけるAがMg、M1がMn、X1がOである。第2化合物層274には、遷移元素イオンとして黒丸で示すTiが含まれている。また、第1化合物層273内の小さな白丸は拡散イオン (Mg)、大きな白丸は陰イオン (O)、二重丸は遷移元素イオン (Mn) をそれぞれ表している。なお、第1化合物層273と第2化合物層274とは、2層以上の複数層となるように積層されていても良い。

【0055】

図6に示す例において、第1化合物層273が陽極側、第2化合物層274が陰極側となるように、電極層26、28に電位を与え、抵抗変化層27に電位勾配を発生させると、第1化合物層273内の拡散イオンの一部が結晶中を移動し、陰極側の第2化合物層274内に進入する。第2化合物層274の結晶中には、拡散イオンを収容できる空隙サイトがあるため、第1化合物層273側から移動してきた拡散イオンは、この空隙サイトに収まることになる。このため、第1化合物層273内の遷移元素イオンの価数が上昇し、第2化合物層274内の遷移元素イオンの価数が減少する。初期状態において、第1及び第2化合物層273、274が高抵抗状態であるとすれば、第1化合物層273内の拡散イオンの一部が第2化合物層274内に移動することにより、第1及び第2化合物の結晶中に伝導キャリアが発生し、両者共に電気伝導性を有することになる。なお、プログラム状態 (低抵抗状態) を消去状態 (高抵抗状態) にリセットするには、先の例と同様に、抵抗変化層27に大電流を十分な時間流してジュール加熱して、抵抗変化層27の酸化還元反応を促進すれば良い。また、セット時とは逆向きの電場を印加することによってモリセットは可能である。

【0056】

10

20

30

40

50

[実施形態に係る不揮発性半導体記憶装置の製造方法]

次に、図7A～図7G、及び図8を参照して、実施形態に係る不揮発性半導体記憶装置の製造方法について説明する。図7A～図7Gは、実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。図8は、製造工程を示す拡大断面図である。

【0057】

まず、図7Aに示すように、厚さ720 μ mのシリコン基板101の片面に、各種CMOS回路等を含むCMOS回路層102を形成し、このCMOS回路層102上に、順次、絶縁膜103、複合膜104、窒化チタン膜105、n+型半導体領域106、n-型半導体領域107、p+型半導体領域108、チタン膜109、窒化チタン膜110、抵抗変化材料膜111、窒化チタン膜112、絶縁膜113を形成する。

10

【0058】

CMOS回路層102は、通常のCMOSプロセスを用いて形成される。CMOS回路層102は、図示しない周辺回路等に含まれるMOSFET、及びこれら周辺回路等に各種電圧や信号を供給するための多層配線に加えて、メモリセルアレイ1への接続のための配線部等を含んでいる。

【0059】

絶縁膜103は、このCMOS回路層102上に、TEOSを主原料とするCVD法を実行してシリコン酸化膜(SiO_2)を膜厚300nm程度堆積させることにより形成される。

【0060】

複合膜104は、絶縁膜103上に形成される膜厚10nmの窒化チタン(TiN)の層と膜厚50nmのタングステン(W)の層との積層構造からなり、スパッタリング法により成膜される。複合膜104は、後に、上述した第1配線層10となる。

20

【0061】

窒化チタン膜105は、複合膜104上に、膜厚10nmの窒化チタン(TiN)をスパッタリング法により成膜することにより形成される。この窒化チタン膜105は、n+型半導体領域106への不要な不純物の拡散を抑制するバリアメタルとして機能する。窒化チタン膜105は、後に、上述した電極層23となる。

【0062】

n+型半導体領域106は、窒化チタン膜105上に、膜厚10nmのアモルファスシリコンを成膜した後、加速電圧1keVでヒ素(As)のイオン注入を行うことにより形成される。n+型半導体領域106は、ヒ素(As)を 10^{20}cm^{-3} 程度の不純物濃度となるよう注入して形成されるn+型シリコン層であり、後に、上述したn+型半導体層24aとなる。

30

【0063】

n-型半導体領域107は、上記n+型半導体領域106の上に形成される。n-型半導体領域107は、次のようにして形成される。まず、膜厚90nmのアモルファスシリコンを成膜した後、加速電圧75keVでヒ素(As)のイオン注入を行う。これにより、ヒ素(As)を平均して 10^{17}cm^{-3} 程度含む膜厚90nmの真性型半導体領域107が形成される。この真性型半導体領域107は、後に、上述したn-型半導体層24bとなる。

40

【0064】

p+型半導体領域108は、上記n-型半導体領域107の上に形成される。p+型半導体領域108は、n-型半導体領域107に対し、加速電圧1keVでホウ素(B)のイオン注入を行うことにより、n-型半導体領域107の上部を、p+型の半導体領域に変えることにより形成される。p+型半導体領域108は、例えば、ホウ素(B)を 10^{20}cm^{-3} 程度含む、膜厚10nmの領域とすることができる。p+型半導体領域108は、後に、上述したp+型半導体層24cとなる。

【0065】

チタン膜109、窒化チタン膜110、抵抗変化材料膜111、及び窒化チタン膜11

50

2は、上記p+型半導体領域108の上に、スパッタリング法により順次成膜される。チタン膜109は、3nmの膜厚で形成され、後に電極層25となる。窒化チタン膜110は、10nmの膜厚で形成され、後に電極層26となる。抵抗変化材料膜111は、膜厚10nmの $ZnMn_2O_4$ にて10nmの膜厚で形成され、後に抵抗変化層27となる。窒化チタン膜110は、10nmの膜厚で形成され、後に電極層28となる。

【0066】

絶縁膜113は、上記抵抗変化材料膜111の上に、TEOSを主原料とするCVD法により、酸化シリコン(膜厚:膜厚150nm)を堆積させ形成される。

【0067】

次に、図7Bに示すように、複合膜104、窒化チタン膜105、n+型半導体領域106、n-型半導体領域107、p+型半導体領域108、チタン膜109、窒化チタン膜110、抵抗変化材料膜111、窒化チタン膜112、絶縁膜113を、X方向に所定ピッチをもつストライプ状にパターンニングする。最初に、インプリントリソグラフィの技術を用いて、X方向にピッチ44nmをもつレジストパターンを形成し、得られたレジストパターンをマスクとして CHF_3 、及びCOガスを用いた反応性イオンエッチングにより絶縁膜113をパターンニングする。ここでレジストを剥離処理した後に、形成された絶縁膜113によるパターンをエッチングマスクとして、 Cl_2 、Ar、およびCOガスを用いた反応性イオンエッチングにより、窒化チタン膜112~窒化チタン膜105が、順次パターンニングされる。

【0068】

そして、図7Bに示すように、 CHF_3 と SF_6 ガスを用いた反応性イオンエッチングにより、X方向に所定ピッチをもつストライプ状に複合膜104をパターンニングする。このパターンニングにより、複合膜104は、第1配線層10となる。

【0069】

続いて、図7Cに示すように、TEOSを主原料とするCVD法により、酸化シリコン(SiO_2)からなる絶縁膜115を形成する。次に、図7Dに示すように、CMP法により、窒化チタン膜112をストッパとして絶縁膜113及び絶縁膜115の平坦化を行う。そして、図7Eに示すように、膜厚10nmの窒化チタン(TiN)と膜厚50nmのタングステン(W)を積層させてなる複合膜116をスパッタリング法により成膜する。そして、TEOSを主原料とするCVD法により、酸化シリコンからなる絶縁膜117

【0070】

次いで、図7Fに示すように、各層をY方向に所定ピッチをもつストライプ状に加工する。すなわち、インプリントリソグラフィの技術を用いて、Y方向にピッチ44nmをもつストライプ状のレジストパターンを形成し、得られたレジストパターンをマスクとして、 CHF_3 、及びCOガスを用いた反応性イオンエッチングによりシリコン酸化膜117をパターンニングする。

【0071】

そして、レジストを剥離処理した後、パターンニングされた絶縁膜117をエッチングマスクとして、 CHF_3 と SF_6 ガスを用いた反応性イオンエッチングにより、複合膜116をパターンニングする。このパターンニングにより、複合膜116は、第2配線層30となる。

【0072】

引き続き、 Cl_2 、Ar、およびCOガスを用いた反応性イオンエッチングにより、窒化チタン膜112、抵抗変化材料膜111、窒化チタン膜110、チタン膜109、p+型半導体領域108、n-型半導体領域107、n+型半導体領域106、窒化チタン膜105を、順次パターンニングする。なお、この工程では、n+型半導体領域106や窒化チタン膜105は相互に完全にエッチングにより離間していなくても構わない。このパターンニングにより、窒化チタン膜105は、電極層23となる。n+型半導体領域106は、柱状のn+型半導体層24aAとなる。n-型半導体領域107は、柱状のn-型半導

10

20

30

40

50

体層 24bA となる。p + 型半導体領域 108 は、柱状の p + 型半導体層 24cA となる。チタン膜 109 は、電極層 25A となる。窒化チタン膜 110 は、電極層 26 となる。抵抗変化材料膜 111 は、抵抗変化層 27 となる。窒化チタン膜 112 は、電極層 28 となる。

【0073】

次に、図 7G に示すように、回転塗布可能な酸化シリコン膜を用いて、上記パターンングによる溝を埋め込みながらウエハ全面に酸化シリコンからなる絶縁膜 118 を形成する。

【0074】

続いて、図 8 を参照して、図 7G に続く熱処理工程について説明する。上記のように、図 7G に示す工程を経て、図 8 の「符号 A」に示すように、電極層 23、n + 型半導体層 24aA、n - 型半導体層 24bA、p + 型半導体層 24cA、電極層 25A、及び電極層 26 が形成される。

10

【0075】

次に、図 8 の「符号 B」に示すように、 550 ± 20 程度（3 分）の熱処理を行う（第 1 熱処理工程）。これにより、チタン（Ti）にて構成された電極層 25A は、シリコン（Si）にて構成された p + 型半導体層 24cA と反応し（シリサイド化）、チタンシリサイド（TiSi₂）にて構成された電極層 25 となる。

【0076】

続いて、図 8 の「符号 C」に示すように、 500 ± 20 程度（2 時間）の熱処理を行う（第 2 熱処理工程）。これにより、アモルファスシリコンにて構成された n + 型半導体層 24aA、n - 型半導体層 24bA、及び p + 型半導体層 24cA は、電極層 25（チタンシリサイド（TiSi₂））を結晶核として結晶成長し、ポリシリコンにて構成された n + 型半導体層 24aB、n - 型半導体層 24bB、及び p + 型半導体層 24cB となる。すなわち、 500 ± 20 程度（2 時間）の熱処理により電極層 25 を起点として、少なくとも p + 型半導体層 24cA と n - 型半導体層 24bA との境界を超えて、それらは結晶化される。好ましくは、電極層 25 を起点として、p + 型半導体層 24cA、n - 型半導体層 24bA、及び n + 型半導体層 24aA の全体に亘って、それらは結晶化される。

20

【0077】

次に、図 8 の「符号 D」に示すように、 800 ± 50 程度（5 秒）の熱処理を行う（第 3 熱処理工程）。これにより、n + 型半導体層 24aB、n - 型半導体層 24bB、及び p + 型半導体層 24cB において、不純物は電氣的に活性化されると同時に、ポリシリコンの結晶中に形成された結晶欠陥は回復される。n + 型半導体層 24aB、n - 型半導体層 24bB、及び p + 型半導体層 24cB は、不純物が電氣的に活性化し、結晶欠陥の少ない n + 型半導体層 24a、n - 型半導体層 24b、及び p + 型半導体層 24c となる。

30

【0078】

[実施形態に係る不揮発性半導体記憶装置の効果]

次に、実施形態に係る不揮発性半導体記憶装置の効果について説明する。まず、図 9 を参照して、可変抵抗素子 VR、及びダイオード DI の電流 電圧特性に係る問題点を説明する。図 9 は、可変抵抗素子 VR、及びダイオード DI の電流 電圧特性の一例を示す図である。図 9 において、横軸は電圧を示し、縦軸は電流を示す。縦軸は、対数表示のため、電流 = 0 の点を定義できないが、ここでは説明のため、便宜上、縦軸の下端を電流 = 0 の点としている。

40

【0079】

図 9 には、電流 電圧特性 41 ~ 44 が示されている。電流 電圧特性 41 は、低抵抗状態である抵抗変化素子 VR の電流 電圧特性である。電流 電圧特性 42 は、高抵抗状態である抵抗変化素子 VR の電流 電圧特性である。電流 電圧特性 43 は、ダイオードファクターが大きい場合のダイオード DI の電流 電圧特性である。電流 電圧特

50

性44は、ダイオードファクターが小さい場合のダイオードD Iの電流 電圧特性である。なお、ダイオードファクターとは、ダイオードD Iが流れる順方向電流の立ち上がりの急峻度を表す指標であり、これが小さい程、ダイオードD Iの電流 電圧特性が急峻であることを示す。

【0080】

また、図9には、電流 I_{reset} が示されている。電流 I_{reset} は、可変抵抗素子VRが低抵抗状態から高抵抗状態へとリセットするときにメモリセルMCに流れる電流である。なお、図9において、ダイオードD Iの電流 電圧特性43、44は、その電圧（横軸）の向きを反転させ、電流 I_{reset} が流れる点Aと交差するようにプロットされている。これは、可変抵抗素子VRに印加される電圧とダイオードD Iに印加される電圧との区別を容易にするためである。

10

【0081】

また、図9において、低抵抗状態の可変抵抗素子VRの抵抗値を R_L とし、高抵抗状態の可変抵抗素子VRの抵抗値を R_H としている。ここで、ダイオードD Iの電流 電圧特性を関数 f とし、その逆関数を逆関数 f^{-1} とし、 $I = f(V)$ 、 $V = f^{-1}(I)$ と表す。そして、リセット動作時のメモリセルMCへの印加電圧を V_{reset} とすると、リセット直前（点A）の状態に関して、以下に示す（数式1）の関係が成立する。

【0082】

$$I_{reset} R_L + f^{-1}(I_{reset}) = V_{reset} \dots (\text{数式1})$$

【0083】

上記（数式1）の左辺第1項が、メモリセルMCに電流 V_{reset} が流れる際に可変抵抗素子VRにかかる電圧を示し、上記（数式1）の左辺第2項が、ダイオードD Iにかかる電圧を示す。

20

【0084】

一方、ダイオードD Iの寄生抵抗が大きい場合、リセット直後にメモリセルMCに流れる電流は、ダイオードD Iの電流 電圧特性43に沿って点Aから点Bに移行する。このときのメモリセルMCに流れる電流を I_f とすると、メモリセルMCにかかる電圧は変化しないので、以下に示す（数式2）の関係が成立する。

【0085】

$$I_f R_H + f^{-1}(I_f) = V_{reset} \dots (\text{数式2})$$

【0086】

したがって、リセット直後に可変抵抗素子VRにかかる電圧 $I_f R_H$ は、以下に示す（数式3）で表すことができる。

30

【0087】

$$I_f R_H = I_{reset} R_L + f^{-1}(I_{reset}) - f^{-1}(I_f) \dots (\text{数式3})$$

【0088】

ここで、電圧 $I_f R_H$ は、電圧 V_{H-L} （C点）より大きいとする。電圧 V_{H-L} （C点）は、可変抵抗素子VRが高抵抗状態から低抵抗状態へと遷移する際の電圧である。この場合、可変抵抗素子VRは、リセット操作を実行されたにも拘わらず、再び低抵抗状態へと戻り（再セット）、メモリセルMCにおいて所望とする動作が実行されない。

40

【0089】

上記のような再セットを防止し、動作マージンを十分に確保するためには、上記（数式1）～（数式3）からも明らかなように、「 $f^{-1}(I_{reset}) - f^{-1}(I_f)$ 」を小さくし、即ち、「 f^{-1} 」の勾配を緩くすればよい。上述したように、「 f^{-1} 」は、ダイオードD Iの電流 電圧特性 f の逆関数である。よって、動作マージンを十分に確保するための条件は、「 I_{reset} 」に達するまでのダイオードD Iの電流 電圧特性を急峻にすることであると言い換えられる。つまり、図9におけるダイオードD Iの電流 電圧特性を「43」から「44」の状態にして、リセット直後は、点B'に移行するようにすれば、動作マージンを確保することができる。

50

【0090】

次に、ダイオードD Iの電流 電圧特性を急峻にするための手段を考える。ダイオードD Iのpn接合における内蔵電位差よりも低い電圧をダイオードD Iに印加した場合、ダイオードD Iには、主に、pn接合における禁制帯中のトラップ準位を介したキャリアの伝導による電流が流れる。一方、内蔵電位差に相当する電圧、あるいはそれ以上の電圧を印加した場合、主に、pn接合間をキャリアが拡散することによって電流が流れる。したがって、電圧が小さい領域での電流 電圧特性を急峻にするためには、前者のトラップ準位を介した電流を抑制することが必要である。トラップ準位密度は、シリコンの結晶粒界や結晶欠陥の密度の増加に伴い増加するので、上述した目的を達成するためには、シリコンの結晶欠陥密度を低減する必要がある。

10

【0091】

一方、選択メモリセルM Cの可変抵抗素子V Rを高抵抗状態から低抵抗状態に遷移させるセット動作には、2.5V~4V程度の電圧を選択メモリセルM Cに印加しなければならない。この際、非選択メモリセルM Cにおいて、ダイオードD Iは逆方向にバイアスされた状態となる。したがって、ダイオードD Iの逆方向リーク電流が大きい場合、非選択メモリセルM Cにおいてセット動作が実行されてしまう(誤セット)。さらに、誤セットの確率を十分に抑制可能であっても、メモリセルM Cの総数が多ければ、逆方向リーク電流の総計も大きくなるので、消費電力の低減のためには、可能な限り逆方向リーク電流を小さくすることが望ましい。ここで、逆方向リーク電流は、主に、pn接合ダイオードの空乏層内のトラップ準位を介して流れる。よって、逆方向リーク電流による誤セット防止、及び消費電力低減の観点からも、シリコンの結晶欠陥密度を低減する必要がある。

20

【0092】

上記のような問題に対し、本実施形態に係る不揮発性半導体記憶装置は、半導体層24(ポリシリコン)と電極層26(窒化チタン)の間に、電極層25(チタンシリサイド)を設けている。電極層25は、半導体層24との間で格子整合のとれた材料にて構成されている。この構成により、半導体層24は、結晶粒界をほとんど有さず、均一に結晶化されている。すなわち、実施形態に係る不揮発性半導体記憶装置は、半導体層24(ポリシリコン)の結晶欠陥密度を低減させ、もってリセット動作時において誤セット動作が生じることを効果的に抑制しつつ消費電力を低減し、信頼性の高い不揮発性半導体記憶装置を提供することができる。

30

【0093】

次に、図10を参照して、実施形態に係る不揮発性半導体記憶装置の製造方法の効果について説明する。図10は、比較例に係る不揮発性半導体記憶装置の製造工程を示す拡大断面図である。図10に示す比較例においては、本実施形態と同様に図7Gに示す工程まで実行される。図7Gに続いて、比較例においては、図10に示すように、800の熱処理を実行する。これにより、電極層25Aは、TiSi₂にて構成された層となる。そして、アモルファスシリコンにて構成されたn+型半導体層24aA、n-型半導体層24bA、及びp+型半導体層24cA内において、ランダムな位置に結晶核が自然発生し、その結晶核を中心として結晶成長が進む。このために、n+型半導体層24aA、n-型半導体層24bA、及びp+型半導体層24cAは、結晶粒界や結晶欠陥を多数含んだ多結晶体24aC~24cCとなる。

40

【0094】

これに対し、本実施形態に係る不揮発性半導体記憶装置の製造方法は、上記のように、制御温度の異なる第1~第3熱処理工程を実行する。これにより、電極層25(チタンシリサイド(TiSi₂))を結晶核として結晶成長し、半導体層24は、結晶粒界をほとんど有さず、均一に結晶化される。すなわち、実施形態に係る不揮発性半導体記憶装置の製造方法は、リセット動作時において誤セット動作が生じることを効果的に抑制しつつ消費電力を低減し、信頼性の高い不揮発性半導体記憶装置を提供することができる。

【0095】

以上、本発明の実施の形態を説明したが、本発明はこれらに限定されるものではなく、

50

発明の趣旨を逸脱しない範囲内において、種々の変更、追加等が可能である。

【0096】

例えば、上記実施形態において、電極層(チタンシリサイド $TiSi_2$)25は、半導体層24と電極層26との間ではなく、半導体層24と電極層23との間に設けられていても良い。

【0097】

例えば、電極層25は、チタンシリサイド($TiSi_2$)のほか、ニッケルシリサイド($NiSi_2$)、パラジウムシリサイド($PdSi_2$)にて構成されたものであってもよい。

【0098】

例えば、電極層23、26、28は、窒化チタン(TiN)のほか、白金(Pt)、タングステン(W)、窒化タングステン(WN)、窒化タンタル(TaN)、Nbドープ TiO_2 等であってもよい。

【0099】

例えば、n型不純物としてヒ素(As)を用いたが、リン(P)を用いても構わない。また、イオン注入で用いる注入原子を入れ替えることにより、異なる積層構造のダイオードDIを形成することが可能である。

【0100】

例えば、上記の例では、ダイオードDIの形成に、ドーピング無しのCVD成膜により形成したシリコン膜に不純物原子をイオン注入する方法を用いたが、ドーピングしたCVD成膜を用いてダイオードを形成することも可能である。この場合、ヒ素(As)のドーピングには AsH_3 ガスの添加を、リン(P)のドーピングには PH_3 ガスの添加を、ホウ素(B)のドーピングには BCl_3 ガスの添加を用いることが可能であり、成膜中のドーピング量を調整することにより、所望の不純物濃度分布を得ることが可能である。

【符号の説明】

【0101】

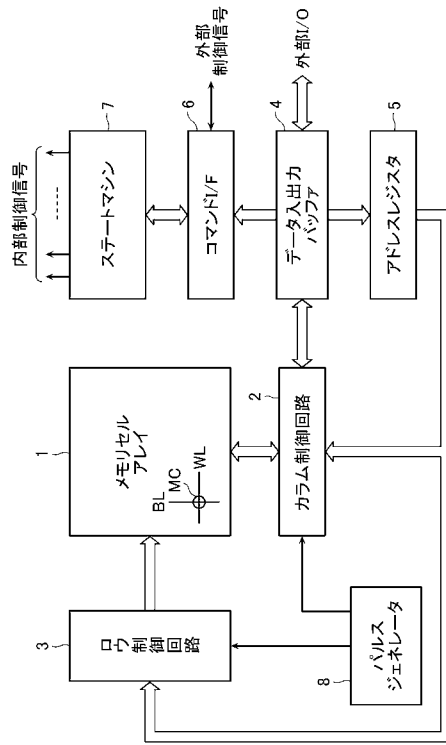
1...メモリセルアレイ、 2...カラム制御回路、 3...ロウ制御回路、 4...データ入出力バッファ、 5...アドレスレジスタ、 6...コマンド・インターフェイス、 7...ステートマシン、 8...パルスジェネレータ、 10...第1配線層、 20...メモリ層、 30...第2配線層、 WL...ワード線、 BL...ビット線、 MC...メモリセル、 VR...可変抵抗素子、 DI...ダイオード。

10

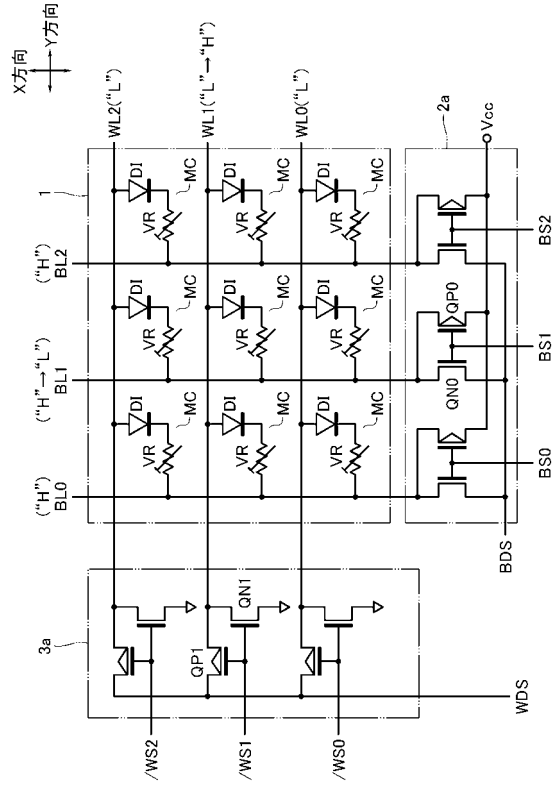
20

30

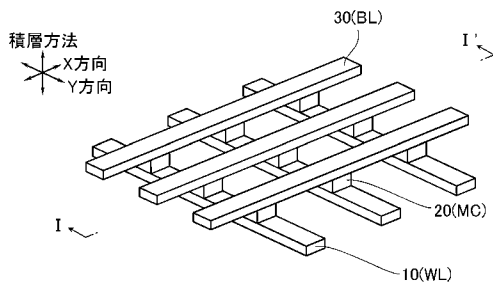
【図1】



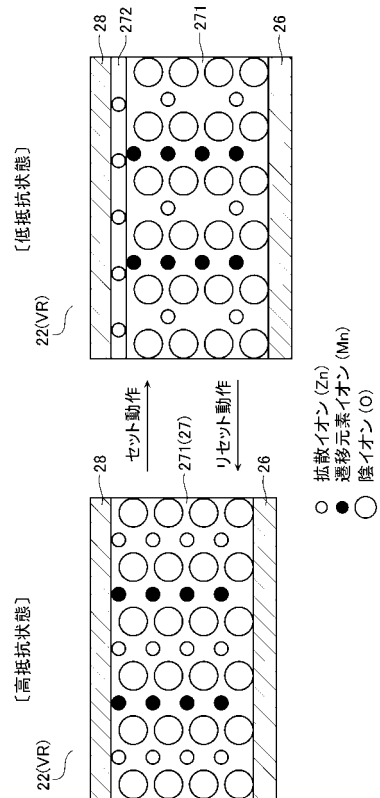
【図2】



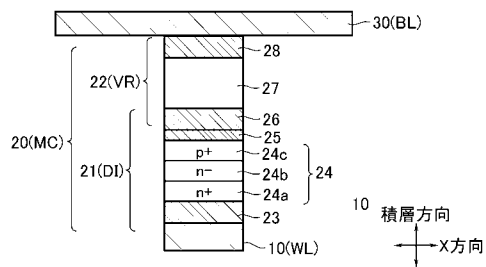
【図3】



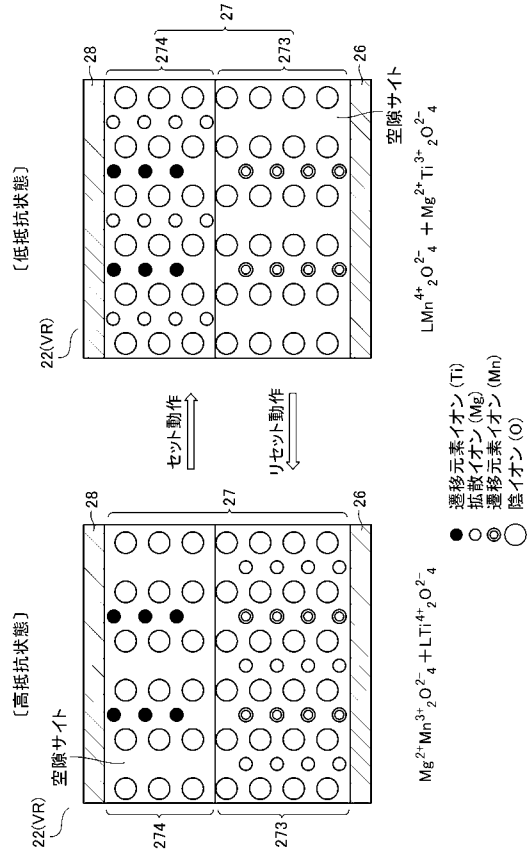
【図5】



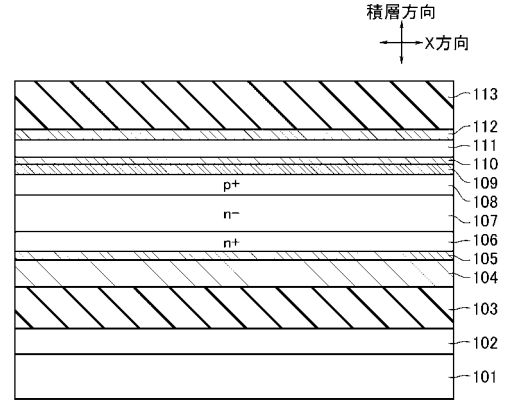
【図4】



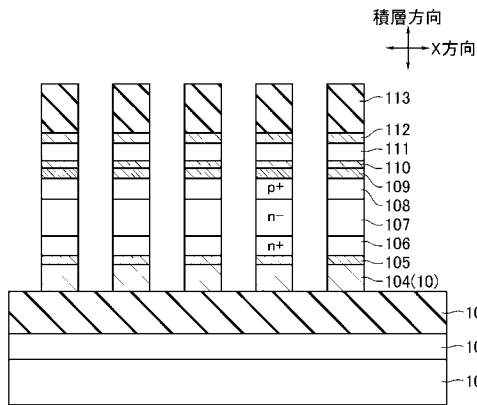
【図6】



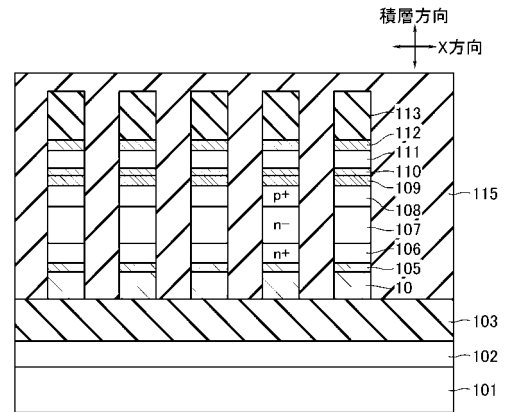
【図7A】



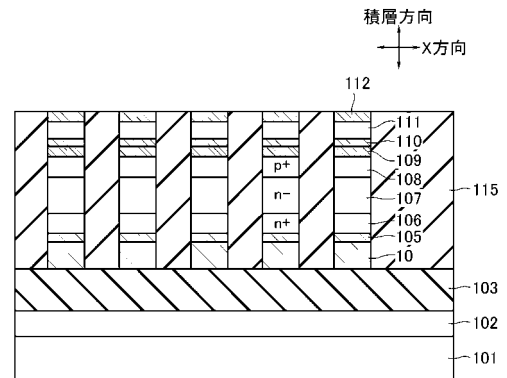
【図7B】



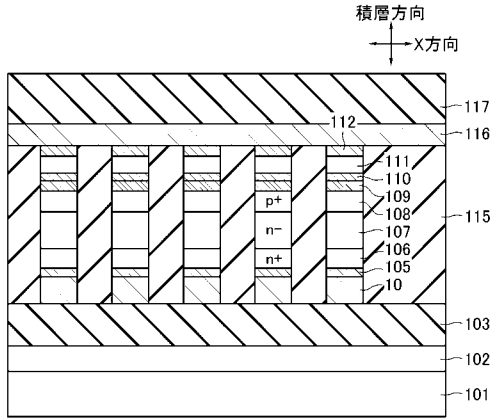
【図7C】



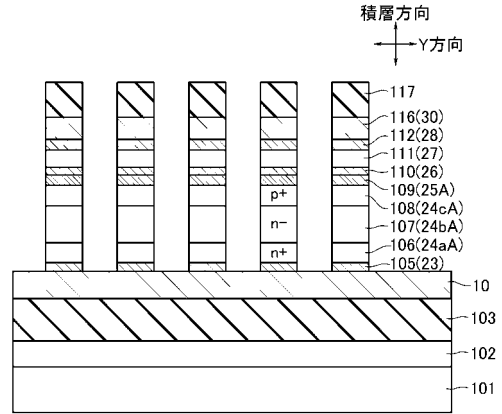
【図7D】



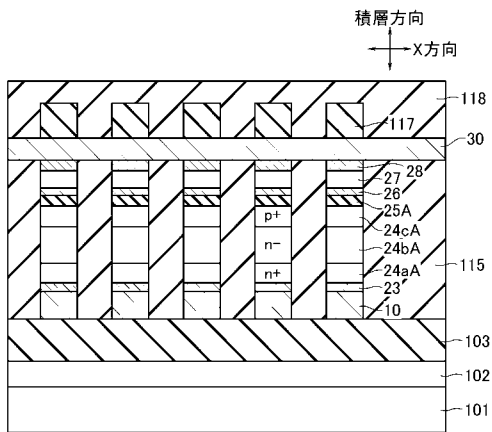
【図7E】



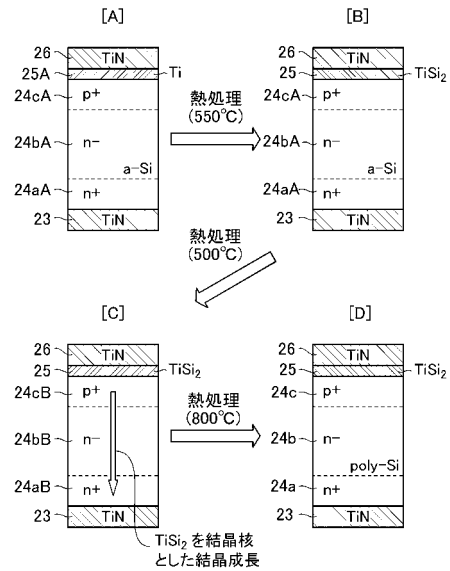
【図7F】



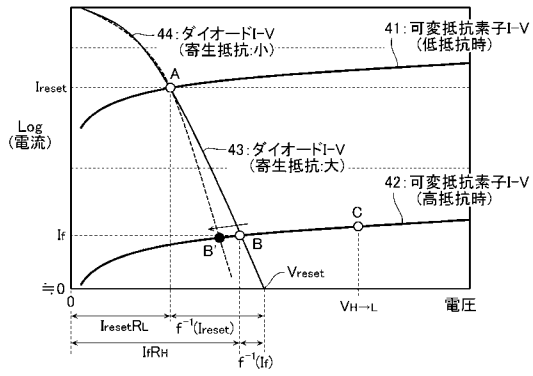
【図7G】



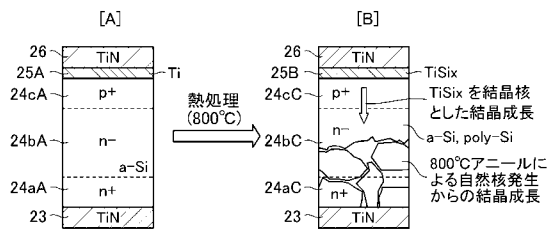
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 佐藤 充
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 須原 宏光

(56)参考文献 国際公開第2008/118486(WO, A1)
国際公開第2009/005700(WO, A1)

(58)調査した分野(Int.Cl., DB名)
H01L 27/105