

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-129371

(P2012-129371A)

(43) 公開日 平成24年7月5日(2012.7.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 0	5 C 0 2 4
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 6 9 0	

審査請求 未請求 請求項の数 12 O L (全 15 頁)

(21) 出願番号	特願2010-279873 (P2010-279873)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成22年12月15日 (2010.12.15)	(74) 代理人	100076428 弁理士 大塚 康德
		(74) 代理人	100112508 弁理士 高柳 司郎
		(74) 代理人	100115071 弁理士 大塚 康弘
		(74) 代理人	100116894 弁理士 木村 秀二
		(74) 代理人	100130409 弁理士 下山 治
		(74) 代理人	100134175 弁理士 永川 行光

最終頁に続く

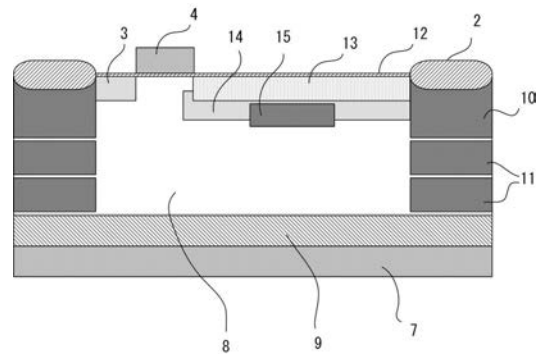
(54) 【発明の名称】 固体撮像装置およびその製造方法ならびにカメラ

(57) 【要約】

【課題】飽和電荷量、転送性能および感度に対する要求を満たすために有利な技術を提供する。

【解決手段】、固体撮像装置は、第1導電型の第1半導体領域と、前記第1半導体領域の下面に接するように配置され電荷蓄積領域として機能する第2導電型の第2半導体領域と、前記第2半導体領域によって取り囲まれた側面を含む第3半導体領域と、前記第2半導体領域から離隔して配置された第2導電型の第4半導体領域と、前記第2半導体領域に蓄積された電荷を前記第4半導体領域に転送するためのチャンネルを形成する転送ゲートとを含み、前記第3半導体領域は、第1導電型の半導体領域であるか、第2導電型の不純物濃度が前記第2半導体領域よりも低い第2導電型の半導体領域である。

【選択図】 図2



PIX

【特許請求の範囲】**【請求項 1】**

第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域の下面に接するように配置され電荷蓄積領域として機能する第 2 導電型の第 2 半導体領域と、

前記第 2 半導体領域によって取り囲まれた側面を含む第 3 半導体領域と、

前記第 2 半導体領域から離隔して配置された第 2 導電型の第 4 半導体領域と、

前記第 2 半導体領域に蓄積された電荷を前記第 4 半導体領域に転送するためのチャンネルを形成する転送ゲートとを含み、

前記第 3 半導体領域は、第 1 導電型の半導体領域であるか、第 2 導電型の不純物濃度が前記第 2 半導体領域よりも低い第 2 導電型の半導体領域である、

ことを特徴とする固体撮像装置。

10

【請求項 2】

前記第 3 半導体領域は、前記第 2 半導体領域に接する上面を含む、

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記第 2 半導体領域の下面および前記第 3 半導体領域の下面に接する部分を含む第 2 導電型の第 5 半導体領域を更に含むことを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 4】

前記第 5 半導体領域の下面に接する第 1 導電型の第 6 半導体領域を更に含むことを特徴とする請求項 3 に記載の固体撮像装置。

20

【請求項 5】

前記第 2 半導体領域の下面および前記第 3 半導体領域の下面に接する部分を含む第 1 導電型の半導体領域を更に含むことを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 6】

複数の画素を有するように構成され、

各画素が前記第 2 半導体領域、前記第 3 半導体領域および前記転送ゲートを含み、1 つの画素の前記第 2 半導体領域と他の画素の前記第 2 半導体領域との間に第 1 導電型の半導体領域が配置されている、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の固体撮像装置。

30

【請求項 7】

第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域の下面に接するように配置されて電荷蓄積領域として機能する第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域から離隔して配置された第 2 導電型の第 4 半導体領域とが配された基板と、前記第 2 半導体領域に蓄積された電荷を前記第 4 半導体領域に転送するためのチャンネルを形成する転送ゲートとを含む固体撮像装置の製造方法であって、

前記第 2 半導体領域によって取り囲まれた側面を含む第 3 半導体領域が形成されるように、前記基板に対して第 1 導電型のイオンを注入するイオン注入工程を含む、

ことを特徴とする固体撮像装置の製造方法。

40

【請求項 8】

前記固体撮像装置は、複数の画素を有し、各画素が前記第 2 半導体領域、前記第 3 半導体領域および前記転送ゲートを含み、

前記イオン注入工程では、1 つの画素の前記第 2 半導体領域と他の画素の前記第 2 半導体領域との間に、第 1 導電型の半導体領域が前記第 3 半導体領域とともに形成されるように、前記基板にイオンを注入する、

ことを特徴とする請求項 7 に記載の固体撮像装置の製造方法。

【請求項 9】

第 1 導電型の前記半導体領域の下に更に第 1 導電型の半導体領域が形成されるように前記基板にイオンを注入する工程を更に含むことを特徴とする請求項 8 に記載の固体撮像装

50

置の製造方法。

【請求項 10】

前記第 3 半導体領域を形成するためのイオン注入工程の後に、
前記第 1 半導体領域と、前記第 2 半導体領域とを形成する工程を含むことを特徴とする
請求項 7 乃至 9 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 11】

第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域の下面に接するように配置されて
電荷蓄積領域として機能する第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域から離
隔して配置された第 2 導電型の第 4 半導体領域と、前記第 2 半導体領域に蓄積された電荷
を前記第 4 半導体領域に転送するためのチャンネルを形成する転送ゲートとを含む固体撮像
装置の製造方法であって、

前記第 2 半導体領域によって取り囲まれた側面を含む第 2 導電型の第 3 半導体領域が規
定されるように、前記第 2 半導体領域を形成すべき領域に対してイオンを注入すること
によって前記第 2 半導体領域を形成するイオン注入工程を含み、

前記第 3 半導体領域は、第 2 導電型の不純物濃度が前記第 2 半導体領域よりも低い半導
体領域である、

ことを特徴とする固体撮像装置の製造方法。

【請求項 12】

請求項 1 乃至 6 のいずれか 1 項に記載の固体撮像装置と、
前記固体撮像装置から出力される信号を処理する処理部と、
を備えることを特徴とするカメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置およびその製造方法ならびにカメラに関する。

【背景技術】

【0002】

CCD センサおよび CMOS センサなどの固体撮像装置では、撮像領域に複数の画素が
配列されていて、各画素は、光電変換部と、該光電変換部に蓄積された電荷を信号出力部
に転送するチャンネルを形成する転送ゲートとを有する。この信号出力部は、CCD センサ
においては垂直 CCD レジスタであり、CMOS センサにおいては増幅用トランジスタの
ゲートが接続されたフローティングディフュージョンでありうる。光電変換部は、一般に
、暗電流を抑えて信号電荷である電子を効率よく収集するため、半導体基板の表面から深
さ方向に向かって p⁺ 領域、n 領域、n⁻ 領域が配置された埋め込み構造を有する。ここ
で、p⁺ 領域の下に接する n 領域が信号電荷である電子の蓄積領域である。

【0003】

蓄積領域に蓄積される最大電子数、即ち飽和電子数は、概ね蓄積領域の面積とポテンシ
ヤルの深さとの積に比例する。しかし、ポテンシャルが深いほど、信号出力部への電子の
転送が困難になる。よって、特に画素面積が小さい場合には、飽和電子数の確保と信号転
送性能の確保を両立させることは難しい。

【0004】

特許文献 1 には、半導体基板の表面から深さ方向に向かって、p⁺ 領域、n 領域、p⁻
領域、n⁻ 領域が配置された構造が開示されている。この構造では、蓄積領域である n 領
域の下に接するように p⁻ 領域が配置されているので、蓄積領域である n 領域の厚さが制
限される。飽和電子数は、n 領域の厚さと不純物濃度との積によって決まる。n 領域を空
乏化するために必要な電圧は、n 領域の厚さの 1/2 乗に比例する。空乏化電圧が小さい
ほど信号出力部への電子の転送が容易になるので、n 領域の下に接するように p⁻ 領域を
形成することにより、小さい空乏化電圧で大きな飽和電子数が得られ、飽和と転送性能と
の両立が容易になる。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0005】

【特許文献1】特開2008-078302号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に開示された構造では、空乏化した n^- 領域のポテンシャル勾配が弱くなる。したがって、 n^- 領域で発生した電子が蓄積領域である n 領域によって収集されるためのドリフト力が小さくなり、これにより、感度が低下したり、クロストークが増大したりしうる。更には、画素間の横方向分離のための p 領域が配置された構成では、特に画素が縮小された場合において、該 p 領域が n^- 層のポテンシャルを平坦化するように影響し、これにより感度の低下が更に顕著になりうる。すなわち、従来の画素の構造や特許文献1の構造では、飽和電荷量、転送性能および感度の全てに対する要求を満たすことが、特に画素が縮小された場合において困難になりうる。

10

【0007】

本発明は、以上の課題認識を契機としてなされたものであり、例えば、飽和電荷量、転送性能および感度に対する要求を満たすために有利な技術を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の1つの側面は、固体撮像装置に係り、該固体撮像装置は、第1導電型の第1半導体領域と、前記第1半導体領域の下面に接するように配置され電荷蓄積領域として機能する第2導電型の第2半導体領域と、前記第2半導体領域によって取り囲まれた側面を含む第3半導体領域と、前記第2半導体領域から離隔して配置された第2導電型の第4半導体領域と、前記第2半導体領域に蓄積された電荷を前記第4半導体領域に転送するためのチャンネルを形成する転送ゲートとを含み、前記第3半導体領域は、第1導電型の半導体領域であるか、第2導電型の不純物濃度が前記第2半導体領域よりも低い第2導電型の半導体領域である。

20

【発明の効果】

【0009】

本発明によれば、飽和電荷量、転送性能および感度に対する要求を満たすために有利な技術を提供する。

30

【図面の簡単な説明】

【0010】

【図1】本発明の第1、第2、第4実施形態の固体撮像装置の1つの画素の構成を示す平面図。

【図2】本発明の第1実施形態の固体撮像装置の1つの画素の構成を示す断面図。

【図3】本発明の第1実施形態の固体撮像装置の製造方法を説明する図。

【図4】ポテンシャル分布を例示する図。

【図5】本発明の第2実施形態の固体撮像装置の1つの画素の構成を示す断面図。

【図6】本発明の第2実施形態の固体撮像装置の製造方法を説明する図。

40

【図7】本発明の第3実施形態の固体撮像装置の1つの画素の構成を示す平面図。

【図8】本発明の第3実施形態の固体撮像装置の1つの画素の構成を示す断面図。

【図9】本発明の第4実施形態の固体撮像装置の1つの画素の構成を示す断面図。

【発明を実施するための形態】

【0011】

本発明の固体撮像装置は、CMOSセンサおよびCCDセンサなどのように、電荷蓄積領域に蓄積された電荷をフローティングディフュージョンおよび垂直CCDレジスタなどの信号出力部に転送する機能を有する種々のセンサに適用されうる。固体撮像装置は、複数の画素を含み、各画素は、電荷蓄積領域を含む光電変換素子と、該電荷蓄積領域に蓄積された電荷（電子または正孔）を信号出力部に転送するチャンネルを形成する転送ゲートと

50

を含みうる。CMOSセンサでは、信号出力部としてのフローティングディフュージョンは、複数の画素あるいは複数の光電変換素子によって共有されうる。

【0012】

特許請求の範囲で使用される「第1導電型」および「第2導電型」は、相互に異なる導電型を表現するために用いられる用語である。「第1導電型」がp型である場合には「第2導電型」はn型であり、「第1導電型」がn型である場合には「第2導電型」はp型である。以下では、説明の簡略化のために、「第1導電型」がp型であり、「第2導電型」はn型である例を説明するが、本発明はこれに限定されるものではなく、「第1導電型」がn型であり、「第2導電型」はp型である場合にも適用される。電荷蓄積領域として機能する半導体領域がn型である場合には、電荷蓄積領域には、光電変換によって生じた電子および正孔のうち電子が蓄積される。電荷蓄積領域として機能する半導体領域がp型である場合には、電荷蓄積領域には、光電変換によって生じた電子および正孔のうち正孔が蓄積される。また、以下では説明の簡略化のために、本発明をCMOSセンサに適用した例を説明するが、前述のように、本発明は、電荷蓄積領域に蓄積された電荷を信号出力部に転送する機能を有する種々のセンサに適用されうる。

10

【0013】

図1は、本発明の第1実施形態のCMOSセンサの1つの画素PIXの構成を示す平面図である。画素PIXは、フォトダイオード(以下、PD)1と、信号出力部としてのフローティングディフュージョン(以下、FD)3と、転送ゲート4とを含みうる。PD1は、電荷蓄積部を含み、入射した光に応じた量の電荷を発生してそれを電荷蓄積部に蓄積する。FD3の電位は、それに対して電荷が転送されてくると、その電荷の量に応じて変化する。即ち、FD3は、電荷の形式の信号を電圧の形式の信号に変換する電荷電圧変換部として機能する。なお、FD3は、他のFDと接続していてもよく、また他のPDと共有されてもよい。転送ゲート4は、PD1の電荷蓄積部に蓄積された電荷をFD3に転送するためのチャンネルを形成する。PD1をソースまたはドレインと考え、FD3をドレインまたはソースと考えると、PD1、FD3および転送ゲート4によってMOSトランジスタが構成されているものと理解することができる。PD1およびFD3は、素子分離2によって他の素子(画素内の他の素子、および、他の画素の素子)から分離されている。素子分離2は、絶縁体で構成されていても、PN接合によって構成されていてもよい。画素PIXは、その他の素子、例えば、FD3の電位に応じた信号を垂直信号線に出力する増幅MOSトランジスタ、FD3の電位をリセットするリセットMOSトランジスタが配置される領域5を含みうる。

20

30

【0014】

図2は、図1のA-B線に沿った模式的な断面図である。画素PIXは、第1導電型(ここではp型)の第1半導体領域(p⁺領域)13と、第1半導体領域13の下面に接するように配置された第2導電型(ここではn型)の第2半導体領域(n領域;電荷蓄積領域)14とを含む。画素PIXはまた、特徴的な構成として、第2半導体領域14によって取り囲まれた側面を含む第1導電型の第3半導体領域(p領域)15とを含む。画素PIXはまた、第2半導体領域14から離隔して配置された第2導電型の第4半導体領域であるFD3と、第2半導体領域14に蓄積された電荷をFD3に転送するためのチャンネルを第2導電型の第5半導体領域(n⁻領域)8に形成する転送ゲート4とを含む。転送ゲート4は、絶縁膜12を介して第5半導体領域8の上に配置される。第5半導体領域8は、第2半導体領域14の下面および第3半導体領域15の下面に接する部分、FD3に接する部分、および、転送ゲート4に印加される電位によってチャンネルが形成される部分を含みうる。PD1およびFD3は、素子分離2によって他の素子(画素内の他の素子、および、他の画素の素子)から分離されている。画素PIXはまた、第5半導体領域8の下面に接する第1導電型の第6半導体領域9を更に含む。ここで、PD1は、第1半導体領域13、第2半導体領域14、第3半導体領域15、第4半導体領域8、第6半導体領域9で構成される。第1の導電型の第1半導体領域13は、PD1を埋め込み構造とし、第1導電型の第6半導体領域9は、PD1の深さを規定する。第1導電型の第6半導体領域

40

50

9は、第2導電型の半導体領域(例えば、半導体基板)7の上に配置されうる。素子分離2の下には、チャンネルストップを形成する第1導電型の半導体領域10が形成されうる。チャンネルストップを形成する半導体領域10と、第6半導体領域9との間には、画素と画素とを相互に分離するための第1の導電型の半導体領域11が形成されうる。半導体領域11は、例えば、深さ方向に複数段の半導体領域で形成され、例えば複数の不純物濃度ピークを有しうる。

【0015】

第1導電型の第3半導体領域15は、第1導電型の第6半導体領域9と接触しないように形成されうる。換言すると、第3半導体領域15の下面は、第1導電型の第6半導体領域9の上面よりも浅い位置に配置される。好ましくは、光電変換領域におけるポテンシャル勾配を低下させないように、第1導電型の第3半導体領域15の下面は、分離用の第1導電型の半導体領域11の最上端よりも浅い位置に配置される。第1導電型の第3半導体領域15は、第1導電型の第1半導体領域13と接触しないように配置されうる。換言すると、第3半導体領域15は、第2導電型の第2半導体領域14に接する上面を含みうる。

10

【0016】

第1導電型の第3半導体領域15の側面の少なくとも上側部分を取り囲んでいる第2導電型の第2半導体領域14から第6半導体領域9に至るまでの第5半導体領域8は入射光が電子および正孔に変換される光電変換領域である。当該領域における電位勾配は、第3半導体領域15が存在しない構成における電位勾配とほぼ等しい。したがって、第5半導体領域8で発生した電子は、十分に高い効率で第2半導体領域14によって収集される。これは、高い感度を得ながらクロストークを低減するために有利である。

20

【0017】

図3は、第3半導体領域15を形成するイオン注入工程を説明するための図である。第1実施形態の固体撮像装置の製造方法は、マスク形成工程と、イオン注入工程とを含みうる。マスク形成工程では、第3半導体領域15を形成すべき領域の上に開口OP1を有するマスクM1を形成する。イオン注入工程では、第1半導体領域13および第2半導体領域14が形成された基板に対してマスクM1を使って第1導電型を形成するためのイオンを注入する。また、イオン注入工程では、1つの画素の第2半導体領域14と他の画素の第2半導体領域14との間に、チャンネルストップとして機能する第1導電型の半導体領域10が第3半導体領域15とともに形成されうる。ここで、第3半導体領域15を形成すべき領域のほか半導体領域10を形成すべき領域の上に開口を有するマスクM1を使用し、同一工程でこれらを形成してもよい。また、第3半導体領域15を形成する工程は第1半導体領域13および第2半導体領域14を形成する工程の前でもよい。この時、第3半導体領域15と第1導電型の半導体領域10とを同一工程で形成してもよい。また、第3半導体領域15は第1導電型(p領域)としたが、第2半導体領域14よりも低い不純物濃度を有する第2導電型(n領域)であってもよい。この場合には、イオン注入時の注入量を第1導電型を形成する場合よりも少なくすればよい。第1実施形態の固体撮像装置の製造方法は、第1導電型の半導体領域10の下に更に第1導電型の半導体領域11が形成されるように基板にイオンを注入する工程を更に含みうる。

30

40

【0018】

図4(a)は、転送ゲート4によってチャンネルが形成されていない状態(転送ゲート4を含む転送MOSトランジスタがオフしている状態)における図1のA-B線に沿ったポテンシャル分布を例示する図である。この状態では、電荷蓄積領域としての第2半導体領域14に電子が蓄積される。図4(b)は、転送ゲート4によってチャンネルが形成されている状態(転送ゲート4を含む転送MOSトランジスタがオンしている状態)における図1のA-B線に沿ったポテンシャル分布を例示する図である。この状態では、電荷蓄積領域としての第2半導体領域14に蓄積された電子がチャンネルを通してFD3に転送される。図4(a)、(b)において、太線は第1実施形態の画素におけるポテンシャル分布を例示し、細線は比較例におけるポテンシャル分布を例示している。ここで、比較例は、図

50

2 に示す構成から第 3 半導体領域 1 5 を取り去った構成を有する。なお、第 1 実施形態と比較例とにおいて、電荷蓄積領域としての第 2 半導体領域 1 4 に蓄積される電子数が同じになるように第 2 半導体領域 1 4 の不純物濃度が調整されている。

【 0 0 1 9 】

図 4 (a) に例示されるように、第 1 実施形態におけるポテンシャル分布の底部は、比較例よりも横方向に広がっている。これにより、第 1 実施形態におけるポテンシャル分布の底部は、比較例よりも、転送ゲート 4 に近づいている。これは、第 2 導電型の第 2 半導体領域 1 4 によって取り囲まれた側面を含む第 1 導電型の第 3 半導体領域 1 5 を設けたことによるものである。第 1 実施形態によれば、比較例よりも、PD 1 から FD 3 に至る経路にポテンシャルバリアが形成されにくい。よって、第 1 実施形態は、比較例よりも、FD 3 への電荷の転送性能が向上する。一方、第 1 実施形態におけるポテンシャル分布の底部は、比較例よりも高い。しかし、第 1 実施形態におけるポテンシャル分布の底部は前述のように横方向に広がっているので、これによって飽和電荷量の低下が抑えられる。なお、飽和電荷量は、第 2 半導体領域 1 4 の第 2 導電型の不純物の濃度を高めることによって増加させることができる。

10

【 0 0 2 0 】

したがって、第 1 実施形態における画素の構造は、特に画素が縮小された場合において、十分な感度、転送性能および飽和電荷量を得るために有利である。

【 0 0 2 1 】

図 5 を参照しながら本発明の第 2 実施形態の CMOS センサの 1 つの画素 PIX の構成を説明する。なお、ここで言及しない事項は、第 1 実施形態に従いうる。第 2 実施形態の画素 PIX は、第 1 実施形態における第 1 導電型の第 3 半導体領域 1 5 に代えて、第 2 導電型の第 3 半導体領域 (n⁻領域) 1 5 0 を有する。ここで、第 3 半導体領域 (n⁻領域) 1 5 0 の第 2 導電型の不純物濃度は、第 2 半導体領域 (n 領域) 1 4 の第 2 導電型の不純物濃度よりも低い。第 3 半導体領域 (n⁻領域) 1 5 0 の第 2 導電型の不純物濃度は、第 5 半導体領域 (n⁻領域) 8 の第 2 導電型の不純物濃度と同じでありうる。第 2 半導体領域 1 4 は、枠形状あるいはリング形状を有しうる。

20

【 0 0 2 2 】

図 6 は、第 3 半導体領域 1 5 0 が規定されるように第 2 半導体領域 1 4 を形成するためのイオンを基板に注入するイオン注入工程を説明するための図である。第 2 実施形態の固体撮像装置の製造方法は、第 2 半導体領域 1 4 を形成すべき領域に対応する領域に開口 OP 2 を有するマスク M 2 を形成する工程と、第 1 半導体領域 1 4 が形成された基板に対してマスク M 2 を使ってイオンを注入するイオン注入工程とを含む。ここで、マスク M 2 は、第 3 半導体領域 1 5 0 を形成すべき領域に対応する部分を覆うように形成される。イオン注入工程では、マスク M 2 を使用することにより、第 2 導電型の第 2 半導体領域 1 4 によって取り囲まれた側面を含む第 2 導電型の第 3 半導体領域 1 5 0 が規定されるように、基板における第 2 半導体領域 1 4 を形成すべき領域に対してイオンを注入する。

30

【 0 0 2 3 】

第 2 実施形態における画素の構造によれば、第 1 実施形態における画素の構造によって形成されるポテンシャル分布と同様のポテンシャル分布が形成されうる。しかも、第 1 導電型の第 3 半導体領域 1 5 を形成しない分だけ画素の構造が簡単になる。

40

【 0 0 2 4 】

第 2 実施形態もまた、十分な感度、転送性能および飽和電荷量を得るために有利である。

【 0 0 2 5 】

図 7 および図 8 を参照しながら本発明の第 3 実施形態を説明する。図 7 は、本発明の第 3 実施形態の CMOS センサの 1 つの画素 PIX の構成を示す平面図である。図 8 は、図 7 の C - D 線に沿った模式的な断面図である。なお、ここで言及しない事項は、第 1 実施形態に従いうる。第 3 実施形態では、各画素が第 2 半導体領域 1 4、第 3 半導体領域 1 5 および転送ゲート 4 を含み、1 つの画素の第 2 半導体領域 1 4 と他の画素の第 2 半導体領

50

域 14 との間には第 1 導電型の半導体領域 20 が配置されている。また、半導体領域 20 の上には絶縁体で構成される素子分離は配置されていない。PD と PD とを分離するために絶縁体（酸化膜）で構成された素子分離（例えば、LOCOS または STI）を使用する場合、半導体と絶縁体との界面に構造不均一性が生じ、界面において電流が発生しうる。この電流は暗電流となるため画質低下の要因となる。第 3 実施形態では、隣接する画素間の PD と PD を相互に分離するために半導体領域 20（不純物半導体領域）を用いる。ここで、ポテンシャル分布を制御するための第 3 半導体領域 15 と分離のための半導体領域 20 とは、同一工程で形成してもよく、この場合、工程を単純化することができる。なお、この第 3 半導体領域 15 を形成する工程は、第 1 半導体領域 13 および第 2 半導体領域 14 を形成する工程の前でも後でもよい。

10

【0026】

第 3 実施形態は、十分な感度、転送性能および飽和電荷量を得るために有利であることに加えて、暗電流を低減するために有利である。

【0027】

図 9 は、本発明の第 4 実施形態の CMOS センサの 1 つの画素 PIX の構成を示す図であり、図 1 の A - B 線に沿った模式的な断面図である。ここで言及しない事項は、第 1 実施形態に従いうる。第 4 実施形態の画素 PIX は、第 2 半導体領域 14 の下面および第 3 半導体領域 15 の下面に接する部分を含む第 1 導電型の半導体領域（p ウェル）16 を更に含む。半導体領域 16 は、FD3 に接する部分、および、転送ゲート 4 に印加される電位によってチャンネルが形成される部分を含みうる。第 4 実施形態では、ポテンシャル勾配が小さくなりうるで、感度は低くなりうるが、高い転送性能が得られる。第 4 実施形態の画素の構造においても、第 3 半導体領域 15 の存在により、転送効率と飽和電荷量との双方に関して有利である。また、第 2 実施形態のように、第 1 導電型の半導体領域 15 の代わりに第 2 導電型の半導体領域 150 を採用しても同様である。

20

【0028】

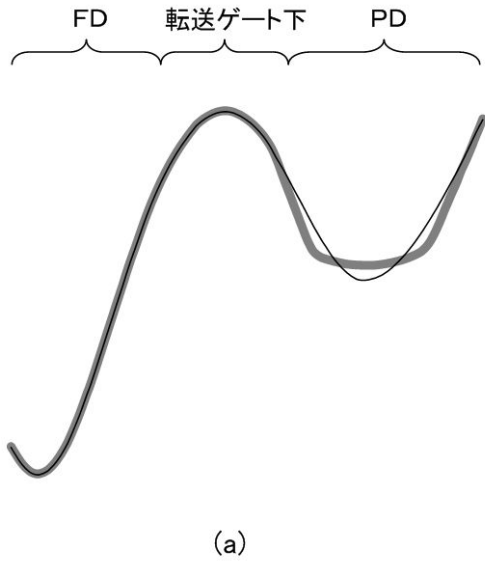
第 1、第 2、第 3 実施形態において、濃度が低い第 2 の導電型の第 5 半導体領域 8 は、空乏化して主たる光電変換領域になりうるが、第 2 の導電型の第 5 半導体領域 8 を濃度が高い第 1 導電型の半導体領域によって置き換えてもよい。また、各実施形態の構成は適宜組み合わせ可能である。

【0029】

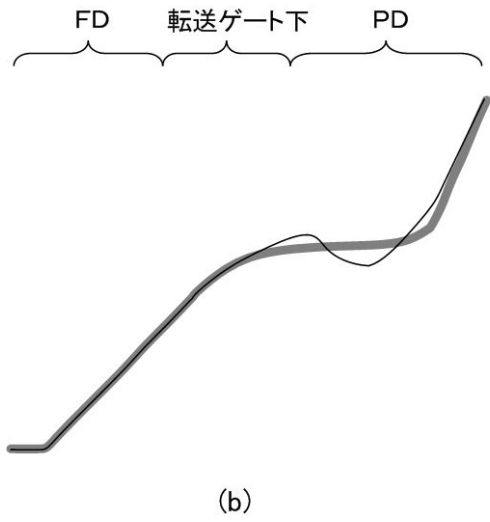
以下、上記の各実施形態に係る固体撮像装置の応用例として、該固体撮像装置が組み込まれたカメラについて例示的に説明する。カメラの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。カメラは、上記の実施形態として例示された本発明に係る固体撮像装置と、該固体撮像装置から出力される信号を処理する処理部とを含む。該処理部は、例えば、A/D 変換器、および、該 A/D 変換器から出力されるデジタルデータを処理するプロセッサを含みうる。

30

【図4】

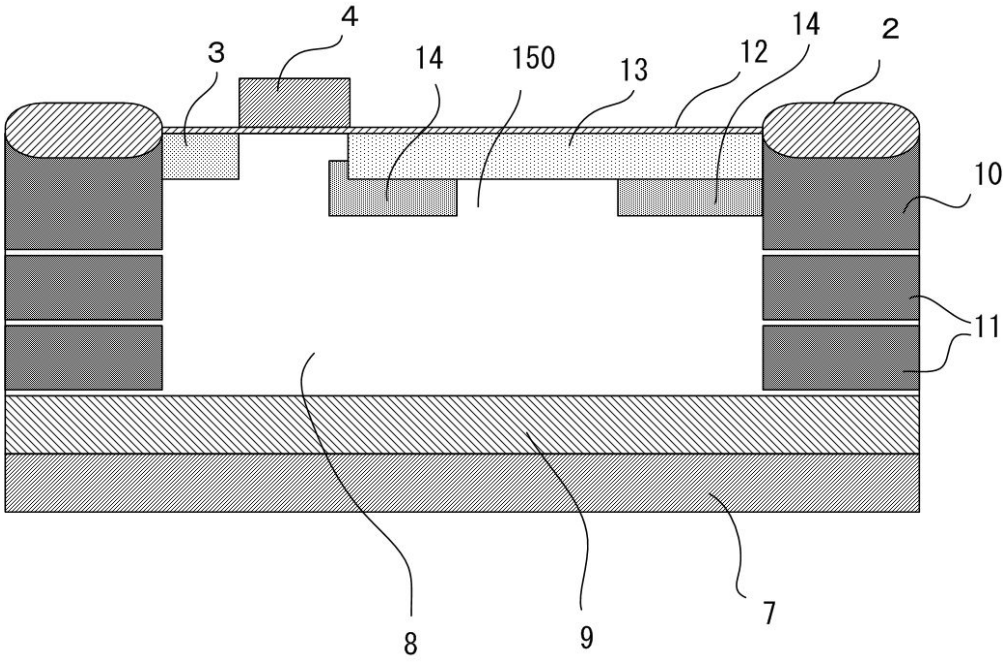


— 第1実施形態
— 比較例



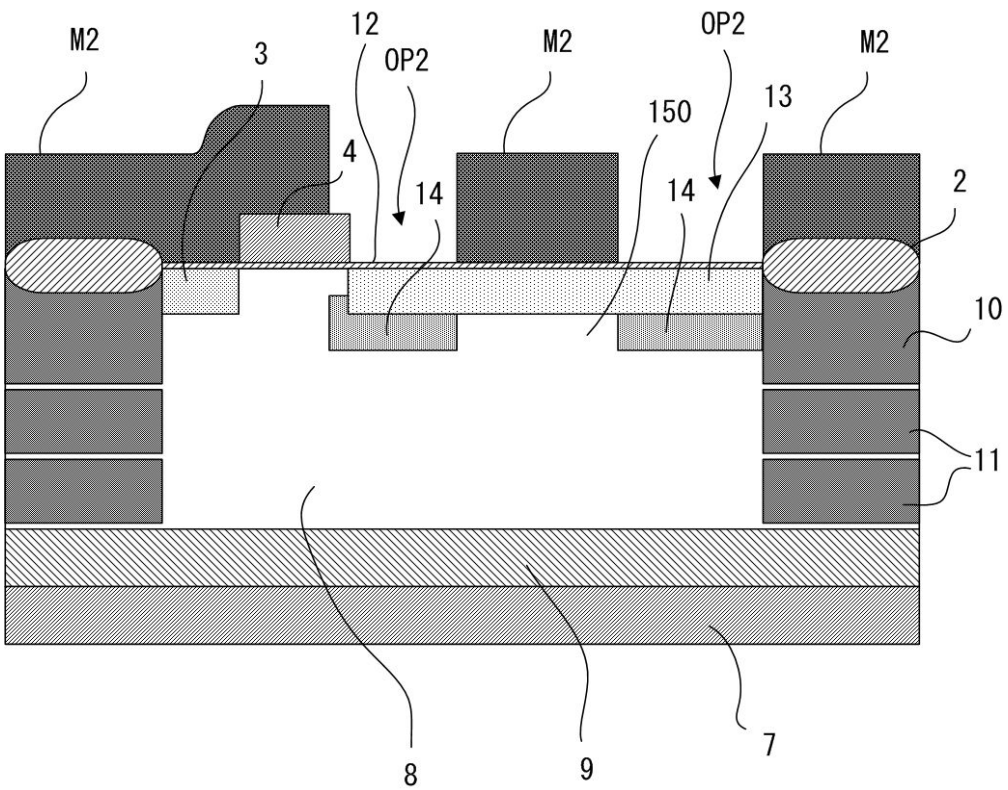
— 第1実施形態
— 比較例

【 図 5 】



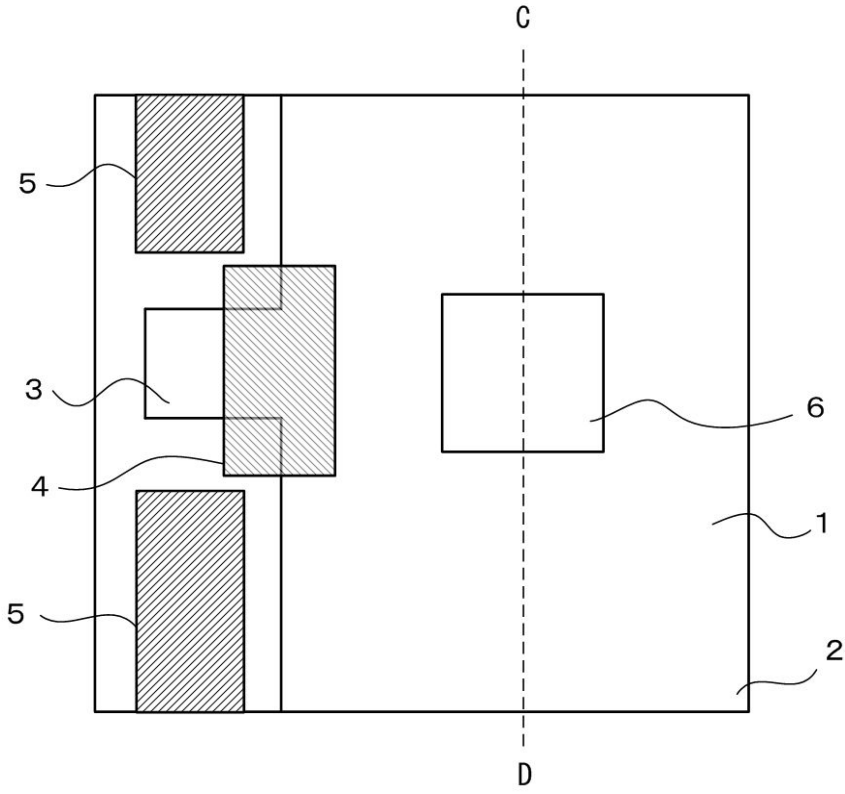
PIX

【 図 6 】

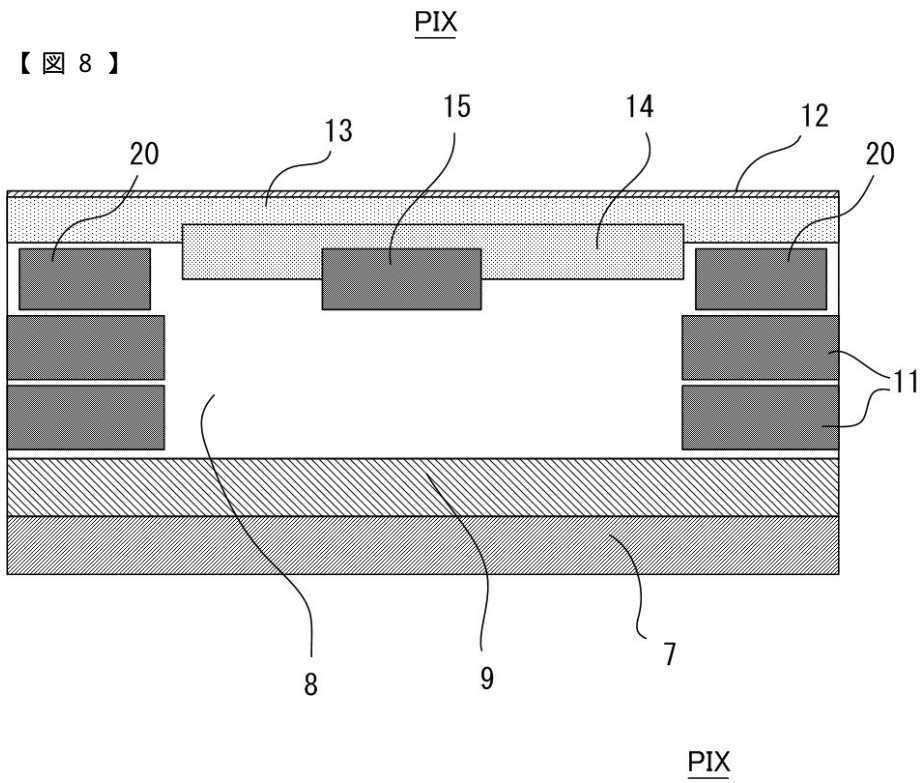


PIX

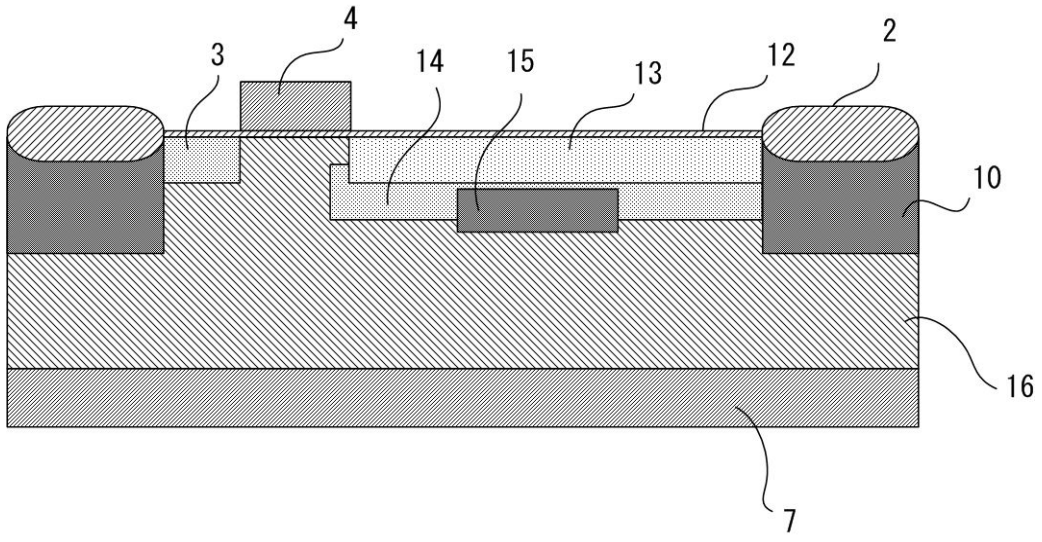
【 図 7 】



【 図 8 】



【図 9】



PIX

フロントページの続き

(72)発明者 篠原 真人

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 4M118 AA01 AA03 AA05 AB01 BA14 CA04 CA18 DD04 DD12
5C024 CX41 CX43 GX01 GY31