

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月14日(14.07.2022)



(10) 国際公開番号

WO 2022/149192 A1

(51) 国際特許分類:
H02M 1/12 (2006.01)

(21) 国際出願番号: PCT/JP2021/000125

(22) 国際出願日: 2021年1月5日(05.01.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

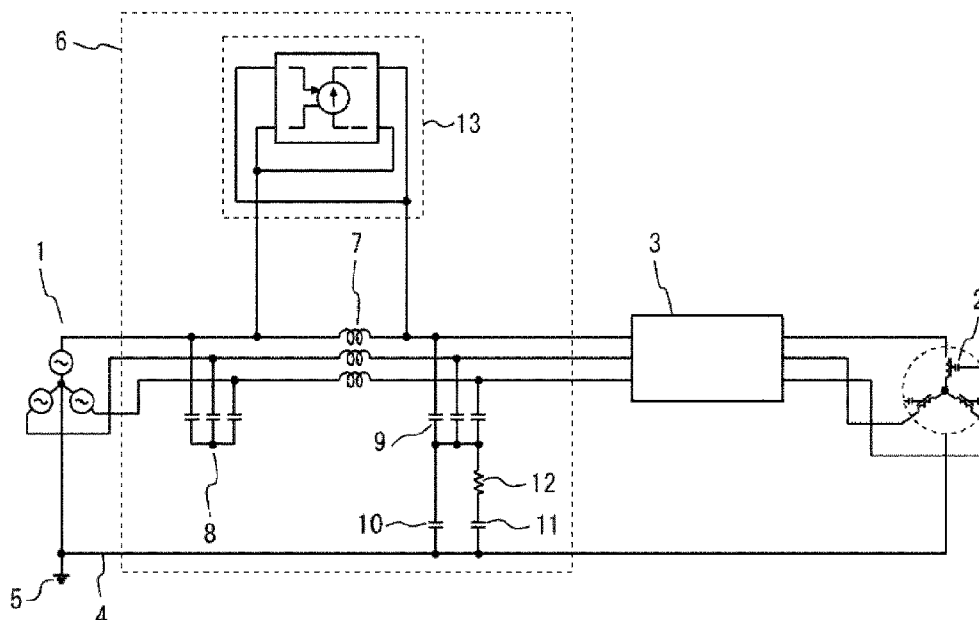
(72) 発明者: 石川 純一郎 (ISHIKAWA, Junichiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人高田・高橋国際特許事務所 (TAKADA, TAKAHASHI & PARTNERS); 〒1040045 東京都中央区築地1丁目12番2号 コンワビル7階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: NOISE SUPPRESSION DEVICE

(54) 発明の名称: ノイズ抑制装置



(57) Abstract: Provided is a noise suppression device capable of more reliably suppressing common mode current. The noise suppression device comprises: common mode coils connected between a power supply and a control device; and an electronic device which is connected in parallel with the common mode coils and through which the low-frequency current of the current flowing between the power supply and the control device flows. According to the noise suppression device, the low-frequency current of the current flowing between the power supply and the control device flows through

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

the electronic device. Therefore, common mode current can be more reliably suppressed.

(57) 要約: コモンモード電流をより確実に抑制することができるノイズ抑制装置を提供する。ノイズ抑制装置は、電源と制御装置との間に接続されたコモンモードコイルと、前記コモンモードコイルと並列に接続され、前記電源と前記制御装置との間に流れる電流のうちの低周波の電流が流れる電子装置と、を備えた。当該ノイズ抑制装置によれば、電子装置には、電源と制御装置との間に流れる電流のうちの低周波の電流が流れる。このため、コモンモード電流をより確実に抑制することができる。

明 細 書

発明の名称：ノイズ抑制装置

技術分野

[0001] 本開示は、ノイズ抑制装置に関する。

背景技術

[0002] 特許文献1は、ノイズ抑制装置を開示する。当該ノイズ抑制装置によれば、コモンモード電流を抑制し得る。

先行技術文献

特許文献

[0003] 特許文献1：日本特開2013-158085号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に記載のノイズ抑制装置は、コモンモードコイルにかかる電圧を打ち消すように配線に電圧を印加する。このため、コモンモードコイルの電源側が高いインピーダンスである場合等において、コモンモード電流を抑制できないこともある。

[0005] 本開示は、上述の課題を解決するためになされた。本開示の目的は、コモンモード電流をより確実に抑制することができるノイズ抑制装置を提供することである。

課題を解決するための手段

[0006] 本開示に係るノイズ抑制装置は、電源と制御装置との間に接続されたコモンモードコイルと、前記コモンモードコイルと並列に接続され、前記電源と前記制御装置との間に流れる電流のうちの低周波の電流が流れる電子装置と、を備えた。

発明の効果

[0007] 本開示によれば、電子装置には、電源と制御装置との間に流れる電流のう

ちの低周波の電流が流れ、コモンモードコイルには流れないため、これによるコモンモードコイルの磁気飽和を防ぐことが出来る。このため、高周波コモンモード電流をより確実に抑制することができる。

図面の簡単な説明

[0008] [図1]実施の形態1におけるノイズ抑制装置が適用されるエレベーターシステムの駆動系の要部の構成図である。

[図2]実施の形態1におけるノイズ抑制装置が適用されるエレベーターシステムの駆動系の要部のコモンモードの等価回路である。

[図3]実施の形態1におけるノイズ抑制装置の電子装置の要部の構成図である。

[図4]実施の形態1におけるノイズ抑制装置の効果を説明するための電流波形を示す図である。

[図5]実施の形態1におけるノイズ抑制装置において第1出力側対地間コンデンサと第2出力側対地間コンデンサと出力側抵抗とが設けられることによる効果を説明するためのオープンループ特性を示す図である。

[図6]実施の形態1におけるノイズ抑制装置の演算装置のハードウェア構成図である。

[図7]実施の形態2におけるノイズ抑制装置の電子装置の内部構成図である。

発明を実施するための形態

[0009] 実施の形態について添付の図面に従って説明する。なお、各図中、同一または相当する部分には同一の符号が付される。当該部分の重複説明は適宜に簡略化ないし省略される。

[0010] 実施の形態1.

図1は実施の形態1におけるノイズ抑制装置が適用されるエレベーターシステムの駆動系の要部の構成図である。

[0011] 図1において、電源1は、電力を供給し得るように設けられる。例えば、電源1は、商用電源である。モーター2は、エレベーターの巻上機の要部をなす。制御装置3は、エレベーターの巻上機を制御し得るように設けられる

。例えば、制御装置 3 は、図示されないインバータを用いて電源 1 からの電力をモーター 2 に供給し得るように設けられる。アース線 4 は、基準電位体として電源 1 とモーター 2 とに接続される。アース 5 は、アース線 4 に接続される。

[0012] ノイズ抑制装置 6 は、電源 1 と制御装置 3 との間に設けられる。ノイズ抑制装置 6 は、図示しない同一のコアに巻かれた複数のコモンモードコイル 7 と複数の入力側相間コンデンサ 8 と複数の出力側相間コンデンサ 9 と第 1 出力側対地間コンデンサ 10 と第 2 出力側対地間コンデンサ 11 と出力側抵抗 12 と電子装置 13 とを備える。

[0013] 複数のコモンモードコイル 7 は、電源 1 と制御装置 3 との間に接続される。複数の入力側相間コンデンサ 8 は、電源 1 とコモンモードコイル 7 との間に接続される。複数の出力側相間コンデンサ 9 は、コモンモードコイル 7 と制御装置 3 の間に接続される。第 1 出力側対地間コンデンサ 10 は、複数の出力側相間センサとアース線 4 との間に接続される。電子装置 13 は、コモンモードコイル 7 と並列に接続される。具体的には、電子装置 13 は、コモンモードコイル 7 の巻線の両端に接続される。

[0014] 次に、図 2 を用いて、コモンモードの等価回路を説明する。

図 2 は実施の形態 1 におけるノイズ抑制装置が適用されるエレベーターシステムの駆動系の要部のコモンモードの等価回路である。

[0015] 図 2 において、コモンモード電圧源 14 は、制御装置 3 が発生させるコモンモード電圧に相当する。対地間容量 15 は、モーター 2 の巻線と筐体との間の対地間容量に相当する。

[0016] 当該等価回路において、コモンモード電圧は、コモンモードコイル 7 と第 1 出力側対地間コンデンサ 10 と第 2 出力側対地間コンデンサ 11 との並列回路と対地間容量 15 に分担される。図示されないが、電源 1 に流れる漏洩電流は、コモンモードコイル 7 に分担される電圧とコモンモードコイル 7 のインピーダンス特性とから決まる。

[0017] 電子装置 13 は、演算装置 16 と電力増幅器 17 とを備える。

[0018] 演算装置 16 は、コモンモードコイル 7 の両端にかかる電圧を検出する。演算装置 16 は、当該電圧からバイパスすべき電流の値を演算する。電力増幅器 17 は、演算装置 16 の演算結果を増幅する。電力増幅器 17 は、増幅した電流を流す。電子装置 13 は、電源 1 と制御装置 3 との間に流れる電流のうちの低周波の電流が電子装置内に流れるように動作することで、コモンモードコイル 7 のコアの内部に発生する低周波の磁束を抑制する。

[0019] この際、第 2 出力側対地間コンデンサ 11 と出力側抵抗 12 との直列接続体は、第 1 出力側対地間コンデンサ 10 だけでは抑制しきれないコモンモードコイル 7 との共振のダンピングを行う。

[0020] 次に、図 3 を用いて、電子装置 13 がバイパスさせる電流の決定方法を説明する。

図 3 は実施の形態 1 におけるノイズ抑制装置の電子装置の要部の構成図である。

[0021] 図 3 に示されるように、演算装置 16 は、誤差検出器 18 と第 1 振幅増幅・減衰器 19 と第 1 積分器 20 と誤差増幅器 21 とを備える。

[0022] 誤差増幅器 21 は、第 2 振幅増幅・減衰器 22 と第 2 積分器 24 と第 3 振幅増幅・減衰器 23 と加算器 25 とを備える。

[0023] 誤差検出器 18 は、指令値とコモンモードコイル 7 に発生する電圧の値との情報の入力を受け付ける。誤差検出器 18 は、指令値とコモンモードコイル 7 に発生する電圧の値との差分を演算する。例えば、誤差検出器 18 は、指令値を 0 として、指令値とコモンモードコイル 7 に発生する電圧の値との差分を演算する。誤差検出器 18 は、当該差分の値の情報を出力する。

[0024] 第 1 振幅増幅・減衰器 19 は、誤差検出器 18 の出力値の情報の入力を受け付ける。第 1 振幅増幅・減衰器 19 は、誤差検出器 18 の出力値を増幅した値を演算する。第 1 振幅増幅・減衰器 19 は、誤差検出器 18 からの出力値を増幅した値を出力する。

[0025] 第 1 積分器 20 は、第 1 振幅増幅・減衰器 19 の出力値の情報の入力を受け付ける。第 1 積分器 20 は、第 1 振幅増幅・減衰器 19 の出力値を積分す

ることで電流に相当する変量の値を演算する。第1振幅増幅・減衰器19は、電流に相当する変量の値の情報を出力する。

[0026] 誤差増幅器21は、第1積分器20の出力値の情報の入力を受け付ける。誤差増幅器21は、第2振幅増幅・減衰器22と第2積分器24と第3振幅増幅・減衰器23と加算器25とを用いて第1積分器20の出力値を増幅した値を演算する。誤差増幅器21は、第1積分器20の出力値を増幅した値の情報を出力する。

[0027] 電力増幅器17は、誤差増幅器21の出力値の情報の入力を受け付ける。電力増幅器17は、誤差増幅器21の出力値に対応した電流をコモンモードコイル7、第1出力側対地間コンデンサ10、第2出力側対地間コンデンサ11、出力側抵抗12、対地間容量15等の部品に流す。なお、コモンモードコイル7において、両端に現れる電圧は、これらの部品のインピーダンス26で決まる。

[0028] 次に、図4を用いて、ノイズ抑制装置6の効果を説明する。

図4は実施の形態1におけるノイズ抑制装置の効果を説明するための電流波形を示す図である。図4において、横軸は時間である。縦軸は電流である。全ての軸の縮尺は同じである。

[0029] 図4の(a)は、実施の形態1における電源1への漏洩電流の波形を示す。図4の(b)は、電子装置13が設けられない場合の電源1への漏洩電流の波形を示す。図4の(c)は、実施の形態1における電子装置13にバイパスされる電流の波形を示す。図4の(d)は、実施の形態1におけるコモンモードコイル7のコモンモード電流の波形を示す。図4の(e)は、電子装置13が設けられない場合のコモンモードコイル7のコモンモード電流の波形を示す。

[0030] 電子装置13が設けられていない場合、コモンモードコイル7において、発生する磁束により磁気が飽和する。磁気が飽和している期間において、コモンモードコイル7のインダクタンスは小さくなる。このため、図4の(b)と(e)とにそれぞれ示されるように、ノイズ電流は、抑制されずに電源

1 とコモンモードコイル 7 とに流れる。

[0031] これに対し、図 4 の (c) に示されるように、実施の形態 1 において、電子装置 1 3 は、電源 1 と御装置との間に流れる電流のうちの低周波の電流をバイパスする。この場合、コモンモードコイル 7 において、磁気の飽和が抑制される。その結果、図 4 (a) に示されるように、電源 1 に流れる高周波ノイズ電流は抑制されている。図 4 の (d) に示されるように、コモンモードコイル 7 には、高周波のノイズ電流のみが流れる。

[0032] 次に、図 5 を用いて、第 1 出力側対地間コンデンサ 1 0 と第 2 出力側対地間コンデンサ 1 1 と出力側抵抗 1 2 とが設けられることによる効果を説明する。

図 5 は実施の形態 1 におけるノイズ抑制装置において第 1 出力側対地間コンデンサと第 2 出力側対地間コンデンサと出力側抵抗とが設けられることによる効果を説明するためのオープンループ特性を示す図である。

[0033] 図 5 の (a) は、第 1 出力側対地間コンデンサ 1 0 と第 2 出力側対地間コンデンサ 1 1 と出力側抵抗 1 2 とが設けられた場合のオープンループ特性を示す。図 5 の (b) は、第 2 出力側対地間コンデンサ 1 1 と出力側抵抗 1 2 とが設けられない場合のオープンループ特性を示す。

[0034] 第 2 出力側対地間コンデンサ 1 1 と出力側抵抗 1 2 とが設けられない場合、図 5 の (b) に示されるように、コモンモードコイル 7 と第 1 対地間コンデンサとの共振により、大きなピークが 20 kHz 付近で発生する。この特性が考慮される場合、商用電源の周波数付近において、小さなオープンループゲインしか確保されない。

[0035] なお、図 5 の (b) においては、コモンモードコイル 7 と第 1 出力側対地間コンデンサ 1 0 との共振周波数に折れ点周波数を合わせた P I 要素が制御系に追加されているものの、当該共振の影響は改善しきれない。

[0036] 第 1 出力側対地間コンデンサ 1 0 と第 2 出力側対地間コンデンサ 1 1 と出力側抵抗 1 2 とが設けられた場合、共振が抑制される。このため、図 5 の (a) に示されるように、商用電源の周波数付近において、大きなオープンル

ープゲインが確保される。

[0037] なお、図5の(a)においては、オープンループゲインが控え目に設定されているものの、ゲイン公差周波数を更に上げてても問題ない。

[0038] また、図5の(a)においては、コモンモードコイル7と第1出力側対地間コンデンサ10と第2出力側対地間コンデンサ11との共振周波数に折れ点周波数を合わせたPI要素が制御系に追加されている。

[0039] 以上で説明した実施の形態1によれば、電子装置13には、電源1と制御装置3との間に流れるコモンモード電流のうちの低周波の電流が流れる。具体的には、電子装置13において、コモンモードコイルに発生する低周波の電圧を検出し、当該低周波の電圧に対応した低周波の電流が流れることで、コモンモードコイル7の内部に発生する低周波の磁束が抑制される。このため、電子装置13がなければ低周波コモンモード電流が流れることでコモンモードコイルで発生する磁気飽和によるインピーダンス低下を抑制し、高周波のコモンモード電流をより確実に抑制することができる。

[0040] また、コモンモードコイル7においては、ノーマル電流も流れるが、コモンモードコイル7の端子間には、ノーマルモード電流による電圧成分はわずかであるため、その影響は無視することができる。このため、コモンモードコイル7に発生する電圧の電圧検出用巻線をコモンモードコイル7のコアに新たに設けることなく、電源1から制御装置3に電力供給を行っているコモンモードコイル7と共用することができ、コモンモードコイル7に発生する電圧を容易に検出することができる。

[0041] また、ノイズ抑制装置6は、第1出力側対地間コンデンサ10と第2出力側対地間コンデンサ11と出力側抵抗12とを備える。このため、共振を抑制することができる。

[0042] また、電子装置13は、コモンモードコイル7と第1出力側対地間コンデンサ10と第2出力側対地間コンデンサ11との共振周波数にPI要素の折れ点周波数を持つ制御演算を行う。このため、オープンループゲインの設定自由度を高めることができる。なお、当該折れ点周波数より更に低周波に折

れ点周波数を持つPI要素を追加して、低周波域のオープンループゲインを向上させてもよい。

[0043] また、負荷電流が大きい特定条件下においてのみコモンモードコイル7において磁気飽和する場合、電子装置13において、電源1と制御装置3との間に流れる電流のうちの低周波の電流が流れる状態とするか否かを切替自在にしてもよい。例えば、演算装置16の入力を無効化したり、電子装置13の出力を開放したり、誤差増幅器21増幅率を下げたりして、不要な期間には電子装置13での電流のバイパスを行わなくてもよい。この場合、電力増幅器17の平均発熱量を削減することができる。その結果、小さくて安価な電子装置13を実現することができる。

[0044] 例えば、制御装置3がエレベーターのかごの駆動させるための電力を供給する際に、かごにかかる負荷に応じて、電源1と制御装置3との間に流れる電流のうちの低周波の電流が流れる状態とするか否かを決めてもよい。例えば、制御装置3がエレベーターのかごの駆動させるための電力を供給する際に、かごの速度に応じて、電源1と制御装置3との間に流れる電流のうちの低周波の電流が流れる状態とするか否かを決めてもよい。これらの場合、エレベーターシステムにおいて、小さくて安価な電子装置13を実現することができる。

[0045] 次に、図6を用いて、演算装置16の例を説明する。

図6は実施の形態1におけるノイズ抑制装置の演算装置のハードウェア構成図である。

[0046] 演算装置16の各機能は、処理回路により実現し得る。例えば、処理回路は、少なくとも1つのプロセッサ100aと少なくとも1つのメモリ100bとを備える。例えば、処理回路は、少なくとも1つの専用のハードウェア200を備える。

[0047] 処理回路が少なくとも1つのプロセッサ100aと少なくとも1つのメモリ100bとを備える場合、演算装置16の各機能は、ソフトウェア、ファームウェア、またはソフトウェアとファームウェアとの組み合わせで実現さ

れる。ソフトウェアおよびファームウェアの少なくとも一方は、プログラムとして記述される。ソフトウェアおよびファームウェアの少なくとも一方は、少なくとも1つのメモリ100bに格納される。少なくとも1つのプロセッサ100aは、少なくとも1つのメモリ100bに記憶されたプログラムを読み出して実行することにより、演算装置16の各機能を実現する。少なくとも1つのプロセッサ100aは、中央処理装置、処理装置、演算装置16、マイクロプロセッサ、マイクロコンピュータ、DSPともいう。例えば、少なくとも1つのメモリ100bは、RAM、ROM、フラッシュメモリ、EPROM、EEPROM等の、不揮発性または揮発性の半導体メモリ、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ミニディスク、DVD等である。

[0048] 処理回路が少なくとも1つの専用のハードウェア200を備える場合、処理回路は、例えば、単回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ASIC、FPGA、またはこれらの組み合わせで実現される。例えば、演算装置16の各機能は、それぞれ処理回路で実現される。例えば、演算装置16の各機能は、まとめて処理回路で実現される。

[0049] 演算装置16の各機能について、一部を専用のハードウェア200で実現し、他部をソフトウェアまたはファームウェアで実現してもよい。例えば、誤差増幅器21の機能については専用のハードウェア200としての処理回路で実現し、誤差増幅器21の機能以外の機能については少なくとも1つのプロセッサ100aが少なくとも1つのメモリ100bに格納されたプログラムを読み出して実行することにより実現してもよい。

[0050] このように、処理回路は、ハードウェア200、ソフトウェア、ファームウェア、またはこれらの組み合わせで演算装置16の各機能を実現する。尚、本構成はデジタル回路で実現する場合の構成であり、図3の演算装置16の各機能をオペアンプなどのアナログ回路で実現してもよい。

[0051] 実施の形態2.

図 7 は実施の形態 1 におけるノイズ抑制装置の電子装置の内部構成図である。なお、実施の形態 1 の部分と同一又は相当部分には同一符号が付される。当該部分の説明は省略される。

[0052] 図 7 において、電源 1 の側において配線が長くなると、配線インダクタンス 27 と配線抵抗 28 との値が大きくなる。この場合、第 1 入力側対地間コンデンサ 29 と第 2 入力側対地間コンデンサ 30 と入力側抵抗 31 とが設けられる。

[0053] 第 1 入力側対地間コンデンサ 29 は、電源 1 とコモンモードコイル 7 との間の配線とアース線 4 との間に接続される。第 2 入力側対地間コンデンサ 30 は、電源 1 とコモンモードコイル 7 との間の配線に接続される。入力側抵抗 31 は、第 2 入力側対地間コンデンサ 30 とアース線 4 との間に接続される。

[0054] 以上で説明した実施の形態 2 によれば、ノイズ抑制装置 6 は、第 1 入力側対地間コンデンサ 29 と第 2 入力側対地間コンデンサ 30 と入力側抵抗 31 とを備える。このため、電源 1 の側の配線が長い場合でも、電源側のインピーダンス上昇を抑制することができ、電子装置 13 の動作の安定性を維持することができる。また、第 1 出力側対地間コンデンサ 10 と第 2 出力側対地間コンデンサ 11 と出力側抵抗 12 との組み合わせにより、コモンモードコイル 7 の高周波端子間インピーダンスが下がる。このため、高周波ノイズによってコモンモードコイル 7 の端子間電圧が大きくなることを抑制できる。その結果、電力増幅器 17 に必要な電源電圧を抑制し、電力増幅器 17 の発熱を抑制できる。

産業上の利用可能性

[0055] 以上のように、本開示のノイズ抑制装置は、エレベーターシステムに利用できる。

符号の説明

[0056] 1 電源、 2 モーター、 3 制御装置、 4 アース線、 5 アース、 6 ノイズ抑制装置、 7 コモンモードコイル、 8 入力側相

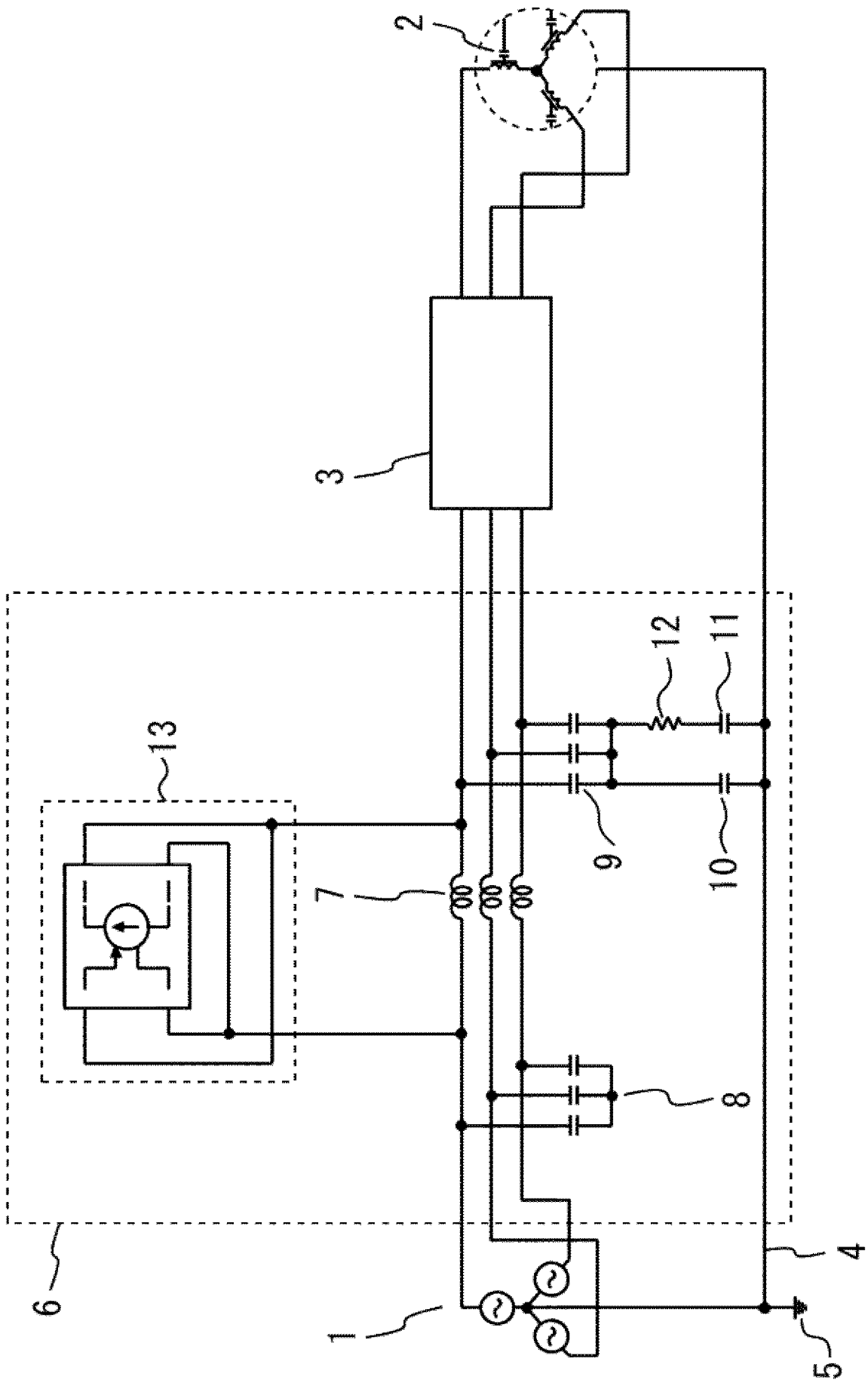
間コンデンサ、 9 出力側相間コンデンサ、 10 第1出力側対地間コンデンサ、 11 第2出力側対地間コンデンサ、 12 出力側抵抗、 13 電子装置、 14 コモンモード電圧源、 15 対地間容量、 16 演算装置、 17 電力増幅器、 18 誤差検出器、 19 第1振幅増幅・減衰器、 20 第1積分器、 21 誤差増幅器、 22 第2振幅増幅・減衰器、 23 第3振幅増幅・減衰器、 24 第2積分器、 25 加算器、 26 インピーダンス、 27 配線インダクタンス、 28 配線抵抗、 29 第1入力側対地間コンデンサ、 30 第2入力側対地間コンデンサ、 31 入力側抵抗、 100a プロセッサ、 100b メモリ、 200 ハードウェア

請求の範囲

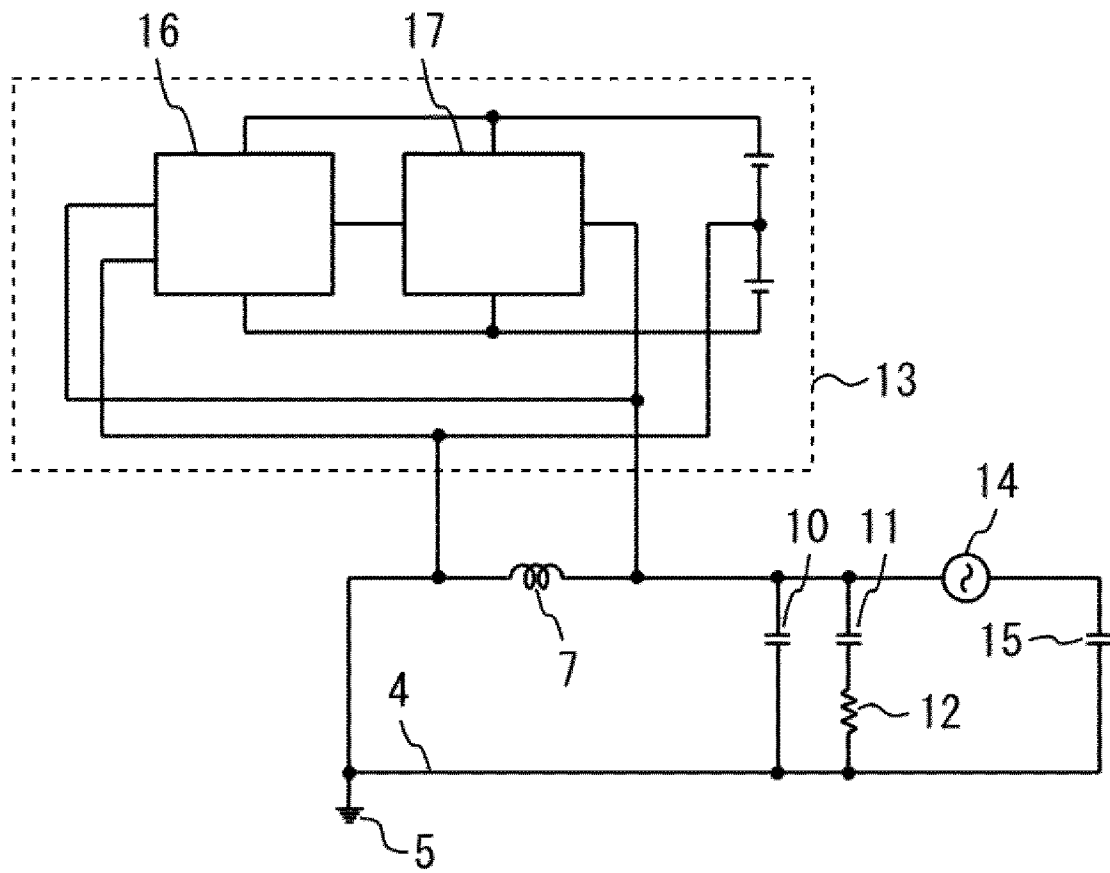
- [請求項1] 電源と制御装置との間に接続された共通モードコイルと、
 前記共通モードコイルと並列に接続され、前記電源と前記制御装置との間に流れる電流のうちの低周波の電流が流れる電子装置と、
 を備えたノイズ抑制装置。
- [請求項2] 前記電子装置は、前記共通モードコイルに発生する低周波の電圧を検出し、当該低周波の電圧に対応した低周波の電流が流れることで、前記共通モードコイルの内部に発生する低周波の磁束を抑制する請求項1に記載のノイズ抑制装置。
- [請求項3] 前記共通モードコイルに発生する低周波電圧の検出手段は、ノーマル電流が流れる共通モードコイルである請求項1または請求項2に記載のノイズ抑制装置。
- [請求項4] 前記共通モードコイルと前記制御装置との間の配線に接続された出力側対地間コンデンサと、
 前記出力側対地間コンデンサと基準電位体との間に接続された出力側抵抗と、
 を備えた請求項1から請求項3のいずれか一項に記載のノイズ抑制装置。
- [請求項5] 前記共通モードコイルと前記制御装置との間の配線と基準電位体との間に接続された出力側コンデンサ、
 を備えた請求項1から請求項4のいずれか一項に記載のノイズ抑制装置。
- [請求項6] 前記電源と前記共通モードコイルとの間の配線に接続された入力側対地間コンデンサと、
 前記入力側対地間コンデンサと基準電位体との間に接続された入力側抵抗と、
 を備えた請求項1から請求項5のいずれか一項に記載のノイズ抑制装置。

- [請求項7] 前記電源と前記コモンモードコイルとの間の配線と基準電位体との間に接続された入力側コンデンサ、
を備えた請求項1から請求項6のいずれか一項に記載のノイズ抑制装置。
- [請求項8] 前記電子装置は、前記電源と前記制御装置との間の素子における共振周波数にP I要素の折れ点周波数を持つ制御演算を行う請求項1から請求項7のいずれか一項に記載のノイズ抑制装置。
- [請求項9] 前記電子装置は、前記電源と前記制御装置との間に流れる電流のうちの低周波の電流が流れる状態とするか否かが切替自在に設けられた請求項1から請求項8のいずれか一項に記載のノイズ抑制装置。
- [請求項10] 前記電子装置は、前記制御装置がエレベーターのかごの駆動させるための電力を供給する際に、前記かごにかかる負荷に応じて、前記電源と前記制御装置との間に流れる電流のうちの低周波の電流が流れる状態とするか否かを定める請求項9に記載のノイズ抑制装置。
- [請求項11] 前記電子装置は、前記制御装置がエレベーターのかごの駆動させるための電力を供給する際に、前記かごの速度に応じて、前記電源と前記制御装置との間に流れる電流のうちの低周波の電流が流れる状態とするか否かを定める請求項9または請求項10に記載のノイズ抑制装置。

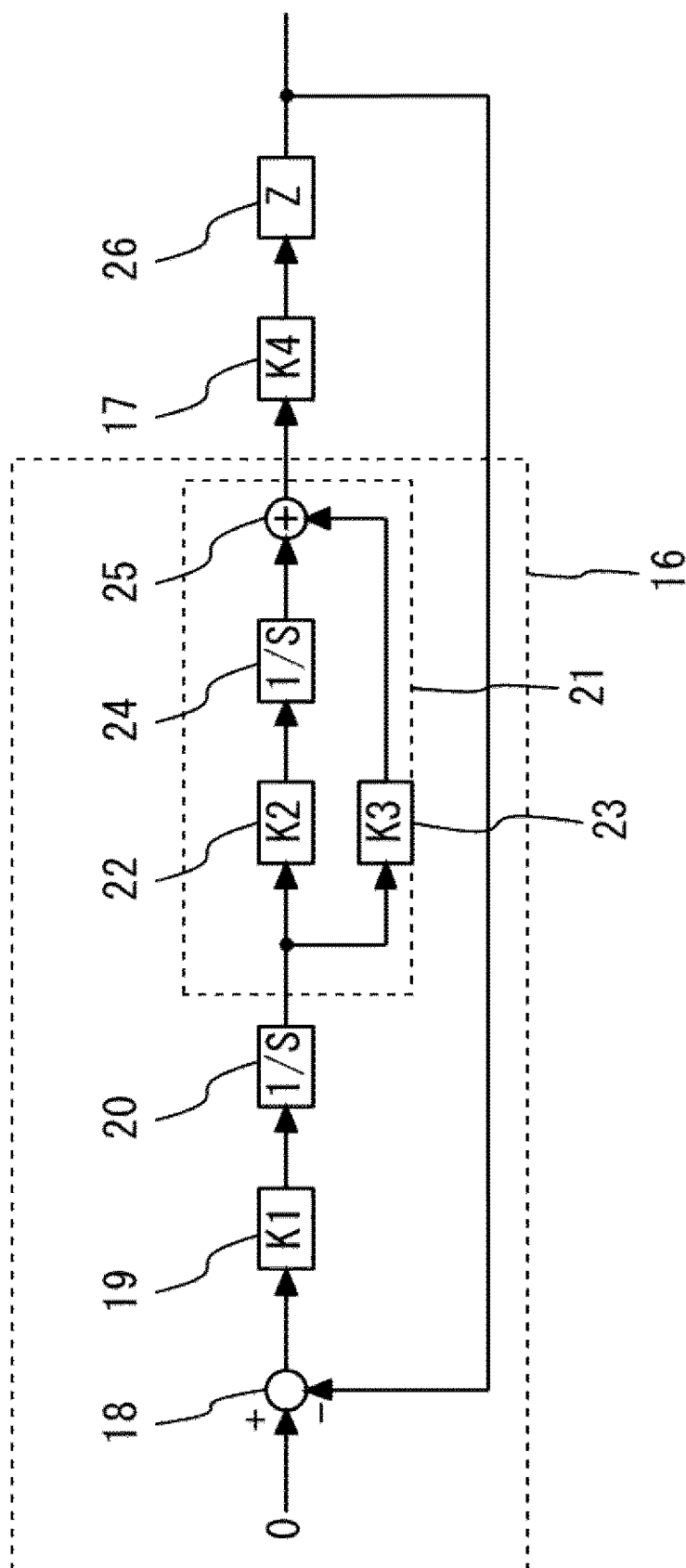
[図1]



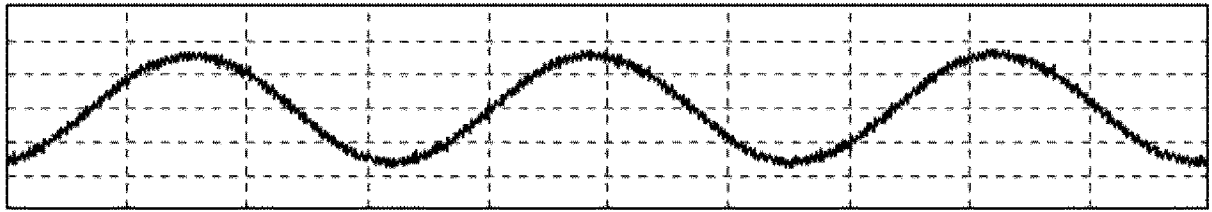
[図2]



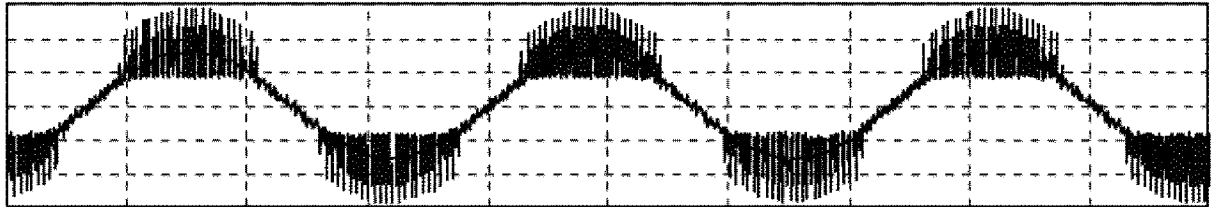
[図3]



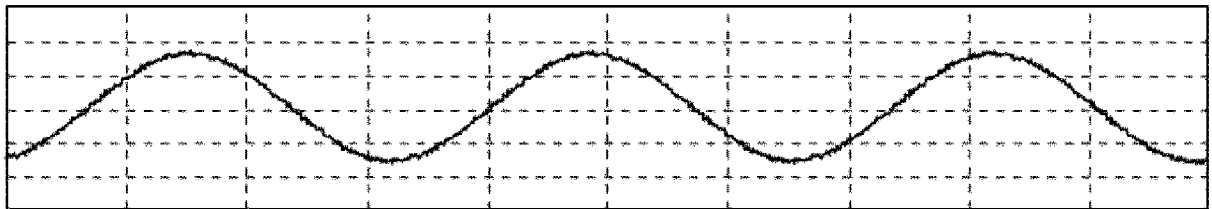
[図4]



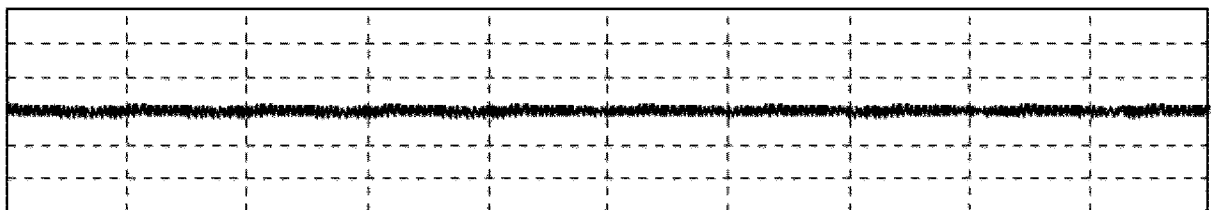
(a)



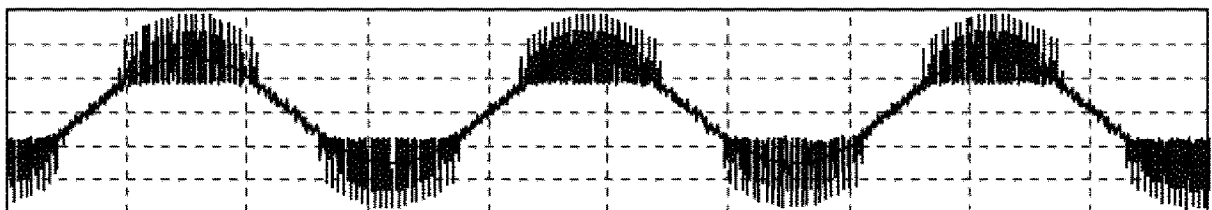
(b)



(c)

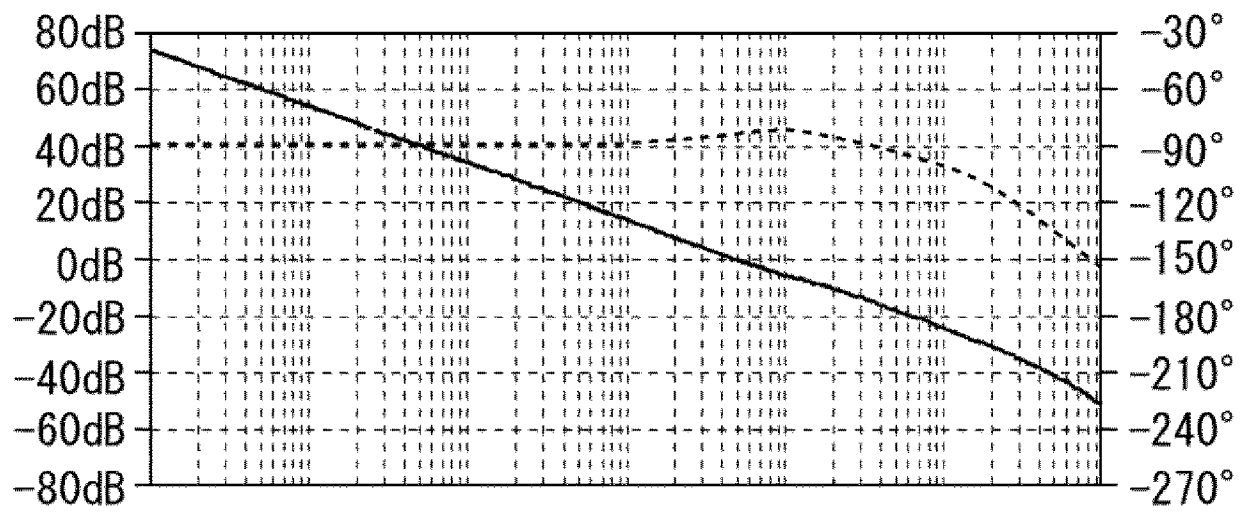


(d)

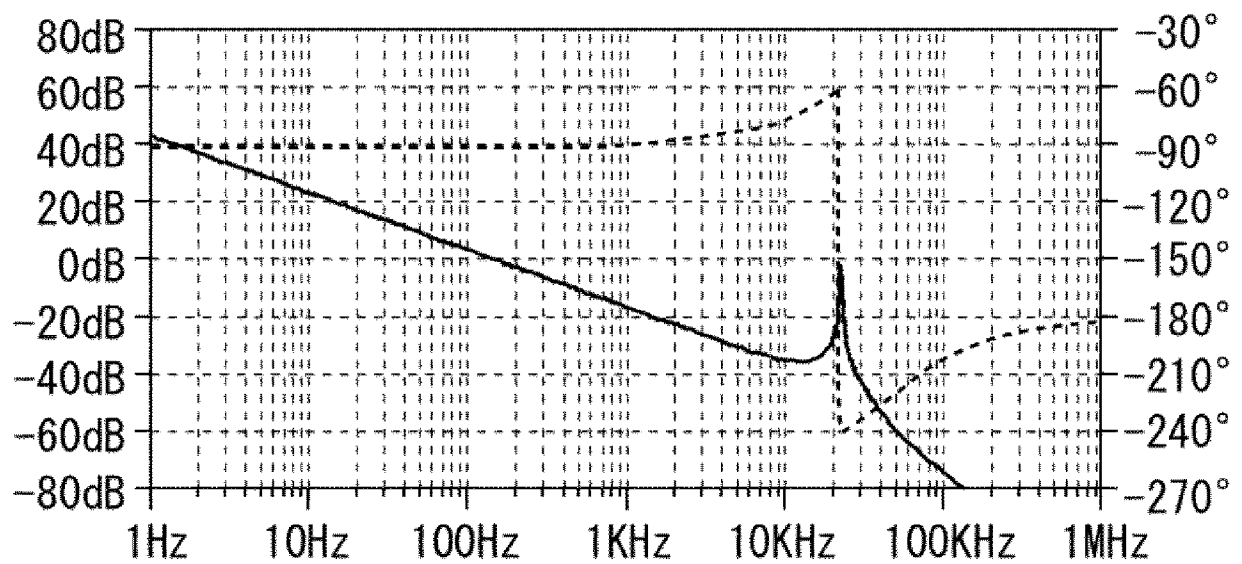


(e)

[図5]

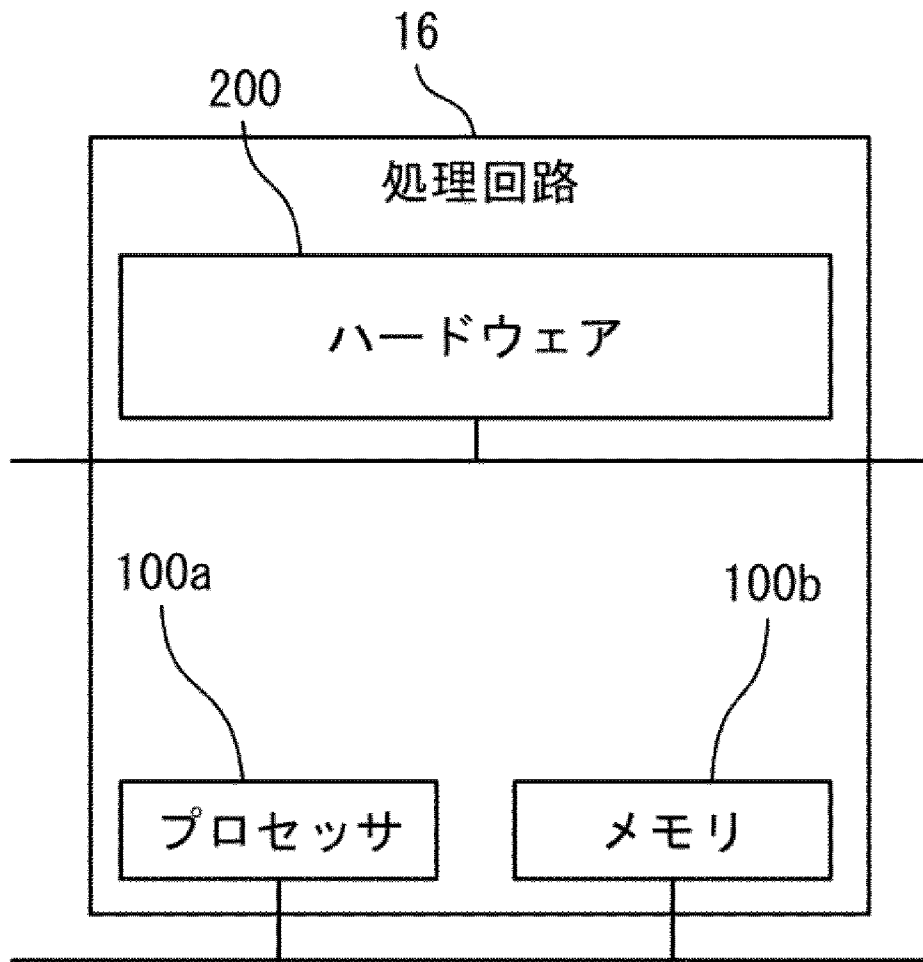


(a)

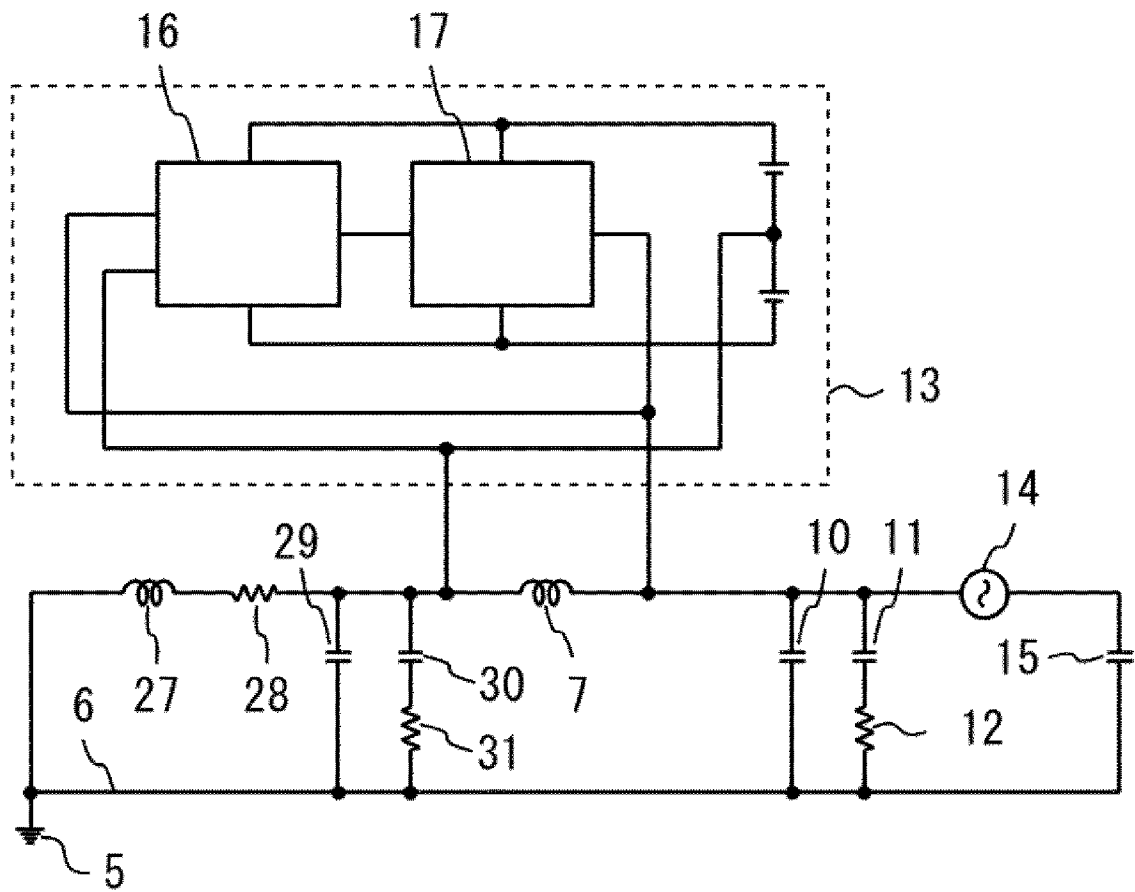


(b)

[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/000125

A. CLASSIFICATION OF SUBJECT MATTER

H02M 1/12 (2006.01) i

FI: H02M1/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/00-7/98, H03H7/00-7/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-011895 A (TABUCHI ELECTRIC CO., LTD.) 12 January 2017 (2017-01-12) entire text, all drawings	1-11
A	JP 2017-118387 A (FUJI ELECTRIC CO., LTD.) 29 June 2017 (2017-06-29) entire text, all drawings	1-11
A	JP 11-122909 A (FUJI ELECTRIC CO., LTD.) 30 April 1999 (1999-04-30) entire text, all drawings	1-11
A	JP 05-292668 A (DENSETSU CORPORATION) 05 November 1993 (1993-11-05) entire text, all drawings	1-11
A	JP 2013-145940 A (NEC NETWORK PRODUCTS LTD.) 25 July 2012 (2012-07-25) entire text, all drawings	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 February 2021 (22.02.2021)

Date of mailing of the international search report
02 March 2021 (02.03.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/000125

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-011895 A	12 Jan. 2017	(Family: none)	
JP 2017-118387 A	29 Jun. 2017	(Family: none)	
JP 11-122909 A	30 Apr. 1999	(Family: none)	
JP 05-292668 A	05 Nov. 1993	(Family: none)	
JP 2013-145940 A	25 Jul. 2012	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 1/12(2006.01)i FI: H02M1/12														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M1/00-7/98, H03H7/00-7/13 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2017-011895 A（田淵電機株式会社）12.01.2017（2017 - 01 - 12） 全文，全図	1-11												
A	JP 2017-118387 A（富士電機株式会社）29.06.2017（2017 - 06 - 29） 全文，全図	1-11												
A	JP 11-122909 A（富士電機株式会社）30.04.1999（1999 - 04 - 30） 全文，全図	1-11												
A	JP 05-292668 A（株式会社電設）05.11.1993（1993 - 11 - 05） 全文，全図	1-11												
A	JP 2013-145940 A（NECネットワークプロダクツ株式会社）25.07.2012（2012 - 07 - 25） 全文，全図	1-11												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 22.02.2021		国際調査報告の発送日 02.03.2021												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 白井 孝治 5G 8843 電話番号 03-3581-1101 内線 3526												

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/000125

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-011895	A	12.01.2017	(ファミリーなし)	
JP	2017-118387	A	29.06.2017	(ファミリーなし)	
JP	11-122909	A	30.04.1999	(ファミリーなし)	
JP	05-292668	A	05.11.1993	(ファミリーなし)	
JP	2013-145940	A	25.07.2012	(ファミリーなし)	