

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月8日(08.02.2024)



(10) 国際公開番号

WO 2024/029255 A1

(51) 国際特許分類:

H01S 5/023 (2021.01) H01S 5/0234 (2021.01)
H01L 21/60 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2023/024719

(22) 国際出願日: 2023年7月4日(04.07.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-123436 2022年8月2日(02.08.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

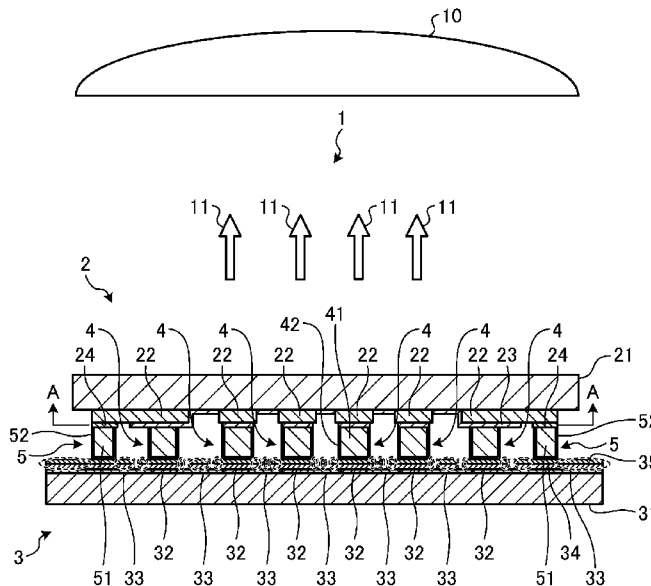
(72) 発明者: 今東 孝之 (IMAHIGASHI, Takashi);
〒8691102 熊本県菊池郡菊陽町大字原水400
0番地1 ソニーセミコンダクタマニュファク
チャリング株式会社内 Kumamoto (JP).

(74) 代理人: 弁理士法人酒井国際特許事務所
(SAKAI INTERNATIONAL PATENT OFFICE);
〒1000013 東京都千代田区霞が関3丁目8番1
号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子機器



(57) Abstract: An electronic device according to an embodiment of the present invention comprises: a chip; a semiconductor substrate; a bump; an insulating film; and a metal film. The chip is provided with a semiconductor laser. The semiconductor substrate is provided with a drive circuit that drives the semiconductor laser. The bump connects a plurality of chip-side connection pads provided to the main surface of the chip on a side opposite to the emission surface of a laser beam and a plurality of substrate-side connection pads provided to the main surface of the semiconductor substrate on a

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

side opposite to the chip. The insulating film is provided to the same layer as that of the substrate-side connection pads, and insulates the adjacent substrate-side connection pads from each other. The metal film is provided on the insulating film.

(57) 要約: 実施形態に係る電子機器は、チップと、半導体基板と、バンプと、絶縁膜と、金属膜とを備える。チップは、半導体レーザが設けられる。半導体基板は、半導体レーザを駆動する駆動回路が設けられる。バンプは、チップにおけるレーザ光の出射面とは反対側の主面に設けられる複数のチップ側接続パッドと、半導体基板におけるチップと対向する側の主面に設けられる複数の基板側接続パッドとを接続する。絶縁膜は、基板側接続パッドと同一の層に設けられ、隣り合う基板側接続パッドの間を絶縁する。金属膜は、絶縁膜上に設けられる。

明 細 書

発明の名称：電子機器

技術分野

[0001] 本開示は、電子機器に関する。

背景技術

[0002] 半導体レーザを駆動する駆動回路が設けられる半導体基板と、 bumps を介して半導体基板上に積層され、半導体レーザが設けられるチップとを備え、チップにおける半導体基板と対向しない方の主面からレーザ光を出射する電子機器がある（例えば、特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：特表2022-519186号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、チップにおける半導体基板と対向しない方の主面からレーザ光を出射する電子機器は、チップから出射されるレーザ光が、チップ上に設けられるレンズによって乱反射して駆動回路に入射すると、駆動回路の動作に悪影響をおよぼす。

[0005] そこで、本開示では、レーザ光の反射光が駆動回路に入射することを抑制することができる電子機器を提案する。

課題を解決するための手段

[0006] 実施形態に係る電子機器は、チップと、半導体基板と、 bumps と、絶縁膜と、金属膜とを備える。チップは、半導体レーザが設けられる。半導体基板は、前記半導体レーザを駆動する駆動回路が設けられる。 bumps は、前記チップにおけるレーザ光の出射面とは反対側の主面に設けられる複数のチップ側接続パッドと、前記半導体基板における前記チップと対向する側の主面に設けられる複数の基板側接続パッドとを接続する。絶縁膜は、前記基板側接

続パッドと同一の層に設けられ、隣り合う前記基板側接続パッドの間を絶縁する。金属膜は、前記絶縁膜上に設けられる。

図面の簡単な説明

- [0007] [図1]本開示の実施形態に係る電子機器の断面説明図である。
- [図2]本開示の実施形態に係る電子機器のA－A線による断面説明図である。
- [図3]本開示の実施形態に係る半導体基板の製造工程を示す説明図である。
- [図4]本開示の実施形態に係る半導体基板の製造工程を示す説明図である。
- [図5]本開示の実施形態に係る半導体基板の製造工程を示す説明図である。
- [図6]本開示の実施形態に係る半導体基板の製造工程を示す説明図である。
- [図7]本開示の実施形態に係る半導体基板の製造工程を示す説明図である。
- [図8]本開示の実施形態に係る半導体基板の製造工程を示す説明図である。
- [図9]本開示の実施形態に係る半導体基板の製造工程を示す説明図である。
- [図10]本開示の実施形態に係る半導体基板の製造工程を示す説明図である。
- [図11]本開示の実施形態に係るチップの製造工程を示す説明図である。
- [図12]本開示の実施形態に係るチップの製造工程を示す説明図である。
- [図13]本開示の実施形態に係るチップの製造工程を示す説明図である。
- [図14]本開示の実施形態に係るチップの製造工程を示す説明図である。

発明を実施するための形態

- [0008] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号および同一のハッチングを付することにより重複する説明を省略する。

[0009] [1. 電子機器の断面構造]

図1は、本開示の実施形態に係る電子機器の断面説明図である。図2は、図1に示すA－A線による断面説明図である。図1に示すように、本開示に係る電子機器1は、チップ2と、半導体基板3と、バンプ4と、絶縁膜33と、金属膜34、35とを備える。

- [0010] チップ2は、例えば、GaAs（ヒ化ガリウム）の基材21の内部に半導体レーザが設けられる。なお、チップ2の基材は、例えば、InP（リン化

インジウム)等の半絶縁性基材であってもよい。

[0011] また、チップ2は、基材21における一方の主面(図1では、下面)に複数のチップ側接続パッド(以下、「接続パッド22」と記載する)が設けられる。各接続パッド22は、半導体レーザの発光素子に接続される。各接続パッド22とバンプ4との間には、金属膜23が設けられる。金属膜23は、例えば、金(Au)によって形成される。

[0012] 半導体基板3は、例えば、Si(シリコン)基板31を備える。Si基板31の内部には、半導体レーザを駆動する駆動回路が設けられる。半導体基板3は、一方の主面(図1では、上面)に複数の基板側接続パッド(以下、「接続パッド32」と記載する)が設けられる。接続パッド32は、半導体基板3の内部において駆動回路に接続される。なお、半導体基板3が備える電子回路は、半導体レーザの駆動回路以外の任意の電子回路であってもよい。

[0013] バンプ4は、チップ2におけるレーザ光11の出射面とは反対側の主面に設けられる複数の接続パッド22と、半導体基板3におけるチップ2と対向する側の主面に設けられる複数の接続パッド32とを接続する。

[0014] バンプ4は、多孔質金属層41と、多孔質金属層41の側面および底面を被覆する金属膜42とを含む。多孔質金属層41および金属膜42は、例えば、金(Au)によって形成される。絶縁膜33は、接続パッド32と同一の層に設けられ、隣り合う接続パッド32の間を絶縁する。絶縁膜33は、例えば、SiN(窒化シリコン)によって形成される。

[0015] かかる電子機器1は、チップ2における他方の主面(図1では、上面)から上方へ向けてレーザ光11を照射する。電子機器1は、チップ2の上方に各発光素子から出射されるレーザ光11を偏向や発散して出射するレンズ10が設けられる。

[0016] このため、電子機器1では、チップ2から出射されたレーザ光11がレンズ10によって乱反射して、半導体基板3に入射することがある。レーザ光11は、半導体基板3の内部に設けられる駆動回路に入射すると、駆動回路

の動作に悪影響をおよぼす。例えば、駆動回路は、外部からレーザ光 11 の反射光が入射すると、回路に流れる電流値が変わり、レーザの出力が変わったり、制御が変わり、誤動作を起こすことがある。

[0017] そこで、電子機器 1 は、絶縁膜 33 上に金属膜 34, 35 が設けられる。金属膜 34 は、例えば、Ti (チタン) によって形成される。金属膜 34 は、絶縁膜 33 上に設けられる。金属膜 35 は、例えば、Au (金) によって形成される。金属膜 35 は、金属膜 34 上に設けられる。

[0018] これにより、電子機器 1 は、レーザ光 11 の反射光が、例えば、チップ 2 における接続パッド 22 の間などからチップを透過しても、金属膜 34, 35 によって、レーザ光 11 の反射光が駆動回路に入射することを抑制することができる。

[0019] また、絶縁膜 33 上に設けられる金属膜 34, 35 は、接続パッド 32 とバンプ 4 との間に設けられる金属膜 34, 35 と同一種類の金属によって形成され、接続パッド 32 とバンプ 4 との間に設けられる金属膜 34, 35 と同一の層に設けられる。

[0020] これにより、絶縁膜 33 上に設けられる金属膜 34, 35 は、接続パッド 32 とバンプ 4 との間に設けられる金属膜 34, 35 が形成される工程において、同時に形成される。したがって、絶縁膜 33 上に設けられる金属膜 34, 35 は、特別な製造工程を追加することなく、金属膜 34, 35 をパターンニングするガラスマスクのパターンが変更されるだけで、容易に形成可能である。

[0021] また、接続パッド 32 とバンプ 4 との間に設けられる金属膜 34, 35 は、半導体基板 3 の主面と平行な面の面積が、バンプ 4 における半導体基板 3 の主面と平行な断面の面積よりも広い。これにより、接続パッド 32 とバンプ 4 との間に設けられる金属膜 34, 35 は、バンプ 4 の脇から半導体基板 3 への反射光の入射を防止することができる。

[0022] また、絶縁膜 33 上に設けられる金属膜 34, 35 と、接続パッド 32 とバンプ 4 との間に設けられる金属膜 34, 35 とは、スリットによって分離

される。これにより、電子機器 1 では、金属膜 3 4, 3 5 を介して接続パッド 3 2 同士がショートすることを防止することができる。

[0023] さらに、電子機器 1 は、複数のバンプ 4 が設けられる領域を環状に囲む側壁部 5 を備える。側壁部 5 は、チップ 2 と半導体基板 3 とを接続する。側壁部 5 は、多孔質金属層 5 1 と、多孔質金属層 5 1 の底面および側面を被覆する金属膜 5 2 とを含む。多孔質金属層 5 1 および金属膜 5 2 は、例えば、金 (Au) によって形成される。

[0024] そして、絶縁膜 3 3 上に設けられる金属膜 3 4, 3 5 は、側壁部 5 と半導体基板 3 との間に設けられる金属膜 3 4, 3 5 と同一種類の金属によって形成され、側壁部 5 と半導体基板 3 との間に設けられる金属膜 3 4, 3 5 と同一の層に設けられる。

[0025] これにより、絶縁膜 3 3 上に設けられる金属膜 3 4, 3 5 は、側壁部 5 と半導体基板 3 との間に設けられる金属膜 3 4, 3 5 が形成される工程において、同時に形成される。したがって、絶縁膜 3 3 上に設けられる金属膜 3 4, 3 5 は、特別な製造工程を追加することなく、金属膜 3 4, 3 5 をパターンニングするガラスマスクのパターンが変更されるだけで、容易に形成可能である。

[0026] また、側壁部 5 と半導体基板 3 との間に設けられる金属膜 3 4, 3 5 は、半導体基板 3 の主面と平行な面の面積が、側壁部 5 における半導体基板 3 の主面と平行な断面の面積よりも広い。これにより、側壁部 5 と半導体基板 3 との間に設けられる金属膜 3 4, 3 5 は、側壁部 5 の脇から半導体基板 3 への反射光の入射を防止することができる。

[0027] また、側壁部 5 と半導体基板 3 との間に設けられる金属膜 3 4, 3 5 は、グランドに接続される。これにより、電子機器 1 は、側壁部 5 と半導体基板 3 との間に金属膜 3 4, 3 5 が設けられることにより発生する寄生容量に貯まる電荷をグランドへ放電させることができ、EMI (Electro Magnetic Interference) ノイズを低減することができる。

[0028] かかる電子機器 1 は、半導体基板 3 にチップ 2 がフリップチップ実装され

、バンプ4によって半導体基板3内の駆動回路と、半導体レーザ備えるチップ2とが電氣的に接続される。また、電子機器1は、接続パッド22, 32およびバンプ4が設けられる空間が側壁部5によって封止密閉される。

[0029] ここで、例えば、半導体レーザの駆動回路を備える半導体基板3上に、半導体レーザを備えるチップ2をフリップチップ実装して電子機器を製造する場合、一般的な製造方法では、まず、Siウェハに複数の駆動回路を形成する。

[0030] その後、各駆動回路上にバルク状の金属製のバンプを介してチップ2を積層し、駆動回路およびチップ2の対向する主面に設けられた接続パッド22, 32同士をバンプによって接続する。そして、Siウェハを電子機器毎にダイシングして個片化する。

[0031] Siウェハを電子機器毎に個片化する工程では、Siウェハに切削水を供給しながらダイシングを行う。このとき、切削水が半導体基板3とチップ2との間に侵入すると電子機器に悪影響をおよぼす。このため、一般的には、各電子機器を樹脂封止した後に、Siウェハを電子機器毎に個片化する。

[0032] ただし、樹脂によって電子機器を封止する場合、樹脂による電極の汚染、電子機器毎に樹脂を注入することによる作業時間の長期化、および作業時間の長期化により使用期限が過ぎて廃棄される樹脂量の増加等の問題がある。

[0033] このため、半導体基板3およびチップ2の対向する主面に設けられた接続パッド22, 32同士をバンプによって接続し、封止が必要な接続パッド22, 32およびバンプが設けられる領域を接続パッド22, 32間接続と同じ接続方法で接合封止する技術がある。

[0034] また、一般的なフリップチップ実装では、半導体基板3またはチップ2の対向する主面に設けられるバルク状のAu（金）、Cu（銅）、および、はんだ等の金属製のバンプを圧接しながら加熱することによって、半導体基板3にチップ2を実装する。

[0035] しかしながら、半導体基板3とチップ2との熱膨張率が、例えば、 $0.1 \text{ ppm}/^{\circ}\text{C}$ 以上異なる場合に、バンプの材料としてバルク状のAu、Cu、

および、はんだ等が用いられると以下のような問題が発生する。

[0036] 例えば、バンプの材料としてバルク状のAuを用いる場合、熱膨張率が異なる半導体基板3とチップ2とをバンプによって安定して接続するためには、300℃以上の高温に加熱し、半導体基板3とチップ2との間に100MPa以上の高圧を掛ける必要がある。

[0037] また、バンプの材料としてバルク状のCuを用いる場合には、380℃以上の加熱が必要である。このように、バンプの材料としてバルク状のAuやCuを用いる場合には、高温高圧でバンプによる接続を行う必要があり、かかる高温高圧がチップ2にダメージを与えることがあり、電子機器の信頼性が低下することがある。

[0038] 一方、バンプの材料としてはんだを用いる場合、AuやCuに比べて低温低圧でバンプによる接続を行うことはできるが、はんだは耐熱性および接続強度がAuやCuに劣る。このため、はんだ製のバンプは、例えば、チップ2に搭載される半導体レーザ等の電子部品の発熱によってチップ2が熱膨張すると、半導体基板3とチップ2との熱膨張率の違いによってオープン故障が発生し、電子機器の信頼性を低下させるおそれがある。

[0039] また、上記したように、本開示に係る半導体基板3は、Si基板であり、熱膨張率が $5.7 \text{ ppm}/^{\circ}\text{C}$ である。一方、本開示に係るチップ2の基材は、GaAsであり、熱膨張率が $2.6 \text{ ppm}/^{\circ}\text{C}$ である。

[0040] このように、電子機器1は、半導体基板3とチップ2との熱膨張率の差が $0.1 \text{ ppm}/^{\circ}\text{C}$ よりも遥かに大きい。このため、電子機器1は、バンプの材料がバルク状のAu、Cu、または、はんだであった場合、上記のような問題が発生して信頼性が低下するおそれがある。

[0041] また、半導体基板3とチップ2との間の封止が必要な領域の周縁部を、表面がメッキ処理されたバルク状の金属によって囲んで接合封止する場合、半導体基板3とチップ2との熱膨張率が、例えば、 $0.1 \text{ ppm}/^{\circ}\text{C}$ 以上異なると、封止部分に亀裂が生じる。これにより、電子機器は、気密性が低下する。

- [0042] さらに、半導体基板3またはチップ2に、厚みのばらつきや反りがあると、半導体基板3とチップ2とを積層したときに、封止部分では、メッキ膜の凸面の出っ張りでしか半導体基板3およびチップ2と接合できない。
- [0043] その結果、電子機器は、封止部分に隙間が散在することになるため、気密性が低下する。また、封止部分における隙間の発生を防止するために、昇温昇圧して半導体基板3とチップ2とを接合すると、電子機器は、隣接する微細なバンプ同士がショート故障を起こす恐れがある。
- [0044] そこで、電子機器1のバンプ4は、例えば、Auの多孔質金属層41を含む。多孔質金属層41は、粒子径が $0.005\mu\text{m}\sim 1.0\mu\text{m}$ で純度が99.9重量%以上のAu粒子を含む。なお、多孔質金属層41の成分は、例えば、純度が99.9重量%以上のCu、Ag（銀）、またはPt（プラチナ）であってもよい。
- [0045] 粒子径が $0.005\mu\text{m}\sim 1.0\mu\text{m}$ の金属粒子を含む多孔質金属層41は、粒子径のサイズ効果により、バルク状の金属の融点よりも低い温度で金属接合が可能である。例えば、多孔質金属層41は、成分がAuの場合では 100°C 程度、Agの場合では 250°C 程度、Cuの場合では 150°C 程度の温度で半導体基板3とチップ2とを接続することができる。これにより、電子機器1は、熱によるチップ2のダメージを低減することができるので、信頼性を向上させることができる。
- [0046] また、多孔質金属層41は、弾性があるため、例えば、半導体レーザの発熱によりチップ2が半導体基板3とは異なる熱膨張率で膨張しても弾性変形するので、オープン故障の発生を抑制することができる。これにより、電子機器1は、例えば、はんだ製のバンプを使用する場合に比べて信頼性を向上させることができる。
- [0047] かかる電子機器1は、上面にバンプ4が設けられた半導体基板3にチップ2を積層し、バンプ4の多孔質金属層41を溶融させずに接続パッド22と接続させて半導体基板3にチップ2をフリップチップ実装することによって製造される。

[0048] また、電子機器 1 は、下面に多孔質金属層 4 1 を含むバンプ 4 が設けられたチップ 2 を半導体基板 3 に積層し、バンプ 4 の多孔質金属層 4 1 を溶融させずに接続パッド 3 2 と接続させて半導体基板 3 にチップ 2 をフリップチップ実装することによって製造されてもよい。なお、多孔質金属層 4 1 を含むバンプ 4 は、積層前の半導体基板 3 およびチップ 2 の双方に設けられてもよい。

[0049] バンプ 4 は、半導体基板 3 側に設けられる場合、多孔質金属層 4 1 と半導体基板 3 側の接続パッド 3 2 との間に、金属膜 4 2 を備える。また、バンプ 4 は、チップ 2 側に設けられる場合、多孔質金属層 4 1 とチップ 2 側の接続パッド 2 2 との間に、金属膜 4 2 を備える。なお、金属膜 4 2 は、多孔質金属層 4 1 と半導体基板 3 側の接続パッド 3 2 との間、および多孔質金属層 4 1 とチップ 2 側の接続パッド 2 2 との間のうち、少なくともいずれか一方に設けられてもよい。

[0050] 本開示では、バンプ 4 における半導体基板 3 の主面と直交する方向の厚さに対する金属膜 4 2 の膜厚の比率を 10%未満にすることで、バンプ 4 のピッチを $20\mu\text{m}$ 以下にするファインピッチ化を可能にした。かかるファインピッチ化については、バンプ 4 の形成工程と合わせて後述する。

[0051] さらに、バンプ 4 は、多孔質金属層 4 1 の側面（側周面）にも、金属膜 4 2 を備える。金属膜 4 2 の材料は、多孔質金属層 4 1 と同一であることが望ましい。例えば、多孔質金属層 4 1 の材料が Au の場合、金属膜 4 2 は、Au 膜であることが望ましい。

[0052] これにより、バンプ 4 は、多孔質金属層 4 1 の側面が金属膜 4 2 によってコーティングされるので、多孔質金属層 4 1 の粒子が崩れて飛散することを防止することができる。したがって、バンプ 4 は、多孔質金属層 4 1 の粒子の飛散によって、隣接するバンプ 4 同士がショートすることを防止することができる。

[0053] また、多孔質金属層 4 1 の側面に金属膜 4 2 が設けられない場合、表面が比較的軟らかい多孔質金属層 4 1 の側面に表面荒れが生じ、バンプ 4 間で形

状にバラツキが発生する。

[0054] これに対して、バンプ4は、多孔質金属層41の側面に、多孔質金属層41よりも硬い金属膜42が設けられるので、バンプ4間における形状のバラツキが抑制され、全て均一な形状になる。しかも、バンプ4は、比較的硬い金属膜42によって側面がコーティングされるので、さらなる微細化が可能になり、より一層のファインピッチ化が可能となる。

[0055] また、バンプ4は、半導体基板3に対してチップ2がフリップチップ実装される場合に、厚さ方向に若干つぶされることになるが、多孔質金属層41の粒子が金属膜42の外部に漏れだすことを防止する。その結果、バンプ4は、金属膜42の内部における多孔質金属層41の粒子密度が増大するので、接続抵抗を低減することができる。

[0056] また、電子機器1の側壁部5は、バンプ4と同様の構造を有する。具体的には、側壁部5は、Auの多孔質金属層51を含む。多孔質金属層51は、粒子径が $0.005\mu\text{m} \sim 1.0\mu\text{m}$ で純度が99.9重量%以上のAu粒子を含む。なお、多孔質金属層51の成分は、例えば、純度が99.9重量%以上のCu、Ag（銀）、またはPt（プラチナ）であってもよい。

[0057] 多孔質金属層51は、前述したように粒子径のサイズ効果により、バルク状の金属の融点よりも低い温度で金属接合が可能である。これにより、電子機器1は、多孔質金属層51を形成時の熱によるチップ2のダメージを低減することができるので、信頼性を向上させることができる。

[0058] また、多孔質金属層51は、弾性があるため、例えば、半導体レーザの発熱によりチップ2が半導体基板3とは異なる熱膨張率で膨張しても弾性変形するので、側壁部5に亀裂が発生することを抑制することができる。これにより、電子機器1は、封止が必要な接続パッド22、32およびバンプ4が設けられる領域の気密性を向上させることができる。

[0059] また、多孔質金属層51は、弾性変形するので、例えば、半導体基板3またはチップ2に厚みのばらつきや反りがある場合であっても、半導体基板3とチップ2とを接合するときに、半導体基板3やチップ2の表面形状に追従

して変形する。

- [0060] これにより、電子機器 1 は、側壁部 5 と半導体基板 3 との接続部分、および側壁部 5 とチップ 2 との接続部分に隙間が生じることを抑制することができるので、気密性を向上させることができる。
- [0061] また、側壁部 5 は、封止が必要な接続パッド 2 2, 3 2 およびバンプ 4 が設けられる領域を環状に囲むように設けられる。これにより、電子機器 1 は、半導体基板 3 またはチップ 2 が熱膨張する場合に、角部に設けられるバンプ 4 にかかる機械的なストレスを緩和することができる。
- [0062] 具体的には、半導体基板 3 またはチップ 2 が熱膨張する場合、半導体基板 3 またはチップ 2 の主面中央から周縁部へ向かうほど、温度変化による膨張量および収縮量が大きくなる。このため、側壁部 5 がなければ、角部に設けられるバンプ 4 に機械的なストレスがかかる。
- [0063] これに対して、電子機器 1 は、半導体基板 3 およびチップ 2 の周縁部が側壁部 5 によって封止されるので、温度変化による半導体基板 3 およびチップ 2 の周縁部における膨張および収縮を側壁部 5 によって抑制することができる。これにより、電子機器 1 は、角部に設けられるバンプ 4 にかかる機械的なストレスを緩和することができる。
- [0064] 側壁部 5 は、半導体基板 3 側に設けられる場合、多孔質金属層 5 1 と半導体基板 3 における主面上の接続パッド 3 2 との間に、金属膜 5 2 を備える。また、側壁部 5 は、チップ 2 側に設けられる場合、多孔質金属層 5 1 とチップ 2 における主面上の接続パッドとの間に、金属膜 5 2 を備える。なお、金属膜 5 2 は、多孔質金属層 5 1 と半導体基板 3 における主面上の接続パッド 3 2 との間、および多孔質金属層 5 1 とチップ 2 における主面上の接続パッドとの間の少なくともいずれか一方に設けられてもよい。
- [0065] 本開示では、側壁部 5 における半導体基板 3 の主面と直交する方向の厚さに対する金属膜 5 2 の膜厚の比率を 10%未満にすることで、側壁部 5 およびバンプ 4 を同時形成する工程において、バンプ 4 のピッチを 20 μm 以下にするファインピッチ化を可能にした。

- [0066] さらに、側壁部5は、多孔質金属層51の側面（側周面）にも、金属膜52を備える。金属膜52の材料は、多孔質金属層51と同一であることが望ましい。例えば、多孔質金属層51の材料がAuの場合、金属膜52は、Au膜であることが望ましい。
- [0067] これにより、側壁部5は、多孔質金属層51の側面が金属膜52によってコーティングされるので、多孔質金属層51の粒子が崩れて飛散することを防止することができる。したがって、側壁部5は、多孔質金属層51の粒子の飛散によって、隣接するバンプ4同士がショートすることを防止することができる。
- [0068] また、多孔質金属層51の側面に金属膜52が設けられない場合、表面が比較的軟らかい多孔質金属層51の側面に表面荒れが生じ、側壁部5の側面形状にバラツキが発生する。
- [0069] これに対して、側壁部5は、多孔質金属層51の側面に、多孔質金属層51よりも硬い金属膜52が設けられるので、側面形状のバラツキが抑制され、側面全体が均一な表面形状になる。しかも、側壁部5は、比較的硬い金属膜52によって側面がコーティングされるので、さらなる微細化が可能になる。
- [0070] かかる電子機器1は、上面にバンプ4が設けられた半導体基板3に、バンプ4が設けられていないチップ2を積層し、バンプ4の多孔質金属層41を溶融させずに接続パッド22と接続させて半導体基板3にチップ2をフリップチップ実装することによって製造される。
- [0071] また、電子機器1は、下面に多孔質金属層41を含むバンプ4が設けられたチップ2をバンプ4が設けられていない半導体基板3に積層し、バンプ4の多孔質金属層41を溶融させずに接続パッド32と接続させて半導体基板3にチップ2をフリップチップ実装することによって製造されてもよい。なお、多孔質金属層41を含むバンプ4は、積層前の半導体基板3およびチップ2の双方に設けられてもよい。
- [0072] [2. バンプおよび側壁部の形成工程]

次に、図3～図14を参照し、本開示に係る電子機器1の形成工程について説明する。図3～図10は、本開示に係る半導体基板3の製造工程を示す説明図である。図11～図14は、本開示に係るチップ2の製造工程を示す説明図である。

[0073] 図3に示すように、半導体基板3を製造する場合には、まず、Si基板31上の所定位置に接続パッド32を形成し、Si基板31上における接続パッド32の形成位置以外の領域に、絶縁膜33を形成する。その後、接続パッド32および絶縁膜33上に、金属膜34および金属膜35を順次積層する。

[0074] 続いて、図4に示すように、金属膜35上にガラスマスク61を積層し、後に金属膜34、35を残す領域以外の箇所に対応する部分のガラスマスク61を除去して、ガラスマスク61にスリットを形成する。

[0075] そして、図5に示すように、残ったガラスマスク61越しに、例えば、ドライエッチングを行うことによって、ガラスマスク61が積層されていない部分の金属膜34、35を除去する。その後、図6に示すように、ガラスマスク61を除去する。

[0076] 続いて、図7に示すように、金属膜34、35上にフォトレジスト層62を形成し、その後、フォトリソグラフィー技術によって、フォトレジスト層62におけるバンプ4および側壁部5を形成する位置に貫通孔を形成して、金属膜34、35の表面を露出させる。

[0077] このとき、隣設する貫通孔の中心間の間隔が $20\mu\text{m}$ （ $20\mu\text{m}$ ピッチ）となるように、貫通孔を形成する。かかる貫通孔は、後の工程で多孔質金属層41の材料となる金属粒子を含むペーストが充填されるが、 $20\mu\text{m}$ ピッチという微細な構造であるため、このままの状態ではペーストが充填されると、微細な構造がダメージを受けて崩れるおそれがある。

[0078] そこで、図8に示すように、フォトレジスト層62の上面、貫通孔の側面、および金属膜35の上面に、例えば、スパッタリングによって、金属膜42、52する。金属膜42、52の材料としては、後に貫通孔に充填するペ

ーストに含まれる金属粒子と同一成分の金属を選択する。なお、ここでは、Auの金属膜42, 52を形成する。

[0079] これにより、フォトレジスト層62は、表面が金属膜42, 52によってコーティングされることにより硬化するので、貫通孔に金属粒子を含むペーストが充填される場合に、微細な構造が崩れることを防止することができる。

[0080] また、ここで形成する金属膜42, 52の膜厚が厚すぎると貫通孔の開口が狭くなり、貫通孔に金属粒子を含むペーストを充填することが困難になる。そこで、ここでは、貫通孔の深さ、換言すれば、後に形成されるバンプ4における半導体基板3の主面と直交する方向の厚さ（バンプ4の高さ）に対する金属膜42, 52の膜厚の比率が10%未満となる薄い（例えば、厚さ1 μm 未満の）金属膜42, 52を形成する。

[0081] 例えば、20 μm ピッチで並ぶ高さ10 μm のバンプ4を形成する場合には、金属膜42, 52の膜厚を0.2 μm とする。これにより、金属膜42, 52を形成しても貫通孔の開口が狭くなることを防止することができるため、後の工程で貫通孔に金属粒子を含むペーストを十分に充填することができる。

[0082] 続いて、図9に示すように、フォトレジスト層62に形成した貫通孔に、例えば、純度が99.9重量%以上で粒子径が0.005 μm ~1.0 μm のAu粒子を含むペーストを充填して、多孔質金属層41, 51を形成する。貫通孔にペーストを充填する方法としては、例えば、スクリーン印刷、滴下したペーストをヘラで広げる方法等、任意の方法を用いることができる。

[0083] その後、ペーストを乾燥および焼結させた後、剥離液等を用いたリフトオフによってフォトレジスト層62を剥離する。これにより、図10に示すように、半導体基板3にバンプ4および側壁部5が形成される。

[0084] 次に、チップ2の製造工程について説明する。図11に示すように、チップ2を製造する場合には、まず、基材21上の所定位置に、接続パッド22を形成し、基材21における上面が露出した部分、および、接続パッド22

の上面の所定位置に金属膜 23, 24 を形成する。

[0085] そして、チップ 2 の接続パッド 22 および金属膜 23, 24 が設けられた側の表面にフォトレジスト層 63 を形成する。その後、フォトリソグラフィ技術によって、フォトレジスト層 63 におけるバンプ 4 および側壁部 5 を形成する位置に貫通孔を形成して、金属膜 23, 24 の表面を露出させる。

[0086] その後、図 12 に示すように、フォトレジスト層 63 の上面、貫通孔の側面、および金属膜 23, 24 の上面に、例えば、スパッタリングによって、金属膜 42, 52 を形成する。金属膜 42, 52 の材料としては、後に貫通孔に充填するペーストに含まれる Au 粒子と同一成分の Au を選択する。

[0087] これにより、フォトレジスト層 63 は、表面が金属膜 42, 52 によってコーティングされることにより硬化するので、貫通孔に Au 粒子を含むペーストが充填される場合に、微細な構造が崩れることを防止することができる。

[0088] また、ここでも、貫通孔の深さ、換言すれば、後に形成されるバンプ 4 におけるチップ 2 の主面と直交する方向の厚さ（バンプ 4 の高さ D1）に対する金属膜 42, 52 の膜厚の比率が 10% 未満となる薄い（例えば、厚さ 1 μm 未満の）金属膜 42, 52 を形成する。

[0089] 例えば、20 μm ピッチで並ぶ高さ 10 μm のバンプ 4 を形成する場合には、金属膜 42, 52 の膜厚を 0.2 μm とする。これにより、金属膜 42, 52 を形成しても貫通孔の開口が狭くなることを防止することができるため、後の工程で貫通孔に金属粒子を含むペーストを十分に充填することができる。

[0090] 続いて、図 13 に示すように、フォトレジスト層 63 に形成した貫通孔に、例えば、純度が 99.9 重量% 以上で粒子径が 0.005 μm ~ 1.0 μm の Au 粒子を含むペーストを充填することによって、バンプ 4 および側壁部 5 を形成する。

[0091] その後、ペーストを乾燥および焼結させた後、剥離液等を用いたリフトオフによってフォトレジスト層 63 を剥離する。これにより、図 14 に示すよ

うに、チップ2にバンプ4および側壁部5が形成される。

[0092] その後、図10に示す半導体基板3と、図14に示すチップ2とを、それぞれの接続パッド22、32が対向するように配置し、接続パッド22同士を接続することによって、図1に示す電子機器1が完成する。

[0093] 上述した半導体レーザを備えるチップ2、および、半導体レーザの駆動回路を備える半導体基板3は、例えば、ToFセンサやストラクチャードライト等の測距装置に搭載される。半導体レーザは、測距装置に搭載される場合、例えば、ToFセンサの光源やストラクチャードライトの光源として機能する。

[0094] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0095] なお、本技術は以下のような構成も取ることができる。

(1)

半導体レーザが設けられるチップと、

前記半導体レーザを駆動する駆動回路が設けられる半導体基板と、

前記チップにおけるレーザ光の出射面とは反対側の主面に設けられる複数のチップ側接続パッドと、前記半導体基板における前記チップと対向する側の主面に設けられる複数の基板側接続パッドとを接続するバンプと、

前記基板側接続パッドと同一の層に設けられ、隣り合う前記基板側接続パッドの間を絶縁する絶縁膜と、

前記絶縁膜上に設けられる金属膜と

を備える電子機器。

(2)

前記金属膜は、

前記基板側接続パッドと前記バンプとの間に設けられる金属膜と同一種類の金属によって形成され、前記基板側接続パッドと前記バンプとの間に設けられる金属膜と同一の層に設けられる

前記(1)に記載の電子機器。

(3)

前記基板側接続パッドと前記バンプとの間に設けられる金属膜は、
前記主面と平行な面の面積が、前記バンプにおける前記主面と平行な断面
の面積よりも広い

前記(2)に記載の電子機器。

(4)

絶縁膜上に設けられる金属膜と、前記基板側接続パッドと前記バンプとの
間に設けられる金属膜とは、スリットによって分離される

前記(2)または(3)に記載の電子機器。

(5)

複数の前記バンプが設けられる領域を環状に囲むように設けられ、前記チ
ップと前記半導体基板とを接続する側壁部

をさらに備え、

前記絶縁膜上に設けられる金属膜は、

前記側壁部と前記半導体基板との間に設けられる金属膜と同一種類の金属
によって形成され、前記側壁部と前記半導体基板との間に設けられる金属膜
と同一の層に設けられる

前記(1)から(4)のいずれか一つに記載の電子機器。

(6)

前記側壁部と前記半導体基板との間に設けられる金属膜は、

前記主面と平行な面の面積が、前記側壁部における前記主面と平行な断面
の面積よりも広い

前記(5)に記載の電子機器。

(7)

前記絶縁膜上に設けられる金属膜は、

前記絶縁膜上に設けられるチタン膜と、前記チタン膜上に設けられる金膜
とを含む

前記(1)から(6)のいずれか一つに記載の電子機器。

符号の説明

- [0096] 1 電子機器
- 2 チップ
- 3 半導体基板
- 4 バンプ
- 5 側壁部
- 10 レンズ
- 11 レーザ光
- 21 基材
- 22, 32 接続パッド
- 23, 24, 34, 35 金属膜
- 31 Si基板
- 33 絶縁膜
- 41, 51 多孔質金属層
- 42, 52 金属膜
- 61 グラスマスク
- 62 フォトレジスト層
- 63 フォトレジスト層

請求の範囲

- [請求項1] 半導体レーザが設けられるチップと、
前記半導体レーザを駆動する駆動回路が設けられる半導体基板と、
前記チップにおけるレーザ光の出射面とは反対側の主面に設けられる複数のチップ側接続パッドと、前記半導体基板における前記チップと対向する側の主面に設けられる複数の基板側接続パッドとを接続するバンプと、
前記基板側接続パッドと同一の層に設けられ、隣り合う前記基板側接続パッドの間を絶縁する絶縁膜と、
前記絶縁膜上に設けられる金属膜と
を備える電子機器。
- [請求項2] 前記金属膜は、
前記基板側接続パッドと前記バンプとの間に設けられる金属膜と同一種類の金属によって形成され、前記基板側接続パッドと前記バンプとの間に設けられる金属膜と同一の層に設けられる
請求項1に記載の電子機器。
- [請求項3] 前記基板側接続パッドと前記バンプとの間に設けられる金属膜は、
前記主面と平行な面の面積が、前記バンプにおける前記主面と平行な断面の面積よりも広い
請求項2に記載の電子機器。
- [請求項4] 絶縁膜上に設けられる金属膜と、前記基板側接続パッドと前記バンプとの間に設けられる金属膜とは、スリットによって分離される
請求項2に記載の電子機器。
- [請求項5] 複数の前記バンプが設けられる領域を環状に囲むように設けられ、
前記チップと前記半導体基板とを接続する側壁部
をさらに備え、
前記絶縁膜上に設けられる金属膜は、
前記側壁部と前記半導体基板との間に設けられる金属膜と同一種類

の金属によって形成され、前記側壁部と前記半導体基板との間に設けられる金属膜と同一の層に設けられる

請求項 1 に記載の電子機器。

[請求項6]

前記側壁部と前記半導体基板との間に設けられる金属膜は、
前記主面と平行な面の面積が、前記側壁部における前記主面と平行な断面の面積よりも広い

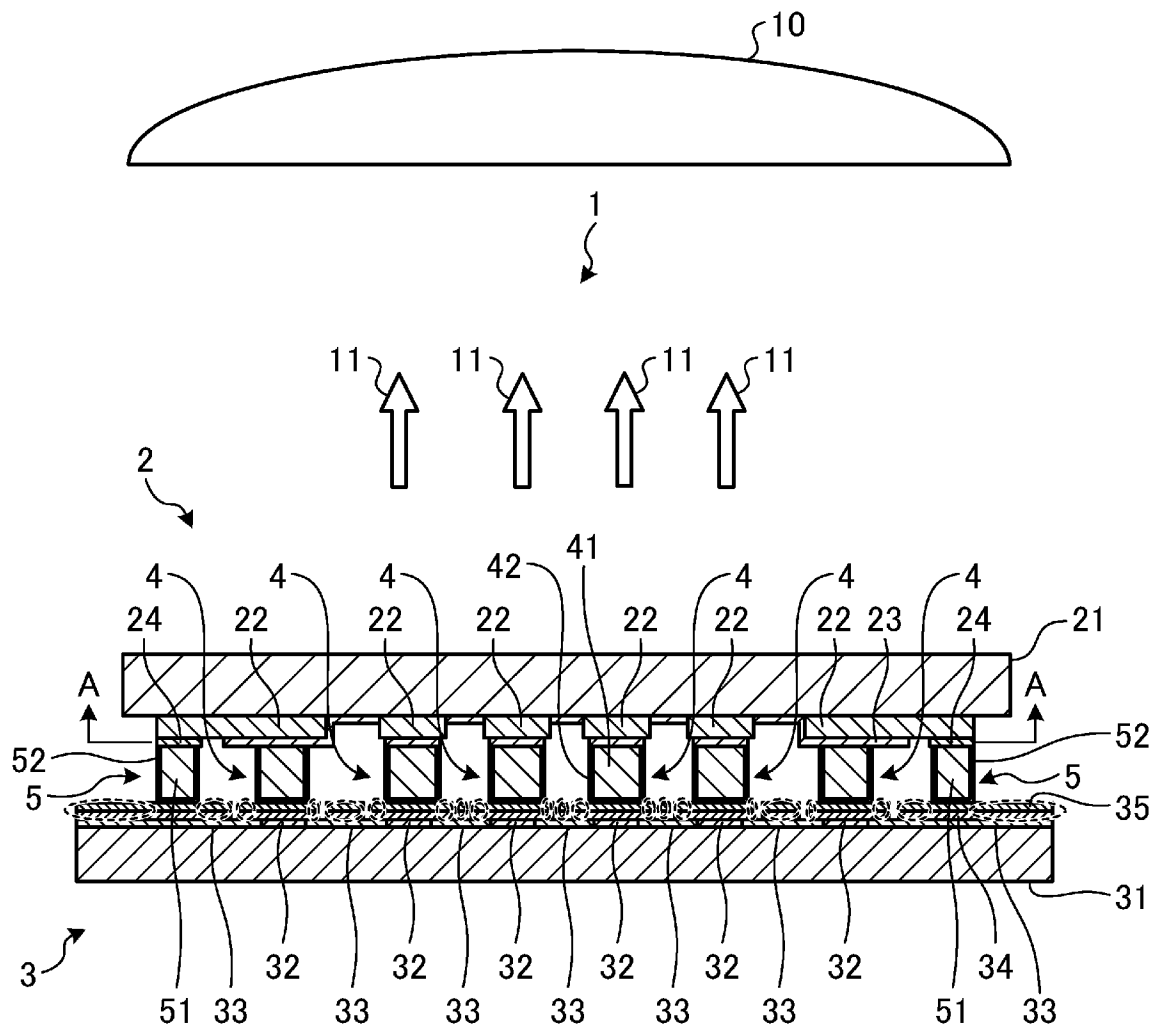
請求項 5 に記載の電子機器。

[請求項7]

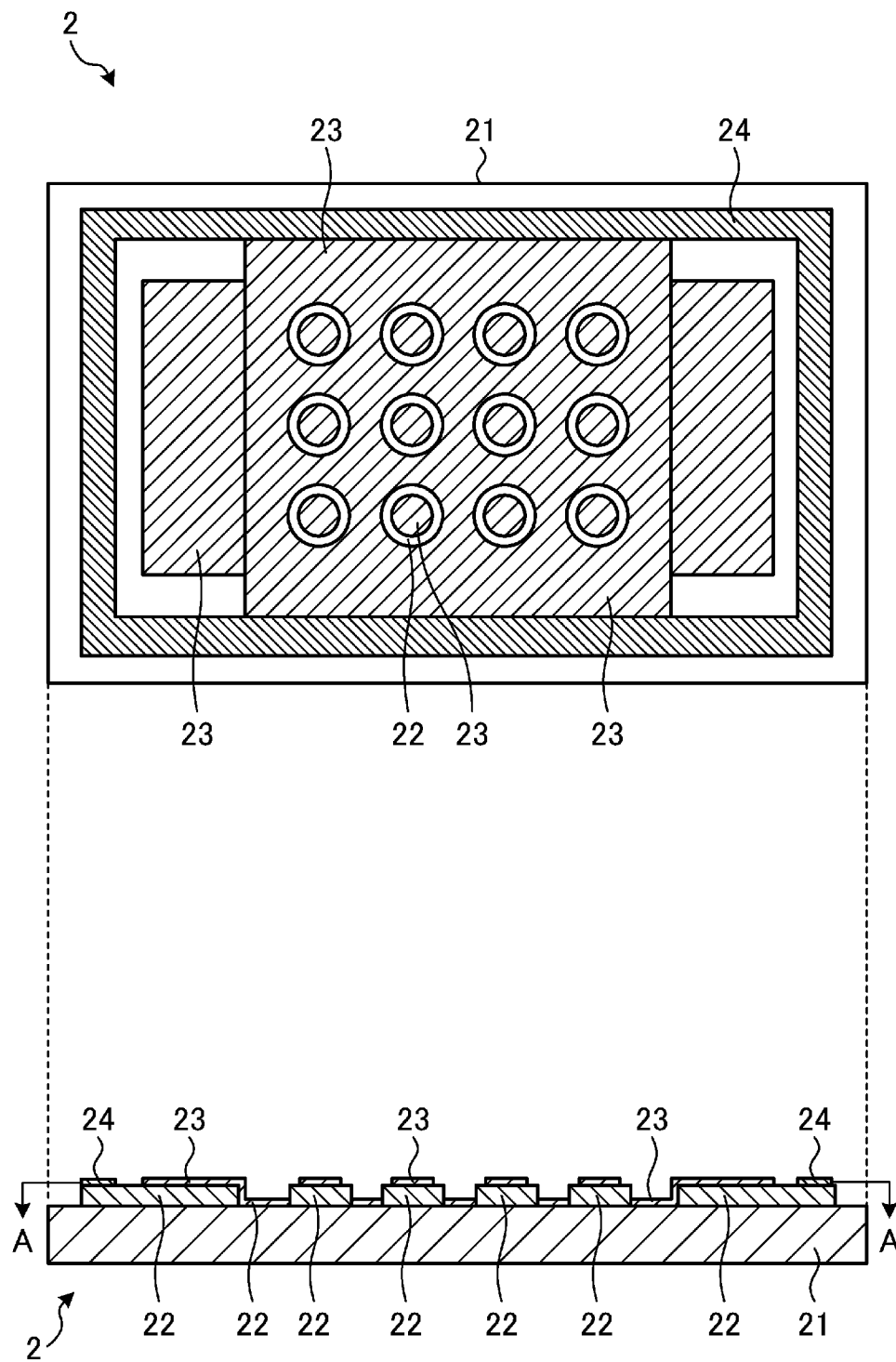
前記絶縁膜上に設けられる金属膜は、
前記絶縁膜上に設けられるチタン膜と、前記チタン膜上に設けられる金膜とを含む

請求項 1 に記載の電子機器。

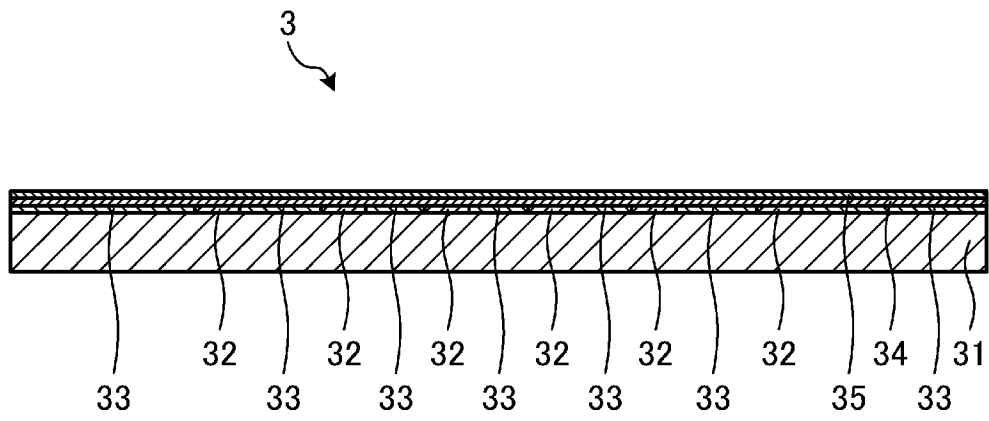
[図1]



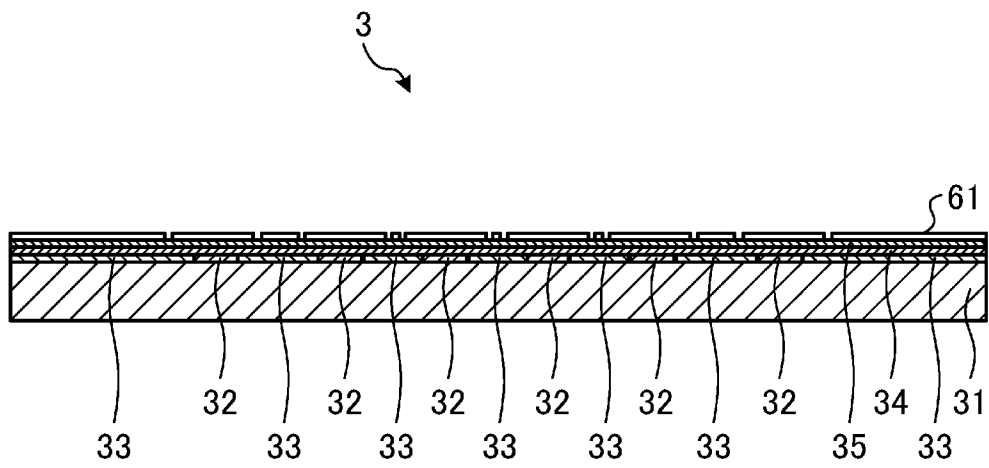
[図2]



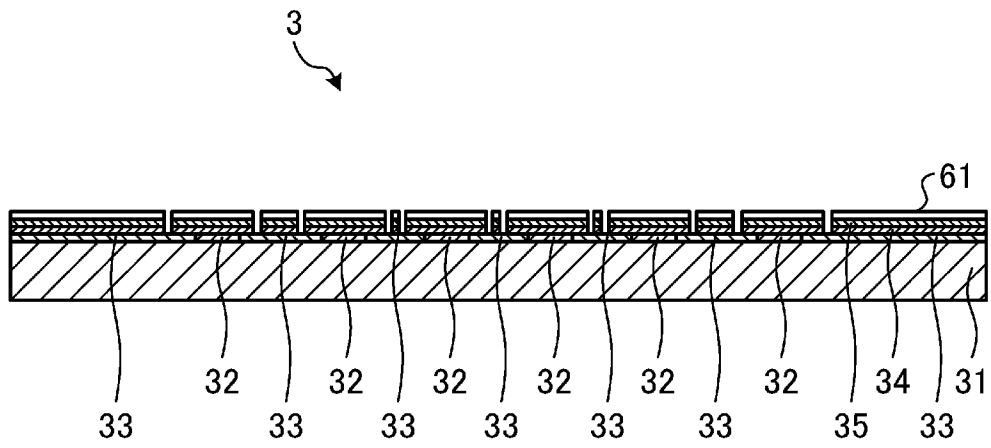
[図3]



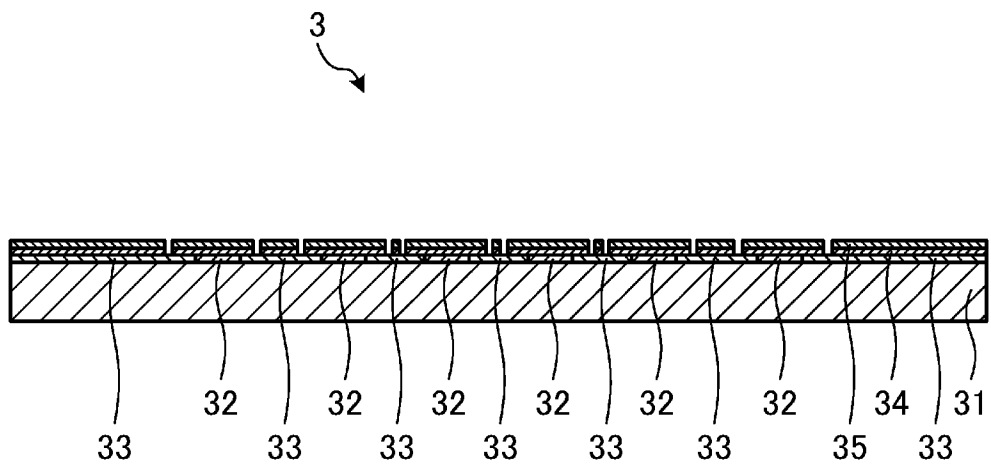
[図4]



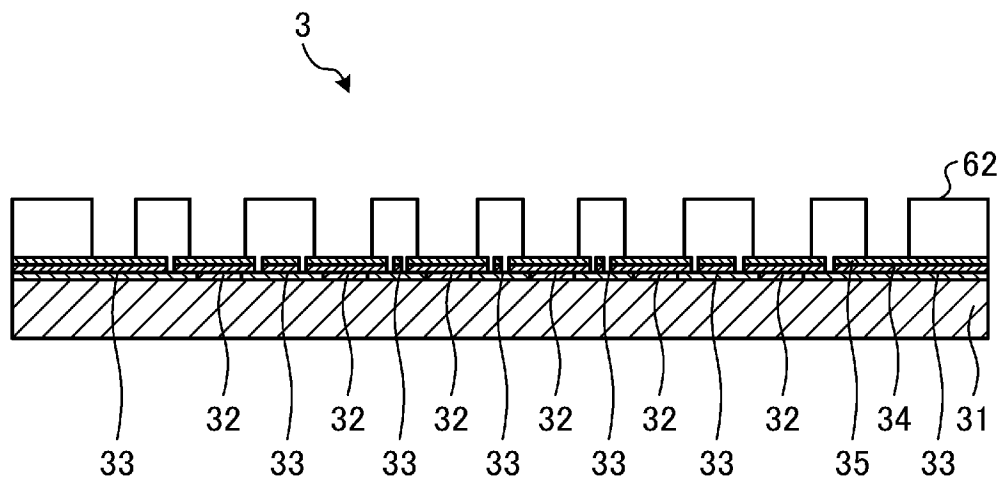
[図5]



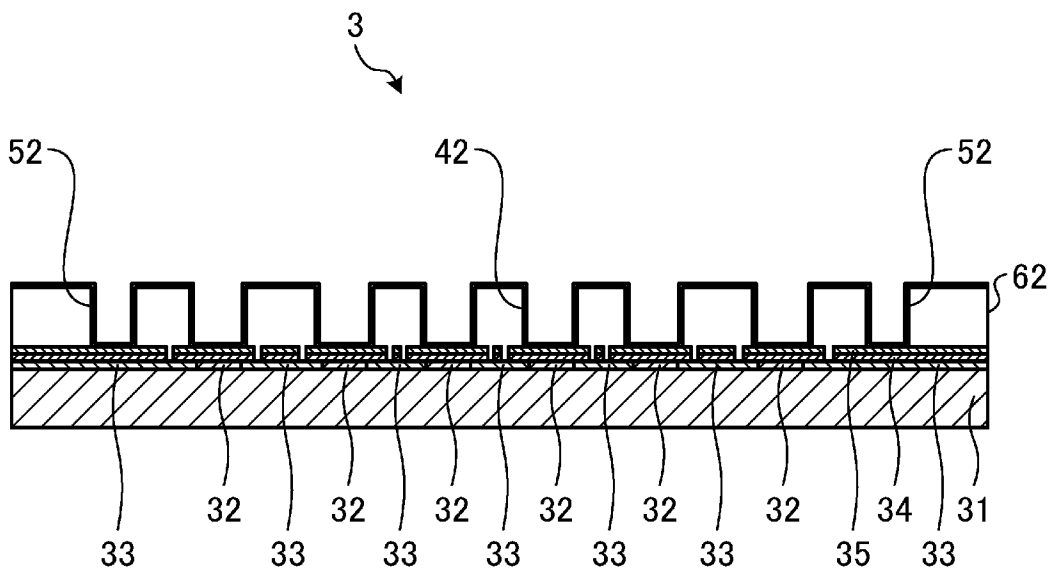
[図6]



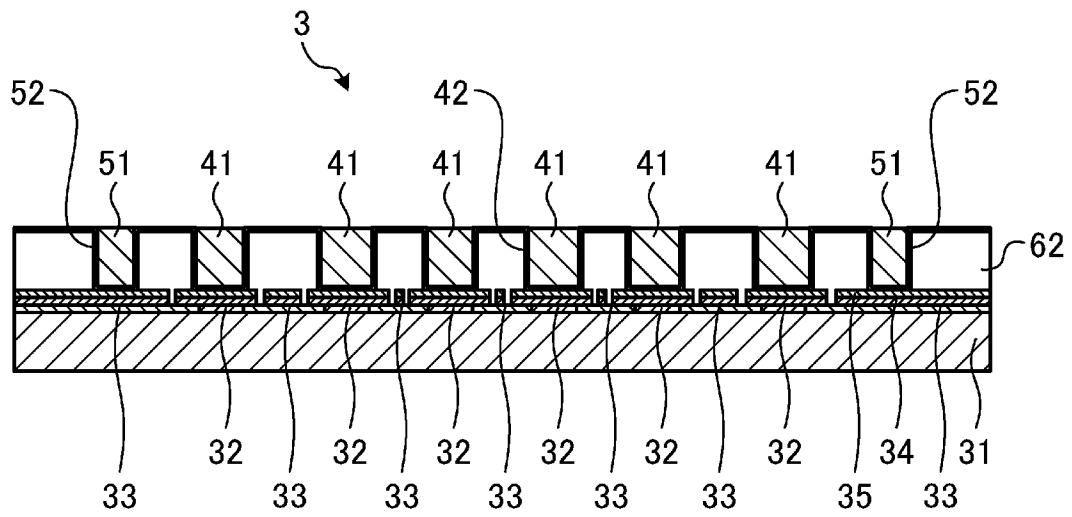
[図7]



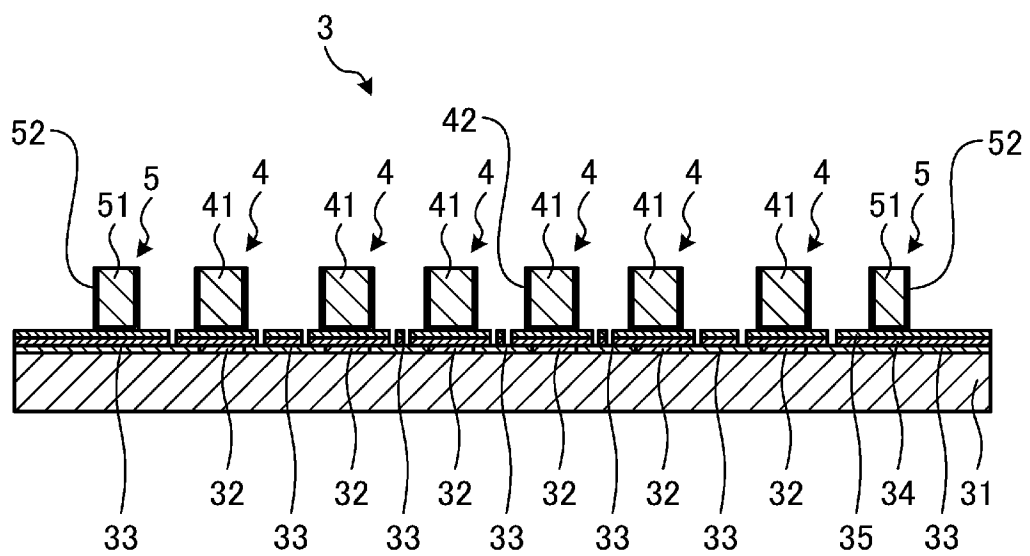
[図8]



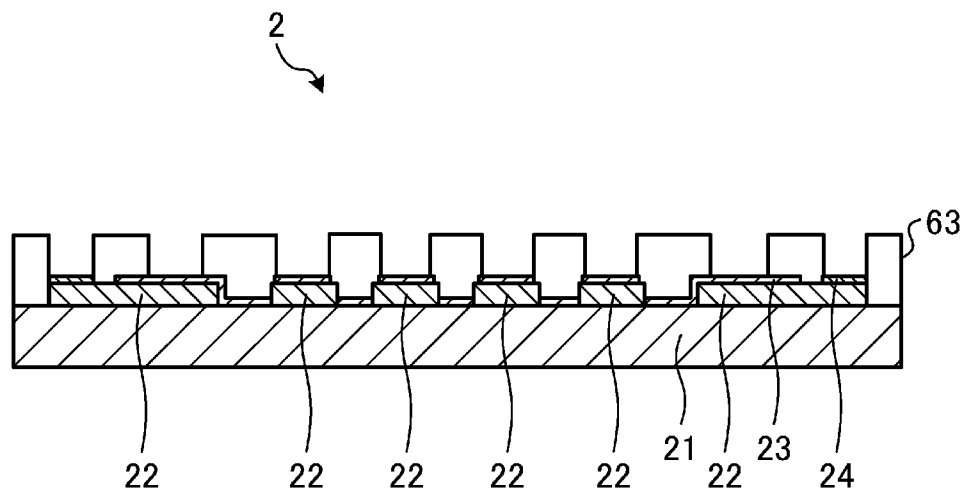
[図9]



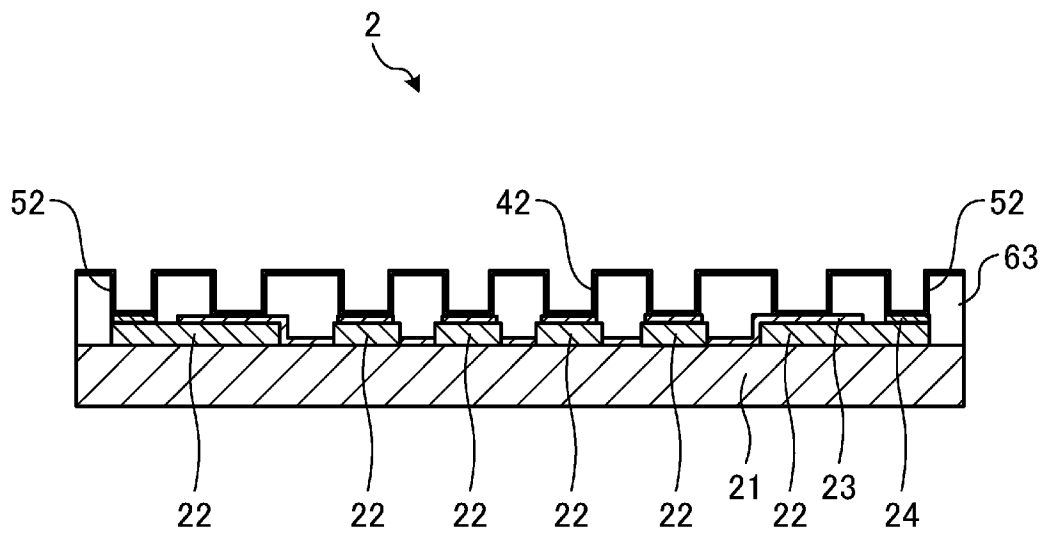
[図10]



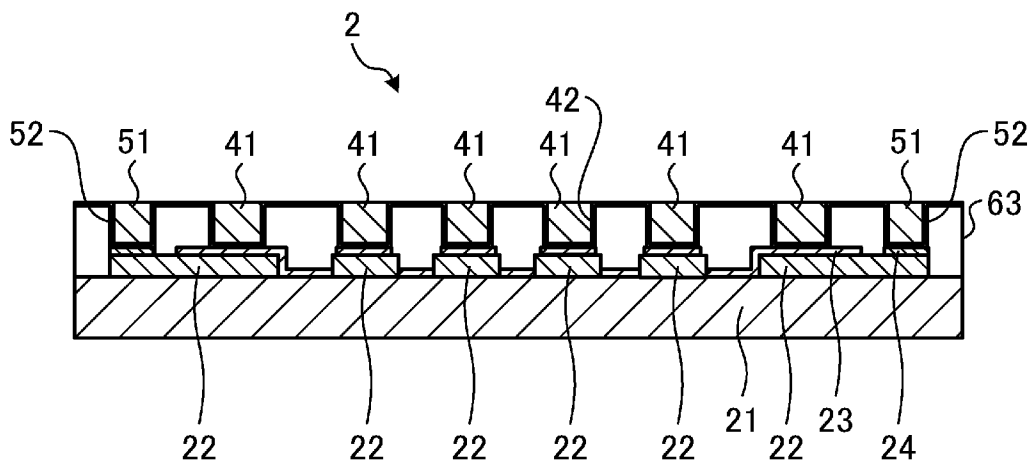
[図11]



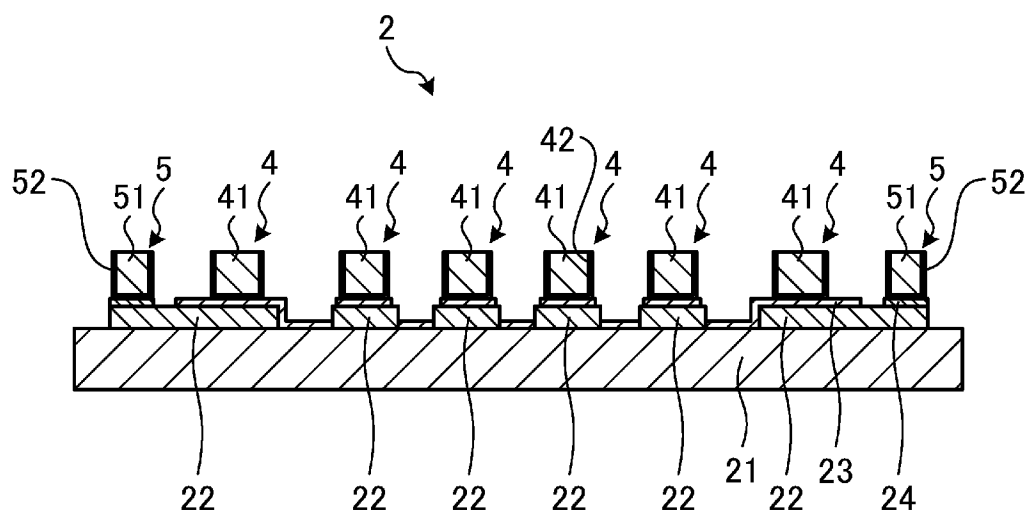
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/024719

A. CLASSIFICATION OF SUBJECT MATTER**H01S 5/023**(2021.01)i; **H01L 21/60**(2006.01)i; **H01S 5/0234**(2021.01)i

FI: H01S5/023; H01L21/60 311S; H01L21/92 602A; H01L21/92 604A; H01S5/0234

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/023; H01L21/60; H01S5/0234

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2021/149389 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 29 July 2021 (2021-07-29) paragraphs [0032]-[0058], fig. 1-3	1-7
Y	JP 61-122614 A (FUJITSU LTD) 10 June 1986 (1986-06-10) p. 1, lower right column, line 5 to p. 2, upper right column, line 20, fig. 1, 3	1-7
Y	JP 10-268298 A (SEIKO EPSON CORP) 09 October 1998 (1998-10-09) paragraphs [0002]-[0005], [0011]-[0016], fig. 1-2	1-7
Y	WO 98/03990 A1 (SEIKO EPSON CORP) 29 January 1998 (1998-01-29) p. 5, line 1 to p. 11, line 25, fig. 1-4	1-7
Y	WO 2020/162390 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 13 August 2020 (2020-08-13) paragraphs [0011]-[0053], fig. 1	2-4
Y	JP 2004-214469 A (HITACHI LTD) 29 July 2004 (2004-07-29) paragraphs [0036]-[0042], fig. 1	5-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 September 2023

Date of mailing of the international search report

19 September 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/024719**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-16588 A (CANON INC) 22 January 2009 (2009-01-22) paragraphs [0013]-[0022], fig. 1-4	7
A	US 2021/0381960 A1 (ARTILUX, INC.) 09 December 2021 (2021-12-09) entire text, all drawings	1-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/024719

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2021/149389	A1	29 July 2021	US 2023/0048675 A1 paragraphs [0052]-[0078], fig. 1-3 CN 115004489 A	
JP	61-122614	A	10 June 1986	(Family: none)	
JP	10-268298	A	09 October 1998	(Family: none)	
WO	98/03990	A1	29 January 1998	US 6144507 A column 3, line 61 to column 9, line 3, fig. 1-4 EP 0917189 A1 CA 2261838 A1 CN 1226341 A KR 2000-0067985 A	
WO	2020/162390	A1	13 August 2020	US 2021/0376564 A1 US 2022/0115834 A1 CN 113396477 A KR 10-2021-0124222 A JP 2022-519186 A	
JP	2004-214469	A	29 July 2004	US 2004/0159960 A1 paragraphs [0055]-[0060], fig. 1 EP 1445861 A2	
JP	2009-16588	A	22 January 2009	US 2009/0010297 A1 paragraphs [0066]-[0113], fig. 1-4	
US	2021/0381960	A1	09 December 2021	US 2022/0262974 A1 EP 3933434 A2 CN 114088644 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01S 5/023(2021.01)i; H01L 21/60(2006.01)i; H01S 5/0234(2021.01)i FI: H01S5/023; H01L21/60 311S; H01L21/92 602A; H01L21/92 604A; H01S5/0234										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01S5/023; H01L21/60; H01S5/0234										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	WO 2021/149389 A1（ソニーセミコンダクタソリューションズ株式会社）29.07.2021 (2021 - 07 - 29) [0032]-[0058], 図1-3	1-7								
Y	JP 61-122614 A（富士通株式会社）10.06.1986（1986 - 06 - 10） 第1頁右下欄第5行-第2頁右上欄第20行, 第1図, 第3図	1-7								
Y	JP 10-268298 A（セイコーエプソン株式会社）09.10.1998（1998 - 10 - 09） [0002]-[0005], [0011]-[0016], 図1-2	1-7								
Y	WO 98/03990 A1（セイコーエプソン株式会社）29.01.1998（1998 - 01 - 29） 第5頁第1行-第11頁25行, 図1-4	1-7								
Y	WO 2020/162390 A1（SONY SEMICONDUCTOR SOLUTIONS CORPORATION）13.08.2020 (2020 - 08 - 13) [0011]-[0053], FIG.1	2-4								
Y	JP 2004-214469 A（株式会社日立製作所）29.07.2004（2004 - 07 - 29） [0036]-[0042], 図1	5-6								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 12.09.2023	国際調査報告の発送日 19.09.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 百瀬 正之 2K 4084 電話番号 03-3581-1101 内線 3255									

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-16588 A (キャノン株式会社) 22.01.2009 (2009 - 01 - 22) [0013]-[0022], 図1-4	7
A	US 2021/0381960 A1 (ARTILUX, INC.) 09.12.2021 (2021 - 12 - 09) 全文, 全図	1-7

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/024719

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/149389	A1	29.07.2021	US	2023/0048675	A1	
				[0052]-[0078], FIGs. 1-3			
				CN	115004489	A	
JP	61-122614	A	10.06.1986	(ファミリーなし)			
JP	10-268298	A	09.10.1998	(ファミリーなし)			
WO	98/03990	A1	29.01.1998	US	6144507	A	
				第3欄第61行-第9欄第3行, FIGs. 1-4			
				EP	0917189	A1	
				CA	2261838	A1	
				CN	1226341	A	
				KR	2000-0067985	A	
WO	2020/162390	A1	13.08.2020	US	2021/0376564	A1	
				US	2022/0115834	A1	
				CN	113396477	A	
				KR	10-2021-0124222	A	
				JP	2022-519186	A	
JP	2004-214469	A	29.07.2004	US	2004/0159960	A1	
				[0055]-[0060], FIG. 1			
				EP	1445861	A2	
JP	2009-16588	A	22.01.2009	US	2009/0010297	A1	
				[0066]-[0113], FIGs. 1-4			
US	2021/0381960	A1	09.12.2021	US	2022/0262974	A1	
				EP	3933434	A2	
				CN	114088644	A	