

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-149731

(P2007-149731A)

(43) 公開日 平成19年6月14日(2007.6.14)

(51) Int. Cl.		F I		テーマコード (参考)
HO 1 L 23/12 (2006.01)		HO 1 L 23/12	N	5 E 3 3 8
HO 5 K 1/02 (2006.01)		HO 5 K 1/02	D	

審査請求 未請求 請求項の数 10 O L (全 31 頁)

(21) 出願番号 特願2005-338323 (P2005-338323)
 (22) 出願日 平成17年11月24日 (2005.11.24)

(71) 出願人 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 小林 祐治
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 Fターム(参考) 5E338 AA03 EE26

(54) 【発明の名称】 配線基板、半導体装置、及び配線基板の製造方法

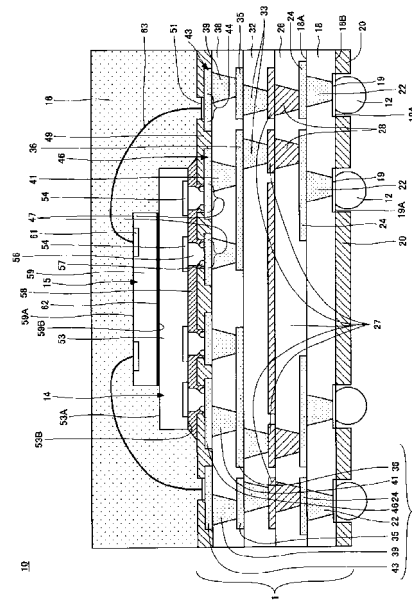
(57) 【要約】

【課題】本発明は、配線基板の反りを抑制すると共に、電気的な接続信頼性を向上させることのできる配線基板、半導体装置、及び配線基板の製造方法を提供することを課題とする。

【解決手段】積層された絶縁層18、26、32、38に設けられ、半導体チップ14、15と電気的に接続される配線パターン21と、絶縁層26、32間に設けられた補強用の金属層27とを備え、絶縁層26に金属層27と接触すると共に、金属層27の下方に配置された配線パターン21と電気的に接続される第1のビア28と、絶縁層32に金属層27と接触すると共に、金属層27の上方に配置された配線パターン21と電気的に接続される第2のビア33とをさらに設けた。

【選択図】 図2

本発明の第1の実施の形態に係る半導体装置の断面図



【特許請求の範囲】

【請求項 1】

積層された絶縁層と、該積層された絶縁層に設けられた配線パターンと、前記積層された絶縁層間に設けられた補強用の金属層とを備えた配線基板であって、

前記金属層の直下に位置する前記絶縁層に、前記金属層と接触すると共に、前記金属層の下方に配置された前記配線パターンと電氣的に接続される第 1 のビアを設け、

前記金属層の直上に位置する前記絶縁層に、前記金属層と接触すると共に、前記金属層の上方に配置された前記配線パターンと電氣的に接続される第 2 のビアを設けたことを特徴とする配線基板。

【請求項 2】

前記第 2 のビアは、前記第 1 のビアと対向するように配置させたことを特徴とする請求項 1 記載の配線基板。

【請求項 3】

前記金属層に、該金属層を貫通する第 1 の貫通孔を複数設けたことを特徴とする請求項 1 または 2 記載の配線基板。

【請求項 4】

搭載される半導体チップと対向する前記絶縁層部分に、前記半導体チップと熱膨張係数と略等しい熱膨張係数緩和部材を設けたことを特徴とする請求項 1 ないし 3 のうち、いずれか一項記載の配線基板。

【請求項 5】

前記熱膨張係数緩和部材は、前記金属層と接触するように設けたことを特徴とする請求項 4 記載の配線基板。

【請求項 6】

前記熱膨張係数緩和部材に、該熱膨張係数緩和部材を貫通すると共に、前記第 1 の貫通孔と対向する第 2 の貫通孔を設けたことを特徴とする請求項 4 または 5 記載の配線基板。

【請求項 7】

積層された絶縁層と、該積層された絶縁層に設けられた配線パターンと、前記積層された絶縁層間に設けられた補強用の金属層とを有する配線基板と、

前記配線基板上に配設され、前記配線パターンと電氣的に接続される半導体チップとを備えた半導体装置であって、

前記金属層の直下に位置する前記絶縁層に、前記金属層と接触すると共に、前記金属層の下方に配置された前記配線パターンと電氣的に接続される第 1 のビアを設け、

前記金属層の直上に位置する前記絶縁層に、前記金属層と接触すると共に、前記金属層の上方に配置された前記配線パターンと電氣的に接続される第 2 のビアを設けたことを特徴とする半導体装置。

【請求項 8】

前記第 2 のビアは、前記第 1 のビアと対向するように配置させたことを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

積層された絶縁層に設けられた配線パターンと、前記積層された絶縁層間に設けられた補強用の金属層と、該金属層の直下に位置する前記絶縁層に設けられ、前記金属層及び金属層の下方に配置された前記配線パターンと電氣的に接続される第 1 のビアと、前記金属層の直上に位置する前記絶縁層に設けられ、前記金属層及び金属層の上方に配置された前記配線パターンと電氣的に接続される第 2 のビアとを備えた配線基板の製造方法であって、

電解めっき法により前記第 1 のビア及び金属層を同時に形成する第 1 のビア及び金属層形成工程を含むことを特徴とする配線基板の製造方法。

【請求項 10】

前記第 1 のビア及び金属層形成工程後に、前記第 1 のビアと対向するように前記第 2 のビアを形成する第 2 のビア形成工程をさらに含むことを特徴とする請求項 9 記載の配線基

10

20

30

40

50

板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板、半導体装置、及び配線基板の製造方法に係り、特に、積層された絶縁層間に配線基板の強度を補強する金属層を備えた配線基板、半導体装置、及び配線基板の製造方法に関する。

【背景技術】

【0002】

半導体装置は、配線基板と、配線基板と電氣的に接続される半導体チップとを有した構成とされており、マザーボード等の実装基板と電氣的に接続される。

【0003】

近年、電子機器の小型化に伴い、電子機器に搭載される半導体装置の小型化が望まれている。半導体装置の小型化を図ることの可能な配線基板としては、コア基材を構成から除いて薄板化したコアレス基板がある。

【0004】

しかし、コアレス基板は、コア基材を備えたコア基板と比較して強度が弱く、反りが発生しやすい。このような問題を解決するため、積層された絶縁層間に補強材としての金属層を設けたコアレス基板がある(図1参照)。

【0005】

図1は、従来のコアレス基板の断面図である。図1において、W1は開口部218の上端の開口径(以下、「開口径W1」とする)、W2は開口部218の下端の開口径(以下、「開口径W2」とする)をそれぞれ示している。

【0006】

図1を参照するに、コアレス基板200は、絶縁層201~204と、パッド206と、外部接続端子207と、配線208, 214と、ビア209, 212, 215と、金属層211と、接続パッド216とを有する。

【0007】

パッド206は、絶縁層201の下面側に設けられている。外部接続端子207は、パッド206に設けられている。外部接続端子207は、コアレス基板200をマザーボード等の実装基板と電氣的に接続するための端子である。配線208は、絶縁層201上に設けられており、ビア209と電氣的に接続されている。ビア209は、パッド206と配線208との間に位置する絶縁層201に設けられており、パッド206と配線208とを電氣的に接続している。

【0008】

絶縁層202は、配線208を覆うように絶縁層201上に設けられている。金属層211は、コアレス基板200の強度を補強するためのものであり、絶縁層202上に設けられている。金属層211は、板状とされており、コアレス基板200の反りを抑制する機能を奏する。金属層211は、金属箔(例えば、Cu箔)を絶縁層202上に貼り付けることで形成する。

【0009】

絶縁層203は、金属層211を覆うように絶縁層202上に設けられている。開口部218は、配線208上に位置する絶縁層202, 203を貫通するように形成されている。開口部218は、配線208上を露出している。開口部218は、ビア212を配設するためのものである。開口部218は、レーザ加工により形成される。

【0010】

ビア212は、開口部218に設けられている。ビア212は、金属層211の下方方向に配置された配線208と、金属層211の上方方向に配置された配線214とを電氣的に接続するためのものである。ビア212は、電解めっき法により開口部218内に導電金属を析出成長させることで形成する。

10

20

30

40

50

【0011】

配線214は、絶縁層203上に設けられている。配線214は、ビア212と電氣的に接続されている。絶縁層204は、配線214を覆うように絶縁層203上に設けられている。ビア215は、配線214上に位置する絶縁層204に設けられている。ビア215は、配線214と電氣的に接続されている。

【0012】

接続パッド216は、ビア215の形成位置に対応する絶縁層204上に設けられている。接続パッド216は、図示していない半導体チップを接続するためのパッドである(例えば、特許文献1参照)。

【0013】

このように、積層された絶縁層202, 203間に金属層211を設けることで、コアレス基板200の反りを抑制することができる。

【特許文献1】特開2005-72061号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、従来のコアレス基板200では、ビア212が配設される開口部218をレーザ加工により2層の絶縁層202, 203を貫通するように形成する。このため、開口部218の深さが深くなり、開口部218の下端の開口径W2が小さくなってしまふ。これにより、ビア212と配線208との間の接触面積が小さくなるため、金属層211の下方に配置された配線208と、金属層211の上方に配置された配線214との間の電氣的な接続信頼性が低下してしまうという問題があった。

【0015】

例えば、開口部218の下端の開口径W2を大きくするための1つの手段として、開口部218の上端の開口径W1を大きくすることが考えられるが、この場合、配線214のサイズも大きくする必要があるのであるため、コアレス基板200が大型化して、半導体装置を小型化することができない。

【0016】

そこで本発明は、上述した問題点に鑑みなされたものであり、本発明の目的は、配線基板の反りを抑制すると共に、電氣的な接続信頼性を向上させることのできる配線基板、半導体装置、及び配線基板の製造方法を提供することである。

【課題を解決するための手段】

【0017】

本発明の一観点によれば、積層された絶縁層と、該積層された絶縁層に設けられた配線パターンと、前記積層された絶縁層間に設けられた補強用の金属層とを備えた配線基板であって、前記金属層の直下に位置する前記絶縁層に、前記金属層と接触すると共に、前記金属層の下方に配置された前記配線パターンと電氣的に接続される第1のビアを設け、前記金属層の直上に位置する前記絶縁層に、前記金属層と接触すると共に、前記金属層の上方に配置された前記配線パターンと電氣的に接続される第2のビアを設けたことを特徴とする配線基板が提供される。

【0018】

本発明によれば、金属層の直下に位置する絶縁層に、金属層と接触すると共に、金属層の下方に配置された配線パターンと電氣的に接続される第1のビアを設け、金属層の直上に位置する絶縁層に、金属層と接触すると共に、金属層の上方に配置された配線パターンと電氣的に接続される第2のビアを設けたことにより、深さの浅い第1及び第2のビアを介して、金属層の上方に配置された配線パターンと、金属層の下方に配置された配線パターンとが電氣的に接続される。これにより、配線パターン及び金属層と第1及び第2のビアとの間の接触面積を十分に確保することが可能となるため、金属層の上方に配置された配線パターンと、金属層の下方に配置された配線パターンとの間の電氣的な接続信頼性を向上させることができる。

10

20

30

40

50

【0019】

本発明の他の観点によれば、積層された絶縁層と、該積層された絶縁層に設けられた配線パターンと、前記積層された絶縁層間に設けられた補強用の金属層とを有する配線基板と、前記配線基板上に配設され、前記配線パターンと電氣的に接続される半導体チップとを備えた半導体装置であって、前記金属層の直下に位置する前記絶縁層に、前記金属層と接触すると共に、前記金属層の下方に配置された前記配線パターンと電氣的に接続される第1のビアを設け、前記金属層の直上に位置する前記絶縁層に、前記金属層と接触すると共に、前記金属層の上方に配置された前記配線パターンと電氣的に接続される第2のビアを設けたことを特徴とする半導体装置が提供される。

【0020】

本発明によれば、金属層の直下に位置する絶縁層に、金属層と接触すると共に、金属層の下方に配置された配線パターンと電氣的に接続される第1のビアを設け、金属層の直上に位置する絶縁層に、金属層と接触すると共に、金属層の上方に配置された配線パターンと電氣的に接続される第2のビアを設けたことにより、深さの浅い第1及び第2のビアを介して、金属層の上方に配置された配線パターンと、金属層の下方に配置された配線パターンとが電氣的に接続される。これにより、配線パターン及び金属層と第1及び第2のビアとの間の接触面積を十分に確保することが可能となるため、金属層の上方に配置された配線パターンと、金属層の下方に配置された配線パターンとの間の電氣的な接続信頼性を向上させることができる。

【0021】

本発明のその他の観点によれば、積層された絶縁層に設けられた配線パターンと、前記積層された絶縁層間に設けられた補強用の金属層と、該金属層の直下に位置する前記絶縁層に設けられ、前記金属層及び金属層の下方に配置された前記配線パターンと電氣的に接続される第1のビアと、前記金属層の直上に位置する前記絶縁層に設けられ、前記金属層及び金属層の上方に配置された前記配線パターンと電氣的に接続される第2のビアとを備えた配線基板の製造方法であって、電解めっき法により前記第1のビア及び金属層を同時に形成する第1のビア及び金属層形成工程を含むことを特徴とする配線基板の製造方法が提供される。

【0022】

本発明によれば、電解めっき法を用いて、第1のビア及び金属層を同時に形成することにより、製造工程を簡略化して、配線基板の製造コストを低減することができる。

【発明の効果】

【0023】

本発明によれば、配線基板の反りを抑制すると共に、電氣的な接続信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0024】

次に、図面に基づいて本発明の実施の形態について説明する。

【0025】

(第1の実施の形態)

図2は、本発明の第1の実施の形態に係る半導体装置の断面図である。

【0026】

図2を参照して、本発明の第1の実施の形態に係る半導体装置10について説明する。半導体装置10は、配線基板11と、外部接続端子12と、第1の半導体チップ14と、第2の半導体チップ15と、封止樹脂16とを有する。

【0027】

配線基板11は、絶縁層18, 26, 32, 38と、パッド19と、保護膜20, 49と、配線パターン21と、補強用の金属層27と、第1のビア28と、第2のビア33と、拡散防止膜51とを有する。

【0028】

10

20

30

40

50

絶縁層 18, 26, 32, 38 は、絶縁層 18、絶縁層 26、絶縁層 32、絶縁層 38 の順に積層されている。絶縁層 18, 26, 32, 38 としては、例えば、エポキシ系樹脂やポリイミド系樹脂等を用いることができる。また、絶縁層 18, 26, 32, 38 の厚さは、例えば、それぞれ $30\ \mu\text{m} \sim 50\ \mu\text{m}$ とすることができる。

【0029】

パッド 19 は、絶縁層 18 から露出された状態で、絶縁層 18 の下面 18B 側に設けられている。絶縁層 18 から露出されたパッド 19 の面 19A は、絶縁層 18 の下面 18B と略面一とされている。パッド 19 は、外部接続端子 12 及びビア 22 と電氣的に接続されている。パッド 19 としては、絶縁層 18 から Ni 層、Pd 層、Au 層を順次積層した Ni/Pd/Au 積層膜を用いることができる。

10

【0030】

保護膜 20 は、パッド 19 を露出した状態で、絶縁層 18 の下面 18B を覆うように設けられている。保護膜 20 としては、例えば、ソルダーレジストを用いることができる。保護膜 20 の厚さは、例えば、 $20\ \mu\text{m}$ とすることができる。

【0031】

配線パターン 21 は、金属層 27 の上方及び下方に配置されている。配線パターン 21 は、ビア 22, 39, 41 と、配線 24, 35, 36, 43, 46 とを有する。

【0032】

ビア 22 は、パッド 19 上に位置する絶縁層 18 を貫通するように設けられている。ビア 22 は、パッド 19 及び配線 24 と電氣的に接続されている。配線 24 は、絶縁層 18 の上面 18A に設けられている。配線 24 は、ビア 22 及び第 1 のビア 28 と電氣的に接続されている。ビア 22 及び配線 24 は、金属層 27 の下方に配置された配線パターン 21 である。

20

【0033】

配線 35 は、絶縁層 32 上に設けられている。配線 35 は、第 2 のビア 33 及びビア 39 と電氣的に接続されている。配線 36 は、配線 35 の形成位置よりも内側に位置する絶縁層 32 上に設けられている。配線 36 は、第 2 のビア 33 及びビア 41 と電氣的に接続されている。ビア 39 は、配線 35 上に位置する絶縁層 38 を貫通するように設けられている。ビア 39 は配線 35, 43 と電氣的に接続されている。

【0034】

ビア 41 は、配線 36 上に位置する絶縁層 38 を貫通するように設けられている。ビア 41 は、配線 36, 46 と電氣的に接続されている。配線 43 は、接続部 44 を有しており、絶縁層 38 上に設けられている。接続部 44 は、ワイヤ 63 を電氣的に接続するためのものである。配線 43 は、ビア 39 及びワイヤ 63 と電氣的に接続されている。

30

【0035】

配線 46 は、接続部 47 を有しており、絶縁層 38 上に設けられている。接続部 47 は、第 1 の半導体チップ 14 をフリップチップ接続するためのものである。配線 46 は、第 1 の半導体チップ 14 及びビア 41 と電氣的に接続されている。配線 35, 36, 43, 46 及びビア 39, 41 は、金属層 27 の上方に配置された配線パターン 21 である。

【0036】

上記構成とされた配線パターン 21 の材料としては、導電金属を用いることができ、導電金属としては、例えば、Cu を用いることができる。配線 24, 35, 36, 43, 46 の厚さは、例えば、 $20\ \mu\text{m}$ とすることができる。

40

【0037】

補強用の金属層 27 は、薄板状とされており、積層された絶縁層 18, 26, 32, 38 の略中間に位置する絶縁層 26 上に設けられている。金属層 27 は、配線基板 11 の反りを抑制するための層である。金属層 27 は、例えば、電解めっき法により形成することができる。金属層 27 の材料としては、例えば、Cu、Ni、Co、Fe、Ni-Co 合金、Ni-Fe 合金等を用いることができる。金属層 27 の厚さは、例えば、 $10\ \mu\text{m} \sim 30\ \mu\text{m}$ とすることができる。

50

【0038】

第1のビア28は、配線24と金属層27との間に位置する絶縁層26（金属層27の直下に位置する絶縁層）を貫通するように設けられている。第1のビア28は、金属層27と接触しており、配線24及び金属層27と電氣的に接続されている。第1のビア28は、金属層27の下方に配置された配線パターン21（具体的には、ビア22及び配線24）と金属層27との間を電氣的に接続している。第1のビア28は、図1（従来例）に示した金属層211の下方に配置された配線208と、金属層211の上方に配置された配線214との間を電氣的に接続する従来のビア212よりも深さの浅いビアである。第1のビア28の深さは、従来のビア212の略半分とされている。第1のビア28の材料としては、例えば、Cu、Ni、Co、Fe、Ni-Co合金、Ni-Fe合金等を用いることができる。第1のビア28は、レーザ加工により絶縁層26に開口部（図13に示す開口部26A）を形成し、この開口部に導電金属を充填することで形成する。第1のビア28を構成する導電金属は、例えば、電解めっき法により形成することができる。

10

【0039】

第2のビア33は、金属層27と配線35、36との間に位置する絶縁層32（金属層27の直上に位置する絶縁層）を貫通するように設けられている。第2のビア33は、金属層27と接触しており、配線35、36及び金属層27と電氣的に接続されている。第2のビア33は、金属層27の上方に配置された配線パターン21（具体的には、配線35、36、43、46及びビア39、41）と金属層27との間を電氣的に接続している。また、第2のビア33は、金属層27を挟んで、第1のビア28と対向するように配置されている。

20

【0040】

このように、第2のビア33を第1のビア28と対向するように配置することにより、金属層27の下方に配置された配線パターン21（具体的には、ビア22及び配線24）と、金属層27の上方に配置された配線パターン21（具体的には、配線35、36、43、46及びビア39、41）との間の接続距離を短くすることができる。

【0041】

第2のビア33は、図1（従来例）に示した金属層211の下方に配置された配線208と、金属層211の上方に配置された配線214との間を電氣的に接続する従来のビア212よりも深さの浅いビアである。第2のビア33の深さは、従来のビア212の略半分とされている。第2のビア33の材料としては、例えば、導電金属を用いることができる。第2のビア33は、レーザ加工により絶縁層32に開口部（図18に示す開口部32A）を形成し、この開口部に導電金属を充填することで形成する。第2のビア33を構成する導電金属は、例えば、電解めっき法により形成することができる。

30

【0042】

このように、金属層27の直下に位置する絶縁層26に、金属層27と接触すると共に、金属層27の下方に配置された配線パターン21（具体的には、ビア22及び配線24）と電氣的に接続される第1のビア28を設け、金属層27の直上に位置する絶縁層32に、金属層27と接触すると共に、金属層27の上方に配置された配線パターン21（具体的には、配線35、36、43、46及びビア39、41）と電氣的に接続される第2のビア33を設けたことにより、深さの浅い第1及び第2のビア28、33を介して、金属層27の上方に配置された配線パターン21と、金属層27の下方に配置された配線パターン21との間が電氣的に接続される。これにより、配線パターン21及び金属層27と第1及び第2のビア28、33との間の接触面積を十分に確保することが可能となるため、金属層27の上方に配置された配線パターン21と、金属層27の下方に配置された配線パターン21との間の電氣的な接続信頼性を向上させることができる。

40

【0043】

また、第2のビア33を第1のビア28と対向するように配置することにより、金属層27の下方に配置された配線パターン21と、金属層27の上方に配置された配線パター

50

ン 2 1 との間の接続距離を短くすることができる。

【 0 0 4 4 】

保護膜 4 9 は、接続部 4 4 , 4 7 以外の配線 4 3 , 4 6 を覆うように絶縁層 3 8 上に設けられている。保護膜 4 9 としては、例えば、ソルダーレジストを用いることができる。保護膜 4 9 の厚さは、例えば、20 μm とすることができる。

【 0 0 4 5 】

拡散防止膜 5 1 は、配線 4 3 に含まれる Cu の拡散を防止すると共に、ワイヤ 6 3 と配線 4 3 との間の接続信頼性を向上させるための膜である。拡散防止膜 5 1 としては、例えば、配線 4 3 上に、Ni 層、Au 層の順に積層した Ni / Au 積層層を用いることができる。

10

【 0 0 4 6 】

外部接続端子 1 2 は、パッド 1 9 の面 1 9 A に設けられている。外部接続端子 1 2 は、半導体装置 1 0 をマザーボード等の実装基板に接続するための端子である。外部接続端子 1 2 としては、例えば、はんだボールを用いることができる。

【 0 0 4 7 】

第 1 の半導体チップ 1 4 は、配線基板 1 1 上に配設されている。第 1 の半導体チップ 1 4 は、チップ本体 5 3 と、電極パッド 5 4 と、スタッドバンプ 5 6 とを有する。チップ本体 5 3 は、半導体基板（図示せず）と、半導体素子（図示せず）と、多層配線構造体（図示せず）とを有する。半導体基板（図示せず）は、チップ本体の上面 5 3 A 側に設けられている。半導体基板（図示せず）としては、例えば、Si 基板や Ga - As 基板等を用いることができる。半導体素子（図示せず）は、トランジスタ等の素子であり、半導体基板（図示せず）に設けられている。

20

【 0 0 4 8 】

電極パッド 5 4 は、チップ本体 5 3 の下面 5 3 B 側に設けられている。電極パッド 5 4 は、多層配線構造体（図示せず）を介して、半導体素子（図示せず）と電氣的に接続されている。

【 0 0 4 9 】

スタッドバンプ 5 6 は、電極パッド 5 4 に設けられている。スタッドバンプ 5 6 は、はんだ 5 7 を介して、配線 4 6 の接続部 4 7 と電氣的に接続されている。これにより、第 1 の半導体チップ 1 4 は、配線パターン 2 1 と電氣的に接続される。スタッドバンプ 5 6 は、第 1 の半導体チップ 1 4 を接続部 4 7 にフリップチップ接続するためのものである。スタッドバンプ 5 6 としては、例えば、Au スタッドバンプを用いることができる。

30

【 0 0 5 0 】

第 1 の半導体チップ 1 4 と配線基板 1 1 との間には、アンダーフィル樹脂 5 8 が充填されている。アンダーフィル樹脂 5 8 は、第 1 の半導体チップ 1 4 と配線基板 1 1 との間での接合強度を向上させるための樹脂である。

【 0 0 5 1 】

第 2 の半導体チップ 1 5 は、接着材 6 2 により第 1 の半導体チップ 1 4 上に接着されている。第 2 の半導体チップ 1 5 は、第 1 の半導体チップ 1 4 よりも外形の小さい半導体チップであり、チップ本体 5 9 と、電極パッド 6 1 とを有する。チップ本体 5 9 は、半導体基板（図示せず）と、半導体素子（図示せず）と、多層配線構造体（図示せず）とを有する。半導体基板（図示せず）は、チップ本体 5 9 の下面 5 9 B 側に設けられている。半導体基板（図示せず）としては、例えば、Si 基板や Ga - As 基板等を用いることができる。半導体素子（図示せず）は、トランジスタ等の素子であり、半導体基板（図示せず）に設けられている。

40

【 0 0 5 2 】

電極パッド 6 1 は、チップ本体 5 9 の上面 5 9 A 側に設けられている。電極パッド 6 1 は、多層配線構造体（図示せず）を介して、半導体素子（図示せず）と電氣的に接続されている。また、電極パッド 6 1 は、ワイヤ 6 3 を介して、配線パターン 2 1 と電氣的に接続（ワイヤボンディング接続）されている。

50

【0053】

ワイヤ63は、一方の端部が電極パッド61と接続されており、他方の端部が拡散防止膜51と電氣的に接続されている。封止樹脂16は、配線基板11上に設けられており、第1及び第2の半導体チップ14, 15とワイヤ63とを封止している。封止樹脂16としては、例えば、エポキシ系樹脂を用いることができる。

【0054】

本実施の形態の半導体装置によれば、金属層27の直下に位置する絶縁層26に、金属層27と接触すると共に、金属層27の下方に配置された配線パターン21(具体的には、ビア22及び配線24)と電氣的に接続される第1のビア28を設け、金属層27の直上に位置する絶縁層32に、金属層27と接触すると共に、金属層27の上方に配置された配線パターン21(具体的には、配線35, 36, 43, 46及びビア39, 41)と電氣的に接続される第2のビア33を設けたことにより、深さの浅い第1及び第2のビア28, 33を介して、金属層27の上方に配置された配線パターン21と、金属層27の下方に配置された配線パターン21との間が電氣的に接続される。これにより、配線パターン21及び金属層27と第1及び第2のビア28, 33との間の接触面積を十分に確保することが可能となるため、金属層27の上方に配置された配線パターン21と、金属層27の下方に配置された配線パターン21との間の電氣的な接続信頼性を向上させることができる。

10

【0055】

また、第2のビア33を第1のビア28と対向するように配置することにより、金属層27の下方に配置された配線パターン21と、金属層27の上方に配置された配線パターン21との間の接続距離を短くすることができる。

20

【0056】

図3~図28は、本発明の第1の実施の形態に係る半導体装置の製造工程を示す図である。図3~図28において、第1の実施の形態の半導体装置10と同一構成部分には同一符号を付す。また、図3~図27において、Eは半導体装置10が形成される領域(以下、「半導体装置形成領域E」とする)を示している。

【0057】

図3~図28を参照して、第1の実施の形態の半導体装置10の製造方法について説明する。なお、図3~図28では、支持板71上に複数の半導体装置10を製造する場合を例に挙げて説明する。

30

【0058】

始めに、図3に示す工程では、導電金属からなる支持板71上に開口部20Aを有した保護膜20を形成する。支持板71は、複数の半導体装置10を製造可能な支持板である。支持板71としては、例えば、Cu等の金属板または金属箔を用いることができる。開口部20Aは、パッド19の形成位置に対応している。保護膜20は、例えば、印刷法により形成することができる。保護膜20としては、例えば、ソルダーレジストを用いることができる。また、保護膜20の厚さは、例えば、20 μ mとすることができる。

【0059】

具体的には、例えば、印刷法により、Cu板上にソルダーレジストを塗布し、その後、開口部20Aの形成位置に対応するソルダーレジストを露光、現像することで、保護膜20を形成する。

40

【0060】

次いで、図4に示す工程では、開口部20Aにパッド19の高さ方向の位置を調整するための導電金属72を形成する。導電金属72としては、例えば、Cuを用いることができる。具体的には、支持板71を給電層とする電解めっき法により、開口部20Aに導電金属72を析出成長させる。

【0061】

次いで、図5に示すように、導電金属72上にパッド19を形成する。パッド19としては、例えば、導電金属72上にAu層、Pd層、Ni層を順次積層したNi/Pd/A

50

u積層膜を用いることができる。具体的には、電解めっき法により、導電金属72上にAu層、Pd層、Ni層を順次積層して、パッド19を形成する。

【0062】

次いで、図6に示す工程では、パッド19及び保護膜20を覆うように絶縁層18を形成する。絶縁層18は、例えば、印刷法や樹脂フィルムの積層により形成することができる。

絶縁層18としては、例えば、エポキシ系樹脂やポリイミド系樹脂等を用いることができる。保護膜20上における絶縁層18の厚さは、例えば、30 μ m~50 μ mとすることができる。

【0063】

次いで、図7に示す工程では、レーザ加工により、絶縁層18にパッド19上を露出する開口部18Cを形成する。次いで、図8に示す工程では、開口部18Cと絶縁層18の上面18Aとを覆うようにシード層74を形成する。シード層74は、無電解めっき法、スパッタ法、真空蒸着法等により形成できる。シード層74の材料としては、例えば、CuやNi等を用いることができる。

【0064】

次いで、図9に示す工程では、図8に示した構造体上に、シード層74を露出する開口部75Aを有したレジスト膜75を形成する。開口部75Aは、配線24の形状及び形成位置に対応している。

【0065】

次いで、図10に示す工程では、シード層74を給電層とする電解めっき法により、レジスト膜75の開口部75Aに露出されたシード層74上に導電金属77を形成する。これにより、開口部18Cにはシード層74及び導電金属77からなるビア22が形成され、絶縁層18上にはシード層74及び導電金属77からなる配線24が形成される。

【0066】

なお、この段階において、複数の配線24は、絶縁層18上に形成されたシード層74により隣り合う配線24と電氣的に接続されている。導電金属77としては、例えば、Cuを用いることができる。また、配線24の厚さは、例えば、20 μ mとすることができる。

【0067】

次いで、図11に示す工程では、レジスト膜75を除去する。次いで、図12に示す工程では、導電金属77に覆われていない不要なシード層74をエッチングにより除去する。これにより、複数の配線24は、隣り合う他の配線24と電氣的に分離される。

【0068】

次いで、図13に示す工程では、図12に示した構造体上に、配線24の上面を露出する開口部26Aを有した絶縁層26を形成する。開口部26Aは、第1のビア28の形状及び形成位置に対応している。絶縁層26は、例えば、印刷法や樹脂フィルムの積層により形成することができる。絶縁層26としては、例えば、エポキシ系樹脂やポリイミド系樹脂等を用いることができる。絶縁層18上における絶縁層26の厚さは、例えば、30 μ m~50 μ mとすることができる。

【0069】

次いで、図14に示す工程では、開口部26Aと絶縁層26の上面とを覆うようにシード層79を形成する。シード層79は、無電解めっき法、スパッタ法、真空蒸着法等により形成できる。シード層79の材料としては、例えば、Cu、Ni等を用いることができる。

【0070】

次いで、図15に示す工程では、図14に示した構造体上に、シード層79を露出する開口部80Aを有したレジスト膜80を形成する。開口部80Aは、金属層27の形状及び形成位置に対応している。

【0071】

10

20

30

40

50

次いで、図 16 に示す工程では、シード層 79 を給電層とする電解めっき法により、レジスト膜 80 の開口部 80 A に露出されたシード層 79 上に導電金属 82 を形成する（第 1 のビア及び金属層形成工程）。これにより、シード層 79 及び導電金属 82 からなる第 1 のビア 28 と、シード層 79 及び導電金属 82 からなる金属層 27 とが同時に形成される。導電金属 82 としては、例えば、Cu、Ni、Co、Fe、Ni-Co 合金、Ni-Fe 合金等を用いることができる。また、金属層 27 の厚さは、例えば、10 μm ~ 30 μm とすることができる。

【0072】

このように、電解めっき法により、第 1 のビア 28 と金属層 27 とを同時に形成することで、製造工程が簡略化されるので、半導体装置 10 及び配線基板 11 の製造コストを低減することができる。

10

【0073】

また、電解めっき法により金属層 27 を形成することで、金属層 27 の厚さが所望の厚さとなるように容易に調整することができる。

【0074】

次いで、図 17 に示す工程では、レジスト膜 80 を除去し、その後、導電金属 82 に覆われていない不要なシード層 79 を除去する。これにより、第 1 及び第 2 のビア 28, 33 と接触する金属層 27 部分は、他の金属層 27 部分と電氣的に分離される。

【0075】

次いで、図 18 に示す工程では、先に説明した図 6 及び図 7 の工程と同様な手法により、図 17 に示した構造体上に、金属層 27 を露出する開口部 32 A を有した絶縁層 32 を形成する。開口部 32 A は、第 2 のビア 33 を配設するためのものであり、第 2 のビア 33 の形状及び形成位置に対応している。開口部 32 A は、例えば、レーザ加工を用いて、第 1 のビア 28 と対向するように形成する。

20

【0076】

このように、第 2 のビア 33 が配設される開口部 32 A を第 1 のビア 28 と対向するように形成することにより、開口部 32 A を形成する際、レーザが金属層 27 を貫通した場合でも、第 1 のビア 28 内で開口部 32 A の底面及び側壁をストップさせることが可能となる。これにより、第 1 のビア 28 と第 2 のビア 33 との間の電氣的な接続が確保され、配線基板 11 の歩留まりを向上させることができる。

30

【0077】

絶縁層 32 は、例えば、印刷法や樹脂フィルムの積層により形成することができる。絶縁層 32 としては、例えば、エポキシ系樹脂やポリイミド系樹脂等を用いることができる。絶縁層 26 上における絶縁層 32 の厚さは、例えば、30 μm ~ 50 μm とすることができる。

【0078】

続いて、先に説明した図 8 ~ 図 12 の工程と同様な手法により、シード層 83 及び導電金属 84 からなる第 2 のビア 33 と、シード層 83 及び導電金属 84 からなる配線 35, 36 とを同時に形成する（第 2 のビア形成工程）。シード層 83 の材料としては、例えば、Cu、Ni 等を用いることができる。導電金属 84 としては、例えば、Cu を用いることができる。また、配線 35, 36 の厚さは、例えば、20 μm とすることができる。

40

【0079】

次いで、図 19 に示す工程では、先に説明した図 6 及び図 7 の工程と同様な手法により、図 18 に示した構造体上に開口部 38 A, 38 B を有した絶縁層 38 を形成する。開口部 38 A は、ビア 39 の形状及び形成位置に対応しており、ビア 39 を配設するためのものである。開口部 38 A は、配線 35 の上面を露出するように形成する。開口部 38 B は、ビア 41 の形状及び形成位置に対応しており、ビア 41 を配設するためのものである。開口部 38 B は、配線 36 の上面を露出するように形成する。絶縁層 38 は、例えば、印刷法や樹脂フィルムの積層により形成することができる。絶縁層 38 としては、例えば、エポキシ系樹脂やポリイミド系樹脂等を用いることができる。絶縁層 32 上の絶縁

50

層 38 の厚さは、例えば、 $30\ \mu\text{m}$ ~ $50\ \mu\text{m}$ とすることができる。

【0080】

続いて、先に説明した図 8 ~ 図 12 の工程と同様な手法により、シード層 86 及び導電金属 87 からなるビア 39, 41 と、シード層 86 及び導電金属 87 からなる配線 43, 46 とを同時に形成する。シード層 86 の材料としては、例えば、Cu、Ni 等を用いることができる。また、導電金属 87 としては、例えば、Cu を用いることができる。配線 43, 46 の厚さは、例えば、 $20\ \mu\text{m}$ とすることができる。

【0081】

次いで、図 20 に示す工程では、絶縁層 38 上に、接続部 44, 47 以外の配線 43, 46 部分を覆うように保護膜 49 を形成する。保護膜 49 は、例えば、印刷法により形成することができる。保護膜 49 としては、例えば、ソルダーレジストを用いることができる。保護膜 49 の厚さは、例えば、 $20\ \mu\text{m}$ とすることができる。次いで、図 21 に示す工程では、図 20 に示した構造体上に接続部 44 のみを露出する開口部 89A を有したレジスト膜 89 を形成する。

10

【0082】

次いで、図 22 に示す工程では、配線 43 を給電層とする電解めっき法により、接続部 44 上に拡散防止膜 51 を形成する。拡散防止膜 51 としては、例えば、接続部 44 上に、Ni 層、Au 層の順に積層した Ni / Au 積層膜を用いることができる。

【0083】

次いで、図 23 に示す工程では、レジスト膜 89 を除去する。次いで、図 24 に示す工程では、エッチングにより、支持板 71 及び導電金属 72 を除去する。これにより、配線基板 11 が製造される。

20

【0084】

次いで、図 25 に示す工程では、接続部 47 上にはんだ 57 を塗布し、はんだ 57 を溶融させた後、スタッドバンプ 56 を接続部 47 に接触させてスタッドバンプ 56 と接続部 47 とを接続する。これにより、第 1 の半導体チップ 14 は、配線基板 11 とフリップチップ接続される。続いて、第 1 の半導体チップ 14 と配線基板 11 との間にアンダーフィル樹脂 58 を充填する。

【0085】

次いで、図 26 に示す工程では、接着材 62 により、第 1 の半導体チップ 14 上に第 2 の半導体チップ 15 を接着する。続いて、電極パッド 61 と拡散防止膜 51 との間を電氣的に接続するワイヤ 63 を形成する。これにより、第 2 の半導体チップ 15 は、配線基板 11 に対してワイヤボンディング接続される。

30

【0086】

次いで、図 27 に示す工程では、図 26 に示した構造体上に、第 1 及び第 2 の半導体チップ 14, 15 とワイヤ 63 とを封止するように封止樹脂 16 を形成する。封止樹脂 16 は、例えば、トランスファーマールド法により形成することができる。封止樹脂 16 としては、例えば、エポキシ系樹脂を用いることができる。

【0087】

次いで、図 28 に示す工程では、パッド 19 に外部接続端子 12 を形成し、その後、ダイシングにより、半導体装置形成領域 E の外形位置 (図 27 参照) に対応する封止樹脂 16 及び絶縁層 18, 26, 32, 38 を切断して、複数の半導体装置 10 を製造する。

40

【0088】

本実施の形態の製造方法によれば、電解めっき法を用いて、第 1 のビア 28 と金属層 27 とを同時に形成することにより、製造工程を簡略化して、半導体装置 10 及び配線基板 11 の製造コストを低減することができる。

【0089】

また、第 2 のビア 33 が配設される開口部 32A を第 1 のビア 28 と対向するように形成することにより、レーザが金属層 27 を貫通した場合でも、第 1 のビア 28 内で開口部 32A の底面及び側壁をストップさせることが可能となるため、第 1 のビア 28 と第 2 の

50

ビア 3 3 との間の電氣的な接続が確保され、配線基板 1 1 の歩留まりを向上させることができる。

【 0 0 9 0 】

なお、支持板 7 1 及び導電金属 7 2 の除去は、配線基板 1 1 上に第 1 及び第 2 の半導体チップ 1 4 , 1 5 を実装して封止樹脂 1 6 を形成した後に行なってもよい。

【 0 0 9 1 】

(第 2 の実施の形態)

図 2 9 は、本発明の第 2 の実施の形態に係る半導体装置の断面図である。図 2 9 において、第 1 の実施の形態の半導体装置 1 0 と同一構成部分には同一符号を付す。

【 0 0 9 2 】

図 2 9 を参照して、本発明の第 2 の実施の形態に係る半導体装置 9 5 について説明する。半導体装置 9 5 は、外部接続端子 1 2 と、第 1 の半導体チップ 1 4 と、第 2 の半導体チップ 1 5 と、封止樹脂 1 6 と、金属層 9 7 を備えた配線基板 9 6 とを有する。半導体装置 9 5 は、第 1 の実施の形態の半導体装置 1 0 に設けられた金属層 2 7 の代わりに金属層 9 7 を設けた以外は半導体装置 1 0 と同様に構成される。

【 0 0 9 3 】

図 3 0 は、図 2 9 に示した領域 A に対応する金属層の平面図である。

【 0 0 9 4 】

図 2 9 及び図 3 0 を参照するに、金属層 9 7 は、絶縁層 2 6 上に設けられている。金属層 9 7 は、複数の貫通孔 9 7 A (第 1 の貫通孔) を有した以外は、第 1 の実施の形態で説明した金属層 2 7 と同様に構成される。複数の貫通孔 9 7 A は、金属層 9 7 の全面に亘って形成されている。複数の貫通孔 9 7 A は、例えば、千鳥状、或いは、格子状に配置することができる。図 3 0 では、複数の貫通孔 9 7 A を千鳥状に配置した場合を図示している。貫通孔 9 7 A は、例えば、円柱、四角柱等の形状とすることができる。貫通孔 9 7 A の形状が円柱の場合、貫通孔 9 7 A の直径は、例えば、 $30\ \mu\text{m} \sim 300\ \mu\text{m}$ とすることができる。

【 0 0 9 5 】

本実施の形態の半導体装置によれば、金属層 2 7 の代わりに複数の貫通孔 9 7 A を有した金属層 9 7 を絶縁層 2 6 上に設けることにより、複数の貫通孔 9 7 A 内を絶縁層 3 2 で充填して、絶縁層 2 6 と絶縁層 3 2 との接触面積を増加させて、絶縁層 2 6 , 3 2 間の密着性を向上させることができる。

【 0 0 9 6 】

また、複数の貫通孔 9 7 A は、製造時に絶縁層 1 8 , 2 6 , 3 2 , 3 8 から発生するガスを放出するためのガス抜き孔として利用することができる。

【 0 0 9 7 】

図 3 1 及び図 3 2 は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図である。図 3 3 は、図 3 1 に示した領域 D に対応するレジスト膜の平面図である。図 3 1 ~ 図 3 3 において、第 2 の実施の形態の半導体装置 9 5 と同一構成部分には同一符号を付す。

【 0 0 9 8 】

図 3 1 ~ 図 3 3 を参照して、本発明の第 2 の実施の形態に係る半導体装置 9 5 の製造方法について説明する。

【 0 0 9 9 】

始めに、先に説明した図 3 ~ 図 1 4 に示した工程と同様な手法により、図 1 4 に示した構造体を形成する。次いで、図 3 1 に示す工程では、図 1 4 に示した構造体上に、第 1 及び第 2 のパターン 9 9 A , 9 9 B を有するレジストパターン 9 9 を形成する (図 3 3 参照) 。第 1 のパターン 9 9 A は、金属層 9 7 の外形位置に対応するパターンである。第 2 のパターン 9 9 B は、貫通孔 9 7 A の形状及び形成位置に対応するパターンである。

【 0 1 0 0 】

次いで、図 3 2 に示す工程では、シード層 7 9 を給電層とする電解めっき法により、レ

10

20

30

40

50

ジストパターン 99 から露出されたシード層 79 上に導電金属 82 を形成する。これにより、シード層 79 及び導電金属 82 からなる第 1 のビア 28 と、シード層 79 及び導電金属 82 からなる金属層 97 とが同時に形成される。金属層 97 の厚さは、例えば、10 μ m ~ 30 μ m とすることができる。

【0101】

その後、先に説明した図 17 ~ 図 28 の工程と同様な処理を行って、半導体装置 95 を製造する。

【0102】

本実施の形態の製造方法によれば、電解めっき法により、第 1 のビア 28 と金属層 97 とを同時に形成することで、製造工程が簡略化されるので、半導体装置 95 及び配線基板 96 の製造コストを低減することができる。また、電解めっき法により金属層 27 を形成することで、金属層 97 が所望の厚さとなるように容易に調整することができる。

【0103】

(第 3 の実施の形態)

図 34 は、本発明の第 3 の実施の形態に係る半導体装置の断面図である。図 34 において、B は配線基板 106 の第 1 及び第 2 の半導体チップ 14, 15 が実装される領域(以下、「実装領域 B」とする)を示している。また、図 34 において、第 2 の実施の形態の半導体装置 95 と同一構成部分には同一符号を付す。

【0104】

図 34 を参照して、本発明の第 3 の実施の形態に係る半導体装置 105 について説明する。半導体装置 105 は、外部接続端子 12 と、第 1 の半導体チップ 14 と、第 2 の半導体チップ 15 と、封止樹脂 16 と、金属層 107 を備えた配線基板 106 とを有する。半導体装置 105 は、第 2 の実施の形態の半導体装置 95 に設けられた金属層 97 の代わりに金属層 107 を設けた以外は半導体装置 95 と同様に構成される。金属層 107 は、第 1 及び第 2 の半導体チップ 14, 15 の実装領域 B よりも外側に位置する金属層 107 にも複数の貫通孔 97A を設けた以外は、金属層 97 と同様に構成される。

【0105】

本実施の形態の半導体装置によれば、第 1 及び第 2 の半導体チップ 14, 15 の実装領域 B よりも外側に位置する金属層 107 に複数の貫通孔 97A を設けることにより、配線基板 106 の剛性を確保した状態で、絶縁層 26, 32 間の密着性を向上させることができる。

【0106】

また、配線基板 106 の剛性が確保されることにより、配線基板 106 に第 1 及び第 2 の半導体チップ 14, 15 を精度良く実装することができる。

【0107】

なお、本実施の形態の半導体装置 105 は、第 2 の実施の形態の半導体装置 95 と同様な手法により製造することができる。

【0108】

(第 4 の実施の形態)

図 35 は、本発明の第 4 の実施の形態に係る半導体装置の断面図である。図 35 において、C は金属層 27 の第 1 及び第 2 の半導体チップ 14, 15 と対向する領域(以下、「対向領域 C」とする)を示している。また、図 35 において、第 1 の実施の形態の半導体装置 10 と同一構成部分には同一符号を付す。

【0109】

図 35 を参照して、本発明の第 4 の実施の形態に係る半導体装置 110 について説明する。半導体装置 110 は、外部接続端子 12 と、第 1 の半導体チップ 14 と、第 2 の半導体チップ 15 と、封止樹脂 16 と、金属層 27 及び熱膨張係数緩和部材 112 を備えた配線基板 111 とを有する。半導体装置 110 は、第 1 の実施の形態の半導体装置 10 の構成にさらに熱膨張係数緩和部材 112 を設けた以外は、半導体装置 10 と同様に構成される。

10

20

30

40

50

【0110】

熱膨張係数緩和部材112は、第1及び第2の半導体チップ14, 15と対向する金属層27の対向領域C上に設けられている。熱膨張係数緩和部材112は、第1及び第2の半導体チップ14, 15の半導体基板(図示せず)と略等しい熱膨張係数を有する部材である。金属層27の材料がCuの場合、熱膨張係数緩和部材112の材料としては、例えば、Ni、Co、Fe、Ni、Ni-Fe等を用いることができる。また、熱膨張係数緩和部材112の厚さは、例えば、10 μ m~20 μ mとすることができる。

【0111】

本実施の形態の半導体装置によれば、第1及び第2の半導体チップ14, 15と対向する金属層27の対向領域C上に、第1及び第2の半導体チップ14, 15の半導体基板(図示せず)と略等しい熱膨張係数を有する熱膨張係数緩和部材112を設けることにより、第1及び第2の半導体チップ14, 15と配線基板111との間の熱膨張係数の差が小さくなるため、半導体装置110の反りを抑制できる。さらに、第1及び第2の半導体チップ14, 15の破損を防止することができる。

10

【0112】

図36~図38は、本発明の第4の実施の形態に係る半導体装置の製造工程を示す図である。図36~図38において、第4の実施の形態で説明した半導体装置110と同一構成部分には同一符号を付す。

【0113】

図36~図38を参照して、本発明の第4の実施の形態に係る半導体装置110の製造方法について説明する。

20

【0114】

始めに、先に説明した図3~図17に示した工程と同様な手法により、図17に示す構造体を形成する。次いで、図36に示す工程では、図17に示した構造体上に、金属層27の対向領域Cを露出する開口部114Aを有したレジスト膜114を形成する。

【0115】

次いで、図37に示す工程では、金属層27を給電層とする電解めっき法により、金属層27の対向領域C上に熱膨張係数緩和部材112を形成する。金属層27の材料がCuの場合、熱膨張係数緩和部材112の材料としては、例えば、Ni、Co、Fe、Ni、Ni-Fe等を用いることができる。また、熱膨張係数緩和部材112の厚さは、例えば、10 μ m~20 μ mとすることができる。

30

【0116】

次いで、図38に示す工程では、レジスト膜114を除去する。その後、先に説明した図18~図28の工程と同様な処理を行うことで、半導体装置110を製造することができる。

【0117】

なお、本実施の形態では、熱膨張係数緩和部材112を金属層27上に設けた場合を例に挙げて説明したが、熱膨張係数緩和部材112は、金属層27の下面と接触するように設けてもよい。さらに、熱膨張係数緩和部材112は、半導体チップ14, 15と対向する絶縁層18, 26, 32, 38部分に設けてもよい。

40

【0118】

(第5の実施の形態)

図39は、本発明の第5の実施の形態に係る半導体装置の断面図である。図39において、第2の実施の形態の半導体装置95と同一構成部分には同一符号を付す。

【0119】

図39を参照して、本発明の第5の実施の形態に係る半導体装置115について説明する。半導体装置115は、外部接続端子12と、第1の半導体チップ14と、第2の半導体チップ15と、封止樹脂16と、金属層97及び熱膨張係数緩和部材117を備えた配線基板116とを有する。半導体装置115は、第2の実施の形態の半導体装置95の構成にさらに熱膨張係数緩和部材117を設けた以外は、半導体装置95と同様に構成され

50

る。

【0120】

熱膨張係数緩和部材117は、第1及び第2の半導体チップ14, 15と対向する金属層97の対向領域C上に設けられている。熱膨張係数緩和部材117は、第1及び第2の半導体チップ14, 15の半導体基板(図示せず)と略等しい熱膨張係数を有する部材であり、複数の貫通孔117A(第2の貫通孔)を有する。複数の貫通孔117Aは、金属層97に設けられた貫通孔97Aと対向するように配置されている。貫通孔117Aの形状及び直径は、貫通孔97Aと略等しくなるように構成されている。

【0121】

金属層97の材料がCuの場合、熱膨張係数緩和部材117の材料としては、例えば、Ni、Co、Fe、Ni、Ni-Fe等を用いることができる。また、熱膨張係数緩和部材117の厚さは、例えば、10 μ m~20 μ mとすることができる。

【0122】

本実施の形態の半導体装置によれば、第1及び第2の半導体チップ14, 15と対向する金属層97の対向領域C上に、金属層97の貫通孔97Aと対向する貫通孔117Aを備えると共に、第1及び第2の半導体チップ14, 15に設けられた半導体基板(図示せず)と熱膨張係数の略等しい熱膨張係数緩和部材117を設けることにより、半導体装置115の反りを抑制できると共に、絶縁層26, 32間の密着性を向上させることができる。

【0123】

また、複数の貫通孔97A, 117Aを設けることにより、製造時に絶縁層18, 26, 32, 38から発生するガスを放出することができる。

【0124】

図40~図42は、本発明の第5の実施の形態に係る半導体装置の製造工程を示す図であり、図43は、図41に示す構造体をF視した図である。図40~図43において、第5の実施の形態で説明した半導体装置115と同一構成部分には同一符号を付す。

【0125】

図40~図43を参照して、本発明の第5の実施の形態に係る半導体装置115の製造方法について説明する。

【0126】

始めに、先に説明した図3~図14、図31、及び図32に示した工程と同様な手法により、図32に示す構造体を形成する。

【0127】

次いで、図40に示す工程では、レジストパターン99を除去する。次いで、図41に示す工程では、熱膨張係数緩和部材117の外形及び形成位置に対応する第1のパターン119Aと、貫通孔117Aの形状及び形成位置に対応する第2のパターン119Bとを有するレジストパターン119を形成する(図43参照)。

【0128】

次いで、図42に示す工程では、金属層97を給電層とする電解めっき法により、金属層97の対向領域C上に貫通孔117Aを有する熱膨張係数緩和部材117を形成する。金属層97の材料がCuの場合、熱膨張係数緩和部材117の材料としては、例えば、Ni、Co、Fe、Ni、Ni-Fe等を用いることができる。また、熱膨張係数緩和部材117の厚さは、例えば、10 μ m~20 μ mとすることができる。その後、先に説明した図17~図28の工程と同様な処理を行うことで、半導体装置115を製造することができる。

【0129】

なお、本実施の形態では、熱膨張係数緩和部材117を金属層97上に設けた場合を例に挙げて説明したが、熱膨張係数緩和部材117は、金属層97の下面と接触するように設けてもよい。さらに、熱膨張係数緩和部材117は、半導体チップ14, 15と対向する絶縁層18, 26, 32, 38部分に設けてもよい。

10

20

30

40

50

【0130】

(第6の実施の形態)

図44は、本発明の第6の実施の形態に係る半導体装置の断面図である。図44において、第3の実施の形態の半導体装置105と同一構成部分には同一符号を付す。

【0131】

図44を参照して、本発明の第6の実施の形態に係る半導体装置125について説明する。半導体装置125は、外部接続端子12と、第1の半導体チップ14と、第2の半導体チップ15と、封止樹脂16と、金属層107及び熱膨張係数緩和部材112を備えた配線基板126とを有する。半導体装置125は、第3の実施の形態の半導体装置105の構成に、さらに第4の実施の形態で説明した熱膨張係数緩和部材112を設けた以外は、半導体装置105と同様に構成される。

10

【0132】

本実施の形態の半導体装置によれば、第1及び第2の半導体チップ14、15の実装領域Bよりも外側に複数の貫通孔107Aを備えた金属層107上に、熱膨張係数緩和部材112を設けてもよく、このような構成とされた半導体装置125においても第4の実施の形態の半導体装置110と同様な効果を得ることができる。

【0133】

半導体装置125は、第3の実施の形態の半導体装置105の製造方法と、第4の半導体装置110の製造方法とを組み合わせることで製造することができる。

【0134】

なお、本実施の形態では、熱膨張係数緩和部材112を金属層107上に設けた場合を例に挙げて説明したが、熱膨張係数緩和部材112は、金属層107の下面と接触するように設けてもよい。さらに、熱膨張係数緩和部材112は、半導体チップ14、15と対向する絶縁層18、26、32、38部分に設けてもよい。

20

【0135】

以上、本発明の好ましい実施例について詳述したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【0136】

なお、第1～第6の実施の形態の半導体装置10、95、105、110、115、125では、パッド19に外部接続端子12としてはんだボールを設けた場合を例に挙げて説明したが、第1～第6の実施の形態は、はんだボールの代わりにピンを備えたPGA(Pin Grid Array)にも適用可能である。また、第1～第6の実施の形態は、外部接続端子12を備えていないLGA(Land Grid Array)にも適用可能である。LGA(Land Grid Array)の場合、パッド19が外部接続端子12の機能を奏する。

30

【0137】

さらに、第1～第6の実施の形態に示した配線基板11、96、106、111、116、126に実装する半導体チップの数は、1つでも、3つ以上でもよい。

【産業上の利用可能性】

40

【0138】

本発明は、配線基板の反りを抑制すると共に、電気的な接続信頼性を向上させることのできる配線基板、半導体装置、及び配線基板の製造方法に適用できる。

【図面の簡単な説明】

【0139】

【図1】従来のコアレス基板の断面図である。

【図2】本発明の第1の実施の形態に係る半導体装置の断面図である。

【図3】本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その1)である。

【図4】本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その2)であ

50

る。

【図 5】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 3）である。

【図 6】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 4）である。

【図 7】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 5）である。

【図 8】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 6）である。

【図 9】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 7）である。 10

【図 10】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 8）である。

【図 11】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 9）である。

【図 12】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 10）である。

【図 13】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 11）である。

【図 14】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 12） 20

である。

【図 15】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 13）である。

【図 16】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 14）である。

【図 17】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 15）である。

【図 18】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 16）である。

【図 19】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 17） 30

である。

【図 20】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 18）である。

【図 21】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 19）である。

【図 22】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 20） 40

である。

【図 23】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 21）である。

【図 24】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 22） 40

である。

【図 25】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 23）である。

【図 26】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 24）である。

【図 27】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 25）である。

【図 28】本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図（その 26）である。

【図 29】本発明の第 2 の実施の形態に係る半導体装置の断面図である。 50

【図 3 0】図 2 9 に示した領域 A に対応する金属層の平面図である。

【図 3 1】本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図（その 1）である。

【図 3 2】本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図（その 2）である。

【図 3 3】図 3 1 に示した領域 D に対応するレジスト膜の平面図である。

【図 3 4】本発明の第 3 の実施の形態に係る半導体装置の断面図である。

【図 3 5】本発明の第 4 の実施の形態に係る半導体装置の断面図である。

【図 3 6】本発明の第 4 の実施の形態に係る半導体装置の製造工程を示す図（その 1）である。

【図 3 7】本発明の第 4 の実施の形態に係る半導体装置の製造工程を示す図（その 2）である。

【図 3 8】本発明の第 4 の実施の形態に係る半導体装置の製造工程を示す図（その 3）である。

【図 3 9】本発明の第 5 の実施の形態に係る半導体装置の断面図である。

【図 4 0】本発明の第 5 の実施の形態に係る半導体装置の製造工程を示す図（その 1）である。

【図 4 1】本発明の第 5 の実施の形態に係る半導体装置の製造工程を示す図（その 2）である。

【図 4 2】本発明の第 5 の実施の形態に係る半導体装置の製造工程を示す図（その 3）である。

【図 4 3】図 4 1 に示す構造体を F 視した図である。

【図 4 4】本発明の第 6 の実施の形態に係る半導体装置の断面図である。

【符号の説明】

【0 1 4 0】

1 0 , 9 5 , 1 0 5 , 1 1 0 , 1 1 5 , 1 2 5 半導体装置

1 1 , 9 6 , 1 0 6 , 1 1 1 , 1 1 6 , 1 2 6 配線基板

1 2 外部接続端子

1 4 第 1 の半導体チップ

1 5 第 2 の半導体チップ

1 6 封止樹脂

1 8 , 2 6 , 3 2 , 3 8 絶縁層

1 8 A , 5 3 A , 5 9 A 上面

1 8 B , 5 3 B , 5 9 B 下面

1 8 C , 2 0 A , 2 6 A , 3 2 A , 3 8 A , 3 8 B , 7 5 A , 8 0 A , 8 9 A , 9 7 A , 1 1 4 A 開口部

1 9 パッド

1 9 A 面

2 0 , 4 9 保護膜

2 1 配線パターン

2 2 , 3 9 , 4 1 ビア

2 4 , 3 5 , 3 6 , 4 3 , 4 6 配線

2 7 , 9 7 , 1 0 7 金属層

2 8 第 1 のビア

3 3 第 2 のビア

4 4 , 4 7 接続部

5 1 拡散防止膜

5 3 , 5 9 チップ本体

5 4 , 6 1 電極パッド

5 6 スタッドバンプ

10

20

30

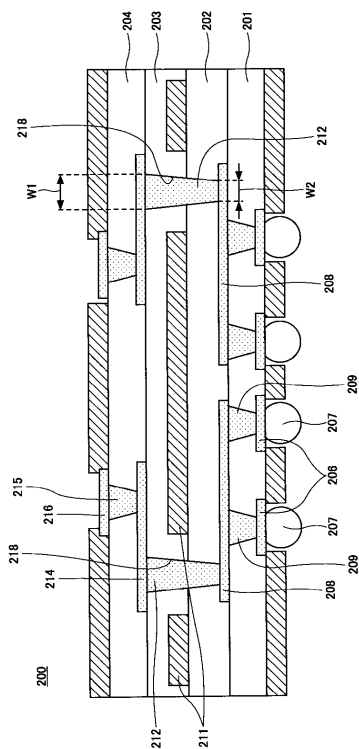
40

50

- 57 はんだ
- 58 アンダーフィル樹脂
- 62 接着材
- 63 ワイヤ
- 71 支持板
- 72, 77, 82, 84, 87 導電金属
- 74, 79, 83, 86 シード層
- 75, 80, 89, 114 レジスト膜
- 97A, 117A 貫通孔
- 99, 119 レジストパターン
- 99A, 119A 第1のパターン
- 99B, 119B 第2のパターン
- 112, 117 熱膨張係数緩和部材
- A, D 領域
- B 実装領域
- C 対向領域
- E 半導体装置形成領域

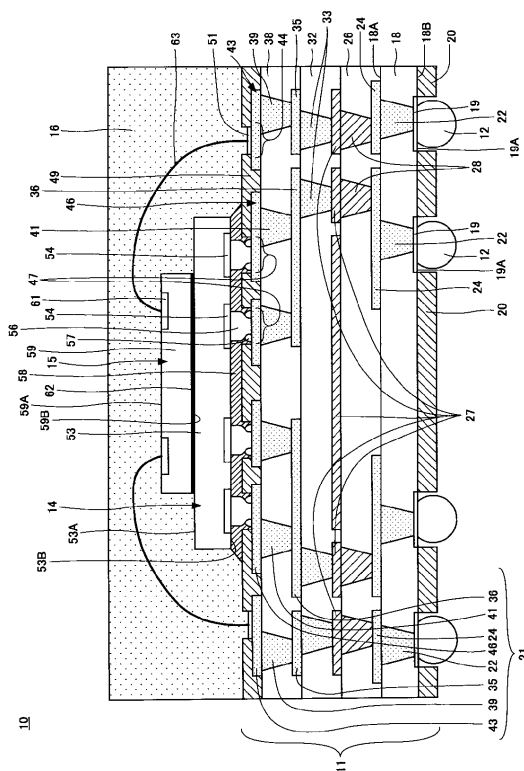
【図1】

従来のコアレス基板の断面図



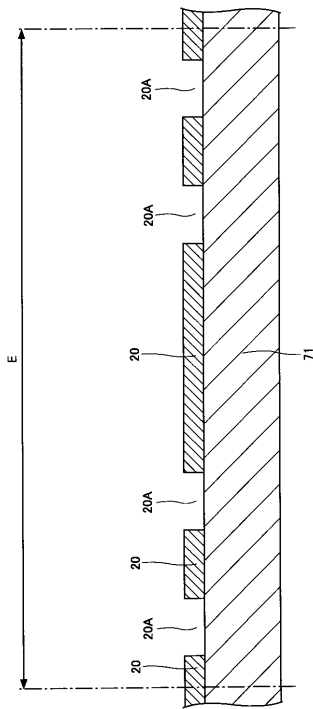
【図2】

本発明の第1の実施の形態に係る半導体装置の断面図



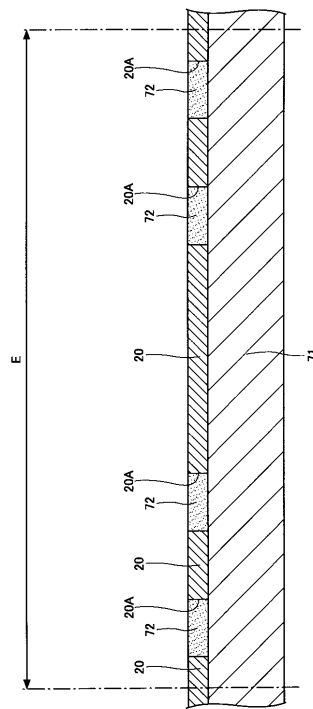
【 図 3 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その1)



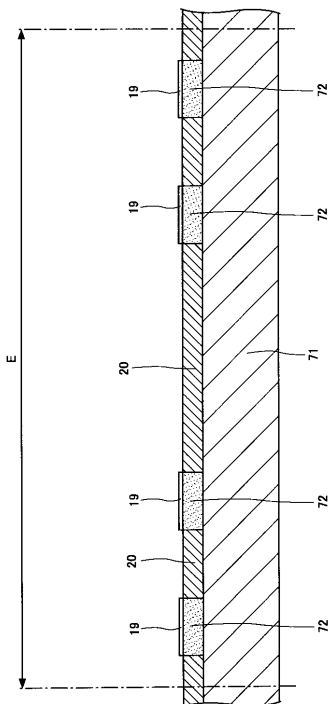
【 図 4 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その2)



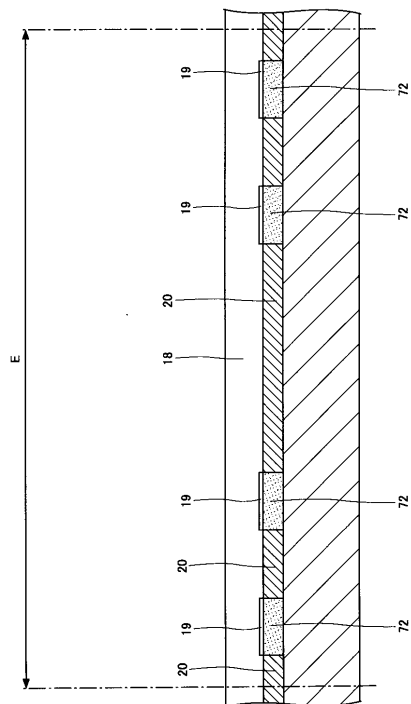
【 図 5 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その3)



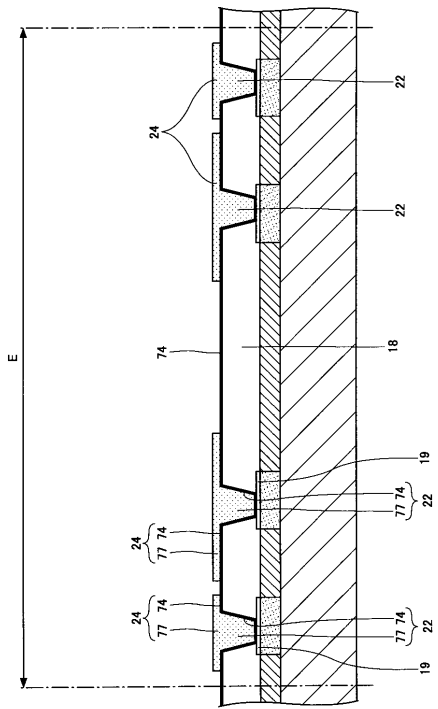
【 図 6 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その4)



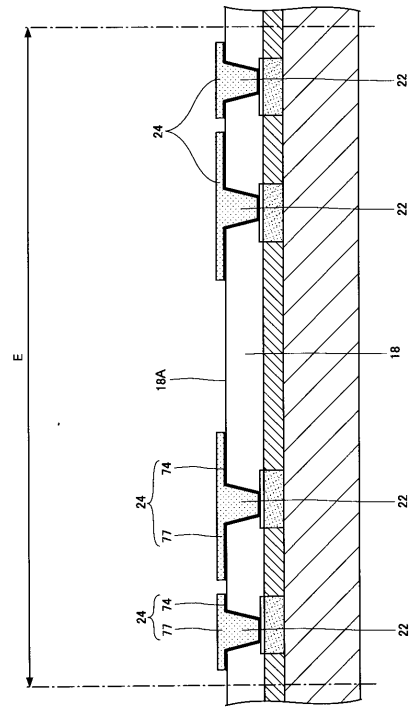
【 図 1 1 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その9)



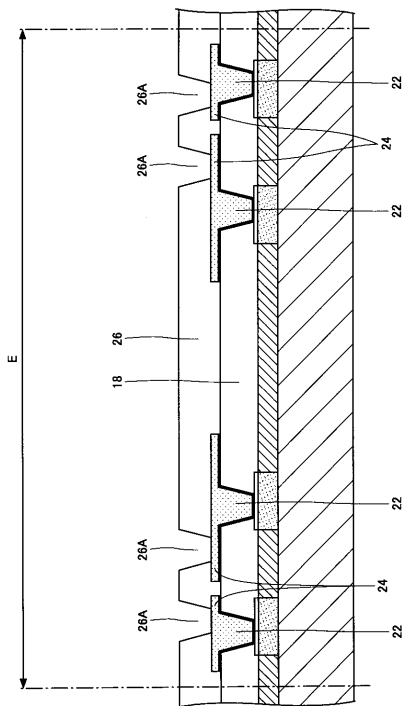
【 図 1 2 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その10)



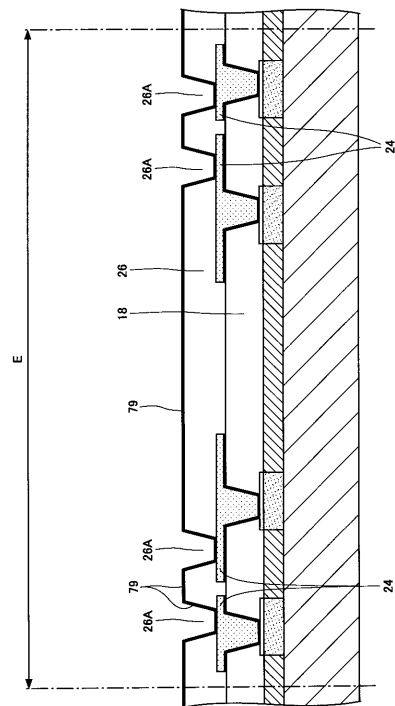
【 図 1 3 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その11)



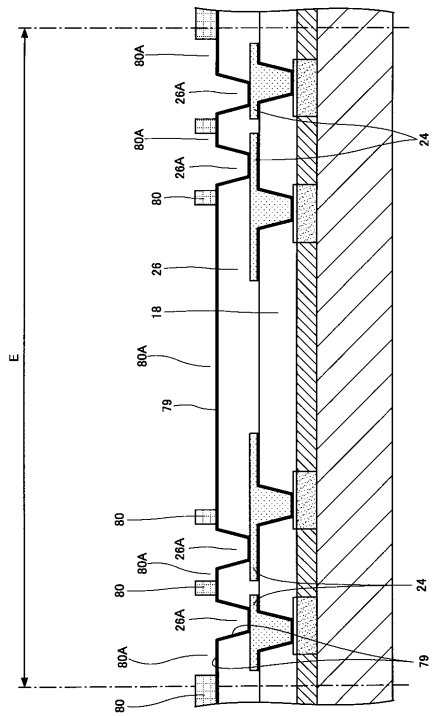
【 図 1 4 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その12)



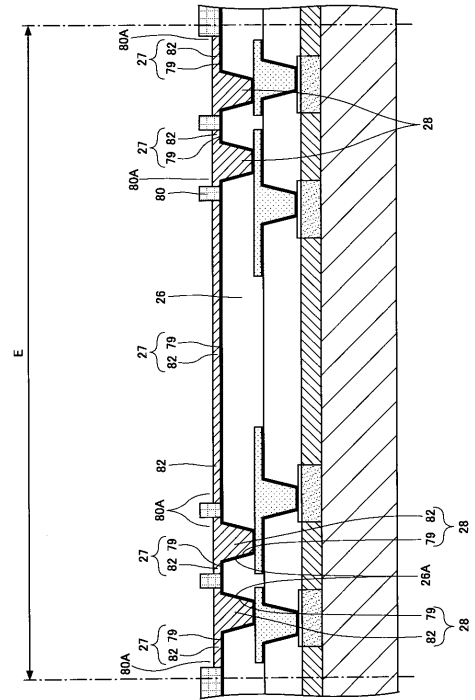
【 図 1 5 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その13)



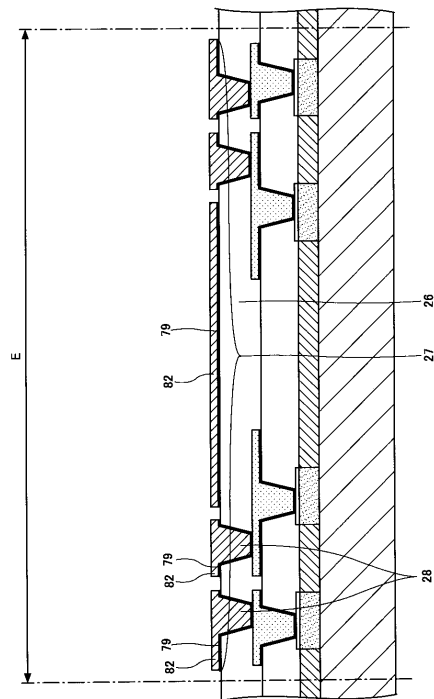
【 図 1 6 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その14)



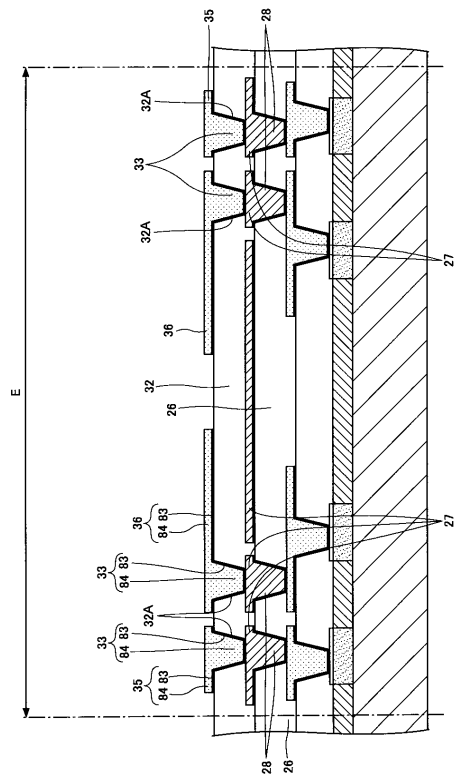
【 図 1 7 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その15)



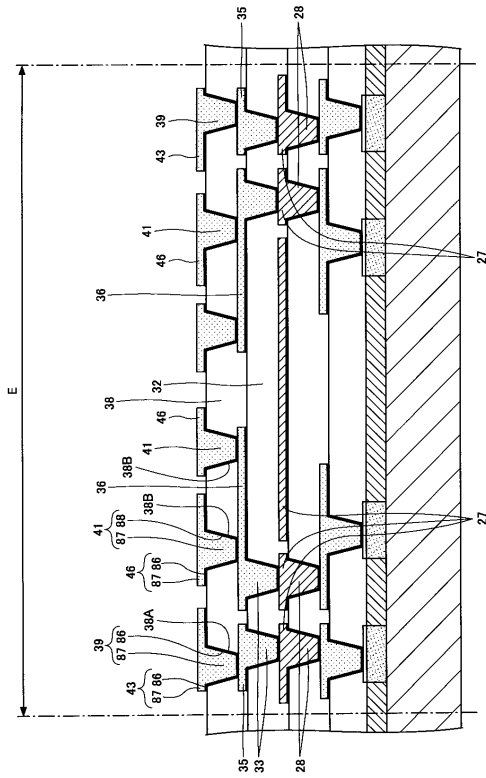
【 図 1 8 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その16)



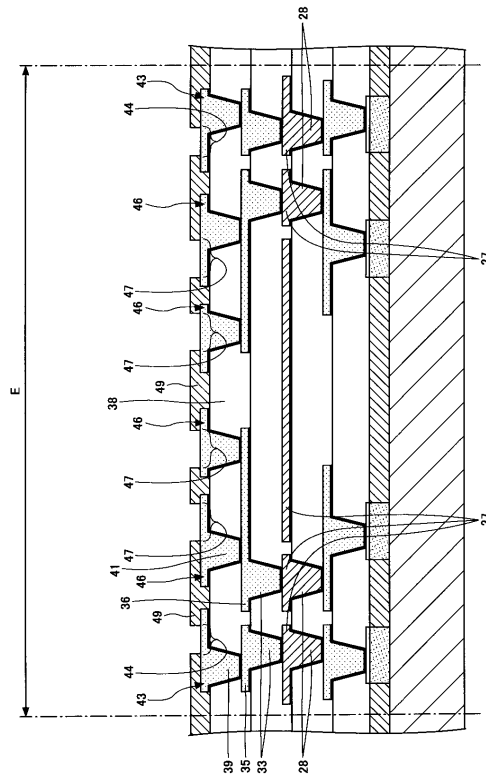
【 図 1 9 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その17)



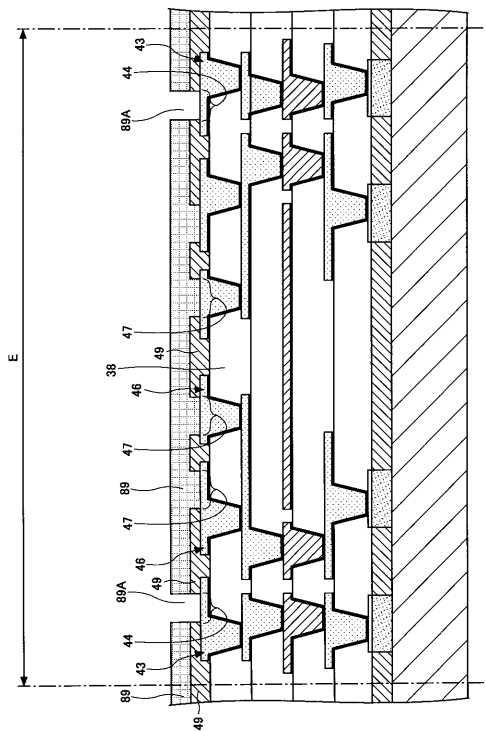
【 図 2 0 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その18)



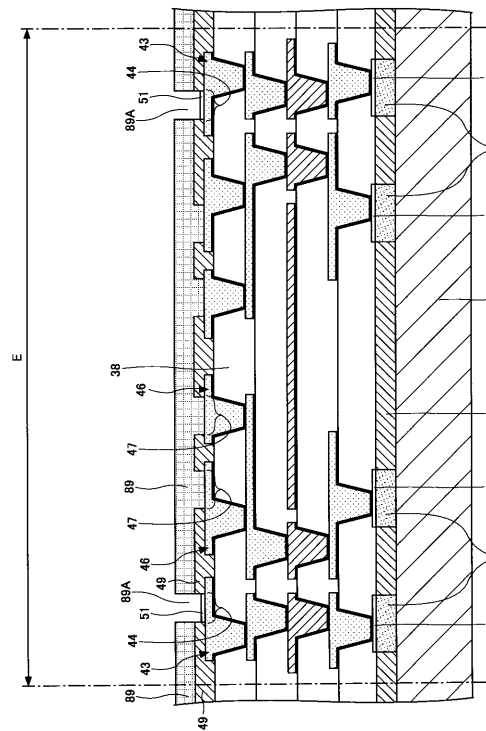
【 図 2 1 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その19)



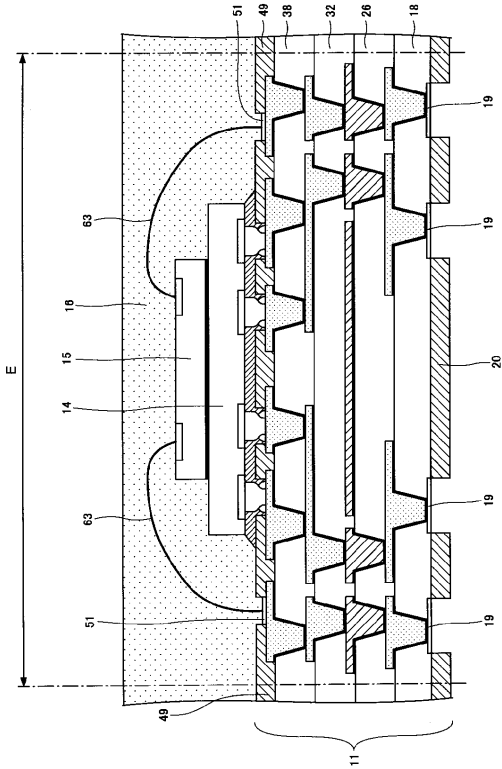
【 図 2 2 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その20)



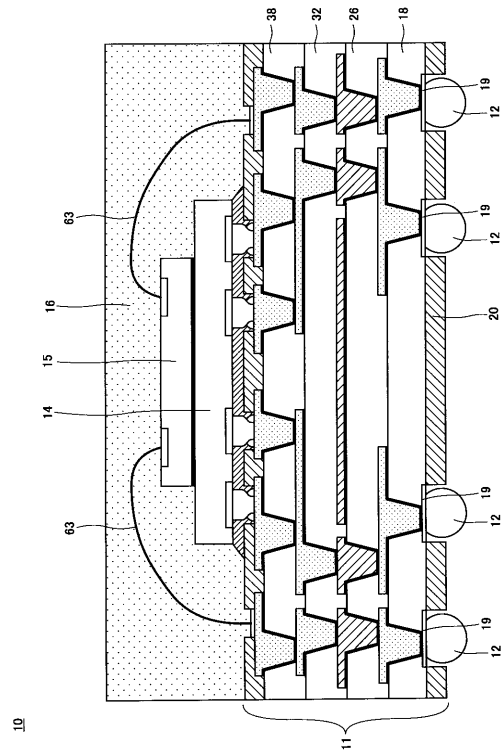
【 図 2 7 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その25)



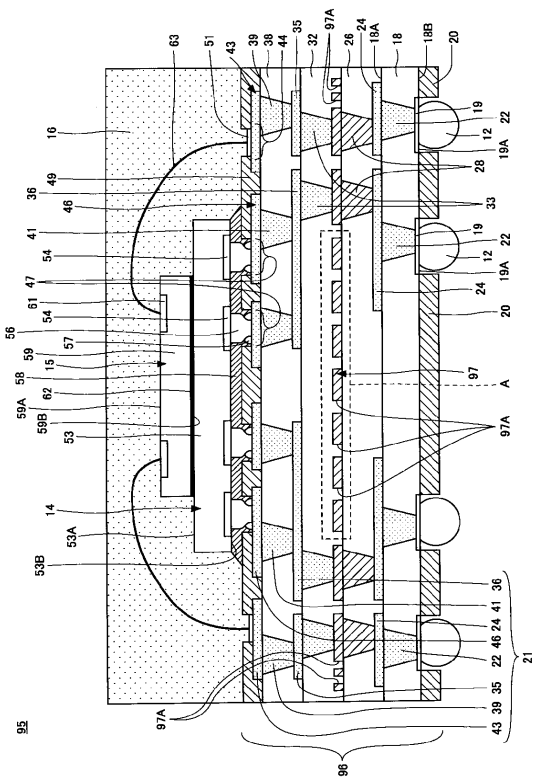
【 図 2 8 】

本発明の第1の実施の形態に係る半導体装置の製造工程を示す図(その26)



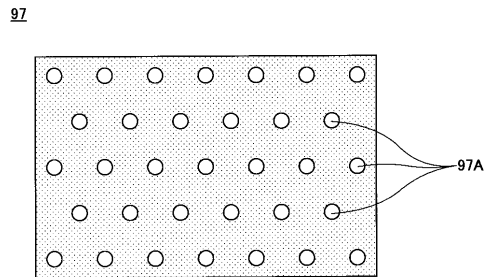
【 図 2 9 】

本発明の第2の実施の形態に係る半導体装置の断面図



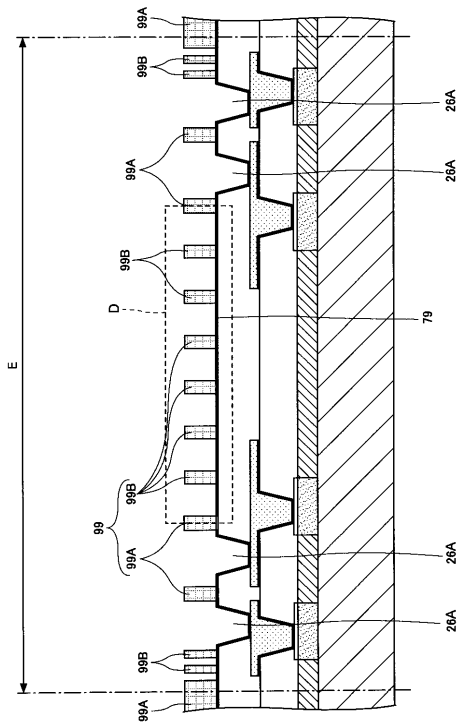
【 図 3 0 】

図29に示した領域Aに対応する金属層の平面図



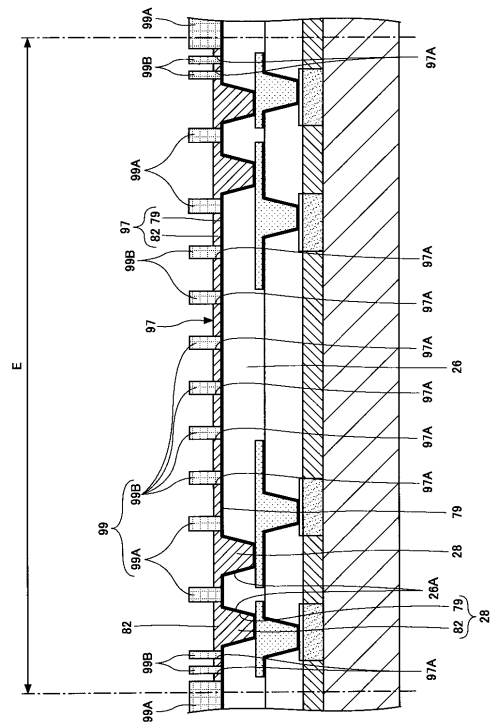
【 図 3 1 】

本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その1)



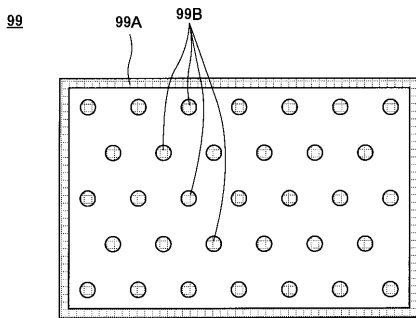
【 図 3 2 】

本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その2)



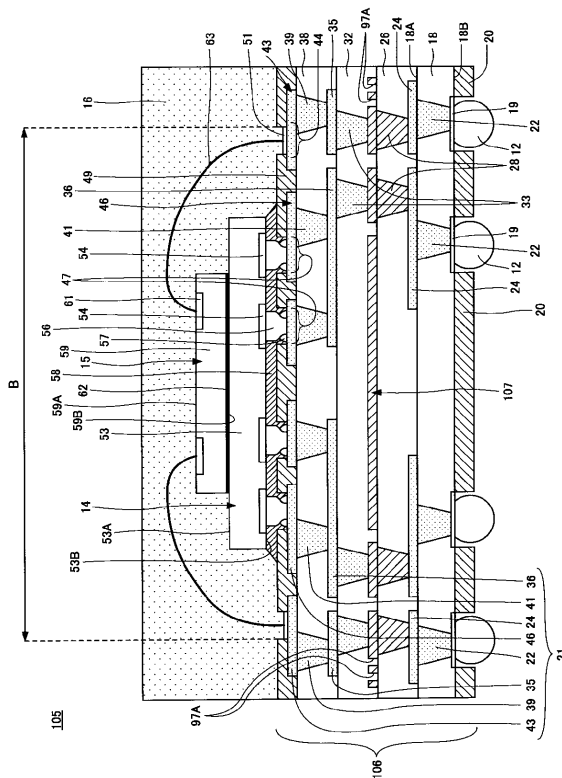
【 図 3 3 】

図31に示した領域Dに対応するレジスト膜の平面図



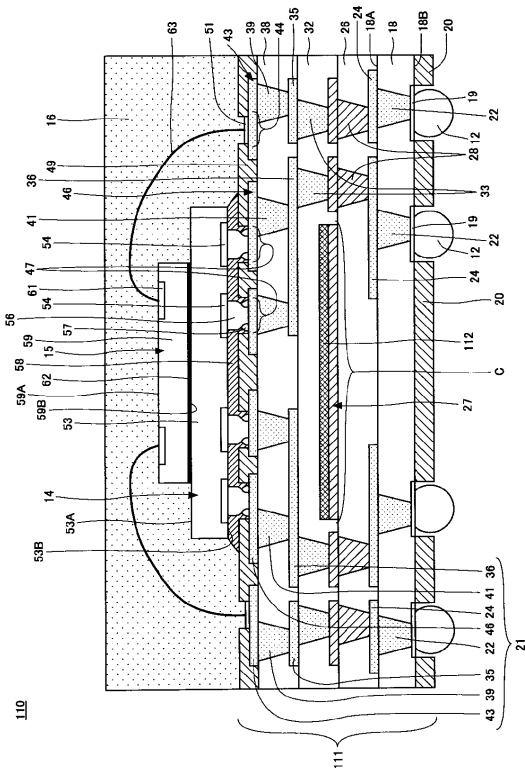
【 図 3 4 】

本発明の第3の実施の形態に係る半導体装置の断面図



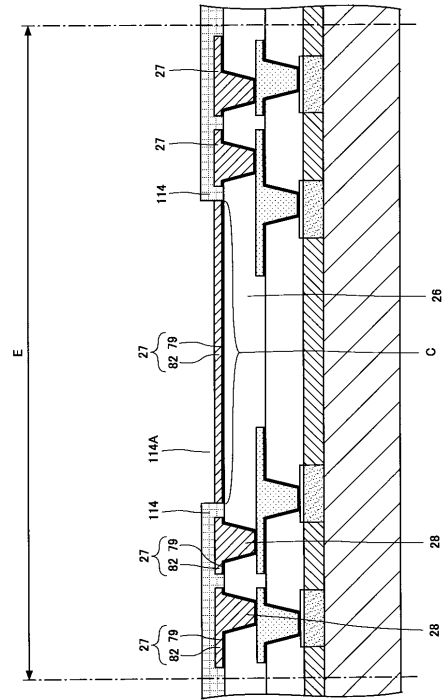
【 図 3 5 】

本発明の第4の実施の形態に係る半導体装置の断面図



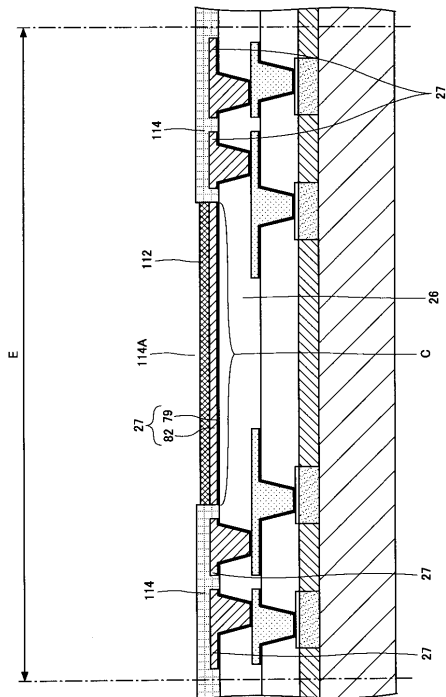
【 図 3 6 】

本発明の第4の実施の形態に係る半導体装置の製造工程を示す図(その1)



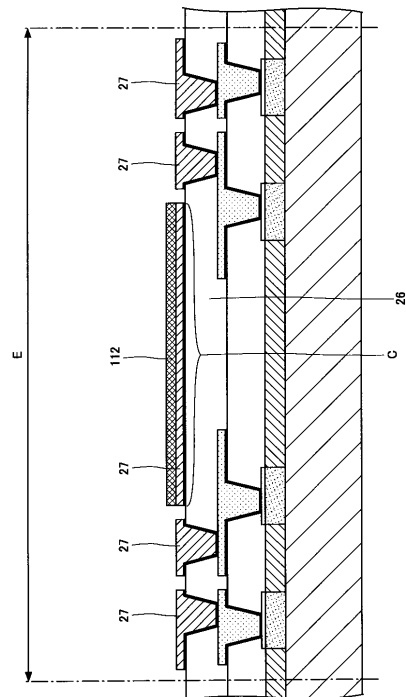
【 図 3 7 】

本発明の第4の実施の形態に係る半導体装置の製造工程を示す図(その2)



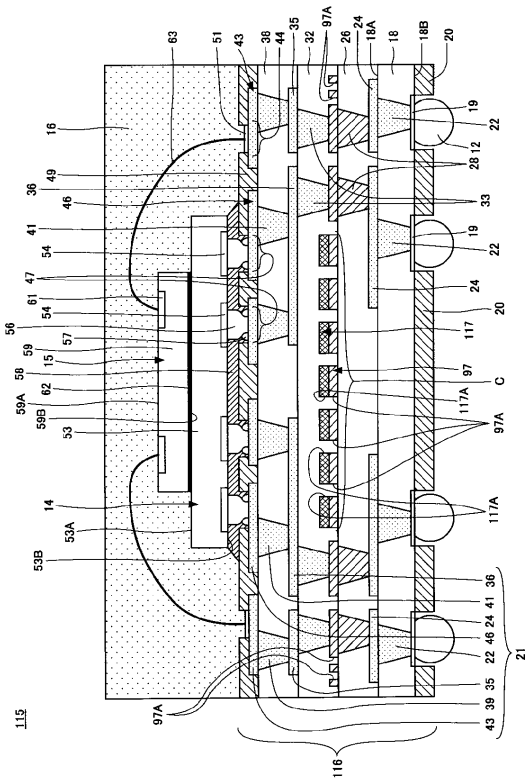
【 図 3 8 】

本発明の第4の実施の形態に係る半導体装置の製造工程を示す図(その3)



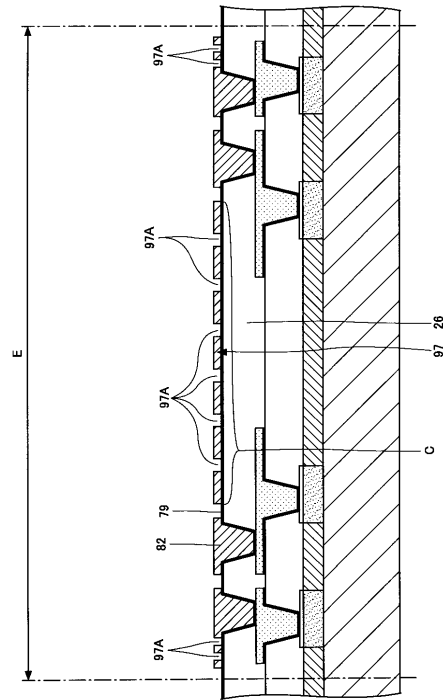
【 図 3 9 】

本発明の第5の実施の形態に係る半導体装置の断面図



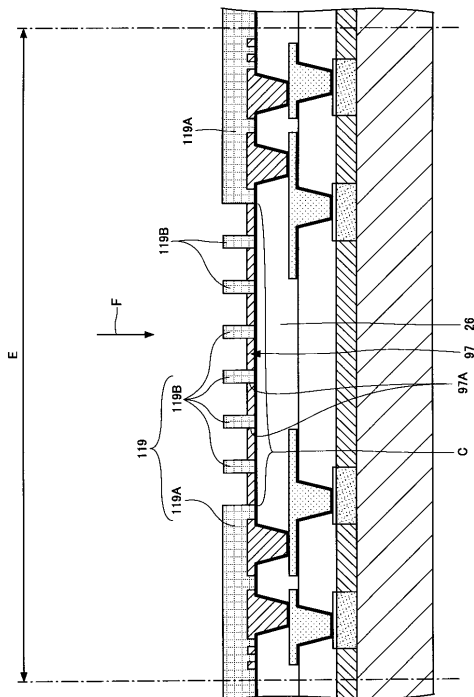
【 図 4 0 】

本発明の第5の実施の形態に係る半導体装置の製造工程を示す図(その1)



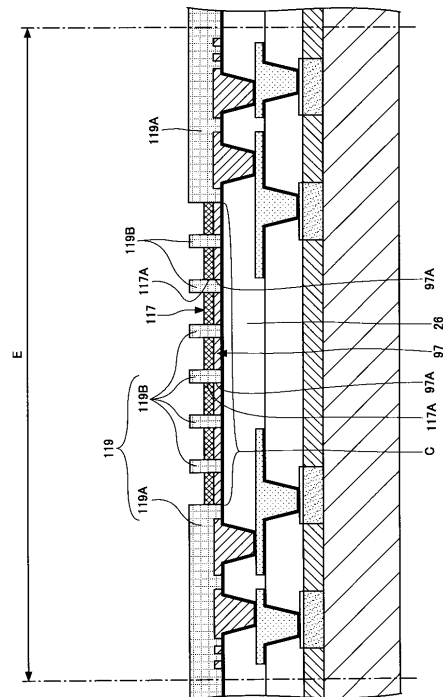
【 図 4 1 】

本発明の第5の実施の形態に係る半導体装置の製造工程を示す図(その2)



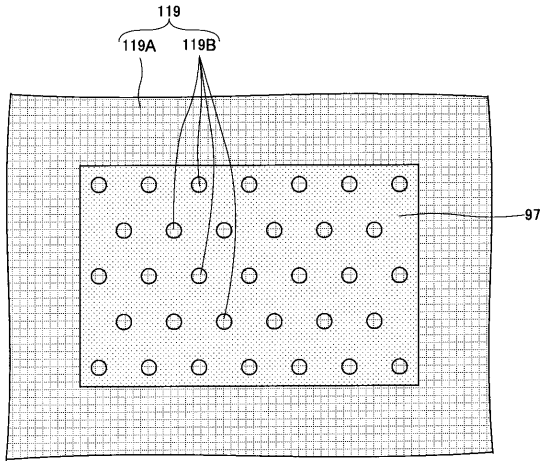
【 図 4 2 】

本発明の第5の実施の形態に係る半導体装置の製造工程を示す図(その3)



【 図 4 3 】

図41に示す構造体をF視した図



【 図 4 4 】

本発明の第6の実施の形態に係る半導体装置の断面図

