

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成26年1月16日(2014.1.16)

【公表番号】特表2013-512509(P2013-512509A)

【公表日】平成25年4月11日(2013.4.11)

【年通号数】公開・登録公報2013-017

【出願番号】特願2012-541131(P2012-541131)

【国際特許分類】

G 06 F 9/50 (2006.01)

G 06 F 9/445 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 06 F 9/46 4 6 5 E

G 06 F 9/06 6 1 0 K

G 06 F 12/00 5 5 0 A

【手続補正書】

【提出日】平成25年11月22日(2013.11.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリ初期化タスクを含むブート処理タスクを複数の処理ノードに行わせる方法であつて、

制御処理ノードでメモリ初期化タスクを複数のメモリ初期化サブタスクに分割すること、

シリアルプレゼンスディテクト(SPD)値をDIMMメモリから読み出すメモリ初期化サブタスクを前記複数の処理ノードの1つに割り当てることと、前記SPD値に依存しない複雑な初期化タスクを実行するメモリ初期化サブタスクを前記複数の処理ノードの他の1つに割り当てるることによって、対応する処理ノードを各メモリ初期化サブタスクが有するように前記複数のメモリ初期化サブタスクを前記複数の処理ノードの間で分散させることと、

前記対応する処理ノードで各メモリ初期化サブタスクを実行してサブタスク結果を生成することと、

前記複数の処理ノードからのサブタスク結果を前記制御処理ノードで結合することと、を備え、

前記複数のメモリ初期化サブタスクは前記複数の処理ノードで並列に又はシーケンスに実行され得る方法。

【請求項2】

前記複数のメモリ初期化サブタスクを分散させるのに先立ち前記複数の処理ノードの間の通信リンクを初期化することを更に備える請求項1の方法。

【請求項3】

前記対応する処理ノードで各メモリ初期化サブタスクを実行することは前記対応する処理ノードでの実行のために各メモリ初期化サブタスクをスケジューリングすることを備える請求項1の方法。

【請求項4】

前記対応する処理ノードで各メモリ初期化サブタスクを実行することはソフトウェアルーチンを実行することを備える請求項1の方法。

【請求項5】

前記対応する処理ノードでの前記メモリ初期化サブタスクの実行に関する状況報告を前記制御ノードで受信することを更に備える請求項1の方法。

【請求項6】

前記複数の処理ノードの個々の1つは、その対応するメモリ初期化サブタスクを、前記複数の処理ノードの他の1つであって当該他の1つに対応するメモリ初期化サブタスクを実行する他の1つと並列に実行する請求項1の方法。

【請求項7】

システムメモリと、
複数の処理ノードとを備えるコンピュータシステムであって、
前記複数の処理ノードの各々は、
プロセッサコアと、前記複数の処理ノードの他の少なくとも1つに接続するための通信インターフェースと、前記システムメモリへの及び前記システムメモリからのデータフローを管理するためのメモリ制御器とを含み、
前記複数の処理ノードは、

マスター処理ノードと、複数の実行処理ノードとを含み、
前記マスター処理ノードは、
メモリ初期化タスクを複数のメモリ初期化サブタスクに分割することと、割り当てられたメモリ初期化サブタスクの各々が対応する実行処理ノードを有するように前記複数のメモリ初期化サブタスクを前記複数の実行処理ノードに割り当てることによって、前記メモリ初期化タスクを前記システムメモリ上で実行するように構成されており、
前記複数のメモリ初期化サブタスクは、

前記複数の実行処理ノードの1つに割り当てられたメモリ初期化サブタスクが、前記複数の実行処理ノードの他の1つに割り当てられた他のメモリ初期化サブタスクに依存することなく順序を問わずに実行可能となるように、前記複数の実行処理ノードで並列に又はシーケンスに実行され得る、コンピュータシステム。

【請求項8】

各実行処理ノードは、前記マスター処理ノードによって割り当てられた各メモリ初期化サブタスクを実行するとともに、サブタスク結果を生成するように構成されている請求項7のコンピュータシステム。

【請求項9】

前記マスター処理ノードは、前記複数の実行処理ノードからのサブタスク結果を結合するように構成されている請求項7のコンピュータシステム。

【請求項10】

前記システムメモリは、複数のデュアルインラインメモリモジュールを含む請求項7のコンピュータシステム。

【請求項11】

前記マスター処理ノードは、前記メモリ初期化サブタスクの状況を前記複数の実行処理ノードから受信するように構成されている請求項7のコンピュータシステム。

【請求項12】

前記マスター処理ノードは、メモリ初期化サブタスクを実行する複数の実行処理ノードの1つである請求項7のコンピュータシステム。

【請求項13】

前記複数の実行処理ノードの1つは、その対応するメモリ初期化サブタスクを、前記複数の処理ノードの他の1つであって当該他の1つに対応するメモリ初期化サブタスクを実行する他の1つと並列に実行する請求項7のコンピュータシステム。

【請求項14】

前記マスター処理ノードは、前記複数の実行処理ノードで前記複数のメモリ初期化サブ

タスクを実行した結果に基づいて、前記マスター処理ノードの前記メモリ制御器内の1つ以上のレジスタをプログラムすることによって、前記メモリ初期化タスクを実行する請求項7のコンピュータシステム。

【請求項15】

メモリアレイと、

複数の処理ノードとを備えるコンピュータシステムであって、

前記複数の処理ノードの各々は、

プロセッサコアと、前記メモリアレイと通信するためのメモリ制御器と、前記複数の処理ノードの他の少なくとも1つに接続するための通信インターフェースとを含み、

前記複数の処理ノードのうち第1の処理ノードは、

メモリ初期化タスクを複数のサブタスクに分割し、前記複数のサブタスクを前記複数の処理ノードに割り当てる、

前記複数の処理ノードの各々は、

割り当てられたサブタスクを実行しながら前記メモリアレイの任意の部分からの情報を得るとともに、サブタスク実行結果を前記複数の処理ノードのうち前記第1の処理ノードに戻すことができ、これにより、前記複数の処理ノードが前記メモリアレイのメモリ初期化を効率的且つ迅速に実行することを可能にする、コンピュータシステム。

【請求項16】

前記メモリアレイは、ダブルデータレート(DDR)バスを介して前記複数の処理ノードに接続された複数のデュアルインラインメモリモジュールを含む請求項15のコンピュータシステム。

【請求項17】

前記複数の処理ノードのうち前記第1の処理ノードは、前記複数の処理ノードで前記複数のサブタスクを実行した結果に基づいて、前記第1の処理ノードの前記メモリ制御器内の1つ以上のレジスタをプログラムすることによって、前記メモリ初期化タスクを実行し、これにより、前記複数の処理ノードの1つのみで前記メモリ初期化タスクを実行することによってブートを行うのに必要であろう時間と比べてブート時間要件を低減する請求項15のコンピュータシステム。