

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-193157

(P2017-193157A)

(43) 公開日 平成29年10月26日(2017.10.26)

(51) Int.Cl.	F I	テーマコード (参考)
B 3 2 B 9/00 (2006.01)	B 3 2 B 9/00 A	4 F 1 0 0
C O 1 B 32/15 (2017.01)	C O 1 B 31/02 1 O 1 Z	4 G 1 4 6
C O 1 B 32/18 (2017.01)	H O 1 L 29/78 6 1 8 B	5 F O 4 5
C O 1 B 32/182 (2017.01)	H O 1 L 29/78 6 2 6 C	5 F 1 1 0
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 Z	
審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2016-234444 (P2016-234444)	(71) 出願人	000002130
(22) 出願日	平成28年12月1日 (2016.12.1)		住友電気工業株式会社
(31) 優先権主張番号	特願2016-83868 (P2016-83868)		大阪府大阪市中央区北浜四丁目5番33号
(32) 優先日	平成28年4月19日 (2016.4.19)	(71) 出願人	504157024
(33) 優先権主張国	日本国 (JP)		国立大学法人東北大学
			宮城県仙台市青葉区片平二丁目1番1号
		(74) 代理人	100136098
			弁理士 北野 修平
		(74) 代理人	100137246
			弁理士 田中 勝也
		(72) 発明者	岡田 政也
			兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内
		最終頁に続く	

(54) 【発明の名称】 積層体および電子素子

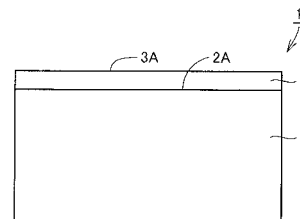
(57) 【要約】

【課題】 グラフェン膜が導電部となる電子素子を製造した場合に高い移動度を安定して確保することが可能な積層体を提供する。

【解決手段】 積層体1は、炭化珪素からなり、シリコン面となす角が 20° 以下である第1主面2Aを有する基板部2と、第1主面2A上に配置され、基板部2を構成する炭化珪素の原子配列に対して配向する原子配列を有するグラフェン膜3と、を備える。グラフェン膜3の基板部2側とは反対側の主面である露出面3Aにおいて、ラマン分光分析における G' の半値幅が 40 cm^{-1} 以下である領域の面積率が50%以上である。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

炭化珪素からなり、シリコン面となす角が 20° 以下である第 1 主面を有する基板部と

、

前記第 1 主面上に配置され、前記基板部を構成する炭化珪素の原子配列に対して配向する原子配列を有するグラフェン膜と、を備え、

前記グラフェン膜の前記基板部側とは反対側の主面である露出面において、ラマン分光分析における G' の半値幅が 40 cm^{-1} 以下である領域の面積率が 50% 以上である、積層体。

【請求項 2】

10

前記グラフェン膜は、前記第 1 主面の 80% 以上を覆う、請求項 1 に記載の積層体。

【請求項 3】

前記グラフェン膜のキャリア移動度は、 $1000\text{ cm}^2/\text{Vs}$ 以上である、請求項 1 または請求項 2 に記載の積層体。

【請求項 4】

前記基板部は円盤状の形状を有し、

前記基板部の直径は 50 mm 以上である、請求項 1 ～請求項 3 のいずれか 1 項に記載の積層体。

【請求項 5】

20

請求項 1 ～請求項 4 のいずれか 1 項に記載の積層体と、

前記露出面上に配置される第 1 電極と、

前記露出面上に前記第 1 電極とは離れて配置される第 2 電極と、を備える、電子素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は積層体および電子素子に関し、より特定的にはグラフェン膜を含む積層体および電子素子に関するものである。

【背景技術】

【0002】

30

グラフェンは、炭素原子が sp^2 混成軌道を形成して平面的に結合した物質である。このような炭素の結合状態に起因して、グラフェンは、極めて高いキャリアの移動度を有するという特徴がある。そのため、たとえばグラフェン膜をトランジスタなどの電子素子のチャンネルとして利用することにより、電子素子の高速化が期待される。

【0003】

グラフェン膜を含む積層体を作製し、当該積層体に電極等を形成することにより、グラフェン膜を導電部（たとえばチャンネル）として利用した電子素子を製造することができる。グラフェン膜を含む積層体は、たとえばグラファイトから剥離されたグラフェン薄膜を支持基板に貼り付けることにより、あるいは CVD (Chemical Vapor Deposition) により成長させたグラフェン薄膜を支持基板に貼り付けることにより製造することができる。

40

【0004】

電子素子を量産する場合において許容可能な生産効率を確保するためには、上記積層体において直径の大きい（たとえば 2 インチ以上の直径を有する）支持基板を採用することが好ましい。上述のようなグラフェン膜の貼り付けを含む手順で作製された積層体では、支持基板の表面においてグラフェン膜が存在しない領域が多く含まれる。このような場合、電極形成の位置合わせ等の電子素子の製造プロセスにおいて自動化が妨げられる。その結果、上記積層体を用いた電子素子の量産が難しいという問題が生じる。

【0005】

これに対し、SiC（炭化珪素）からなる基板を加熱して Si 原子を離脱させることで

50

基板の表層部をグラフェンに変換し、基板上にグラフェン膜が形成された積層体を得る方法が提案されている（たとえば、特許文献1参照）。これにより、基板の主面においてグラフェン膜が存在しない領域が小さくなる。その結果、当該積層体を用いた電子素子の量産が容易となる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2015-48258号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0007】

しかしながら、上記SiCからなる基板部上にグラフェン膜が形成された積層体を用いてグラフェン膜が導電部となる電子素子を製造した場合、導電部における移動度が期待される値に対して低くなる場合がある。

【0008】

そこで、グラフェン膜が導電部となる電子素子を製造した場合に高い移動度を安定して確保することが可能な積層体および当該積層体を含む電子素子を提供することを目的の1つとする。

【課題を解決するための手段】

【0009】

20

本発明に従った積層体は、炭化珪素からなり、シリコン面となす角が 20° 以下である第1主面を有する基板部と、第1主面上に配置され、基板部を構成する炭化珪素の原子配列に対して配向する原子配列を有するグラフェン膜と、を備える。グラフェン膜の基板部側とは反対側の主面である露出面において、ラマン分光分析における G' の半値幅が 40 cm^{-1} 以下である領域の面積率が50%以上である。

【発明の効果】

【0010】

上記積層体によれば、グラフェン膜が導電部となる電子素子を製造した場合に高い移動度を安定して確保することができる。

【図面の簡単な説明】

30

【0011】

【図1】グラフェン膜を含む積層体の構造を示す概略断面図である。

【図2】グラフェン膜の評価方法を説明するための概略図である。

【図3】グラフェン膜を含む積層体の製造方法の概略を示すフローチャートである。

【図4】積層体の製造方法を説明するための概略断面図である。

【図5】加熱装置の構造を示す概略断面図である。

【図6】グラフェン膜を含む電界効果トランジスタ（FET）の構造を示す概略断面図である。

【図7】グラフェン膜を含む電界効果トランジスタの製造方法の概略を示すフローチャートである。

40

【図8】グラフェン膜を含む電界効果トランジスタの製造方法を説明するための概略断面図である。

【図9】グラフェン膜を含む電界効果トランジスタの製造方法を説明するための概略断面図である。

【図10】グラフェン膜を含む電界効果トランジスタの製造方法を説明するための概略断面図である。

【発明を実施するための形態】

【0012】

〔本願発明の実施形態の説明〕

最初に本願発明の実施態様を列記して説明する。本願の積層体は、炭化珪素からなり、

50

シリコン面となす角が 20° 以下である第1主面を有する基板部と、第1主面上に配置され、基板部を構成する炭化珪素の原子配列に対して配向する原子配列を有するグラフェン膜と、を備える。グラフェン膜の基板部側とは反対側の主面である露出面において、ラマン分光分析における G' の半値幅が 40 cm^{-1} 以下である領域の面積率が50%以上である。

【0013】

本発明者らは、SiCからなる基板部上にグラフェン膜が形成された積層体を用いてグラフェン膜が導電部となる電子素子を製造した場合において、導電部における移動度が期待される値に対して低くなる原因について検討を行った。その結果、基板部を構成するSiCの原子配列に対して配向する原子配列を有するグラフェン膜においては、部分的にグラフェンの膜厚が大きい領域が存在し、当該領域の存在が移動度に大きく影響していることを見出した。そして、シリコン面（（0001）面）に近い炭化珪素基板の主面上のグラフェン膜においては、膜厚の指標としてラマン分光分析における G' の半値幅を採用し、露出面において当該半値幅が 40 cm^{-1} 以下である領域の面積率を50%以上とすることにより、高い移動度を安定して確保できる。

【0014】

本願の積層体では、グラフェン膜の露出面において、ラマン分光分析における G' の半値幅が 40 cm^{-1} 以下である領域の面積率が50%以上である。そのため、当該露出面に電極を形成することにより、高い移動度が安定して確保された電子素子を製造することができる。このように、本願の積層体によれば、グラフェン膜が導電部となる電子素子を製造した場合に高い移動度を安定して確保することが可能な積層体を提供することができる。なお、グラフェン膜の露出面において、ラマン分光分析における G' の半値幅が 40 cm^{-1} 以下である領域の面積率は、70%以上であることが好ましい。

【0015】

上記積層体において、上記グラフェン膜は、第1主面の80%以上を覆っていてもよい。このようにすることにより、基板部の第1主面においてグラフェン膜が存在しない領域が小さくなる。その結果、上記積層体を用いた電子素子の量産が容易となる。

【0016】

上記積層体において、グラフェン膜のキャリア移動度は、 $1000\text{ cm}^2/\text{Vs}$ 以上であることが好ましく、 $2500\text{ cm}^2/\text{Vs}$ 以上であることがより好ましい。このようにすることにより、上記積層体を用いて製造される電子素子の高速化を達成することができる。

【0017】

上記積層体において、上記基板部は円盤状の形状を有していてもよい。上記基板部の直径は50mm以上であってもよい。このようにすることにより、上記積層体を用いた電子素子の製造の効率化を達成することができる。

【0018】

本願の電子素子は、上記積層体と、上記露出面上に配置される第1電極と、上記露出面上に第1電極とは離れて配置される第2電極と、を備える。

【0019】

本願の電子素子においては、第1電極と第2の電極とが、上記本願の積層体の上記露出面上に形成される。そのため、本願の電子素子によれば、導電部における高い移動度を安定して確保することができる。

【0020】

[本願発明の実施形態の詳細]

次に、本発明にかかる積層体の一実施の形態を、以下に図面を参照しつつ説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【0021】

(実施の形態1)

図1を参照して、本実施の形態における積層体1は、基板部2と、グラフェン膜3とを備えている。基板部2は、炭化珪素(SiC)からなる。基板部2を構成するSiCは、六方晶SiCであって、たとえば6H構造を有する。基板部2は、円盤状の形状を有している。基板部2の直径は2インチ以上(50mm以上)である。基板部2は、第1主面2Aを有する。第1主面2Aは、基板部2を構成するSiCのシリコン面、すなわち(0001)面となす角が20°以下であるシリコン面側の主面である。より具体的には、本実施の形態において、第1主面2Aは、基板部2を構成するSiCのシリコン面となす角が1°以下であるシリコン面側の主面である。つまり、第1主面2Aは、実質的にシリコン面である。

【0022】

グラフェン膜3は、基板部2の第1主面2A上に配置される。グラフェン膜3は、基板部2を構成するSiCの原子配列に対して配向する原子配列を有するグラフェンからなる。ここで、グラフェン膜3を構成するグラフェンの原子配列が基板部2を構成するSiCの原子配列に対して配向する状態とは、グラフェンの原子配列がSiCの原子配列に対して一定の関係性を有していることを意味する。グラフェンの原子配列がSiCの原子配列に対して配向しているか否かについては、たとえばLEED(Low Energy Electron Diffraction)法により確認することができる。グラフェン膜3の基板部2側とは反対側の主面である露出面3Aにおいて、ラマン分光分析におけるG'の半値幅が40cm⁻¹以下である領域の面積率が50%以上である。

【0023】

本実施の形態の積層体1では、グラフェン膜3の露出面3Aにおいて、ラマン分光分析におけるG'の半値幅が40cm⁻¹以下である領域の面積率が50%以上である。そのため、露出面3Aに電極を形成することにより、高い移動度が安定して確保された電子素子を製造することができる。このように、本実施の形態の積層体1は、グラフェン膜3が導電部となる電子素子を製造した場合に高い移動度を安定して確保することが可能な積層体となっている。

【0024】

ここで、G'は、ラマン分光分析を実施した場合に2700cm⁻¹付近(ラマンシフト)に現れるピークである。ラマン分光分析におけるG'の半値幅は、たとえば以下のように測定領域を設定して確認することができる。図2は、積層体1の露出面3A側の主面における測定領域を示す図である。測定領域19は、グラフェン膜3の全体を評価する観点から、図2に示す9領域とすることができる。具体的には、たとえば一辺50μmの正方形形状の測定領域19を9か所に設定する。円形形状を有する積層体1の露出面3A側の主面において、中心で直交する2つの直線を想定し、当該直線上に等間隔となるように測定領域19を設定する。中心に対して対角線の交点が一致する測定領域19を設定し、これを基準として他の8か所の測定領域19を設定する。

【0025】

各測定領域19内は、たとえばステップ間隔を1μmとして測定領域19内を走査するように測定を実施することができる。すなわち、各測定領域19内において500点の測定を実施することができる。SiCからなる基板部2上に、基板部2を構成するSiCの原子配列に対して配向する原子配列を有するグラフェン膜3が形成された積層体1は、レーザに対する耐久性が高く、サンプル上のレーザ強度を数mW~数十mWとすることができる。そのため、1点あたりのスペクトルデータを短時間で取得可能であるため、上記500点の測定を許容可能な時間で実施することができる。そして、測定された500点のG'に対応するピークのうち、半値幅が40cm⁻¹以下であった点の割合をもってG'の半値幅が40cm⁻¹以下である領域の面積率とすることができる。

【0026】

ラマン分光分析装置としては、たとえばHORIBA Jobin Yvon社製のLABRAM HR-800を採用することができる。分析に際して、レーザ波長は532nm、サンプル上のレーザ強度は10mW、グレーティングは300gr/mm、積算時

10

20

30

40

50

間は0.5秒、積算回数は2回、対物レンズは100倍とすることができる。

【0027】

グラフェン膜3は、面積率において基板部2の第1主面2Aの80%以上を覆っていることが好ましく、95%以上を覆っていることがより好ましい。これにより、基板部2の第1主面2Aにおいてグラフェン膜3が存在しない領域が小さくなる。その結果、積層体1を用いた電子素子の量産が容易となる。

【0028】

また、グラフェン膜3のキャリア移動度は、 $1000\text{ cm}^2/\text{Vs}$ 以上であることが好ましく、 $2500\text{ cm}^2/\text{Vs}$ 以上であることがより好ましい。このようにすることにより、積層体1を用いて製造される電子素子の高速化を達成することができる。

10

【0029】

次に、図3～図5を参照して、本実施の形態における積層体1の製造方法の概要について説明する。

【0030】

図3を参照して、本実施の形態における積層体1の製造方法では、まず工程(S10)として基板準備工程が実施される。図4を参照して、この工程(S10)では、たとえば直径2インチ(50.8mm)の6H-SiCからなる基板11が準備される。より具体的には、SiCからなるインゴットをスライスすることにより、SiCからなる基板11が得られる。基板11の表面が研磨された後、洗浄等のプロセスを経て主面の平坦性および清浄性が確保された基板11が得られる。基板11は、第1主面11Aを有する。第1主面11Aは、基板11を構成するSiCのシリコン面、すなわち(0001)面となす角が 1° 以下であるシリコン面側の主面である。つまり、第1主面11Aは、実質的にシリコン面である。

20

【0031】

次に、工程(S20)として炭化珪素膜形成工程が実施される。図4を参照して、この工程(S20)では、基板11の第1主面11A上に炭化珪素からなるSiC膜12が形成される。具体的には、基板11の第1主面11A上に、たとえばスパッタリングによりSiC膜12が形成される。SiC膜12は、たとえばアモルファスまたは多結晶のSiCからなる。SiC膜12の厚みは、たとえば0.5nm以上5nm以下とすることができる。工程(S20)が実施されることにより、基板11と、基板11の第1主面11A上に形成されたSiC膜12とを含む原料積層体10が得られる。

30

【0032】

次に、工程(S30)としてグラフェン化工程が実施される。この工程(S30)は、たとえば図5に示す加熱装置を用いて実施することができる。図5を参照して、加熱装置90は、本体部91と、サセプタ92と、カバー部材93と、気体導入管95と、気体排出管96とを備えている。

【0033】

本体部91は中空円筒状の形状を有する側壁部91Bと、側壁部91Bの第1の端部を閉塞する底壁部91Aと、側壁部91Bの第2の端部を閉塞する上壁部91Cとを含んでいる。本体部91の内部の底壁部91A上には、サセプタ92が配置されている。サセプタ92は、原料積層体10を保持するための基板保持面92Aを有している。

40

【0034】

本体部91の内部には、サセプタ92を覆うためのカバー部材93が配置されている。カバー部材93は、たとえば一对の端部のうち一方の端部が閉塞され、他方の端部が開口する中空円筒状の形状を有している。カバー部材93の他方の端部側が底壁部91Aに接触するように、カバー部材93は配置される。サセプタ92およびサセプタ92上の原料積層体10は、カバー部材93および本体部91の底壁部91Aにより取り囲まれる。カバー部材93および本体部91の底壁部91Aにより取り囲まれる空間である閉塞空間93C内に、サセプタ92およびサセプタ92上の原料積層体10が配置される。カバー部材93の内壁面93Aと、原料積層体10のSiC膜12の基板11とは反対側の主面1

50

2 Aとが対向する（図4参照）。

【0035】

気体導入管95および気体排出管96は、本体部91の上壁部91Cに接続されている。気体導入管95および気体排出管96は、上壁部91Cに形成された貫通孔に一方の端部において接続されている。気体導入管95の他方の端部は、不活性ガスを保持するガス保持部（図示しない）に接続されている。本実施の形態では、ガス保持部にはアルゴンが保持されている。気体排出管96の他方の端部は、ポンプなどの排気装置（図示しない）に接続されている。

【0036】

工程（S30）は、加熱装置90を用いて以下のように実施することができる。まず、サセプタ92の基板保持面92Aに、工程（S20）において準備された原料積層体10が配置される。次に、サセプタ92および原料積層体10を覆うように、カバー部材93が底壁部91A上に配置される。これにより、サセプタ92およびサセプタ92上の原料積層体10は、カバー部材93および本体部91の底壁部91Aにより取り囲まれる。

【0037】

次に、気体導入管95に設置されたバルブ（図示しない）が閉の状態とされ、気体排出管96に設置されたバルブが開の状態とされる。そして、気体排出管96に接続された排気装置が作動することにより、本体部91の内部の気体が矢印Bに沿って気体排出管96から排出される。これにより、本体部91の内部が減圧される。ここで、サセプタ92および原料積層体10は、カバー部材93および本体部91の底壁部91Aにより取り囲まれているものの、カバー部材93と底壁部91Aとは接合されているわけではない。そのため、本体部91内の減圧が進行すると、閉塞空間93Cの内部と外部との圧力差によりカバー部材93と底壁部91Aとのわずかな隙間から内部の気体が排出される。その結果、閉塞空間93C内も減圧される。

【0038】

次に、排気装置の動作が停止されるとともに、気体導入管95に設置されたバルブが開の状態とされる。これにより、ガス保持部に保持されているアルゴンが、気体導入管95を通して本体部91の内部に導入される（矢印A）。ここで、本体部91内の圧力が上昇すると、閉塞空間93Cの内部と外部との圧力差によりカバー部材93と底壁部91Aとのわずかな隙間から内部にアルゴンが侵入する。このようにして、本体部91の内部の気体が、アルゴンにより置換される。本体部91の内部のアルゴンの圧力が常圧（大気圧）にまで上昇すると、余剰のアルゴンが気体排出管96から排出されることにより、内部の圧力が常圧に維持される。すなわち、本体部91の内部が、常圧のアルゴン雰囲気と維持される。

【0039】

次に、原料積層体10が加熱される。原料積層体10は、たとえば本体部91が加熱されることにより加熱される。本体部91は、たとえば誘導加熱により加熱されてもよい。原料積層体10は、たとえば常圧のアルゴン中において1300℃以上1800℃以下の温度に加熱される。これにより、図4を参照して、SiC膜12を構成するSiCからSi原子が離脱し、基板11とは反対側の主面12Aを含む領域であるSiC膜12の表層部がグラフェンに変換される。一方、SiC膜12の基板11側の主面12Bは基板11に接触している。そのため、上記加熱によって、主面12Bを含む領域の原子配列は、基板11を構成するSiCの原子配列に対して配向する。その結果、SiC膜12が変換されて生成するグラフェンの原子配列は、基板11を構成するSiCの原子配列に対して配向する。このようにして、図1を参照して、SiCからなる基板部2と、基板部2の第1主面2A上に配置され、基板部2を構成するSiCの原子配列に対して配向する原子配列を有するグラフェン膜3とを含む積層体1が得られる。

【0040】

以上の手順により、本実施の形態における積層体1が完成する。上述のように、本実施の形態においてはカバー部材93が採用される。そのため、SiC膜12から離脱したS

i 原子は閉塞空間 9 3 C 内に滞留する。その結果、S i C 膜 1 2 からの S i の離脱により、閉塞空間 9 3 C 内の S i の蒸気圧が上昇する。これにより、S i C のグラフェンへの急速な変換が抑制される。このようにグラフェンへの変換速度が抑制されることにより、1 原子層、または原子層数の少ない（1 原子層に近い）グラフェン膜 3 が形成される。

【0041】

また、移動度の低下に影響するグラフェンの膜厚が大きい領域は、基板 1 1 の表面の欠陥や基板作製時のダメージが存在する領域に対応して形成される。これに対し、本実施の形態においては、準備された基板 1 1 の表層部がグラフェンに変換されるのではなく、基板 1 1 上に形成された S i C 膜 1 2 がグラフェンに変換される。そのため、基板 1 1 の表層部に欠陥やダメージが存在する場合でも、これらに起因してグラフェンの膜厚が大きい領域が形成されることを抑制することができる。そのため、ラマン分光分析における G ' の半値幅が 40 cm^{-1} 以下である領域の面積率が 50 % 以上である露出面 3 A を有するグラフェン膜 3 を形成することができる。その結果、高い移動度を安定して確保することが可能な積層体 1 を得ることができる。

【0042】

（実施の形態 2）

次に、上記実施の形態 1 の積層体 1 を用いて作製される電子素子の一例である F E T （F i e l d E f f e c t T r a n s i s t o r）について説明する。図 6 を参照して、本実施の形態における F E T 9 は、上記実施の形態 1 の積層体 1 を用いて作製されたものであって、実施の形態 1 と同様に積層された基板部 2 およびグラフェン膜 3 を含む積層体 1 を備えている。F E T 9 は、さらに第 1 電極としてのソース電極 4 と、第 2 電極としてのドレイン電極 5 と、第 3 電極としてのゲート電極 7 と、ゲート絶縁膜 6 とを備えている。

【0043】

ソース電極 4 は、露出面 3 A に接触して形成されている。ソース電極 4 は、グラフェン膜 3 とオーミック接触可能な導電体、たとえば N i （ニッケル）／A u （金）からなっている。ドレイン電極 5 は、露出面 3 A に接触して形成されている。ドレイン電極 5 は、ソース電極 4 と離れて形成されている。ドレイン電極 5 は、グラフェン膜 3 とオーミック接触可能な導電体、たとえば N i ／A u からなっている。

【0044】

ソース電極 4 とドレイン電極 5 との間に位置するグラフェン膜 3 の露出面 3 A を覆うように、ゲート絶縁膜 6 が形成されている。ゲート絶縁膜 6 は、ソース電極 4 とドレイン電極 5 との間に位置する露出面 3 A を覆うとともに、ソース電極 4 およびドレイン電極 5 の上部表面（グラフェン膜 3 に接触する側とは反対側の主面）の一部を覆う領域にまで延在している。ゲート絶縁膜 6 は、たとえば窒化珪素（S i N）、酸化アルミニウム（A l ₂ O ₃）などの絶縁体からなっている。

【0045】

ゲート電極 7 は、ゲート絶縁膜 6 上に接触するように配置されている。ゲート電極 7 は、ソース電極 4 とドレイン電極 5 との間に位置する露出面 3 A に対応する領域に配置される。ゲート電極 7 は、導電体、たとえば N i ／A u からなっている。

【0046】

この F E T 9 において、ゲート電極 7 に印加される電圧が閾値電圧未満の状態、すなわち F E T 9 がオフの状態では、ソース電極 4 とドレイン電極 5 との間（チャネル領域）に位置するグラフェン膜 3 にはキャリアとなる電子が十分に存在せず、ソース電極 4 とドレイン電極 5 との間に電圧が印加されても非導通の状態が維持される。一方、ゲート電極 7 に閾値電圧以上の電圧が印加されて F E T 9 がオンの状態になると、チャネル領域にキャリアとなる電子が生成する。その結果、キャリアとなる電子が生成したチャネル領域によってソース電極 4 とドレイン電極 5 とが電氣的に接続された状態となる。このような状態でソース電極 4 とドレイン電極 5 との間に電圧が印加されると、ソース電極 4 とドレイン電極 5 との間に電流が流れる。

【0047】

ここで、本実施の形態のFET9では、ソース電極4とドレイン電極5とが、上記実施の形態1において説明した積層体1の露出面3A上に形成される。そのため、導電部としてのチャネル領域に対応するグラフェン膜3において高い移動度が安定して確保されている。その結果、FET9は、高速化が達成された電子素子となっている。FET9の特性としては、 R_c （接触抵抗）は $1\ \Omega\text{cm}$ 未満であることが好ましく、 $0.5\ \Omega\text{cm}$ 未満であることがより好ましい。また、 R_s （シート抵抗）は $1000\ \Omega\text{sq}$ 未満であることが好ましく、 $500\ \Omega\text{sq}$ 未満であることがより好ましい。また、 g_m （相互コンダクタンス）は 100mS を超えることが好ましく、 1000mS を超えることがより好ましい。また、 f_T （遮断周波数）は 100GHz を超えることが好ましく、 1THz を超えることがより好ましい。

10

【0048】

次に、図1および図6～図10を参照して、本実施の形態のFET9の製造方法について説明する。図7を参照して、本実施の形態のFET9の製造方法では、まず工程（S110）として積層体準備工程が実施される。この工程（S110）では、上記実施の形態1の積層体1が準備される（図1参照）。積層体1は、上記実施の形態1において説明した製造方法により製造することができる。

【0049】

次に、図7を参照して、工程（S120）としてオーミック電極形成工程が実施される。この工程（S120）では、図1および図8を参照して、積層体1の露出面3Aに接触するようにソース電極4およびドレイン電極5が形成される。ソース電極4およびドレイン電極5は、たとえばグラフェン膜3の露出面3A上に、ソース電極4およびドレイン電極5が形成されるべき領域に対応する開口を有するレジストからなるマスク層を形成し、ソース電極4およびドレイン電極5を構成する導電体（たとえばNi/Au）からなる導電膜を形成した後、リフトオフを実施することにより形成することができる。

20

【0050】

次に、図7を参照して、工程（S130）として絶縁膜形成工程が実施される。この工程（S130）では、図8および図9を参照して、ソース電極4とドレイン電極5との間に位置するグラフェン膜3の露出面3A、ソース電極4の積層体1とは反対側の主面およびドレイン電極5の積層体1とは反対側の主面を覆うように、絶縁膜61が形成される。絶縁膜61は、たとえばCVD法により形成することができる。絶縁膜61を構成する材料としては、たとえば窒化珪素を採用することができる。

30

【0051】

次に、図7を参照して、工程（S140）としてゲート電極形成工程が実施される。この工程（S140）では、図9および図10を参照して、ソース電極4とドレイン電極5との間に位置する露出面3A上を覆う絶縁膜61上に接触するように、ゲート電極7が形成される。ゲート電極7は、たとえばゲート電極7が形成されるべき領域に対応する開口を有するレジストからなるマスク層を形成し、ゲート電極7を構成する導電体（たとえばNi/Au）からなる導電膜を形成した後、リフトオフを実施することにより形成することができる。

40

【0052】

次に、図7を参照して、工程（S150）としてコンタクトホール形成工程が実施される。この工程（S150）では、図10および図6を参照して、ソース電極4上およびドレイン電極5上に位置する絶縁膜61を除去することにより、ソース電極4およびドレイン電極5と配線とのコンタクトを可能とするためのコンタクトホールが形成される。具体的には、たとえばソース電極4上およびドレイン電極5上に対応する領域に開口を有するマスクを形成し、開口から露出する絶縁膜61をエッチングにより除去する。これにより、コンタクトホールが形成されるとともに、残存する絶縁膜61は、ゲート絶縁膜6となる。ゲート絶縁膜6は、ソース電極4とドレイン電極5との間に位置する露出面3Aを覆うとともに、ソース電極4およびドレイン電極5の上部表面（グラフェン膜3に接触する

50

側とは反対側の主面)の一部を覆う領域にまで延在する。

【0053】

以上の工程により、本実施の形態におけるFET9が完成する。その後、たとえば配線が形成され、ダイシングにより各素子に分離される。

【0054】

今回開示された実施の形態はすべての点で例示であって、どのような面からも制限的なものではないと理解されるべきである。本発明の範囲は上記した説明ではなく、特許請求の範囲によって規定され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

10

【0055】

本願の積層体は、高い移動度が求められるグラフェン膜を含む積層体および電子素子に、特に有利に適用され得る。

【符号の説明】

【0056】

- 1 積層体
- 2 基板部
- 2 A 第1主面
- 3 グラフェン膜
- 3 A 露出面
- 4 ソース電極
- 5 ドレイン電極
- 6 ゲート絶縁膜
- 7 ゲート電極
- 9 FET
- 10 原料積層体
- 11 基板
- 11 A 第1主面
- 12 SiC膜
- 12 A, 12 B 主面
- 19 測定領域
- 61 絶縁膜
- 90 加熱装置
- 91 本体部
- 91 A 底壁部
- 91 B 側壁部
- 91 C 上壁部
- 92 サセプタ
- 92 A 基板保持面
- 93 カバー部材
- 93 A 内壁面
- 93 C 閉塞空間
- 95 気体導入管
- 96 気体排出管

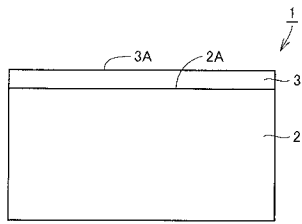
20

30

40

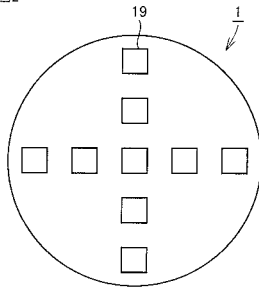
【図 1】

図1



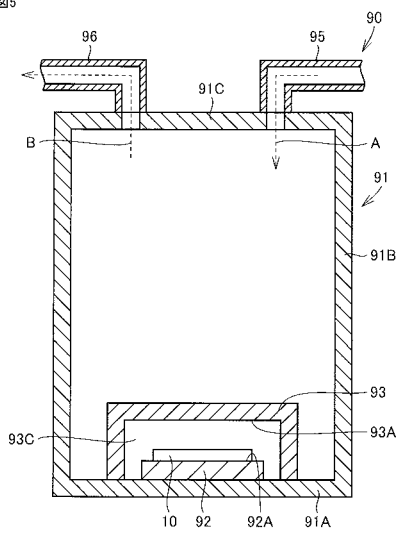
【図 2】

図2



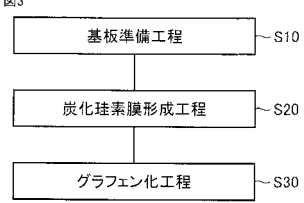
【図 5】

図5



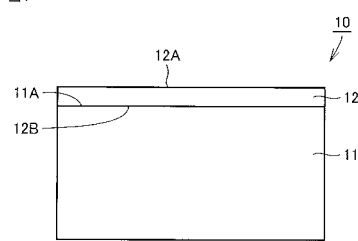
【図 3】

図3



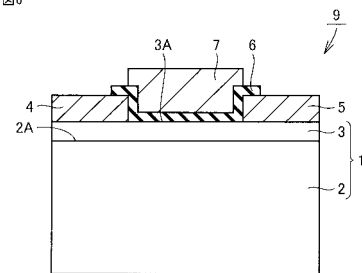
【図 4】

図4



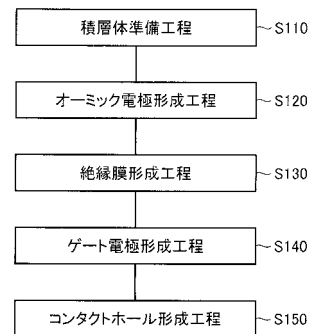
【図 6】

図6

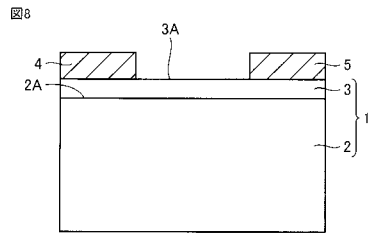


【図 7】

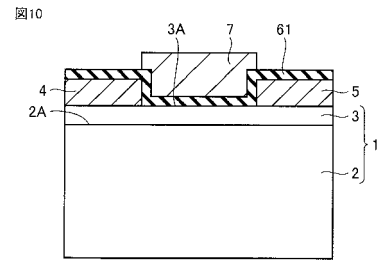
図7



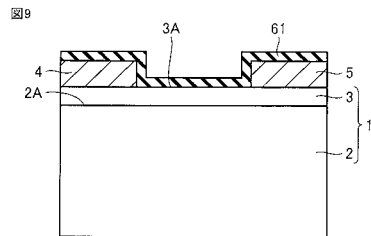
【図 8】



【図 10】



【図 9】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H O 1 L 21/336 (2006.01) H O 1 L 21/205
H O 1 L 21/205 (2006.01)

(72)発明者 三橋 史典
 兵庫県伊丹市昆陽北一丁目 1 番 1 号 住友電気工業株式会社伊丹製作所内

(72)発明者 館野 泰範
 神奈川県横浜市栄区田谷町 1 番地 住友電気工業株式会社横浜製作所内

(72)発明者 上野 昌紀
 兵庫県伊丹市昆陽北一丁目 1 番 1 号 住友電気工業株式会社伊丹製作所内

(72)発明者 末光 眞希
 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内

(72)発明者 吹留 博一
 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内

F ターム (参考) 4F100 AA16A AD08A AD11B AT00A BA02 BA03 BA04 BA07 BA10A BA10C
 DC21C GB41 JG01C JG04 YY00A YY00B
 4G146 AA01 AB07 AC16A AC20A AC20B AD17 AD22 AD23 AD28 BA08
 BA42 BB23 BC01 BC03 BC23 BC34B CB07 CB26 CB29 DA03
 5F045 AA03 AA19 AB07 AC16 AD17 AD18 AE29 AF02 AF13 BB02
 BB08 BB12 BB16 CA15 DA61 DP02 DQ10 EC02 EK02
 5F110 AA01 DD01 DD11 DD24 FF01 FF03 FF29 GG01 GG05 GG06
 GG19 GG44 HK02 HK04 HK21