

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 27/115

(45) 공고일자 2005년03월30일
(11) 등록번호 10-0479399
(24) 등록일자 2005년03월18일

(21) 출원번호 10-2002-0054046
(22) 출원일자 2002년09월07일

(65) 공개번호 10-2003-0060748
(43) 공개일자 2003년07월16일

(30) 우선권주장 JP-P-2002-00001138 2002년01월08일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시기가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자 니시오까나호
일본도쿄도지요다꾸마루노우찌2쵸메2-3미쓰비시덴키가부시기가
이샤내

쯔지나오키
일본도쿄도지요다꾸마루노우찌2쵸메2-3미쓰비시덴키가부시기가
이샤내

(74) 대리인 장수길
구영창

심사관 : 김근모

(54) 불휘발성 반도체 기억 장치

요약

고온 열처리의 횟수를 최소한으로 줄일뿐만 아니라, 주변 회로부에서의 트랜지스터와, 메모리부에서의 트랜지스터를 간편하게 나누어 만들 수 있는 불휘발성 반도체 기억 장치와 제조 방법이 얻어지며, 주변 회로부에서 제1 트랜지스터(61) 및 제2 트랜지스터(62) 중 적어도 한쪽은, 그 게이트 절연막(6, 7) 위에, 아래로부터 순서대로 부유 게이트와 동일한 두께 방향 구성의 하부 도전층(8)과, 게이트간 절연막과 동일한 두께 방향 구성의 절연막을 포함하는 중간 절연막(10)과, 컨트롤 게이트의 도전층과 동일한 두께 방향 구성의 상부 도전층(12)을 구비하고, 중간 절연막(10)은 상부 도전층과 하부 도전층을 전기적으로 접속하는 도통부를 구비한다.

대표도

도 1

색인어

반도체 기관, 메모리 셀, 주변 회로부, 부유 게이트, 컨트롤 게이트

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 불휘발성 반도체 기억 장치의 단면도.

도 2는 도 1의 A부 확대도.

도 3은 도 1의 B부 확대도.

도 4는 도 1에 도시한 불휘발성 반도체 기억 장치의 제조에 있어서, 실리콘 기판에 소자 분리 절연막을 형성한 단계의 단면도.

도 5는 메모리 셀부의 바닥부에 보텀 웰을 형성한 단계의 단면도.

도 6은 주변 회로부의 p 도전형 트랜지스터를 형성하는 영역에 n 도전형 웰을 형성한 단계의 단면도.

도 7은 메모리 셀부 및 주변 회로부의 n 도전형 트랜지스터를 형성하는 영역에 p 도전형 웰을 형성한 단계의 단면도.

도 8은 주변 회로부의 고내압 트랜지스터를 형성하는 영역에, 게이트 산화막의 하층 산화막을 형성한 단계의 단면도.

도 9는 하층 산화막과 실리콘 기판을 덮도록, 게이트 산화막을 형성하고, 계속해서, 부유 게이트가 되는 도전층을 메모리 셀부와 주변 회로부에 걸쳐서 형성하며, 메모리 셀부에서 패터닝한 단계의 단면도.

도 10은 메모리 셀부의 실리콘 기판에 n 도전형 불순물을 주입하여, 메모리 트랜지스터의 소스, 드레인 영역을 형성한 단계의 단면도.

도 11은 메모리 트랜지스터의 소스, 드레인 영역의 위에 실리콘 산화막을 형성한 단계의 단면도.

도 12는 메모리 셀부와 주변 회로부에 걸쳐서, 게이트간 절연막이 되는 3층 절연막을 퇴적한 단계의 단면도.

도 13은 인 도핑된 다결정 실리콘막을 더 형성한 후, 주변 회로부에서 고내압 트랜지스터 및 저내압 트랜지스터가 형성되는 영역 상의 3층 절연막 및 인 도핑된 다결정 실리콘막의 콘택트홀을 개구한 단계의 단면도.

도 14는 인 도핑된 다결정 실리콘막을 퇴적하고, 계속해서 WSi막, 절연막을 순차적으로 적층한 후, 메모리 셀부 및 주변 회로부의 트랜지스터의 게이트부를 패터닝한 단계의 단면도.

도 15는 도 14의 C부 확대도.

도 16은 주변 회로부의 n 도전형 트랜지스터의 실리콘 기판에 n 도전형 불순물을 주입한 단계의 단면도.

도 17은 주변 회로부의 p 도전형 트랜지스터의 실리콘 기판에 p 도전형 불순물을 주입한 단계의 단면도.

도 18은 메모리 셀부 및 주변 회로부의 게이트부의 측면에 측벽 스페이서를 형성한 단계의 단면도.

도 19는 측벽 스페이서를 마스크로 이용하여, n 도전형 트랜지스터의 소스, 드레인 영역에 n 도전형 불순물을 주입하여, 고농도 n 도전형 불순물 영역을 형성한 단계의 단면도.

도 20은 측벽 스페이서를 마스크로 이용하여, p 도전형 트랜지스터의 소스, 드레인 영역에 p 도전형 불순물을 주입하여, 고농도 p 도전형 불순물 영역을 형성한 단계의 단면도.

도 21은 본 발명의 실시예 2에 따른 불휘발성 반도체 기억 장치의 제조에 있어서, 3층 절연막과 인 도핑된 다결정 실리콘막에 콘택트홀을 개구한 후에, 주변 회로부의 부유 게이트 도전층에 인을 더 주입하고 있는 단계의 단면도.

도 22는 본 발명의 실시예 3에 따른 불휘발성 반도체 기억 장치의 단면도.

도 23은 도 22의 D부 확대도.

도 24는 도 22에 도시한 불휘발성 반도체 기억 장치의 제조에 있어서, 실리콘 기판 위에 게이트 절연막을 형성한 후에, 부유 게이트가 되는 도전층을 퇴적하여, 패터닝한 단계의 단면도.

도 25는 메모리 트랜지스터의 소스, 드레인 영역이 되는 n 도전형 불순물 영역을 형성한 단계의 단면도.

도 26은 메모리 트랜지스터의 소스, 드레인 영역의 위에 실리콘 산화막을 형성한 단계의 단면도.

도 27은 게이트간 절연막이 되는 3층 절연막을 형성한 단계의 단면도.

도 28은 주변 회로부의 고내압 트랜지스터가 형성되는 영역 상의 게이트 산화막, 부유 게이트 도전층 및 3층 절연막을 에칭 제거하여, 실리콘 기판을 노출시킨 단계의 단면도.

도 29는 노출된 실리콘 기판의 위에 게이트 산화막보다 두꺼운 두께의 게이트 산화막을 형성한 단계의 단면도.

도 30은 주변 회로부의 저내압 트랜지스터가 형성되는 영역 상의 3층 절연막에 콘택트홀을 개구한 단계의 단면도.

도 31은 저내압 트랜지스터가 형성되는 영역 상의 부유 게이트 도전층에 인을 주입하고, 메모리 셀부와 주변 회로부의 트랜지스터의 게이트부를 패터닝한 단계의 단면도.

도 32는 도 31의 E부 확대도.

도 33은 본 발명의 실시예 4에 따른 불휘발성 반도체 기억 장치의 제조에 있어서, 3층 절연막에 콘택트홀을 개구한 후에, 주변 회로부의 부유 게이트 도전층에 인을 더 주입하고 있는 단계의 단면도.

도 34는 종래의 불휘발성 반도체 기억 장치의 단면도.

도 35는 도 34의 불휘발성 반도체 기억 장치의 제조에 있어서, 게이트 산화막, 부유 도전층 및 3층 절연막을 형성한 후에, 주변 회로부의 게이트 산화막, 부유 도전층 및 3층 절연막을 에칭 제거하여 주변 회로부의 실리콘 기판을 노출시킨 단계의 단면도이다.

도 36은 주변 회로부의 고내압 트랜지스터가 형성되는 영역에 두꺼운 게이트 절연막을 형성한 단계의 단면도.

도 37은 주변 회로부에만 게이트 절연막을 더 형성하고, 주변 회로부와 메모리 셀부에 걸쳐서, 아래로부터 순서대로, 콘트롤 게이트 도전층, WSi층 및 절연층을 퇴적하고, 주변 회로부의 트랜지스터의 게이트부만을 패터닝한 단계의 단면도.

도 38은 메모리 셀부의 트랜지스터의 게이트부를 패터닝한 단계의 단면도.

도 39는 주변 회로부의 n 도전형 트랜지스터의 소스, 드레인 영역이 되는 실리콘 기판의 영역에 n 도전형 불순물을 주입한 단계의 단면도.

도 40은 주변 회로부의 p 도전형 트랜지스터의 소스, 드레인 영역이 되는 실리콘 기판의 영역에 p 도전형 불순물을 주입한 단계의 단면도.

도 41은 메모리 셀부 및 주변 회로부의 게이트부의 측면에 측벽 스페이서를 형성한 단계의 단면도.

도 42는 측벽 스페이서를 마스크로 이용하여, n 도전형 트랜지스터의 소스, 드레인 영역에 n 도전형 불순물을 더 주입하여, 고농도 n 도전형 불순물 영역을 형성한 단계의 단면도.

도 43은 측벽 스페이서를 마스크로 이용하여, p 도전형 트랜지스터의 소스, 드레인 영역에 p 도전형 불순물을 더 주입하여, 고농도 p 도전형 불순물 영역을 형성한 단계의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 실리콘 기판
- 2 : 소자 분리 절연막
- 3 : 보텀 웰
- 4 : n 도전형 웰
- 5 : p 도전형 웰
- 6 : 게이트 산화막 하층
- 7 : 게이트 산화막
- 8 : 부유 게이트(도전층)
- 9 : 실리콘 산화막
- 10 : 3층 절연막(ONO: Oxide-Nitride-Oxide막)
- 11 : 인 도핑된 다결정 실리콘막

12 : 컨트롤 게이트(도전층)

13 : WSi층

14 : 절연막

15, 16 : 저농도 불순물 영역

17 : 측벽 스페이서

18, 19 : 고농도 불순물 영역

22 : 층간 절연막

23 : 플러그 배선

25 : 콘택트홀

26 : 배선

28a, 28b : 소스, 드레인

37 : 고내압 트랜지스터의 게이트 산화막

50 : 메모리 트랜지스터

61 : 저내압 트랜지스터

62 : 고내압 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 반도체 기억 장치에 관한 것으로, 보다 구체적으로는 고온 가열 처리 횟수를 억제하였을 뿐만 아니라 메모리 셀부의 트랜지스터와 주변 회로부의 트랜지스터를 간편하게 구별하여 만들 수 있는 불휘발성 반도체 기억 장치에 관한 것이다.

도 34를 참조하면, 이 종래의 불휘발성 반도체 기억 장치는 메모리 셀부 R1과, 그 주변의 주변 회로부 R2로 구분되어 있다. 메모리 셀부 R1에는 메모리 트랜지스터(150)가 배치되고, 또한 주변 회로부 R2에는 2 종류의 트랜지스터(161, 162)가 배치되어 있다. 이들 2 종류의 트랜지스터의 상위점은, 후술하는 바와 같이 게이트 절연막(127, 137)의 두께가 다른 것에 있다.

도 34에서는 메모리 셀부의 메모리 트랜지스터(150)는 비트선에 따른 단면과, 워드선에 따른 단면의 2개의 단면이 도시되어 있다. 소자 분리대(102)에 의해 주변 회로부 R2와 분리된 메모리 셀부 R1의 실리콘 기판의 바닥부에는 n 도전형 보텀 웰(103)이 형성되어 있다. 그 위에 p 도전형 웰(105)이 형성되어 있다. 메모리 트랜지스터(150)는 p 도전형 웰 내의 소스, 드레인 영역(108a, 108b)을 포함하고, 또한 실리콘 기판(101) 위에 배치된 게이트 절연막(106)을 구비한다. 게이트 절연막(107) 위에는 절연 영역(109)에 둘러싸인 부유 게이트(107)가 배치되어 있다. 부유 게이트(107) 위에는 실리콘 산화막과 실리콘 질화막과 실리콘 산화막의 3층 절연막으로 이루어지는 게이트간 절연막(110)이 형성되어 있다. 그 게이트간 절연막 위에는 컨트롤 게이트(113)가 배치되어 있다. 또한 그 위에 WSi로 이루어지는 층(114)과, 절연막(115)이 배치되어 있다.

주변 회로부 R2에는 n 도전형 웰(104)과 p 도전형 웰(105)이 형성되어 있다. 각각의 웰 내에 2 종류의 트랜지스터(161, 162)가 형성되어 있다. 트랜지스터(161)는 게이트 산화막(127)을 갖고, 트랜지스터(162)는 그보다 두꺼운 막 두께의 게이트 산화막(137)을 갖고 있다. 이들 게이트 산화막(127, 137) 위에는 모두 컨트롤 게이트와 동일한 두께 방향 구성의 도전층(113)과, WSi막(114)과, 절연막(115)을 구비하고 있다. 주변 회로부 R2에서는 트랜지스터는 실리콘 기판에 형성된 저농도 불순물 영역(116, 117)과, 게이트 전극 측면의 측벽 스페이서를 마스크로 이용하여 더욱 불순물을 주입한 고농도 불순물 영역(119, 120)을 구비하고 있다. 고농도 불순물 영역(119, 120)에는 층간 절연막(124) 위에 배치된 배선(126)에 도통하는 플러그 배선(125)이 접속되어 있다.

다음에, 도면을 이용하여 종래의 불휘발성 반도체 장치의 제조 방법에 대하여 설명한다.

우선, <100>의 p 도전형 실리콘 기판(101)의 주 표면에 소자 분리대(102)를 형성한다(도 35 참조). 계속해서, 실리콘 기판(101)의 주 표면에서, 레지스트 패턴을 마스크로 이용하여, 메모리 셀부 R1에 인을, 예를 들면 3MeV의 가속 에너지, $1.0E13$ 의 밀도로 이온 주입하여 n 도전형 보텀 웰 영역(103)을 형성하고, 레지스트막을 제거한다. 또, 이후의 설명에서는 레지스트막을 제거하는 처리에 대해서는 설명을 생략한다.

계속해서, 주변 회로부 R2의 p 도전형 MOS(Metal Oxide Semiconductor) 트랜지스터가 형성되는 영역에 레지스트 패턴을 마스크로 이용하여, 인을 예를 들면 1.2MeV의 가속 에너지, $1.0E13$ 의 밀도로 이온 주입한다. 또한, 동일한 영역에, 채널 컷트를 위한 인을, 예를 들면 700keV, $3.0E12$ 로, 또한 카운터 도핑을 위한 붕소를, 예를 들면 20keV, $1.5E12$ 로, 각각 이온 주입한다. 이들 이온 주입에 의해 n 도전형 웰 영역(104)을 형성한다(도 35 참조).

이 후, 주변 회로부 R2의 n 도전형 MOS 트랜지스터가 형성되는 영역과, 메모리 셀이 형성되는 영역 R1과, 레지스트 패턴을 마스크로 이용하여, 다음의 (a), (b), (c)에 의해 p 도전형 웰 영역(105)을 형성한다(도 35 참조). (a) 예를 들면 700keV의 가속 에너지, $1.0E13$ 정도의 밀도로 붕소를 이온 주입한다. 또한 (b) 예를 들면 270keV의 가속 에너지, $3.5E12$ 의 밀도로 p 채널 컷트를 위한 붕소를 이온 주입한다. 또한 (c) 예를 들면 50keV의 가속 에너지, $1.2E12$ 의 밀도로 채널 도핑을 위한 붕소를 이온 주입한다.

이 후, 실리콘 기판(101)의 주 표면 위에 열 산화법을 이용하여 두께 10nm 정도의 실리콘 산화막(106)을 성막한다. 계속해서 두께 200nm 정도의 인 도핑된 다결정 실리콘막(107)을 형성한다. 이 후, 실리콘 기판(101)의 주 표면 전체에 포토리소그래피에 의해서 레지스트 패턴을 형성한다. 이 레지스트 패턴을 마스크로 이용하여 인 도핑된 다결정 실리콘막을 패터닝하여, 메모리 트랜지스터가 형성되는 영역에 부유 게이트(107)를 형성한다.

다음에, 실리콘 기판(101)의 메모리 셀이 형성되는 영역에 레지스트 패턴을 마스크로 이용하여 비소를 예를 들면 35keV의 가속 에너지, $3.0E15$ 정도의 밀도로 이온 주입하여, n 도전형 불순물 확산 영역(108a, 108b)을 형성하고, 소스, 드레인 영역으로 한다. 이 후, 실리콘 기판(101)에 감압 CVD법에 의해 두께 800nm의 실리콘 산화막(109)을 퇴적한다. 계속해서 이 실리콘 산화막(109)을 전면 에칭함으로써, 인 도핑된 다결정 실리콘막(107)의 표면을 노출한다(도 35 참조).

계속해서, 실리콘 기판의 주 표면에 3층 절연막(110)을 형성한다. 3층 절연막의 형성으로는, 우선 열 산화법을 이용하여 두께 5nm의 실리콘 산화막을 형성한다. 다음에, 그 위에 감압 CVD법을 이용하여 두께 10nm의 실리콘 질화막을 형성한다. 다시 그 위에 감압 CVD법을 이용하여 두께 5nm의 실리콘 산화막을 형성하여, 3층 절연막(110)으로 한다.

이 후, 실리콘 기판 위에 포토리소그래피에 의해 레지스트 패턴을 형성한다. 이 레지스트 패턴을 이용하여, 도 35에 도시한 바와 같이, 주변 회로부 R2에서의 3층 절연막(110)과, 인 도핑된 다결정 실리콘막(107)과, 게이트 산화막(106)을 패터닝한다.

이 후, 열 산화법을 이용하여, 두께 20nm 정도의 실리콘 산화막(111)을, 주변 회로부 R2의 두꺼운 게이트 절연막을 형성하는 영역, 즉 고내압 트랜지스터를 형성하는 영역에 성막한다. 이 때, 메모리 셀부 R1에서는 3층 절연막(110) 중의 실리콘 질화막이 베이스의 열 산화를 방지하고 있다. 계속해서, 주변 회로부 R2의 고내압 트랜지스터 형성 영역과 메모리 셀부에, 포토리소그래피에 의해서 레지스트 패턴을 형성하고, 주변 회로부의 저내압 트랜지스터 영역의 실리콘 산화막(111)을 패터닝한다(도 36).

실리콘 기판(101) 위에 열 산화법을 이용하여, 주변 회로부 R2의 저내압 트랜지스터의 게이트 산화막이 되는 두께 10nm 정도의 실리콘 산화막(112)을 성장시킨다. 이 때, 메모리 셀부 R1에서는 3층 절연막(110)의 실리콘 질화막이 베이스의 열 산화를 방지한다. 한편, 주변 회로부 R2의 고내압 트랜지스터 영역의 게이트 산화막이 되는 실리콘 산화막(113)은 20nm보다 두껍고, 30nm보다 얇은 산화막이 된다. 계속해서, 아래로부터 순서대로 두께 200nm 정도의 인 도핑된 다결정 실리콘막(113)과, 두께 100nm 정도의 WSi막(114)과, 두께 200nm 정도의 실리콘 산화막(115)을 퇴적한다. 이 후, 포토리소그래피에 의해서 레지스트 패턴을 형성하고, 레지스트 패턴을 마스크로 이용하여 실리콘 산화막(115)을 패터닝한다. 계속해서, 이 실리콘 산화막(115)을 마스크로 이용하여, WSi막(114)과, 인 도핑된 실리콘 다결정 실리콘(113)을 패터닝한다(도 37).

이 후, 실리콘 기판(101)의 메모리 셀부에서의 인 도핑된 다결정 실리콘막(113)과, WSi막(114)과, 두께 200nm 정도의 실리콘 산화막(115)을 마스크로 이용하여, 3층 절연막(110)과 인 도핑된 다결정 실리콘막(107)을 패터닝한다(도 38).

계속해서, 실리콘 기판(101)의 주변 회로의 n 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 인을 예를 들면 50keV의 가속 에너지로, $4.0E13$ 정도의 밀도로 이온 주입한다. 이에 의해, 주변 회로부의 n 도전형 MOS 트랜지스터의 저농도 불순물 영역(116)을 형성한다(도 39).

다음에, 실리콘 기판(101)의 주변 회로부에서 p 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 붕소를 예를 들면 50keV의 가속 에너지, $1.5E13$ 정도의 밀도로 이온 주입한다. 이에 의해, 주변 회로부에 p 도전형 MOS 트랜지스터의 저농도 불순물 영역(117)을 형성한다(도 40). 실리콘 기판(101) 위에 CVD법에 의해 100nm 정도의 실리콘 산화막을 형성한다. 계속해서 이방성 에칭에 의해 측벽 스페이서(123)를 형성한다(도 41).

다음에, 실리콘 기판(101)의 주변 회로부의 n 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여 비소를 예를 들면 35keV의 가속 에너지, $4.0E15$ 정도의 밀도로 이온 주입한다. 이에 의해, n 도전형 MOS 트랜지스터의 고농도 불순물 영역(119)을 형성한다(도 42).

또한, 실리콘 기판(101)의 주변 회로부의 p 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여 BF₂를, 예를 들면 20keV의 가속 에너지, 2.0E15의 밀도로 이온 주입한다. 이에 의해, p 도전형 MOS 트랜지스터의 고농도 불순물 영역(120)을 형성한다(도 43). 이후, 통상의 배선 형성 기술을 이용하여, 배선을 형성한다. 상기한 바와 같은, 제조 방법을 이용함으로써, 종래의 불휘발성 반도체 기억 장치는 제조되어 있었다.

통상, 불휘발성 반도체 기억 장치에 있어서, 프로그램 형성 시에는 컨트롤 게이트(110)에 20V 정도의 고전압 V_{pp}을 인가하고, n 도전형 확산 영역(108a, 108b)과, 실리콘 기판(101)을 접지한다. 그것에 따라, n 도전형 확산층(108a, 108b) 사이의 영역에 형성되는 채널에 전자가 발생한다. 이 전자는 터널 절연막(106)에 의한 에너지 장벽을 터널링하여 부유 게이트(107)에 주입된다. 그 결과, 메모리 셀의 임계치 전압이 상승한다.

또한, 프로그램 소거 시에는 컨트롤 게이트(113)에 통상, 마이너스 20V 정도의 고전압 V_{pp}을 인가하고, n 도전형 확산 영역(108a, 108b)과 실리콘 기판(101)을 접지한다. 이 회로 형성에 의해, 터널 현상이 생기고, 부유 게이트(107)로부터 실리콘 기판(101)에 전자가 방출된다. 이 결과, 메모리 셀의 임계치 전압이 하강한다.

한편, 선택한 메모리 트랜지스터의 판독 동작 시에는 컨트롤 게이트(113)에 예를 들면 3.3V(V_{cg}=3.3V), n 도전형 확산층의 드레인(108a)에 3.3V의 전압을 인가하고, n 도전형 확산층의 소스(108b)와 실리콘 기판(101)을 접지한다. 지금, V_{thp}>3.3V>V_{the}로 하면, 프로그램 읽어들이기 상태에서는 메모리 트랜지스터의 소스와 드레인 사이에 전류가 흐르지 않고, 프로그램 소거 상태에서는 전류가 흐른다.

판독 시에 비선택의 메모리 트랜지스터에서는, 컨트롤 게이트(113)를 접지하고 (V_{cg}=0V), n 도전형 확산 영역의 드레인(108a)에 3.3V의 전압을 인가하고, n 도전형 확산 영역의 소스(108b)와 실리콘 기판(101)을 접지한다. V_{thp}>V_{the}>0V로 하면, V_{cg}=0V에서는 메모리 트랜지스터의 소스와 드레인 사이에 전류가 흐르지 않는다.

선택한 메모리 트랜지스터 중, 프로그램 읽어들이기 상태의 것만이 소스와 드레인 사이에 전류를 흘리고, 이것에 의해서 각 메모리 셀의 정보를 검출할 수 있다.

따라서, 불휘발성 반도체 기억 장치의 주변 회로부에는, (1) 판독 동작의 고속화를 위해, 게이트 산화막이 얇고, 전류 구동력이 높은 저내압의 트랜지스터와, (2) 높은 인가 전압에 견딜 수 있는 게이트 산화막을 갖는 고내압 트랜지스터의 2개의 종류의 트랜지스터가 필요하다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 제조 방법에서는, 메모리 트랜지스터와, 주변 회로부에서 게이트 산화막의 두께가 서로 다른 2 종류의 트랜지스터를 각각 다른 기회에 형성해야 한다. 이 때문에, 게이트 산화막 형성 시에, 고온 열 처리를 많은 횟수 행할 필요가 있어, 고온 열 처리에 장시간이 걸렸다. 이 때문에, 다음과 같은 문제가 생겼다.

- (1) 비용이 드는 이러한 프로세스인 열 산화 처리의 공정수가 증대한다.
- (2) 고온 열 처리에 장시간 노출되기 때문에, 이온 주입에 의해 형성된 확산 영역이 넓어져 반도체 소자의 미세화에 방해가 된다.
- (3) 고온 열 처리의 횟수가 많기 때문에, 실리콘 기판을 에칭하여 실리콘 산화막을 매립하고 있는 구조의 소자 분리막에서는, 그 실리콘 산화막과 실리콘 기판과의 열팽창 계수의 상위에 의해, 트렌치 분리(102)의 주위의 실리콘 기판에 응력이 가해져, 실리콘 기판 내에 결정 결함이 생긴다.

본 발명은 고온 열 처리의 횟수를 최소한으로 줄일 뿐만 아니라, 주변 회로부 및 메모리 셀부의 트랜지스터를 구별하여 만들고, 특히 주변 회로부에서 고내압 트랜지스터와 동작 속도를 중시한 저내압 트랜지스터를 간편하게 구별하여 만들 수 있는 불휘발성 반도체 기억 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 불휘발 반도체 기억 장치는, 반도체 기판 위에 메모리 셀부와 그 주변에 위치하는 주변 회로부를 구비한다. 메모리 셀부에서, 게이트 절연막 상의 부유 게이트와, 그 부유 게이트 위에 위치하는 게이트간 절연막과, 게이트간 절연막 위에 위치하는 컨트롤 게이트를 갖는 메모리 트랜지스터를 구비한다. 또한 주변 회로부에서 제1 게이트 절연막을 포함하는 제1 트랜지스터와 제2 게이트 절연막을 포함하는 제2 트랜지스터를 구비한다. 이 불휘발성 반도체 기억 장치에서는, 제1 및 제2 트랜지스터 중 적어도 한쪽은, 그 게이트 절연막 위에 아래로부터 순서대로 서로 접하여 위치하는 하부 도전층과 중간 절연막과 상부 도전층을 구비한다. 하부 도전층은 부유 게이트와 동일한 두께 방향 구성을 갖고, 중간 절연막은 게이트간 절연막과 동일한 두께 방향 구성의 절연막을 포함하고, 상부 도전층은 컨트롤 게이트의 도전층과 동일한 두께 방향 구성을 갖는다. 또한, 중간 절연막은, 상부 도전층과 하부 도전층을 전기적으로 접속하는 도통부를 구비한다.

이 구성에 의해, 메모리 셀부에서는 절연막에 의해서 절연되어 있는 부유 게이트와 컨트롤 게이트를, 주변 회로부에서는 전기적으로 접속시킬 수 있다. 따라서, 주변 회로부에서는, 부유 게이트 및 컨트롤 게이트 중 어느 하나를 게이트 전극으로서 이용할 수 있다. 이 때문에, (A) 메모리 셀부의 불휘발성 트랜지스터의 게이트부와, 주변 회로부의 트랜지스터의 게이트부를 동일한 기회에 동일한 두께 방향 구성으로 형성해 갈 수 있어 공정 생략을 얻을 수 있다. 또한, 예를 들면, (B) 불휘발성 트랜지스터의 게이트 산화막과, 주변 회로부의 예를 들면 제1 트랜지스터의 게이트 산화막을 동일한 기회에 동일한 두께 방향 구성으로 공통으로 제조함으로써, 공정 생략이 더욱 촉진된다. 그 결과,

(B1) 열 산화 처리를 억제할 수 있어 반도체 기판에서의 결정 결함의 발생을 억제할 수 있다. 또한, 반도체 기판에 가해지는 열 이력을 억제함으로써, (B2) 불순물 확산 영역의 사이즈를 확대시키지 않고, 불휘발성 반도체 기억 장치의 소형화의 저해 요인이 되지 않는다.

상기한 제1 및 제2 트랜지스터는, 통상 한쪽은 고내압 트랜지스터이고, 다른 쪽은 내압성은 그 만큼 필요없지만 고속 동작이 중시되는 트랜지스터로 하는 분류가 적용된다. 즉, 제1 게이트 산화막과 제2 게이트 산화막의 두께가 서로 다르다. 그러나, 반드시 상기한 분류에 한정되지 않고, 다른 분류라도 된다. n 도전형 및 p 도전형의 양방의 웰에, 상기 제1 및 제2 트랜지스터가 형성된다.

또, 부유 게이트와 동일한 두께 방향 구성의 하부 도전층이란, 부유 게이트층의 형성 시에, 그 부유 게이트층과 동일한 기회에 동일한 층을 주변 회로부에도 형성하고, 그것을 하부 도전층으로서 이용하는 것을 가르친다. 다른 층에 대해서도 마찬가지로의 의미로 이용한다. 따라서, 2개의 층이 동일한 두께 방향 구성인 경우에는, (a) 두께 치수, (b) 두께 방향의 화학 조성 분포가 동일하게 된다.

또, 제1 및 제2 트랜지스터의 양쪽 모두, 각각의 게이트 절연막 위에 부유 게이트와 동일한 두께 방향 구성의 하부 도전층과, 게이트간 절연막과 동일한 두께 방향 구성의 절연막을 포함하는 중간 절연막과, 컨트롤 게이트와 동일한 두께 방향 구성의 상부 도전층을 구비하여도 된다.

상기 본 발명의 불휘발성 반도체 기억 장치에서는, 제1 트랜지스터는, 제1 게이트 절연막 위에, 부유 게이트와 동일한 두께 방향 구성의 하부 도전층과, 게이트간 절연막과 동일한 두께 방향 구성의 절연막을 포함하는 중간 절연막과, 컨트롤 게이트와 동일한 두께 방향 구성의 상부 도전층을 구비하여도 된다. 또한, 제2 트랜지스터는, 제2 게이트 절연막 위에 컨트롤 게이트와 동일한 두께 방향 구성의 도전층을 구비할 수 있다.

이 구성에 의해서도, 본 발명의 상기 (A), (B), (B1), (B2)와 동일한 작용 효과를 얻을 수 있다. 본 발명의 불휘발성 반도체 기억 장치의 제조 방법은, 반도체 기판 상의 주변 회로부의 제2 트랜지스터가 형성되는 영역에 하층 절연막을 형성하는 공정과, 반도체 기판 및 하층 절연막을 덮는 게이트 절연막을 형성하는 공정과, 게이트 절연막 상에 부유 게이트를 구성하는 부유 도전층을 형성하는 공정과, 부유 도전층 상에 게이트간 절연막을 형성하는 공정과, 제1 및 제2 트랜지스터가 형성되는 영역의 게이트간 절연막에 부유 게이트 도전층에 닿는 관통 구멍을 개구하는 공정을 포함한다.

이 방법에 의해, 제1 트랜지스터의 게이트 절연막과 메모리 트랜지스터의 게이트 절연막을 동일한 기회에 동일한 조성으로 공통으로 제조할 수 있다. 또한, 제2 트랜지스터의 게이트 절연막을 제1 트랜지스터의 게이트 절연막보다도 하층 절연막의 분만큼 두껍게 형성할 수 있다. 상기한 공정에서는 메모리 셀부와 주변 회로부로 나누어서, 트랜지스터의 게이트 산화막을 형성할 필요가 없기 때문에, 열 산화 처리도 억제된다. 이 때문에, 반도체 기판에서의 결정 결함의 발생을 억제할 수 있다. 또한, 반도체 기판에 가해지는 열 처리 이력이 억제되기 때문에, 불순물 확산 영역의 확대를 억제하여, 불휘발성 반도체 기억 장치의 미세화에 대한 저해 요인이 되지 못한다.

상기한 제조 방법에서는, 부유 도전층은 불순물 도핑된 실리콘막으로 형성되고, 게이트간 절연막에 관통 구멍을 개구하는 공정 후, 주변 회로부의 영역의 불순물 도핑된 실리콘막에만, 불순물을 더 주입하는 공정을 포함할 수 있다.

이 방법에 의해, 주변 회로부에서 트랜지스터의 게이트 전극이 되는 부유 도전층의 불순물 농도를 간단히 증가시킬 수 있다. 그 결과, 불휘발성 트랜지스터의 부유 게이트로서가 아니고 트랜지스터의 게이트 전극으로서 보다 적합한 도전성을 확보할 수 있다.

본 발명의 다른 불휘발성 반도체 기억 장치의 제조 방법은, 메모리 셀부와 주변 회로부에 공통으로, 게이트 절연막과, 그 게이트 절연막 위에 부유 게이트가 되는 부유 도전층과, 그 도전층 위에 게이트간 절연막을 순차적으로 적층하는 공정을 포함한다. 또한, 순차적으로 적층된 게이트 절연막과, 부유 도전층과, 게이트간 절연막을 평면적으로 볼 때 제2 트랜지스터가 형성되는 영역의 범위만을 제거하여 반도체 기판을 노출시키는 공정과, 제2 트랜지스터의 영역에만 게이트 절연막 보다 두께가 두꺼운 제2 게이트 절연막을 형성하는 공정을 포함한다. 또한, 제1 트랜지스터가 형성되는 영역의 게이트간 절연막에 부유 도전층에 닿는 관통 구멍을 개구하는 공정과, 메모리 셀부와 주변 회로부에 걸쳐서, 관통 구멍을 매립하고, 제2 게이트 절연막을 덮도록 컨트롤 게이트가 되는 컨트롤 도전층을 형성하는 공정을 포함한다.

이 방법에 의해서도, 제1 트랜지스터만이, 게이트 전극부에 메모리 셀부의 게이트간 절연막과 동일한 두께 방향 구성의 절연막을 구비하고, 제2 트랜지스터는 상부 도전층만 적층된 경우라도, 제1 트랜지스터와 메모리 트랜지스터의 게이트 산화막의 형성 공정을 공통화할 수 있어, 공정 생략을 실현할 수 있다.

<발명의 실시예>

다음에 도면을 이용하여, 본 발명의 실시예에 대하여 설명한다.

<실시예 1>

도 1을 참조하면, 본 불휘발성 반도체 기억 장치는, 메모리 셀부 R1과, 그 주변의 주변 회로부 R2로 구분되어 있다. 메모리 셀부 R1에는 메모리 트랜지스터(50)가 배치되어 있고, 또한 주변 회로부 R2에는 n 도전형 웰(4) 및 p 도전형 웰(5) 각각에 2 종류의 트랜지스터(61, 62)가 배치되어 있다. 이들 2 종류의 트랜지스터의 상위점은 후술하는 바와 같이, 게이트 절연막의 두께가 다른 것에 있다.

도 1에서는 메모리 셀부의 메모리 트랜지스터(50)는 우측의 비트선을 따르른 단면과, 좌측의 워드선에 따르른 단면이 도시되어 있다. 소자 분리대(2)에 의해 주변 회로부 R2와 분리된 메모리 셀부 R1의 실리콘 기판의 바닥부에는 n 도전형 보텀 웰(3)이 형성되고, 그 위에 p 도전형 웰(5)이 형성되어 있다. 메모리 트랜지스터(50)는 p 도전형 웰 내에 n 도전형의 소스, 드레인 영역(28a, 28b)을 구비하고, 또한 실리콘 기판(1) 위에 배치된 게이트 절연막(7)을 구비하고 있다. 게이트 절연막(7) 위에는 절연 영역(9)에 둘러싸인 도전층의 부유 게이트(8)가 배치되어 있다. 부유 게이트(8) 위에는 실리콘 산화막과 실리콘 질화막과 실리콘 산화막의 3층 절연막으로 이루어지는 게이트간 절연막(10)이 형성되어 있다. 그 게이트간 절연막 위에는 인 도핑된 다결정 실리콘막(11)이 배치되고, 그 위에 도전층의 컨트롤 게이트(12)가 형성되고, 다시 그 위에 WSi로 이루어지는 층(13)과, 그 위의 절연막(14)이 배치되어 있다.

주변 회로부 R2에는, n 도전형 웰(4)과 p 도전형 웰(5)이 형성되고, 각각의 웰 내에 상술한 바와 같이 2 종류의 트랜지스터(61, 62)가 형성되어 있다. 트랜지스터(61)는 게이트 산화막(7)을 구비하고, 트랜지스터(62)는 그보다 두꺼운 막 두께의 게이트 산화막(6, 7)을 갖고 있다. 이들 게이트 산화막(6, 7) 위에 이들 트랜지스터 모두, 메모리 트랜지스터와 동일한 막 두께 구성의 적층 구조를 구비하고 있다. 즉, 게이트 산화막 위에 부유 게이트(8)가 배치되고, 그 위에 게이트간 절연막(10)이 위치하고, 다시 인 도핑된 다결정 실리콘막(11), 컨트롤 게이트(12), WSi층(13) 및 절연막(14)이 순서대로 적층되어 있다.

도 1에서의 A부를 확대한 도면을 도 2에 도시한다. 도 2에 따르면, 게이트간 절연막(10)에 관통 구멍이 개방되어, 부유 게이트(8)와 컨트롤 게이트(12)가 도통하는 도통부가 형성되어 있다. 이 도통부로 인해, 부유 게이트(8)와 컨트롤 게이트(12)는, 통상의 트랜지스터의 게이트 전극으로서 이용할 수 있다. 도 3은 도 1에서의 B부 확대도이다. 도 2 및 도 3을 비교함으로써, 게이트 산화막으로부터 위의 게이트부의 적층 구조가, 메모리 셀부 R1의 메모리 트랜지스터(50)와, 주변 회로부 R2의 2 종류의 트랜지스터(61, 62)에서 동일한 것을 알 수 있다. 이 때문에, 주변 회로부의 트랜지스터의 게이트 전극을 부유 게이트와 컨트롤 게이트를 포함하는 메모리 트랜지스터의 게이트부와 동일한 타이밍에서 제조하는 것이 가능해진다.

주변 회로부에서는, 트랜지스터는, 실리콘 기판에 형성된 저농도 불순물 영역(15, 16)과, 게이트 전극 측면의 측벽 스페이서(17)를 마스크로 이용하여 불순물을 더 주입한 고농도 불순물 영역(18, 19)을 구비하고 있다. 고농도 불순물 영역(18, 19)에는 층간 절연막(22) 위에 배치된 배선(26)에 도통하는 플러그 배선(23)이 접속되어 있다.

다음에, 도 1에 도시한 불휘발 반도체 기억 장치의 제조 방법에 대하여 설명한다. 우선, <100>의 결정 방위의 p 도전형 실리콘 기판(101)의 주 표면에서, 실리콘 산화막으로 이루어지는 소자 분리 영역(2)을 형성한다(도 4). 계속해서, 실리콘 기판(1)의 주 표면에서, 레지스트 패턴을 마스크로 이용하여, 메모리 셀이 형성되는 영역에 인을, 예를 들면 3MeV의 가속 에너지, 1.0E13의 밀도로 이온 주입한다. 이에 의해, n 도전형 보텀 웰 영역(3)을 형성하고 레지스트를 제거한다(도 5).

계속해서, 주변 회로부 R2의 p 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, (a) 인을 예를 들면 1.2MeV의 가속 에너지, 1.0E13의 밀도로 이온 주입한다. 또한, 동일한 영역에, (b) 채널 컷트를 위한 인을, 예를 들면 700keV, 3.0E12로 이온 주입하고, 또한, (c) 카운터 도핑을 위한 붕소를 예를 들면 20keV, 1.5E12로 이온 주입한다. 이들 이온 주입에 의해 n 도전형 웰 영역(4)이 형성된다(도 6).

이 후, 주변 회로부 R2의, n 도전형 MOS 트랜지스터가 형성되는 영역과, 메모리 셀부의 메모리 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 다음의 이온 주입(a), (b), (c)을 행한다. 예를 들면, (a) 붕소를 가속 에너지 700keV, 밀도 1.0E13 정도로 이온 주입한다. 또한 (b) 가속 에너지 270keV, 밀도 3.5E12로 p 채널 컷트를 위한 붕소를 이온 주입한다. 또한 (c) 가속 에너지 50keV, 밀도 1.2E12로 채널 도핑을 위한 붕소를 이온 주입한다. 상기 (a), (b), (c)의 이온 주입에 의해, p 도전형 웰 영역(5)을 형성한다(도 7).

실리콘 기판(1)의 주 표면의 위에, 열 산화법을 이용하여 두께 20nm 정도의 실리콘 산화막(6)을 성막한다. 계속해서, 그 실리콘 산화막 위에 포토리소그래피에 의해서 레지스트 패턴을 형성하고, 그 레지스트 패턴을 마스크로 이용하여, 메모리 셀 트랜지스터가 형성되는 영역과, 주변 회로부의 저내압 트랜지스터(61)가 형성되는 영역의 상기 실리콘 산화막(6)을 에칭하여 제거한다. 따라서, 도 8에 도시한 바와 같이, 주변 회로부의 고내압 트랜지스터(62)가 형성되는 영역에만 두께 20nm 정도의 실리콘 산화막(6)이 배치된다.

다음에, 상기 실리콘 산화막(6) 및 실리콘 기판(1)의 주 표면 위에, 열 산화법을 이용하여, 두께 10nm의 실리콘 산화막(7)을 형성한다. 계속해서, 그 위에 두께 200nm 정도의 인 도핑된 다결정 실리콘막(8)을 형성한다. 이 때, 주변 회로부의 저내압 트랜지스터의 영역의 실리콘 산화막의 두께는 20nm 이상 30nm 미만의 두께로 된다. 다음에, 인 도핑된 다결정 실리콘막(8) 위에 포토리소그래피에 의해서 레지스트 패턴을 형성하고, 그 레지스트 패턴을 마스크로 이용하여 인 도핑된 다결정 실리콘막(8)을 패터닝한다(도 9).

메모리 셀부의 메모리 트랜지스터가 형성되는 영역에 레지스트 패턴을 마스크로 이용하여, 비소를 예를 들면 가속 에너지 35keV, 밀도 3.0E15로 주입하여, n 도전형 불순물 확산층(28a, 28b)을 형성한다(도 10).

이 후, 실리콘 기판(1) 위에 감압 CVD법에 의해 두께 800nm의 실리콘 산화막(9)을 퇴적한다. 계속해서 이 실리콘 산화막(9)을 전면 에칭함으로써, 인 도핑된 다결정 실리콘막(8)의 표면을 노출시킨다(도 11).

계속해서, 실리콘 기판의 주 표면 전면 위에 3층이 적층된 3층 절연막(10)을 형성한다(도 12). 이 3층 절연막은, 우선 열 산화법을 이용하여 두께 5nm의 실리콘 산화막을 형성한 후, 그 위에 감압 CVD법을 이용하여 두께 10nm의 실리콘 질화막을 형성하고, 다시 그 위에 감압 CVD법을 이용하여 두께 5nm의 실리콘 산화막을 형성함으로써 얻어진 다.

이 후, 3층 절연막(10) 위에 인 도핑된 다결정 실리콘막(11)을 형성한다. 계속해서, 실리콘 기판의 주표면 전면에 포토 리소그래피에 의해서 레지스트 패턴을 형성하고, 주변 회로부의 인 도핑된 다결정 실리콘막(11) 및 3층 절연막(10)을 패터닝한다. 이 패터닝에 의해서, 도 13에 도시한 바와 같이, 주변 회로부의 고내압 및 저내압 트랜지스터가 형성되는 영역에 컨택트홀(25)이 개구된다.

HF 용액 등을 이용하여, 인 도핑된 다결정 실리콘막(11)에 부착된 자연 산화막을 제거한 후, 그 위에 두께 200nm의 인 도핑된 다결정 실리콘막(12)을 형성한다. 계속해서, 그 위에 두께 100nm 정도의 WSi막(13)을 형성한 후, 두께 200nm 정도의 실리콘 산화막(14)을 형성한다. 이 후, 포토리소그래피에 의해서 레지스트 패턴을 형성하고, 이 레지스트 패턴을 마스크로 이용하여 실리콘 산화막(14)을 패터닝한다. 계속해서 이 실리콘 산화막(14)을 마스크로 이용하여, WSi막(13)을, 계속해서 인 도핑된 다결정 실리콘막(12), 인 도핑된 다결정 실리콘막(11), 3층 절연막(10), 인 도핑된 다결정 실리콘막(8)을 순서대로 패터닝한다(도 14).

도 15는 도 14의 C부를 확대한 도면이다. 3층 절연막(10) 및 인 도핑된 다결정 실리콘막(11)에 개방된 컨택트홀을 관통하여, 컨트롤 게이트의 인 도핑된 다결정 실리콘막(12)이 부유 게이트(8)에 전기적으로 접속되어 있다.

다음에, 주변 회로부 R2의 n 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 인 도핑된 다결정 실리콘막(11)을 패터닝한다. 계속해서, 주변 회로부의 p 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 붕소를 예를 들면 가속 에너지 50keV, 밀도 1.5E13 정도로 이온 주입하여, p 도전형 MOS 트랜지스터의 저농도 불순물 영역(16)을 형성한다(도 17).

이 후, CVD(Chemical Vapor Deposition)법에 의해 실리콘 산화막을 형성하고, 계속해서, 산화막 이방성 에칭에 의해 측벽 스페이서(17)를 형성한다(도 18). 계속해서, 주변 회로부 R2의 n 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 비소를 예를 들면 가속 에너지 35keV, 밀도 4.0E15 정도로 이온 주입하여, n 도전형 MOS 트랜지스터의 고농도 불순물 영역(18)을 형성한다(도 19). 계속해서, 주변 회로부 R2의 p 도전형 MOS 트랜지스터가 형성되는 영역에 레지스트 패턴을 마스크로 이용하여 BF2를, 예를 들면 가속 에너지 20keV, 밀도 2.0E15 정도로 이온 주입하여, p 도전형 MOS 트랜지스터의 고밀도 불순물 영역(19)을 형성한다(도 20).

상기한 불휘발성 반도체 기억 장치에 있어서는, 메모리 셀부에서는 3층 절연막(10)으로 이루어지는 게이트간 절연막에 의해서 절연되어 있는 부유 게이트(FG)와 컨트롤 게이트(CG)를, 주변 회로부에서는 도통 상태로 하여, 통상의 게이트 전극으로 하고 있다. 이 때문에, 메모리 셀부의 불휘발성 트랜지스터(50)의 게이트 절연막과, 주변 회로부의 저내압 트랜지스터의 게이트 절연막을, 동일한 기법에 제조할 수 있다. 또한, 메모리 셀부의 불휘발성 트랜지스터의 게이트부와, 주변 회로부의 트랜지스터의 게이트부를 동일한 기법에 병행적으로 제조할 수 있다. 그 결과, 처리 공정의 생략을 도모할 수 있어, 열 산화 처리 시에 발생하는 반도체 기판의 결정 결함을 억제할 수 있다. 또한, 메모리 셀부에 가해지는 열 처리 시간의 삭감에 의해 불순물 영역의 확대를 억제할 수 있어, 메모리 셀부의 미세화를 저해하지 않는다.

또한, 3층 절연막 위에 박막의 인 도핑된 다결정 실리콘막을 퇴적함으로써, 인 도핑된 다결정 실리콘막 및 3층 절연막에 컨택트홀(25)을 개구한 후에, 그 인 도핑된 다결정 실리콘 위에 부착되는 자연 산화막을, 예를 들면 HF 용액 등을 이용하여 제거할 수 있다. 이 때문에, 주변 회로부에서, 부유 도전층과 컨트롤 도전층을 확실하게 도통시킬 수 있다.

<실시예 2>

본 발명의 실시예 2에 따른 불휘발성 반도체 기억 장치의 구조는, 도 1에 도시한 불휘발성 반도체 기억 장치와 동일하다. 본 실시예에서의 불휘발성 반도체 기억 장치의 주변 회로부 R2에서의 인 도핑된 다결정 실리콘막(8)의 인 농도는, 실시예 1에서의 인 도핑된 다결정 실리콘막의 인 농도보다도 높은 점에 특징이 있다.

본 실시예 2에 따른 불휘발성 반도체 기억 장치의 제조 방법은, 기본적으로 실시예 1에서의 제조 방법과 동일하다. 실시예 1에서의 도 1~도 13의 공정이 그대로 이용된다. 도 13에 도시한 바와 같이, 3층 절연막(10) 및 인 도핑된 다결정 실리콘막(11)에 컨택트홀(25)을 개구한 후, 레지스트 패턴을 마스크로 이용하여, 주변 회로부에 인을 이온 주입한다. 이 때문에, 주변 회로부의 인 도핑된 다결정 실리콘막(8)은 메모리 셀부의 부유 게이트가 되는 인 도핑된 실리콘막(8)보다도, 높은 인 농도를 갖는다. 이 후의 제조 공정은, 실시예 1에서의 제조 공정을 도시한 도 14~20과 동일하다.

상기한 실시예 2에서의 불휘발성 반도체 기억 장치는, 실시예 1의 불휘발성 반도체 기억 장치의 작용 효과에 부가하여, 다음의 작용 효과를 갖는다. 통상, 인 도핑된 다결정 실리콘막(11)의 불순물 농도는, 메모리 셀부의 메모리 트랜지스터의 특성에 따라서 결정되고, 그 불순물 농도는, 예를 들면 4E20/cm³ 정도이다. 한편, 주변 회로부의 트랜지스터의 게이트 전극으로 하기 위해서는, 그 게이트재의 공핍화를 억제하기 위하여 메모리 셀부의 농도보다도 높은 농도인 것이 바람직하다. 본 실시예에 따르면, 실시예 1의 처리 공정에 대하여 이온 주입 공정을 1 공정만 추가하면 된다. 그 결과, 간단한 공정 변경에 의해, 메모리 셀부의 트랜지스터와 주변 회로부의 트랜지스터에서 불순물 농도가 서로 다른 게이트재를 얻을 수 있다.

상기한 불휘발성 반도체 기억 장치는 다음의 제조 방법을 이용하여 제조할 수 있다. 우선, 실시예 1에서의 도 1~도 10의 수순에 따라 제조해간다. 도 10은 3층 절연막(10) 위에 인 도핑된 다결정 실리콘막(11)을 형성하고, 주변 회로부의 트랜지스터 형성 영역에 인 도핑된 다결정 실리콘막(8)에 닿은 관통 구멍을 개구한 상태의 단면도이다.

본 실시예에서는, 이 후 도 19에 도시한 바와 같이, 메모리 셀부를 제외하고 주변 회로부에만 인을 주입한다. 이 인의 주변 회로 영역에의 주입에 의해, 주변 회로부의 인 도핑된 다결정 실리콘막(8)의 인 농도는 메모리 셀부의 인 농도보다 높아진다.

이 후의 제조 공정은, 실시예 1에서의 도 11~도 18의 처리 공정에 따라서 행해진다.

상기 불휘발성 반도체 기억 장치에서는, 상기 실시예 1의 불휘발성 반도체 기억 장치에 있어서 얻어지는 이점 외에, 다음의 이점을 얻을 수 있다.

인 도핑된 다결정 실리콘막(11)에서는 메모리 셀의 특성에 의해, 그 농도를 결정하는 필요가 있다. 통상, 그 농도는, 예를 들면 $4E20/cm^3$ 정도이다. 한편, 주변 회로부의 트랜지스터의 게이트 전극의 경우, 게이트 전극재의 공핍화를 억제하기 위해서, 그보다도 고농도인 것이 바람직하다. 본 실시예의 제조 방법에 따르면, 실시예 1에서의 제조 공정에 대하여 이온 주입 공정을 1 공정 추가하는 것만으로, 메모리 셀과 주변 회로에서 게이트 전극의 불순물 농도를 바꿀 수 있다.

<실시예 3>

도 22를 참조하여, 본 실시예에서의 불휘발성 반도체 기억 장치에서는, 주변 회로부 R2에서의, 고내압 트랜지스터(62)와 저내압 트랜지스터(61)는, 게이트 절연막의 두께뿐만 아니라, 적층 구조에도 상위점이 있다. 도 23은 도 22의 주변 회로부에서의 D부 확대 도면이다. 도 23에 있어서, 고내압 트랜지스터(62)의 게이트 절연막(37)은 단층이고, 저내압 트랜지스터(61)의 게이트 절연막(7)보다도 두껍다.

또한, 저내압 트랜지스터(61)의 게이트부의 적층 구조는 메모리 트랜지스터의 게이트부의 적층 구조와 동일하다. 단, 게이트간 절연막(10)에는 컨택트 홀(25)이 개구되고, 컨트롤 게이트의 도전층이 매립되어, 컨트롤 게이트와 부유 게이트가 전기적으로 접속되어 있다. 이 도통부의 부분을 제외하면, 메모리 트랜지스터와 마찬가지로, 게이트 산화막(7) 위에 부유 게이트층(8)이, 그 위에 게이트간 절연막(10)이, 다시 그 위에 컨트롤 게이트층(12)이, 그 위에 WSi층(13)이, 다시 그 위에 절연막(14)이 배치되어 있다.

한편, 고내압 트랜지스터(62)에서는, 게이트 산화막(37) 위에 컨트롤 게이트층(12)이, 다시 그 위에 WSi층(13)이, 다시 그 위에 절연막(14)이 배치되어 있다. 고내압 트랜지스터에서는, 게이트간 절연막을 포함하고 있지 않다.

다음에, 본 실시예에서의 불휘발성 반도체 기억 장치의 제조 방법을 설명한다. 다음에, 도 23에 도시한 불휘발 반도체 기억 장치의 제조 방법에 대하여 설명한다. 우선, <100>의 결정 방위의 p 도전형 실리콘 기판(101)의 주 표면에, 실리콘 산화막으로 이루어지는 소자 분리 영역(2)을 형성한다(도 4 참조). 계속해서, 실리콘 기판(1)의 주 표면에서, 레지스트 패턴을 마스크로 이용하여, 메모리 셀이 형성되는 영역에 인을, 예를 들면 3MeV의 가속 에너지, $1.0E13$ 의 밀도로 이온 주입하여, n 도전형 보텀 웰 영역(3)을 형성한다(도 5 참조).

계속해서, 주변 회로부 R2의 p 도전형 MOS 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, (a) 인을 예를 들면 1.2MeV의 가속 에너지, $1.0E13$ 의 밀도로 이온 주입한다. 또한, 동일한 영역에, (b) 채널 컷트를 위한 인을, 예를 들면 700keV, $3.0E12$ 로 이온 주입하고, 또한 (c) 카운터 도핑을 위한 붕소를, 예를 들면 20keV, $1.5E12$ 로 이온 주입한다. 이들 이온 주입에 의해 n 도전형 웰 영역(4)이 형성된다(도 6 참조).

이 후, 주변 회로부 R2의 n 도전형 MOS 트랜지스터가 형성되는 영역과, 메모리 셀부의 메모리 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 예를 들면, (a) 붕소를 가속 에너지 700keV, 밀도 $1.0E13$ 정도로 이온 주입한다. 또한 (b) 가속 에너지 270keV, 밀도 $3.5E12$ 로 p 채널 컷트를 위한 붕소를 이온 주입한다. 또한 (c) 가속 에너지 50keV, 밀도 $1.2E12$ 로 채널 도핑을 위한 붕소를 이온 주입한다. 상기 (a), (b), (c)의 이온 주입에 의해 p 도전형 웰 영역(5)을 형성한다(도 7 참조).

다음에, 실리콘 기판(1)의 주 표면 위에, 열 산화법을 이용하여, 두께 10nm의 실리콘 산화막(7)을 형성한다. 계속해서, 그 위에 두께 200nm 정도의 인 도핑된 다결정 실리콘막(8)을 형성한다. 다음에, 인 도핑된 다결정 실리콘막(8)의 위에 포토리소그래피에 의해서 레지스트 패턴을 형성하고, 그 레지스트 패턴을 마스크로 이용하여 인 도핑된 다결정 실리콘막(8)을 패터닝한다(도 24).

메모리 셀부의 메모리 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 비소를, 예를 들면 가속 에너지 35keV, 밀도 $3.0E15$ 로 주입하여, n 도전형 불순물 확산층(28a, 28b)을 형성한다(도 25).

이 후, 실리콘 기판(1) 위에 감압 CVD법에 의해 두께 800nm의 실리콘 산화막(9)을 퇴적하고, 계속해서 이 실리콘 산화막(9)을 전면 에칭함으로써, 인 도핑된 다결정 실리콘막(8)의 표면을 노출시킨다(도 26).

계속해서, 실리콘 기판의 주 표면 전면 위에 열 산화법을 이용하여 두께 5nm의 실리콘 산화막을 형성한다. 다음에, 그 위에 감압 CVD법을 이용하여 두께 10nm의 실리콘 질화막을 형성한다. 다시 그 위에 감압 CVD법을 이용하여 두께 5nm의 실리콘 산화막을 형성하여, 3층이 적층한 3층 절연막(10)을 형성한다(도 27).

이 후, 3층 절연막 위에 형성된 레지스트 패턴을 마스크로 이용하여, 도 28에 도시한 바와 같이, 주변 회로부 R2의 고내압 트랜지스터가 형성되는 영역의 상의 3층 절연막(10) 및 인 도핑된 다결정 실리콘막(8)을 에칭 제거한다.

계속해서, 열 산화법을 이용하여, 도 29에 도시한 바와 같이, 실리콘 기판 위에 두께 20nm 정도의 실리콘 산화막(37)을 형성한다. 이 실리콘 산화막(37)이 고내압 트랜지스터의 게이트 절연막이 된다. 이 실리콘 산화막(37)의 형성 시에, 메모리 셀부와, 주변 회로부의 저내압 트랜지스터의 영역의 실리콘 기판 표면은 3층 절연막 중의 실리콘 질화막에 의해 열 산화가 방지되어 있다.

계속해서, 주변 회로부의 저내압 트랜지스터가 형성되는 영역의 상의 3층 절연막(10)에, 인 도핑된 다결정 실리콘막(12)에 닿도록 콘택트홀(25)을 개구한다(도 30).

계속해서, 콘택트홀(25)을 매립하면서, 3층 절연막(10) 및 실리콘 산화막(37) 위에, 두께 200nm의 인 도핑된 다결정 실리콘막(12)을 형성한다. 계속해서, 인 도핑된 다결정 실리콘막(12) 위에 두께 100nm 정도의 WSi막(13)을 형성하고, 또한 그 위에 두께 200nm 정도의 실리콘 산화막(14)을 형성한다. 이 후, 포토리소그래피에 의해서 레지스트 패턴(14)을 마스크로 이용하여, WSi막(13)을, 계속해서 인 도핑된 다결정 실리콘막(12), 인 도핑된 다결정 실리콘막(11), 3층 절연막(10), 인 도핑된 다결정 실리콘막(8)을 순서대로 패터닝한다(도 31).

도 32는 도 31의 E부를 확대한 도면이다. 3층 절연막(10)에 개구된 콘택트홀(25)을 관통하여, 컨트롤 게이트의 인 도핑된 다결정 실리콘막(12)이 부유 게이트(8)에 전기적으로 접속되어 있다.

이 후의 제조 공정은, 실시예 1로 도시한 도 16~도 20의 제조 공정에 따라서 처리가 행해진다.

본 실시예에서의 불휘발성 반도체 기억 장치의 메모리 셀부의 메모리 트랜지스터에서는, 부유 게이트와 컨트롤 게이트는 게이트간 절연막에 의해 절연된다. 그러나, 주변 회로부의 저내압 트랜지스터에서는, 부유 게이트와 컨트롤 게이트에 대응하는 2개의 도전층은, 전기적으로 접속되어 있다. 이 때문에, 저내압 트랜지스터에서는 부유 게이트와 컨트롤 게이트에 대응하는 도전층을 모두 게이트 전극으로서 이용할 수 있다. 또한, 주변 회로부의 고내압 트랜지스터에서는 컨트롤 게이트에 대응하는 도전층을 게이트 전극으로 이용하고 있다. 이 때문에, 메모리 트랜지스터의 게이트 산화막(7)과, 저내압 트랜지스터의 게이트 산화막(7)을 공통으로 할 수 있다. 그 결과, 즉시 산화 공정의 삭감을 달성할 수 있다. 또한, 열 산화 처리 시에 실리콘 기판에 발생하는 결정 결함을 억제할 수 있다. 또한, 메모리 셀부에 가해지는 열 산화 처리 시간의 삭감에 의해, 메모리 셀의 미세화의 장애가 되지 않는다.

<실시예 4>

본 발명의 실시예 4에 따른 불휘발성 반도체 기억 장치의 구조는, 도 22에 도시한 불휘발성 반도체 기억 장치와 동일하다. 본 실시예에서의 불휘발성 반도체 기억 장치의 주변 회로부 R2에서의 인 도핑된 다결정 실리콘막(8)의 인 농도는, 실시예 3에서의 인 도핑된 다결정 실리콘막의 인 농도보다도 높은 점에 특징이 있다.

본 실시예 4에서의 불휘발성 반도체 기억 장치의 제조 방법은, 기본적으로 실시예 3에서의 제조 방법과 동일하다. 실시예 1에서의 도 4~도 7의 공정 및 실시예 3에서의 도 24~도 31의 공정이 그대로 이용된다.

즉, 도 7의 상태의 실리콘 기판(1)의 주 표면 위에, 열 산화법을 이용하여, 두께 10nm의 실리콘 산화막(7)을 형성한다. 계속해서, 그 위에 두께 200nm 정도의 인 도핑된 다결정 실리콘막(8)을 형성한다. 다음에, 인 도핑된 다결정 실리콘막(8) 위에 포토리소그래피에 의해서 레지스트 패턴을 형성하고, 그 레지스트 패턴을 마스크로 이용하여 인 도핑된 다결정 실리콘막(8)을 패터닝한다(도 24 참조).

메모리 셀부의 메모리 트랜지스터가 형성되는 영역에, 레지스트 패턴을 마스크로 이용하여, 비소를 예를 들면 가속 에너지 35keV, 밀도 3.0E15로 주입하여, n 도전형 불순물 확산층(28a, 28b)을 형성한다(도 25 참조).

이 후, 실리콘 기판(1) 위에, 감압 CVD법에 의해 두께 800nm의 실리콘 산화막(9)을 퇴적한다. 계속해서 이 실리콘 산화막(9)을 전면 에칭함으로써, 인 도핑된 다결정 실리콘막(8)의 표면을 노출시킨다(도 26 참조).

계속해서, 실리콘 기판의 주 표면 전면 위에 열 산화법을 이용하여 두께 5nm의 실리콘 산화막을 형성한다. 다음에, 그 위에 감압 CVD법을 이용하여 두께 10nm의 실리콘 질화막을, 또한 그 위에 감압 CVD법을 이용하여 두께 5nm의 실리콘 산화막을 형성하여, 3층이 적층된 3층 절연막(10)을 형성한다(도 27 참조).

이 후, 3층 절연막 위에 형성된 레지스트 패턴을 마스크로 이용하여, 주변 회로부 R2의 고내압 트랜지스터가 형성되는 영역의 상의 3층 절연막(10) 및 인 도핑된 다결정 실리콘막(8)을 에칭 제거한다(도 28 참조).

계속해서, 열 산화법을 이용하여, 실리콘 기판 위에 두께 20nm 정도의 실리콘 산화막(37)을 형성한다(도 29 참조). 이 실리콘 산화막(37)이 고내압 트랜지스터의 게이트 절연막이 된다. 이 실리콘 산화막(37)의 형성 시에, 메모리 셀부와, 주변 회로부의 저내압 트랜지스터의 영역의 실리콘 기판 표면은 3층 절연막 중 실리콘 질화막에 의해서 열 산화가 방지되어 있다.

계속해서, 주변 회로부의 저내압 트랜지스터가 형성되는 영역의 상의 3층 절연막(10)에, 인 도핑된 다결정 실리콘막(12)에 닿도록 콘택트홀(25)을 개구한다(도 30 참조).

이 후, 도 33에 도시한 바와 같이, 주변 회로부 R2의 저내압 트랜지스터의 영역에 인을 이온 주입한다. 인 도핑된 다결정 실리콘막의 불순물 농도는 메모리 트랜지스터에 요구되는 특성에 따라서 결정된다. 그 불순물 농도는, 예를 들면 4E20/cm² 정도이고, 도전층으로서 처리되는 게이트 전극의 불순물 농도로서는 낮은 농도이다. 주변 회로부의 트

랜지스터의 게이트 전극에는 그 게이트 전극의 공핍화를 억제하기 위해서, 상기 값보다도 고농도인 것이 바람직하다. 이 이온 주입 공정을 늘리는 것만으로, 주변 회로부의 저내압 트랜지스터의 게이트 전극의 불순물 농도를 메모리 트랜지스터의 게이트 전극의 그것보다도 고농도로 할 수 있다.

또, 주변 회로부의 고내압 트랜지스터의 게이트 전극은, 원래 불순물 농도가 높은 메모리 트랜지스터의 컨트롤 게이트에 대응하는 도전층과 동일하기 때문에, 특별히 불순물 농도를 높이는 처리를 추가하지 않아도 주변 회로부의 트랜지스터의 게이트 전극에 필요로 되는 불순물을 포함하고 있다.

발명의 효과

본 발명의 불휘발성 반도체 기억 장치를 이용함으로써, 고온 열 처리의 횟수를 최소한으로 줄여, 주변 회로부에서, 고내압 트랜지스터와 동작 속도를 중시한 저내압 트랜지스터를 간편하게 형성할 수 있다. 이 제조 방법에서는, 고온 열 처리의 횟수를 억제하기 때문에, 반도체 기판에의 결정 결함의 도입이 억제되고, 또한 불순물 확산이 억제되므로, 불순물 확산 영역의 고온 가열 이력의 축적에 수반하는 불순물 확산 영역의 확대를 방지할 수 있다. 이 때문에, 불휘발성 반도체 기억 장치의 미세화의 저해 요인이 되지 않는다. 또한, 게이트간 절연막 위에 도핑된 실리콘막을 형성함으로써, 게이트간 절연막에 콘택트홀을 개구한 후에, 그 바닥부에 생기는 자연 산화막을 HF 용액 등을 이용하여 간단히 제거할 수가 있어, 부유 게이트 및 컨트롤 게이트에 대응하는 도전층의 전기적 접속을 확실하게 할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 위에 메모리 셀부와 그 주변에 위치하는 주변 회로부를 포함하고,

상기 메모리 셀부에 있어서, 게이트 절연막 위에 위치하는 부유 게이트와, 그 부유 게이트 위에 위치하는 게이트간 절연막과, 상기 게이트간 절연막 위에 위치하는 컨트롤 게이트를 갖는 메모리 트랜지스터를 포함하고, 또한 상기 주변 회로부에 있어서, 제1 게이트 절연막을 포함하는 제1 트랜지스터와 제2 게이트 절연막을 포함하는 제2 트랜지스터를 포함하며,

상기 제1 및 제2 트랜지스터 각각은, 그의 게이트 절연막 위에 아래로부터 순서대로 서로 접하여 위치하는, 하부 도전층과 중간 절연막과 상부 도전층을 포함하며, 상기 하부 도전층은 상기 부유 게이트와 동일한 두께 방향 구성을 갖고, 상기 중간 절연막은 상기 게이트간 절연막과 동일한 두께 방향 구성의 절연막을 포함하고, 상기 상부 도전층은 상기 컨트롤 게이트의 도전층과 동일한 두께 방향 구성을 갖고,

상기 중간 절연막은, 상기 상부 도전층과 상기 하부 도전층을 전기적으로 접속하는 도통부를 포함하고,

상기 메모리 셀부에 있어서의 부유 게이트 및 상기 주변 회로부에 있어서의 하부 도전층은, 불순물을 포함하는 도핑된 실리콘으로부터 형성되고, 상기 하부 도전층의 불순물 농도가 상기 부유 게이트의 불순물 농도보다 높은 불휘발성 반도체 기억 장치.

청구항 2.

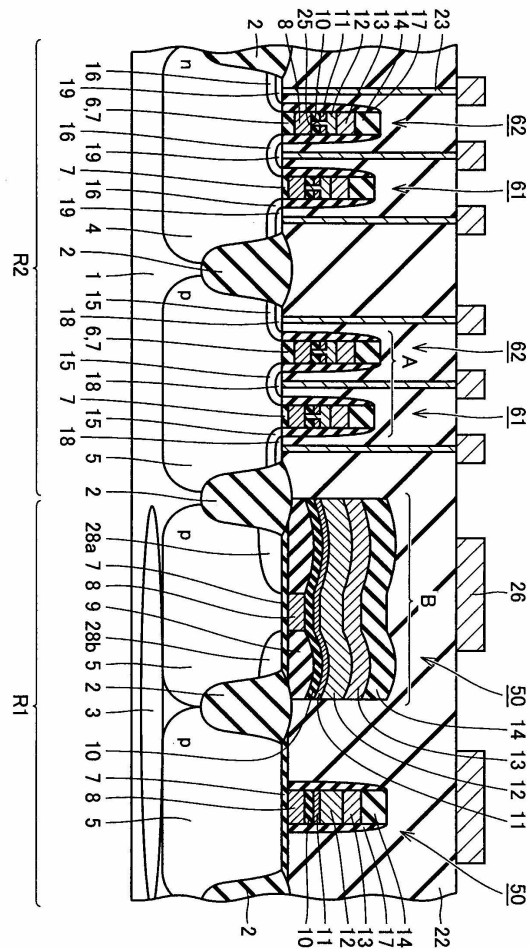
삭제

청구항 3.

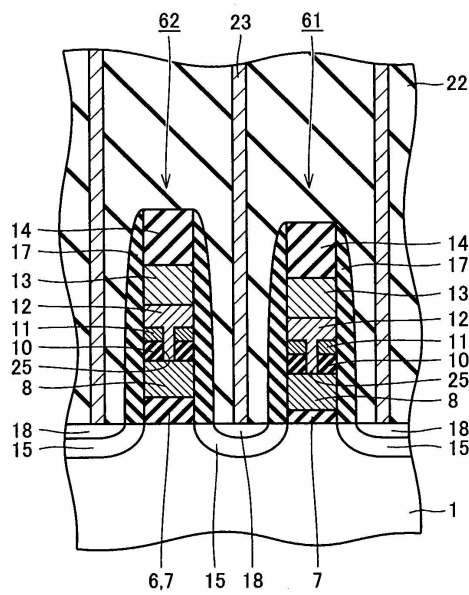
삭제

도면

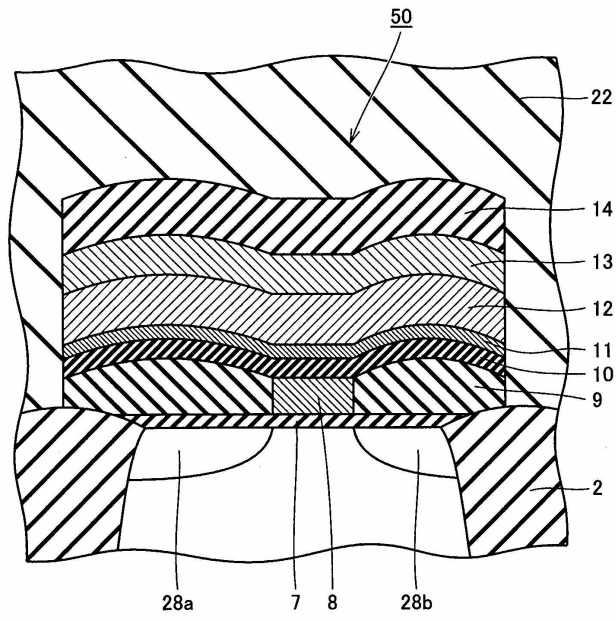
도면1



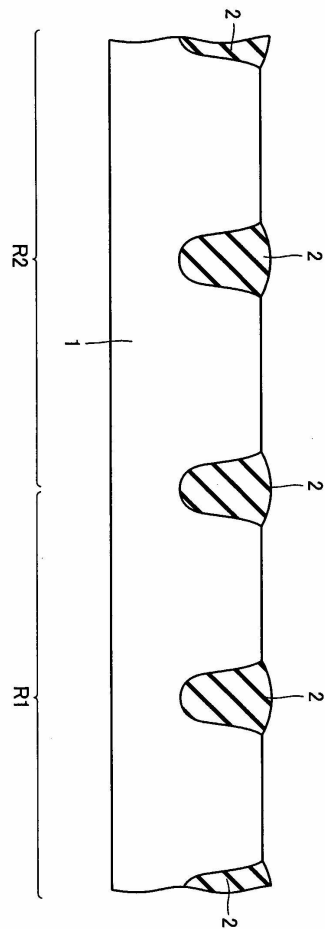
도면2



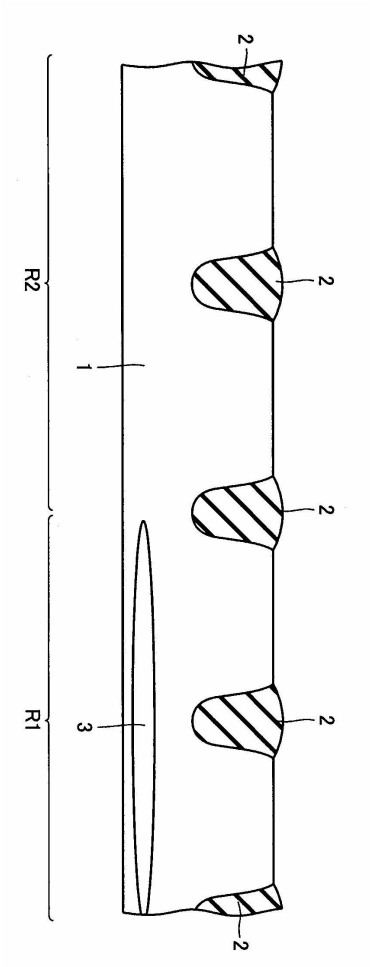
도면3



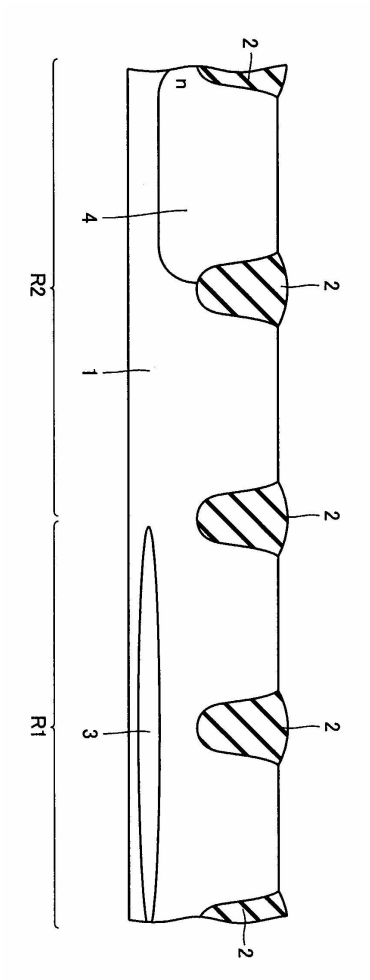
도면4



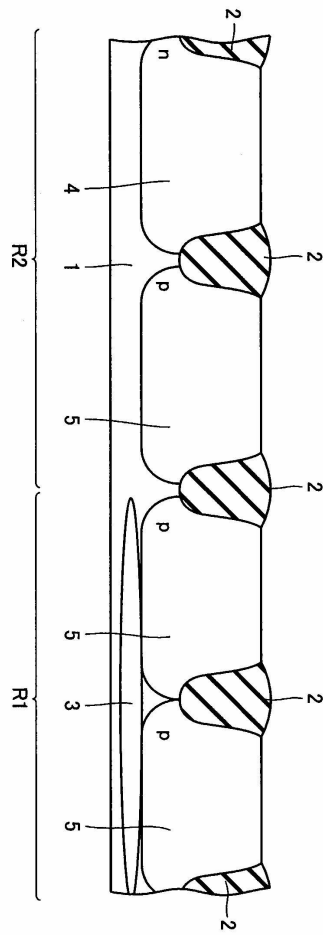
도면5



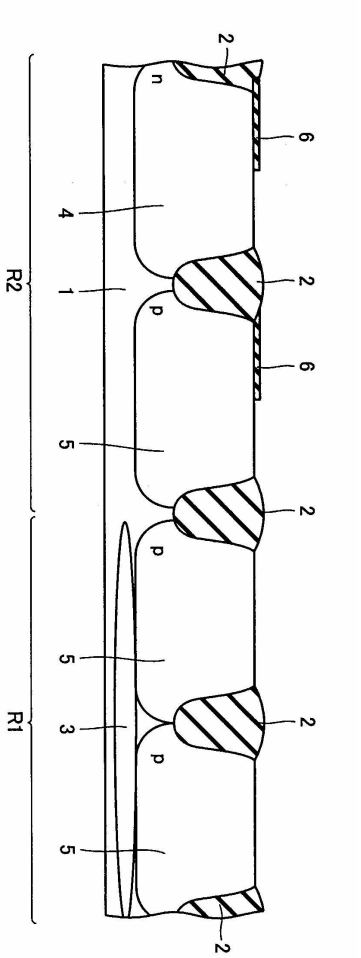
도면6



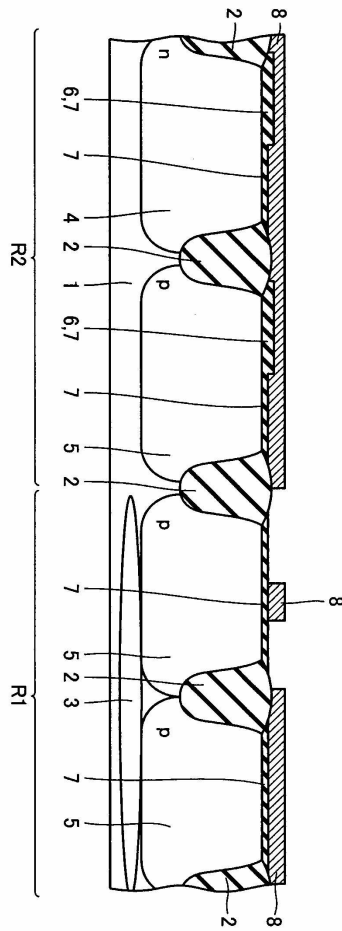
도면7



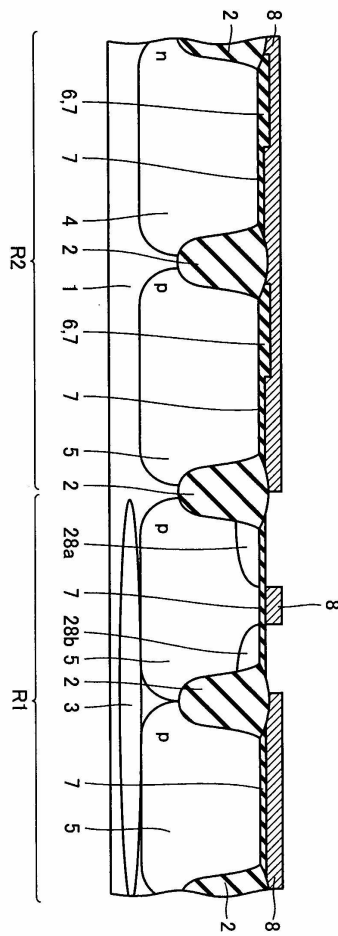
도면8



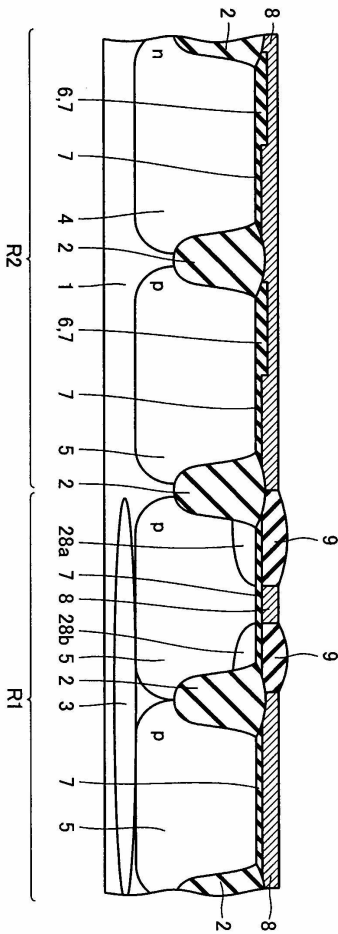
도면9



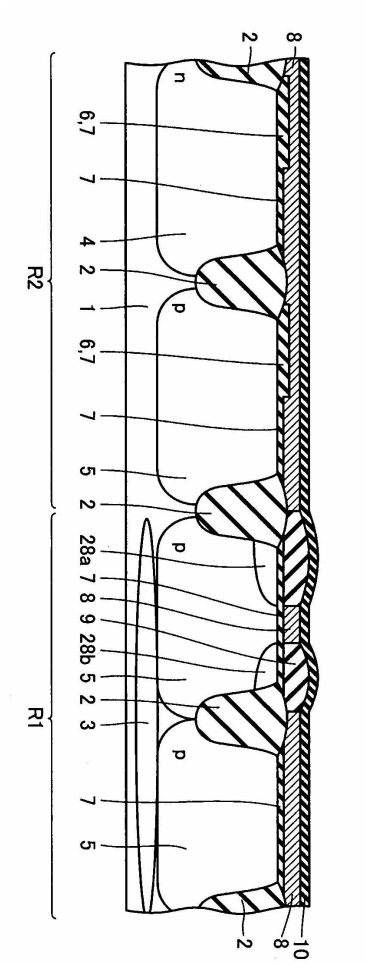
도면10



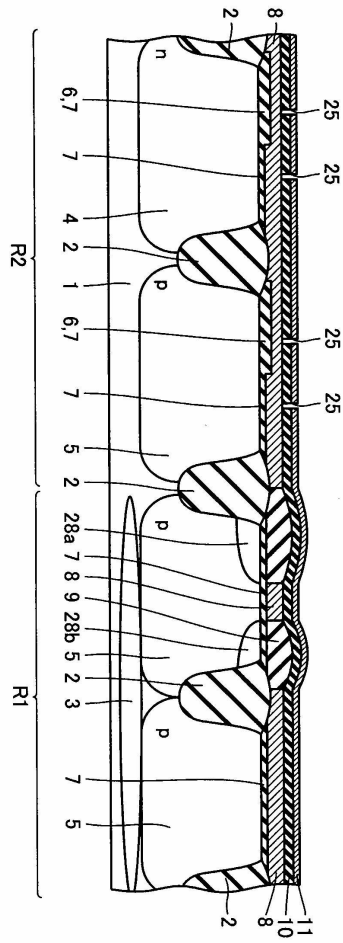
도면11



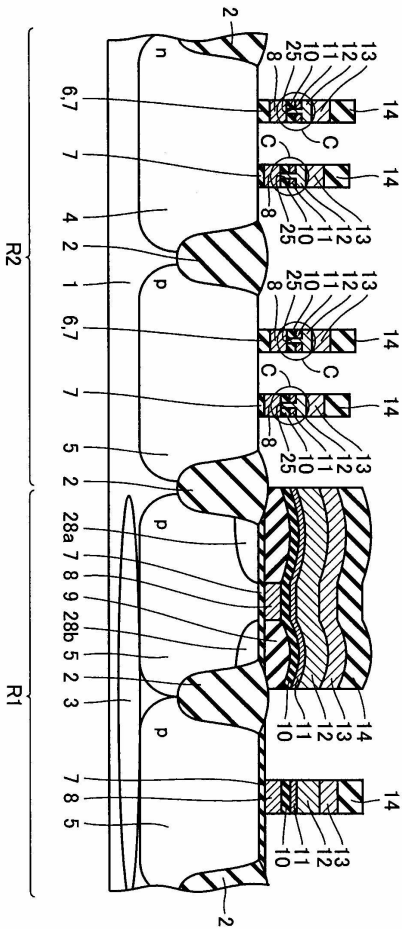
도면12



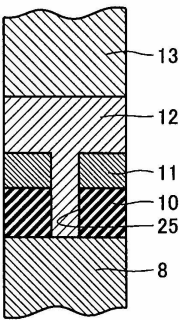
도면13



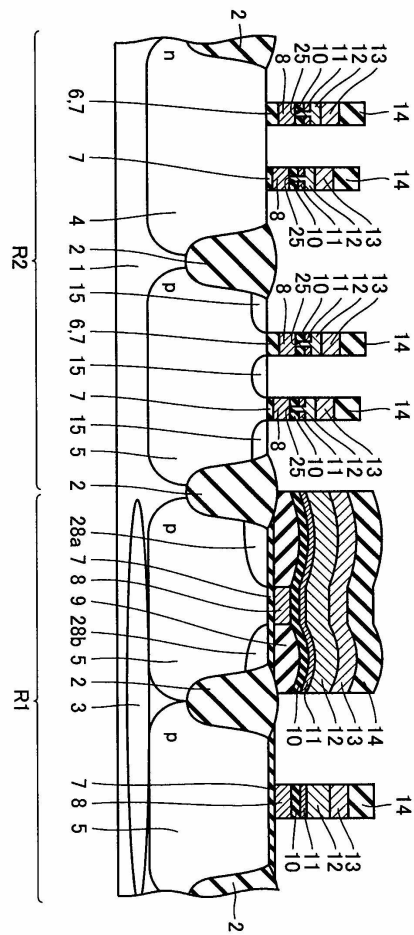
도면14



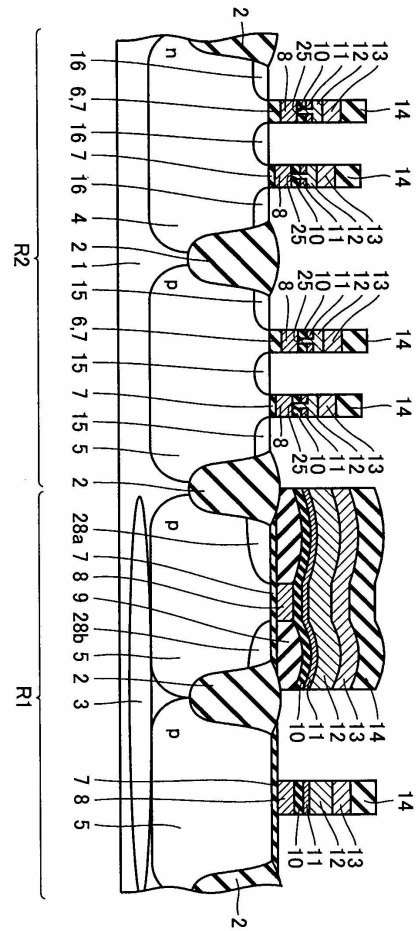
도면15



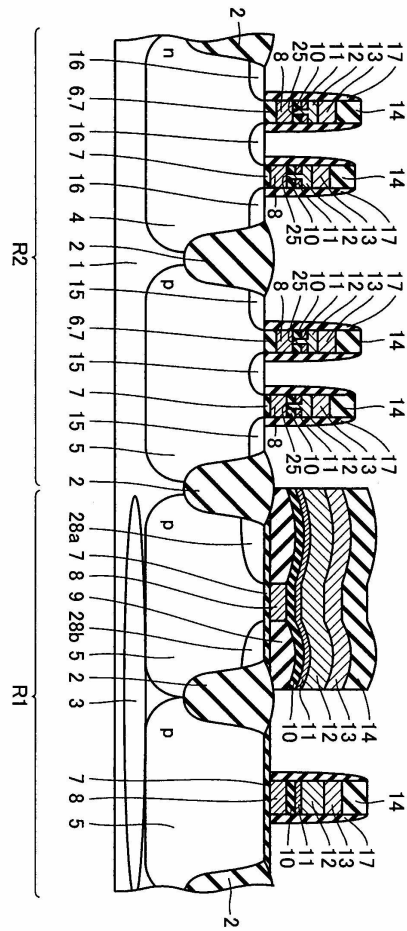
도면16



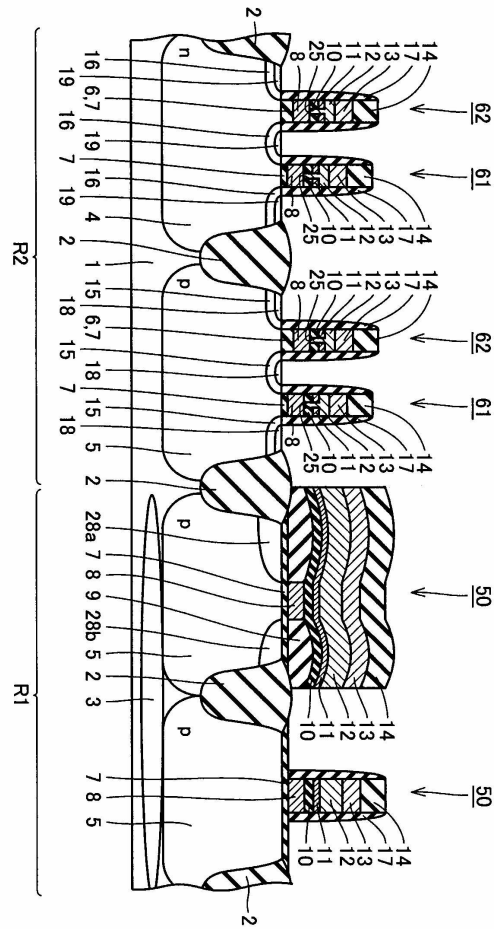
도면17



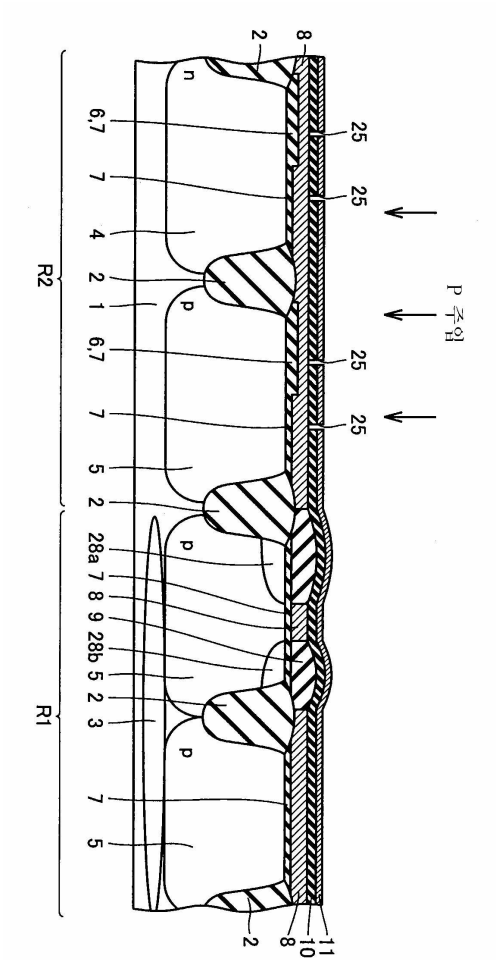
도면18



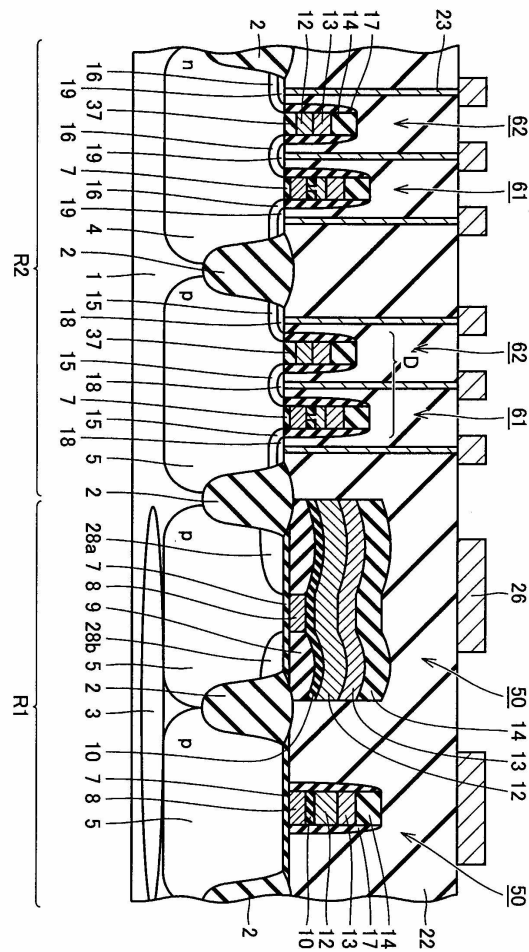
도면20



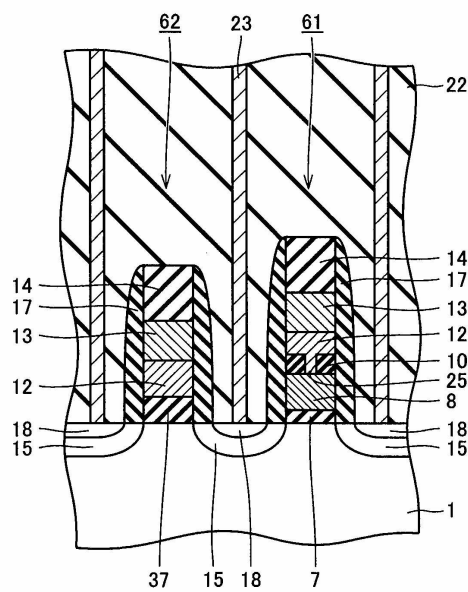
도면21



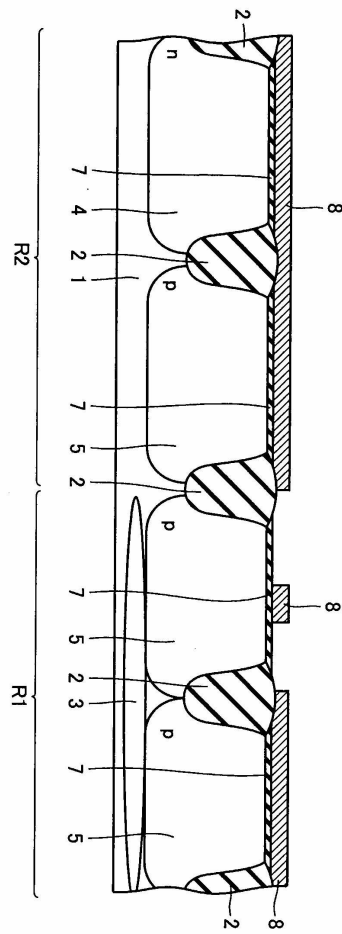
도면22



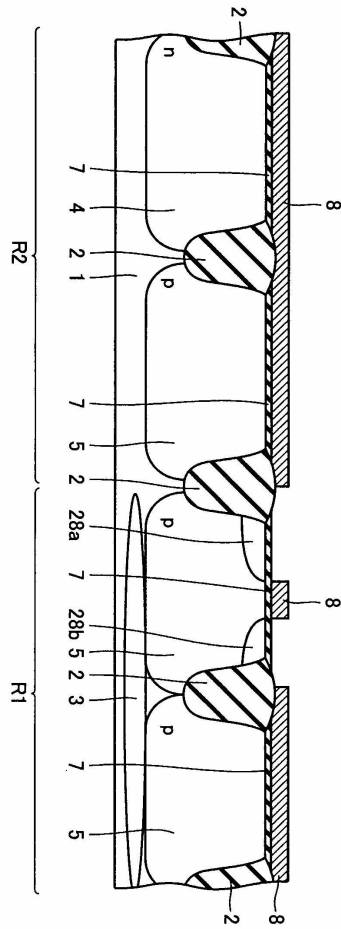
도면23



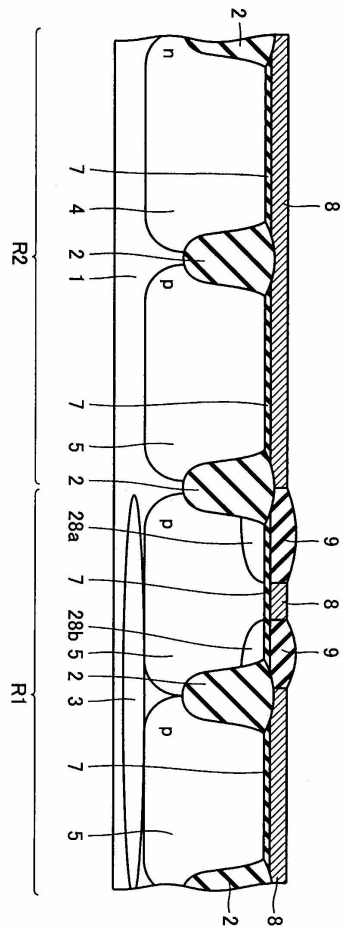
도면24



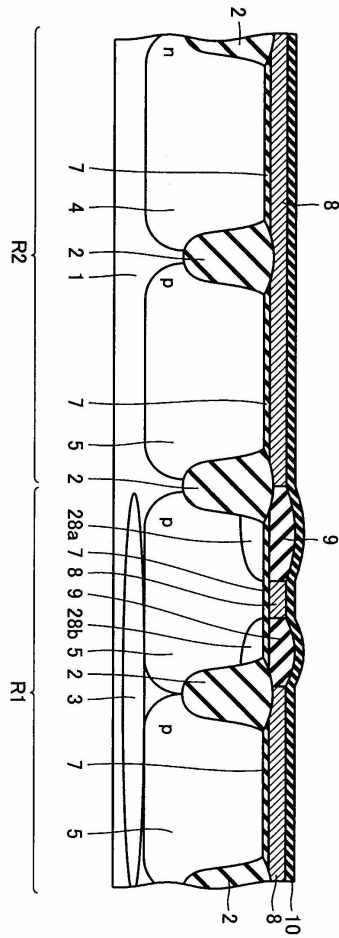
도면25



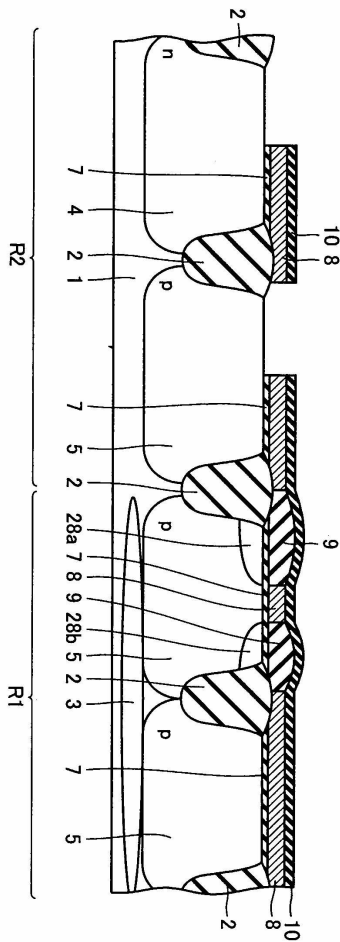
도면26



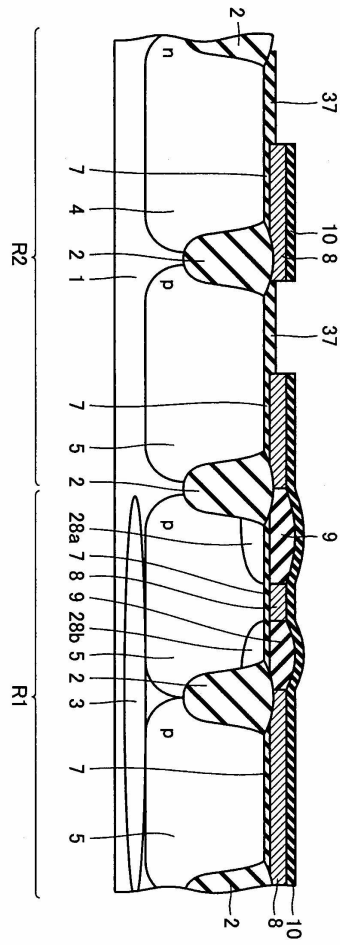
도면27



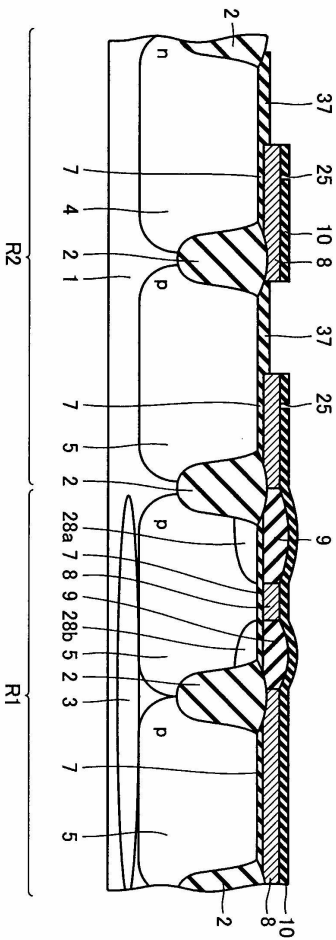
도면28



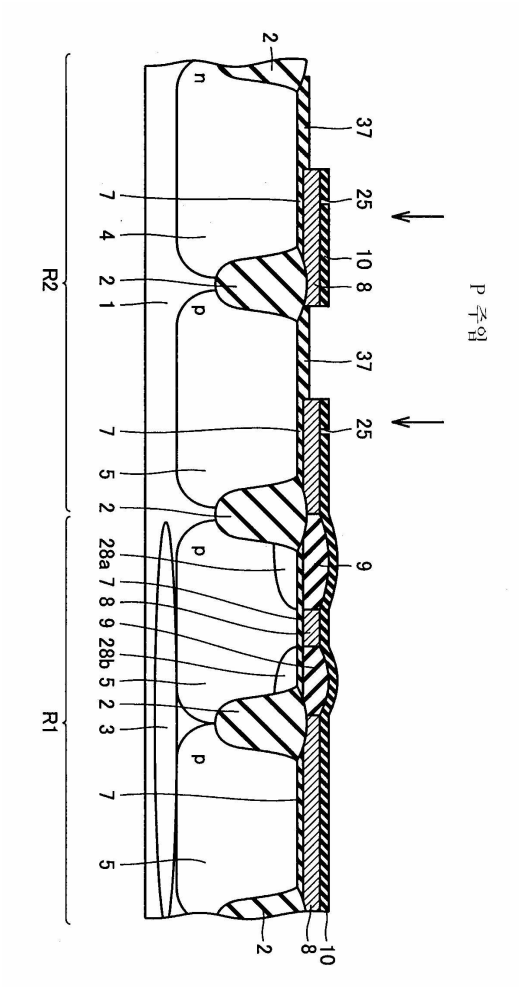
도면29



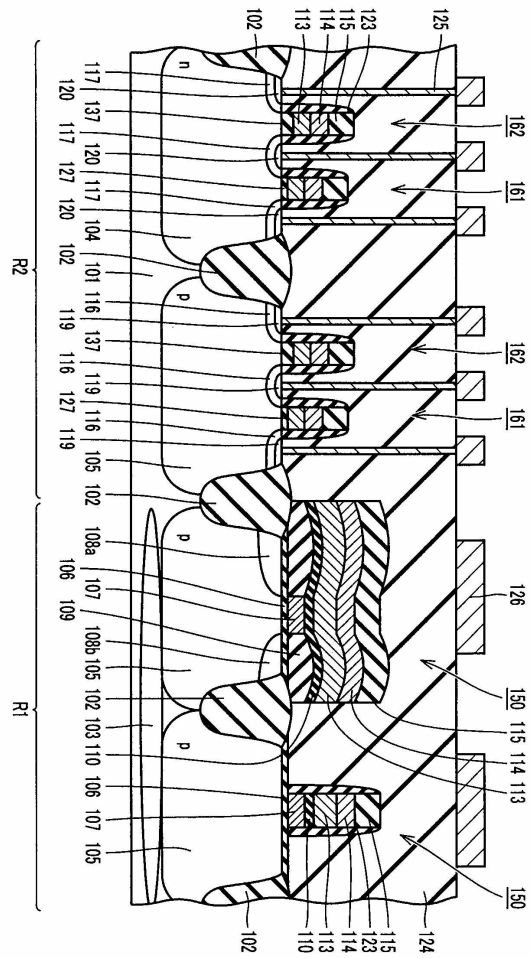
도면30



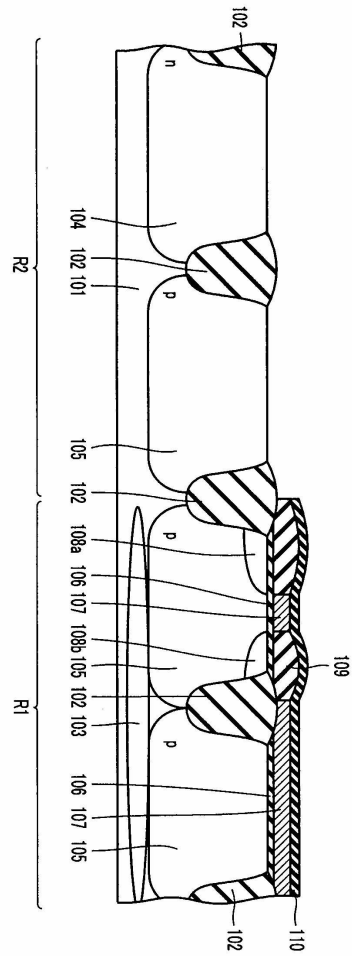
도면33



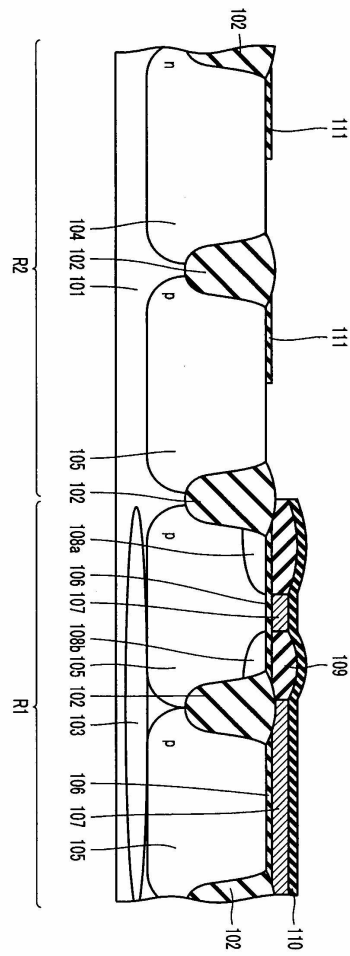
도면34



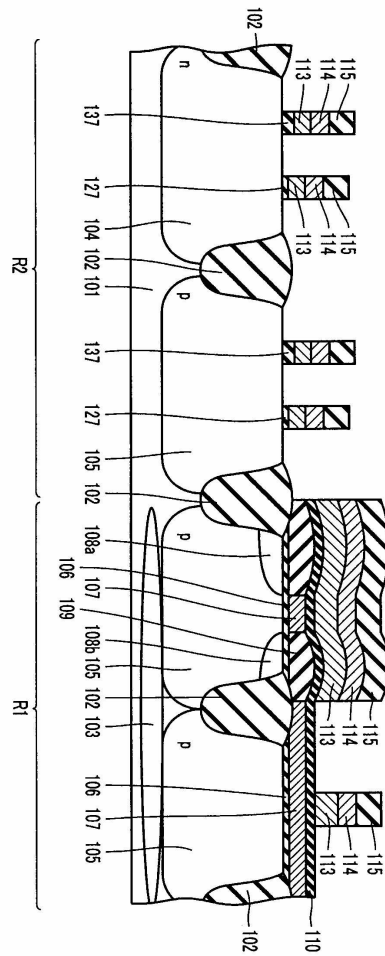
도면35



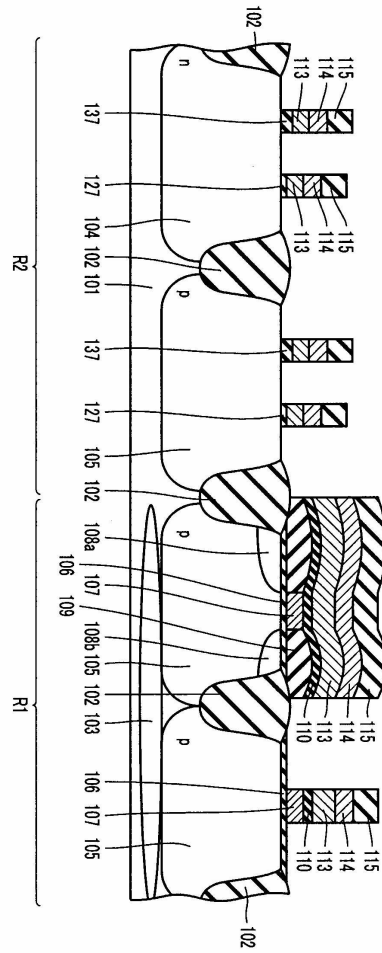
도면36



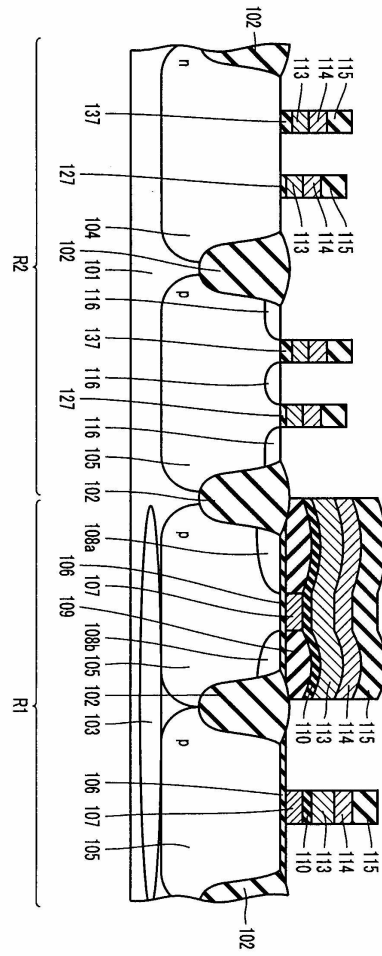
도면37



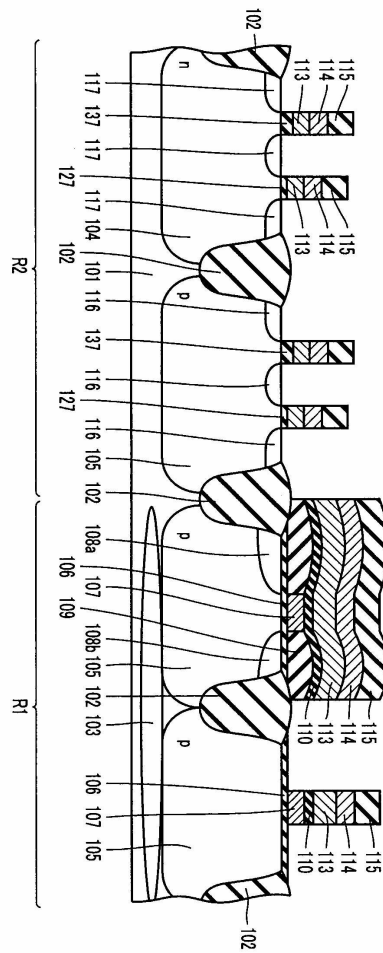
도면38



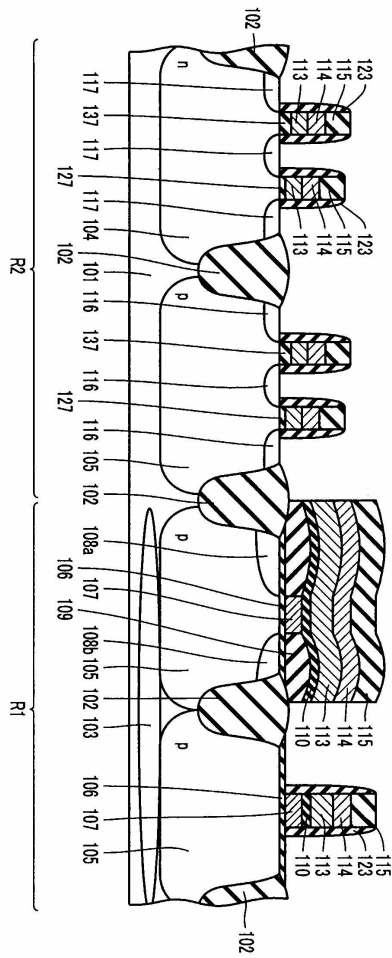
도면39



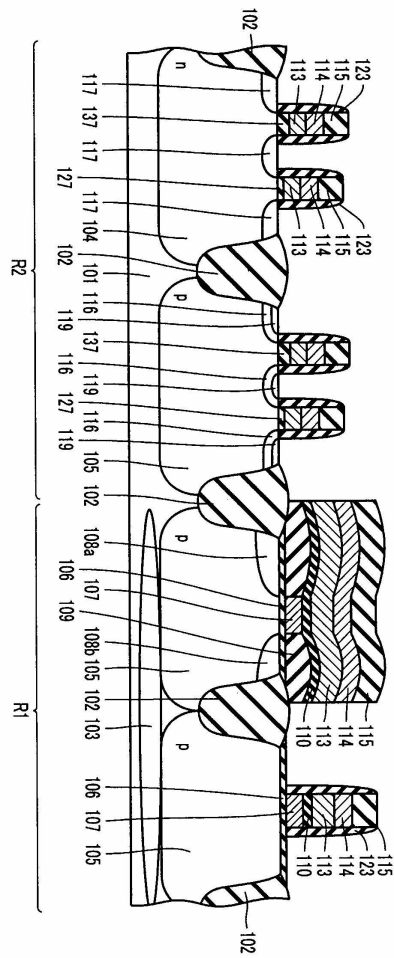
도면40



도면41



도면42



도면43

