



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월03일
(11) 등록번호 10-1102261
(24) 등록일자 2011년12월28일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2007-7008419

(22) 출원일자(국제출원일자) 2005년09월13일

심사청구일자 2010년09월13일

(85) 번역문제출일자 2007년04월13일

(65) 공개번호 10-2007-0072874

(43) 공개일자 2007년07월06일

(86) 국제출원번호 PCT/JP2005/017223

(87) 국제공개번호 WO 2006/030937

국제공개일자 2006년03월23일

(30) 우선권주장

JP-P-2004-00267673 2004년09월15일 일본(JP)

(56) 선행기술조사문현

JP2001281694 A

US06323051 B1

US20020171085 A1

전체 청구항 수 : 총 28 항

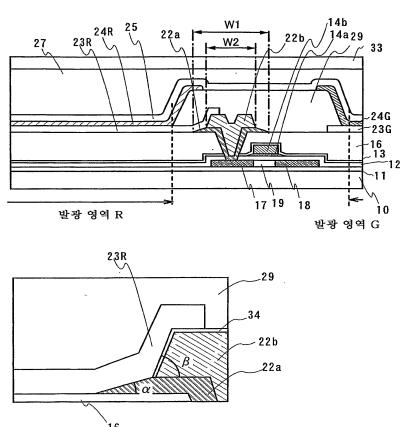
심사관 : 이상호

(54) 반도체 장치

(57) 요 약

본 발명은 배선의 단면적을 증대시키는 일 없이, 비양립적인 2개의 막(ITO막 및 알루미늄막)으로부터 형성되는 배선이나 전극 등을 접속하여, 화면 크기가 크더라도 저소비 전력을 실현하는 것을 목적으로 한다. 본 발명은 상층 및 상층보다 넓은 폭을 갖는 하층을 포함하는 2층 구조를 제공한다. 제1 도전층은 Ti 또는 Mo로부터 형성되고, 제2 도전층은 제1 도전층 상에 낮은 전기 저항값을 갖는 알루미늄(순수 알루미늄)으로 형성된다. 상층의 단부로부터 돌출된 하층의 일부는 ITO와 접합된다.

대 표 도



특허청구의 범위

청구항 1

절연 표면을 갖는 기판 위에 반도체 박막을 갖는 복수의 박막 트랜지스터들 및 투명 도전막; 및
상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 제2 도전층을 적층함으로써 형성된 전극 또는
배선을 포함하고;
상기 제1 도전층은 상기 제2 도전층보다 넓은 폭을 갖고,
상기 투명 도전막은 상기 제2 도전층의 단부로부터 연장하는 상기 제1 도전층의 부분 상에 있는, 반도체
장치.

청구항 2

절연 표면을 갖는 기판 위에 반도체 박막을 갖는 복수의 박막 트랜지스터들 및 투명 도전막; 및
상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 제2 도전층을 적층함으로써 형성된 전극 또는
배선을 포함하고;
상기 제1 도전층은 상기 제2 도전층의 단부로부터 돌출된 부분을 갖고,
상기 투명 도전막은 상기 제2 도전층의 상기 단부로부터 돌출된 상기 제1 도전층의 상기 부분 상에 있는, 반도
체 장치.

청구항 3

절연 표면을 갖는 기판 위에 반도체 박막을 갖는 복수의 박막 트랜지스터들 및 투명 도전막; 및
상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 제2 도전층을 적층함으로써 형성된 전극 또는
배선을 포함하고;
상기 제1 도전층의 측면부는 상기 제2 도전층의 측면부보다 작은 테이퍼 각을 갖고,
상기 투명 도전막은 상기 제1 도전층의 상기 측면부 상에 있는, 반도체 장치.

청구항 4

절연 표면을 갖는 기판 위에 반도체 박막을 갖는 복수의 박막 트랜지스터들 및 투명 도전막; 및
상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 제2 도전층을 적층함으로써 형성된 전극 또는
배선을 포함하고;
상기 제1 도전층의 측면부는 상기 제2 도전층의 측면부보다 큰 테이퍼 각을 갖고,
상기 투명 도전막은 상기 제1 도전층의 상기 측면부 상에 있는, 반도체 장치.

청구항 5

절연 표면을 갖는 기판 위에 반도체 박막을 갖는 복수의 박막 트랜지스터들 및 투명 도전막; 및
상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 제2 도전층을 적층함으로써 형성되는 전극 또는
배선을 포함하고;
상기 제1 도전층 및 상기 제2 도전층의 측면부는 동일한 테이퍼 각을 갖고,
상기 투명 도전막은 상기 제1 도전층의 상기 측면부 상에 있는, 반도체 장치.

청구항 6

절연 표면을 갖는 기판 위에 반도체 박막을 갖는 복수의 박막 트랜지스터들 및 투명 도전막;
상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 제2 도전층을 적층함으로써 형성되는 전극 또

는 배선; 및

상기 전극의 일부 또는 상기 배선의 일부 위에 평탄화 절연막을 포함하고;

상기 투명 도전막은 상기 평탄화 절연막 위에 설치되고,

상기 제1 도전층은 상기 제2 도전층의 단부로부터 돌출된 부분을 갖고,

상기 전극 또는 상기 배선은 상기 평탄화 절연막에 설치된 컨택트 홀을 통해 상기 투명 도전막에 접하고,

상기 전극의 단부 또는 상기 배선의 단부는 상기 컨택트 홀 내에 위치하는, 반도체 장치.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제1 도전층은 티탄, 몰리브덴, 티탄을 함유한 합금, 또는 몰리브덴을 함유한 합금으로 형성되는, 반도체 장치.

청구항 8

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제2 도전층은 알루미늄 또는 알루미늄을 함유한 합금으로 형성되는, 반도체 장치.

청구항 9

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 투명 도전막이 양극 또는 음극으로 기능하는 발광 소자를 더 포함하는, 반도체 장치.

청구항 10

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 투명 도전막이 화소 전극으로 기능하는 액정 소자를 더 포함하는, 반도체 장치.

청구항 11

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 투명 도전막은 인듐 주석 산화물(ITO) 또는 인듐 아연 산화물(IZO)로 형성되는, 반도체 장치.

청구항 12

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제2 도전층의 표면은 산화막으로 덮여 있는, 반도체 장치.

청구항 13

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제1 도전층 및 상기 제2 도전층은 동일한 스퍼터 장치 내에서 연속하여 형성되는, 반도체 장치.

청구항 14

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 반도체 장치는 휴대 정보 단말, 비디오 카메라, 디지털 카메라, 또는 퍼스널 컴퓨터인, 반도체 장치.

청구항 15

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 반도체 박막 위의 컨택트 홀을 포함하는 평탄화 절연층을 더 포함하고,

상기 전극 또는 상기 배선은 상기 평탄화 절연층 위에 형성되고, 상기 컨택트 훌을 통해 상기 반도체 박막에 접하는, 반도체 장치.

청구항 16

기판 위의 박막 트랜지스터로서, 반도체 박막 및 게이트 전극을 포함하고, 상기 게이트 전극은 제1 도전층 및 제2 도전층을 포함하는, 상기 박막 트랜지스터;

상기 박막 트랜지스터 위의 절연막;

상기 절연막 위의 제3 도전층으로서, 상기 제3 도전층은 상기 반도체 박막에 접하는, 상기 제3 도전층;

상기 제3 도전층 상에 제4 도전층; 및

상기 절연막 위의 투명 도전막을 포함하고,

상기 제1 도전층은 제1 테이퍼 각을 갖고 상기 제2 도전층은 제2 테이퍼 각을 갖고,

상기 제1 테이퍼 각은 상기 제2 테이퍼 각과 다르고,

상기 제3 도전층은 상기 제4 도전층보다 더 넓은 폭을 갖고,

상기 투명 도전막은 상기 제4 도전층의 단부로부터 연장하는 상기 제3 도전층의 부분에 접하고,

상기 제3 도전층은 티탄 또는 몰리브덴을 포함하고,

상기 제4 도전층은 알루미늄을 포함하고,

상기 제4 도전층은 상기 투명 도전막에 접하지 않는, 반도체 장치.

청구항 17

기판 위의 박막 트랜지스터로서, 반도체 박막 및 게이트 전극을 포함하고, 상기 게이트 전극은 제1 도전층 및 제2 도전층을 포함하는, 상기 박막 트랜지스터;

상기 박막 트랜지스터 위의 절연막;

상기 절연막 위의 제3 도전층으로서, 상기 제3 도전층은 상기 반도체 박막에 접하는, 상기 제3 도전층;

상기 제3 도전층 상에 제4 도전층; 및

상기 절연막 위의 투명 도전막을 포함하고,

상기 제1 도전층은 제1 테이퍼 각을 갖고 상기 제2 도전층은 제2 테이퍼 각을 갖고,

상기 제1 테이퍼 각은 상기 제2 테이퍼 각과 다르고,

상기 제3 도전층은 상기 제4 도전층의 단부로부터 돌출된 부분을 갖고,

상기 투명 도전막은 상기 제4 도전층의 단부로부터 돌출된 상기 제3 도전층의 부분에 접하고,

상기 제3 도전층은 티탄 또는 몰리브덴을 포함하고,

상기 제4 도전층은 알루미늄을 포함하고,

상기 제4 도전층은 상기 투명 도전막에 접하지 않는, 반도체 장치.

청구항 18

기판 위의 박막 트랜지스터로서, 반도체 박막 및 게이트 전극을 포함하고, 상기 게이트 전극은 제1 도전층 및 제2 도전층을 포함하는, 상기 박막 트랜지스터;

상기 박막 트랜지스터 위의 절연막;

상기 절연막 위의 제3 도전층으로서, 상기 제3 도전층은 상기 반도체 박막에 접하는, 상기 제3 도전층;

상기 제3 도전층 상에 제4 도전층; 및

상기 절연막 위의 투명 도전막을 포함하고,
 상기 제1 도전층은 제1 테이퍼 각을 갖고 상기 제2 도전층은 제2 테이퍼 각을 갖고,
 상기 제1 테이퍼 각은 상기 제2 테이퍼 각과 다르고,
 상기 제3 도전층의 측면부는 상기 제4 도전층의 측면부보다 작은 테이퍼 각을 갖고,
 상기 투명 도전막은 상기 제3 도전층의 측면부에 접하고,
 상기 제3 도전층은 티탄 또는 몰리브덴을 포함하고,
 상기 제4 도전층은 알루미늄을 포함하고,
 상기 제4 도전층은 상기 투명 도전막에 접하지 않는, 반도체 장치.

청구항 19

기판 위의 박막 트랜지스터로서, 반도체 박막 및 게이트 전극을 포함하고, 상기 게이트 전극은 제1 도전층 및 제2 도전층을 포함하는, 상기 박막 트랜지스터;
 상기 박막 트랜지스터 위의 절연막;
 상기 절연막 위의 제3 도전층으로서, 상기 제3 도전층은 상기 반도체 박막에 접하는, 상기 제3 도전층;
 상기 제3 도전층 상에 제4 도전층; 및
 상기 절연막 위의 투명 도전막을 포함하고,
 상기 제1 도전층은 제1 테이퍼 각을 갖고 상기 제2 도전층은 제2 테이퍼 각을 갖고,
 상기 제1 테이퍼 각은 상기 제2 테이퍼 각과 다르고,
 상기 제3 도전층의 측면부는 상기 제4 도전층의 측면부보다 큰 테이퍼 각을 갖고,
 상기 투명 도전막은 상기 제3 도전층의 측면부에 접하고,
 상기 제3 도전층은 티탄 또는 몰리브덴을 포함하고,
 상기 제4 도전층은 알루미늄을 포함하고,
 상기 제4 도전층은 상기 투명 도전막에 접하지 않는, 반도체 장치.

청구항 20

기판 위의 박막 트랜지스터로서, 반도체 박막 및 게이트 전극을 포함하고, 상기 게이트 전극은 제1 도전층 및 제2 도전층을 포함하는, 상기 박막 트랜지스터;
 상기 박막 트랜지스터 위의 절연막;
 상기 절연막 위의 제3 도전층으로서, 상기 제3 도전층은 상기 반도체 박막에 접하는, 상기 제3 도전층;
 상기 제3 도전층 상에 제4 도전층; 및
 상기 절연막 위의 투명 도전막을 포함하고,
 상기 제1 도전층은 제1 테이퍼 각을 갖고 상기 제2 도전층은 제2 테이퍼 각을 갖고,
 상기 제1 테이퍼 각은 상기 제2 테이퍼 각과 다르고,
 상기 제3 도전층 및 상기 제4 도전층의 측면부는 동일한 테이퍼 각을 갖고,
 상기 투명 도전막은 상기 제3 도전층의 측면부에 접하고,
 상기 제3 도전층은 티탄 또는 몰리브덴을 포함하고,
 상기 제4 도전층은 알루미늄을 포함하고,
 상기 제4 도전층은 상기 투명 도전막에 접하지 않는, 반도체 장치.

청구항 21

기판 위의 박막 트랜지스터로서, 반도체 박막 및 게이트 전극을 포함하고, 상기 게이트 전극은 제1 도전층 및 제2 도전층을 포함하는, 상기 박막 트랜지스터;

상기 박막 트랜지스터 위의 절연막;

상기 절연막 위의 제3 도전층으로서, 상기 제3 도전층은 상기 반도체 박막에 접하는, 상기 제3 도전층;

상기 제3 도전층 상에 제4 도전층;

상기 절연막 위의 투명 도전막; 및

상기 제4 도전층 및 상기 투명 도전막 위의 평탄화 절연막을 포함하고,

상기 제1 도전층은 제1 테이퍼 각을 갖고 상기 제2 도전층은 제2 테이퍼 각을 갖고,

상기 제1 테이퍼 각은 상기 제2 테이퍼 각과 다르고,

상기 투명 도전막은 상기 평탄화 절연막 위에 설치되고,

상기 제3 도전층은 상기 제4 도전층의 단부로부터 돌출된 부분을 갖고,

상기 제3 도전층은 상기 평탄화 절연막에 설치된 컨택트 홀을 통해 상기 투명 도전막에 접하고,

상기 제3 도전층의 단부는 상기 컨택트 홀 내에 위치하고,

상기 제3 도전층은 티탄 또는 몰리브덴을 포함하고,

상기 제4 도전층은 알루미늄을 포함하고,

상기 제4 도전층은 상기 투명 도전막에 접하지 않는, 반도체 장치.

청구항 22

제16항 내지 제21항 중 어느 한 항에 있어서,

상기 투명 도전막이 양극 또는 음극으로 기능하는 발광 소자를 더 포함하는, 반도체 장치.

청구항 23

제16항 내지 제21항 중 어느 한 항에 있어서,

상기 투명 도전막이 화소 전극으로 기능하는 액정 소자를 더 포함하는, 반도체 장치.

청구항 24

제16항 내지 제21항 중 어느 한 항에 있어서,

상기 투명 도전막은 인듐 주석 산화물(ITO) 또는 인듐 아연 산화물(IZO)로 형성되는, 반도체 장치.

청구항 25

제16항 내지 제21항 중 어느 한 항에 있어서,

상기 제4 도전층의 표면은 산화막으로 덮여 있는, 반도체 장치.

청구항 26

제16항 내지 제21항 중 어느 한 항에 있어서,

상기 제3 도전층 및 상기 제4 도전층은 동일한 스퍼터 장치 내에서 연속하여 형성되는, 반도체 장치.

청구항 27

제16항 내지 제21항 중 어느 한 항에 있어서,

상기 반도체 장치는 휴대 정보 단말, 비디오 카메라, 디지털 카메라, 또는 퍼스널 컴퓨터인, 반도체 장치.

청구항 28

제16항 내지 제21항 중 어느 한 항에 있어서,

상기 반도체 박막 위의 컨택트 홀을 포함하는 평탄화 절연층을 더 포함하고,

상기 제 3 도전층은 상기 평탄화 절연층 위에 형성되고, 상기 컨택트 홀을 통해 상기 반도체 박막에 접하는, 반도체 장치.

명세서

기술 분야

[0001]

본 발명은 박막 트랜지스터(이하, TFT 라 함)를 포함하는 회로를 가진 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들어, 본 발명은 유기 발광 소자를 가지는 발광표시장치 또는 액정표시장치(LCD) 패널로 대표되는 전자 광학 디바이스를 그 부품으로서 탑재한 전자 디바이스에 관한 것이다.

[0002]

본 명세서에서 반도체 장치란, 반도체 특성을 이용하는 것으로 기능할 수 있는 디바이스 전반을 가리키며, 전자 광학 디바이스, 반도체 회로 및 전자 기기는 모두 반도체 장치들에 속한다는 것을 주의해야 한다.

배경 기술

[0003]

최근, 절연 표면을 갖는 기판상에 형성된 반도체 박막(두께가 수 nm~수백 nm정도)을 이용해 박막 트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막 트랜지스터들은 IC나 전자 광학 장치와 같은 전자 디바이스에 광범위하게 응용된다. 특히, 영상 디스플레이 디바이스의 스위칭 소자로서 박막 트랜지스터가 급속히 개발되고 있다.

[0004]

종래, TFT 구동에 의한 액티브 매트릭스 액정표시장치에서, 기판상에 다수의 주사 라인들 및 데이터 라인들이 종횡으로 설치되고 이러한 배선들의 교점들에 대응해 다수의 TFT가 설치되고 있다. 각 TFT에서, 게이트 배선이 주사 라인에 전기적으로 접속되고, 소스 전극이 데이터 라인에 전기적으로 접속되며, 드레인 전극이 화소 전극에 전기적으로 접속된다.

[0005]

투과형의 액정표시장치에서, 화소 전극에는 광-투과성과 전기 도전성을 모두 가진 ITO가 일반적으로 사용되고 있다. 이 화소 전극과 데이터 라인 및 주사 라인과 같은 금속 배선들은 절연 재료로 형성된 층에 의해 절연된다. 화소 전극 및 금속 배선들은 절연막의 특정 위치에 형성된 컨택트 홀(contact hole)을 통해 서로 접하고 있다.

[0006]

디스플레이 화면의 크기가 커질수록, 배선의 저항에 의한 신호의 지연이 더욱 주목할 만한 문제가 된다. 따라서 배선이나 전극의 형상을 철저히 바꾸거나, 배선 및 전극에 대해 낫은-저항 재료, 예를 들어 알루미늄을 이용할 필요가 있다.

[0007]

배선 및 전극의 재료로서 이용되는 알루미늄과 화소 전극의 재료로서 이용되는 ITO가 접할 때, 접합계면(junction interface)에서 전기 부식(electric erosion)이라고 불리는 반응이 생긴다. 더 나아가, 알루미늄과 ITO가 접할 때, 알루미늄 표면이 산화해서 전기적으로 도통하지 않게 된다.

[0008]

결과적으로, 배선이나 전극과 같이 두 개의 조화되지 않는 막들이 접속할 때 전기 부식을 방지하기 위해, ITO와 알루미늄 배선(또는 전극) 사이에 고용점을 가진 금속막(예, 티탄막), 또는 고용점을 가진 금속 화합물막(예, 질화 티탄막)과 같은 것을 마련하며, ITO와의 전기 부식을 막는 기술이 제안되고 있다.

[0009]

본 출원인은 특히 문헌 1, 특히 문헌 2, 및 특히 문헌 3에서, 박막 트랜지스터의 드레인과 화소 전극인 ITO를 티탄막, 알루미늄막, 및 티탄막을 포함하는 다층막 사이에 끼워으로써 접속되는 것을 설명하고 있다.

[0010]

또한, 본 출원인들은 특히 문헌 4에서 박막 트랜지스터의 드레인과 화소 전극인 ITO를 티탄막 및 알루미늄막을 포함하는 다층막 사이에 끼워으로써 접속하는 것을 기재하였다. 또한, 본 출원인들은 특히 문헌 5에서 박막 트

랜지스터의 드레인과 화소 전극인 ITO를 질화 티탄막, 알루미늄막을 포함하는 다층막 사이에 끼움으로써 접속하는 것을 기재하고 있다.

[0011] 본 출원인은 또한 특허 문현 6에서 골드(GOLD) 구조를 형성하기 위해서, 박막 트랜지스터의 게이트 전극을 폭이 다른 2개 층으로 형성하는 것을 기재하고 있다.

[0012] [특허 문현 1] 일본 공개 특허 출원 번호 평9-45927호

[0013] [특허 문현 2] 일본 공개 특허 출원 번호 평10-32202호

[0014] [특허 문현 3] 일본 공개 특허 출원 번호 평6-232129호 공보

[0015] [특허 문현 4] 일본 공개 특허 출원 번호 제2004-6974

[0016] [특허 문현 5] 일본 공개 특허 출원 번호 평8-330600호 공보

[0017] [특허 문현 6] 일본 공개 특허 출원 번호 2001-281704

발명의 상세한 설명

[0018] 그러나, 알루미늄 배선(또는 전극)과 ITO 사이에 티탄막이나 질화 티탄막을 적층하면 배선 저항이 높아지기 때문에, 특히 디스플레이 화면의 사이즈가 클 때 소비 전력의 증대를 가져온다. 배선 저항은 배선이 되는 금속막의 단면적을 증가시킴으로써 감소시킬 수 있으나, 막 두께를 두껍게 함으로써 단면적을 증대시켰을 경우에는 기판 표면과 두꺼운 배선 표면과의 사이에 단차가 생겨 액정의 배향 불량의 원인이 된다.

[0019] TFT 구동에 의한 액티브 매트릭스의 발광 장치에 대해서도, 발광 소자의 양극(또는 음극)으로서 투명 도전막을 이용할 수 있다. 유사하게, 투명 도전막을 포함하는 양극은 다양한 배선들로부터 전기적으로 절연하기 위한 층간 절연막 상에 형성된다. 따라서, 양극으로 사용되는 ITO가 TFT의 전극(알루미늄)과 접속될 때, 동일한 방법으로 전술한 전기 부식이 생긴다.

[0020] 본 발명의 목적은 배선의 단면적을 증대시키는 일 없이, 두 개의 비양립적인(incompatible) 막들(ITO막과 알루미늄막)로 형성되는 배선, 전극 등을 접속하는 것이고, 디스플레이 화면의 사이즈가 클 때에도 저소비 전력을 실현하는 것이다.

[0021] 배선 재료로서 알루미늄을 이용함으로써 TFT를 제작할 경우, 열처리에 의해 히록(hilllock)이나 휘스커(wisker)와 같은 돌기물이 형성되거나, 알루미늄 원자가 채널-형성 영역에 확산됨으로써, TFT의 동작 불량이나 TFT 특성들의 감소를 일으킨다. 결과적으로, 알루미늄에 다른 원소(예, Si)를 함유시킨 알루미늄 합금막은 종래에는 히록 등의 발생을 방지하는데 사용된다. 그러나, 그러한 알루미늄 합금막이라도 접합계면에 알루미늄의 산화 및 ITO막의 환원으로 인한 접합 저항의 변화들의 문제를 해결하지 못한다.

[0022] 또한, 본 발명의 목적은 액티브 매트릭스의 표시장치에서, 알루미늄이 배선 재료로서 이용될 때 알루미늄 원자가 채널-형성 영역으로 확산되는 것을 방지하고, 양호한 저항 접합(ohmic junction)을 가능하게 하는 것이다.

[0023] 본 발명에 따르면, 전극은 하층인 제1 도전층 및 상층인 제2 도전층을 포함하는 2층 구조로 형성된다. 제1 도전층은 고용접 금속(예, Ti, Mo) 또는 질화고용접 금속(예, TiN)으로 형성되고, 제2 도전층은 알루미늄 또는 알루미늄을 포함한 합금으로 형성된다. 2층 구조의 전극(또는 배선)은 제1 도전층의 폭(W1)이 제2 도전층의 폭(W2)보다 넓은 단면 형상을 갖는다. 즉, 하층(제1 도전층)의 단부가 상층(제2 도전층)의 단부보다 외측에 있는 구조로 형성한 후, 투명 도전막을 2층 구조의 전극(또는 배선)에 접해 덮는 형태로 형성한다.

[0024] 본 발명에 따르면, 전술한 문제들은 투명 도전막(대표적으로, ITO)을 두개층을 갖는 전극(또는 배선)에서 제2 도전층과 겹치지 않고 노출되어 있는 제1 도전층의 일부와 접속시키는 것에 의해 해결된다.

[0025] 본 발명의 일 양상에 따르면, 도 1A 또는 도 2A에 도시된 일 예의 반도체 장치는, 절연 표면을 갖는 기판상에 반도체 박막을 갖는 복수의 박막 트랜지스터 및 투명 도전막을 포함하고, 상기 반도체 장치는 상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 접하는 제2 도전층을 적층한 전극 또는 배선을 더 포함하며, 상기 제1 도전층은 상기 제2 도전층보다 넓은 폭(W1, 혹은 W3)을 가지고, 상기 투명 도전막은 상기 제2 도전층의 상기 단부로부터 연장되는 상기 제1 도전막의 일부와 접하는 것을 특징으로 한다.

- [0026] 본 발명의 또 다른 양상에 의하면, 반도체 장치는 절연 표면을 갖는 기판상에 반도체 박막을 갖는 복수의 박막 트랜지스터 및 투명 도전막; 및 상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 제2 도전층을 적층함으로써 형성되는 전극 또는 배선을 포함하며; 상기 제1 도전층은 상기 제2 도전층의 단부로부터 돌출된 부분을 포함하고, 상기 투명 도전막은 상기 제2 도전층의 상기 단부로부터 돌출된 상기 제1 도전층의 일부와 접하는 것을 특징으로 한다.
- [0027] 본 발명의 또 다른 양상에 의하면, 반도체 장치는 절연 표면을 갖는 기판상에 반도체 박막을 갖는 복수의 박막 트랜지스터 및 투명 도전막; 및 상기 반도체 박막과 접하는 제1 도전층과 상기 제1 도전층 상에 접하는 제2 도전층을 적층함으로써 형성되는 전극 또는 배선을 포함하고; 상기 제1 도전층의 측면부는 도 1A에 도시된 바와 같이, 상기 제2 도전층의 측면부보다 작은 테이퍼 각(tapered angle)을 가지며, 상기 투명 도전막은 상기 제1 도전층의 상기 측면부에 접하는 것을 특징으로 한다.
- [0028] 본 발명의 또 다른 양상에 의하면, 도 3에 도시된 바와 같이, 반도체 장치는 절연 표면을 갖는 기판상에 반도체 박막을 갖는 복수의 박막 트랜지스터 및 투명 도전막; 및 상기 반도체 박막과 접하는 제1 도전층과 제1 도전층 상에 제2 도전층을 적층함으로써 형성되는 전극 또는 배선을 포함하고; 상기 전극의 일부 또는 상기 배선의 일부 상에 평탄화 절연막을 포함하고; 상기 투명 도전막은 상기 평탄화 절연막 상에 마련되고, 상기 전극 또는 상기 배선은 상기 평탄화 절연막에 설치된 컨택트 홀을 통해, 상기 투명 도전막에 접하고, 상기 전극의 단부 또는 상기 배선의 단부는 상기 컨택트 홀 내에 위치하는 것을 특징으로 한다.
- [0029] 전술한 각 구성에서, 상기 제2 도전층의 표면은 산화막으로 덮여 있다.
- [0030] 또한, 전술한 구조들을 실현하기 위한 제작 방법도 본 발명에 포함된다. 이하에 나타난 방법에 따르면, 여러 차례의 식각을 실시하여, 하층(제1 도전층)의 단부가 상층(제2 도전층)의 단부보다 외측에 있는 구조를 실현한다.
- [0031] 제1 방법으로는, 두개층을 포함하는 금속 다층막 상에 마스크를 형성한 후, 제1 건식 식각 처리에 의해 폭 W1를 갖고 테이퍼 단부를 갖는 금속 다층막 패턴을 형성한다. 그 후, 제2 건식 식각 처리에 의해 상층(알루미늄을 포함한 재료)만을 이방성 식각하여 상층의 폭을 좁힘으로써 하층의 폭(W1)보다 좁은 폭(W2)을 형성한다. 이 결과, 상층과 겹치지 않는 하층이 부분적으로 노출되는 전극(또는 배선)이 형성된다.
- [0032] 제2 방법으로는, 두개층을 포함하는 금속 다층막 상에 마스크를 형성한 후, 식각액에 의해 상층의 알루미늄을 포함한 재료만을 마스크 패턴에 따라 제거한다. 이때, 식각이 감아 들기 때문에 상층의 단부는 마스크 단부로부터 후퇴된다. 그 후, 건식 식각 처리에 의해 마스크에 덮이지 않은 하층의 부분만을 제거한다. 이 결과, 상층과 겹치지 않는 하층이 부분적으로 노출된 전극(또는 배선)이 형성된다.
- [0033] 제3 방법으로는, 두개층을 포함하는 금속 다층막 상에 마스크를 형성한 후, 건식 식각 처리에 의해, 금속 다층막 패턴을 형성한다. 그 후, 식각액에 의해 상층의 알루미늄을 포함한 재료만을 마스크 패턴에 따라 처리하여 상층의 폭을 좁게 한다. 이때, 식각이 감아 들기 때문에 상층의 단부는 마스크 단부로부터 후퇴된다. 이 결과, 상층과 겹치지 않는 하층이 부분적으로 노출된 전극(또는 배선)이 형성된다.
- [0034] 제4 방법으로는, 두개층을 포함하는 금속 다층막 상에 제1 마스크를 형성한 후, 건식 식각 처리 또는 습식 식각 처리에 의해 금속 다층막 패턴을 형성한다. 그 후, 제1 마스크를 제거한 후, 제2 마스크를 형성해, 금속 다층막 패턴을 제2 마스크 패턴에 따라 처리한다. 이때, 제2 마스크 패턴은, 제1 마스크 패턴보다 좁다. 이 결과, 상층과 겹치지 않는 하층이 부분적으로 노출된 전극(또는 배선)이 형성된다.
- [0035] 전술한 방법들 중 임의의 하나에서, 전기 또는 배선은 포토마스크(photomask)를 이용하여 플라스마 장치를 이용한 건식 식각, 또는 식각액에 의한 습식 식각으로 패턴 처리된다.
- [0036] 그리고, 투명 도전막은 전술한 방법으로 얻어진 전극(또는 배선)에 접하여 덮도록 형성된다. 이 결과, 전극(또는 배선)의 하층과 투명 도전막이 접촉하여, 주로 이 부분에서 서로 전기적으로 도통한다.
- [0037] 종래에도 투명 도전막과 하층이 하층의 단면에서 접하는 구조가 개시되어 있지만, 대부분의 종래의 구조는 투명 도전막이 주로 최상층의 표면과 접하여 서로 전기적으로 도통된다. 반면, 본 발명에서는, 하층 및 투명 도전막을 전기적으로 토통시키기 위해, 의도적으로 상층보다 작은 테이퍼 각을 갖는 테이퍼 부분, 또는 상층 단면으로부터 돌출된 부분을 마련하여, 하층과 투명 도전막과의 접촉 면적을 확보하여, 하층과 투명 도전막을 서로 확실하게 접촉시킨다.
- [0038] 본 발명에 따르면, 알루미늄을 포함한 재료로 형성되는 상층과 투명 도전막 간에는 얇은 산화막이 형성되기 때문에, 상층과 투명 도전막은 직접 도통하고 있지 않고, 하층을 개입시켜 전기적으로 도통하고 있다. 본 발명의

구조는 이 점에서도 종래의 구조와 크게 다르다.

- [0039] 발광 소자는 전기장을 인가하여 발생되는 발광(Electro Luminescence)을 얻을 수 있는 유기 화합물을 포함하는 층(이하, EL층이라고 함)과 양극과 음극을 갖는 것을 주의해야 한다. 유기 화합물로부터의 발광은 단일항-여기 상태로부터 기저 상태에 돌아올 때의 발광(형광)과 삼중항-여기 상태로부터 기저 상태에 돌아올 때의 발광(인광(phosphorescence))이 있다. 본 발명에 따른 막-형성 장치 및 막-형성 방법에 의해 제작되는 발광 디바이스는 형광 또는 인광 중 어느 쪽의 발광도 이용할 수 있다.
- [0040] 또한, 본 명세서 중에서, 제1 전극이란 발광 소자의 양극 혹은 음극이 되는 전극을 가리킨다. 발광 소자는 제1 전극, 제1 전극 상에 유기 화합물을 포함하는 층, 및 유기 화합물을 포함하는 층 위에 제2 전극을 포함하는 구성을 갖는다. 기판에 제일 먼저 형성된 전극을 제1 전극이라고 부른다.
- [0041] 제1 전극의 배치로는, 스트라이프 배열, 텔타 배열, 모자이크 배열 등이 사용될 수 있다.
- [0042] 본 명세서 중에서 발광 장치란 화상 표시 디바이스, 발광 디바이스, 혹은 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터 예컨대, FPC(Flexible printed circuit), TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 및 발광 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 발광 장치에 포함하는 것으로 한다.
- [0043] 본 발명에 따른 발광 장치에서, 화면 표시의 구동 방법은 특별히 한정되지는 않는다. 예를 들어, 포인트 시퀀셜 구동 방법, 라인 시퀀셜 구동 방법, 플레인(plane) 시퀀셜 구동 방법 등이 이용될 수 있다. 대표적으로, 라인 시퀀셜 구동 방법을 사용하여, 시분할 계조 구동 방법 또는 영역 계조 구동 방법을 적절히 이용할 수 있다. 또한, 발광 디바이스의 소스선에 입력되는 영상 신호는 아날로그 신호 또는 디지털 신호일 수 있다. 구동 회로 등은 비디오 신호에 따라 적절히 설계될 수 있다.
- [0044] 비디오 신호가 디지털인 발광 장치에서, 화소에 입력되는 비디오 신호는 정전압(CV) 또는 정전류(CC)를 이용할 수 있다. 비디오 신호가 정전압(CV)을 사용하는 경우, 발광 소자에 인가되는 전압이 일정한 것(CVCV)과 발광 소자에 인가되는 전류가 일정한 것(CVCC)이 있다. 반면, 비디오 신호가 정전류(CC)를 사용하는 경우, 발광 소자에 인가되는 전압이 일정한 것(CCCV)과 발광 소자에 인가되는 전류가 일정한 것(CCCC)이 있다.
- [0045] 본 발명에 따른 발광 장치에서, 정전 파괴 방지를 위한 보호 회로(예, 보호 다이오드 등)가 설치될 수 있다.
- [0046] 액티브 매트릭스인 경우, 제1 전극에 접속하기 위해 복수의 TFT가 마련되지만, 본 발명은 TFT 구조에 관계없이 적용 가능하다. 예를 들어, 탑-케이트 TFT, 배면-케이트(역 스태거) TFT, 또는 스태거 TFT가 이용될 수 있다. 싱글 케이트 구조의 TFT 뿐만 아니라 복수의 채널-형성 영역을 갖는 멀티 케이트 TFT, 예컨대 더블 케이트 TFT 도 이용될 수 있다.
- [0047] 발광 소자와 전기적으로 접속하는 TFT는 p-채널 TFT 또는 n-채널 TFT일 수 있다. 발광 소자가 p-채널 TFT와 접속되는 경우, 발광 소자는 양극과 접속된다. 구체적으로, 양극 상에 정공-주입층/정공-수송층/발광층/전자-수송층을 순차적으로 적층한 후, 음극이 형성될 수 있다. n-채널 TFT와 접속되는 경우, 발광 소자는 음극과 접속된다. 구체적으로, 음극 상에 전자-수송층/발광층/정공-수송층/정공-주입층을 순차적으로 적층한 후, 양극이 형성될 수 있다.
- [0048] TFT의 채널-형성 영역으로는, 비결정질(amorphous) 반도체막, 결정 구조를 포함한 반도체막, 비결정질 구조를 포함한 화합물 반도체막 등이 적절히 이용될 수 있다. 또한, TFT의 채널-형성 영역으로서, 반-정질(semi-amorphous) 반도체막(미결정 반도체막, 마이크로크리스탈 반도체막이라고도 불림)이 또한 이용될 수 있다. 반-정질 반도체막은 비결정질과 결정 구조(단결정, 다결정을 포함)의 중간적인 구조를 가지며, 자유에너지적으로 안정된 제3 상태를 갖는다. 반-정질 반도체막은 또한 단-범위 규칙(short-range order) 및 격자 왜곡을 갖는 결정질 영역을 포함한다.
- [0049] 본 명세서에서, 화소 전극은 TFT와 접속되는 전극을 가리키며, 또한 대향 기판에 설치되는 대향 전극과 짹을 이루는 전극을 가리킨다. 또한, 액정 소자는 화소 전극, 대향 전극, 및 이들 전극들 사이에 마련된 액정층을 가리킨다. 액티브 매트릭스 액정표시장치에서, 디스플레이 패턴은 매트릭스에 배치된 화소 전극을 구동함으로써, 화면상에 형성된다. 자세하게는 화소 전극과 대향 전극과의 사이에 마련된 액정층이 선택된 화소 전극과 화소 전극에 대응되는 대향 전극 사이에 전압을 인가함으로써 광학적으로 변조되고, 이 광학 변조는 관찰자에게 디스플레이 패턴으로 인식된다.

[0050] 본 발명에 따르면, 전극(또는 배선)과 화소 전극 간의 접촉 저항을 증가시키지 않고, 종래 요구되었던 배선의 상층으로서 고용접 금속을 포함하는 층을 마련하는 공정을 생략할 수 있다. 이것은 제조상의 비용 감소와 시간 단축의 장점을 제공한다.

실시 예

[0066] 본 발명의 실시 형태에 대해서 이하에 설명한다.

[0067] [제1 실시 형태]

[0068] 본 발명은 이 실시 형태에서 일 예로서 액티브 매트릭스 밸광 디바이스를 이용하여 설명하는 것으로 한다.

[0069] 도 1A는 밸광 디바이스의 화소부의 일부를 확대한 단면도이다. 도 1A에 도시된 밸광 소자를 가진 반도체 장치의 제작 공정은 이하에서 설명한다.

[0070] 먼저, 기판(10) 상에 기초 절연막(11)을 형성한다. 기판(10) 측을 디스플레이 면으로 보아 빛을 추출하는 경우, 기판(10)으로서 광-투과성을 갖는 유리 기판이나 석영 기판을 이용하는 것이 바람직하다. 또한, 처리 온도를 견딜 수 있는 광-투과성의 플라스틱 기판이 이용될 수도 있다. 반면, 기판(10) 측의 반대면을 디스플레이 면으로 보아 빛을 추출하는 경우, 전술한 기판 이외에 실리콘 기판, 금속 기판 또는 스텐레스 기판의 표면에 절연막을 형성한 것을 이용할 수도 있다. 여기서는 기판(10)으로 유리 기판을 이용한다. 유리 기판은 대략 1.55의 굴절률을 가진다는 것을 주의해야 한다.

[0071] 기초 절연막(11)으로서, 산화 실리콘막, 질화 실리콘막, 또는 산화 질화 실리콘막과 같은 절연막을 포함하는 기초막이 형성된다. 여기서 기초막으로서 2층 구조를 이용한 예를 나타내고 있지만, 기초 막은 단층막 또는 2층 이상 적층시킨 다중층 구조가 될 수도 있다. 기초 절연막이 반드시 형성될 필요는 없다는 것을 주의해야 한다.

[0072] 그 다음, 반도체층은 기초 절연막 상에 형성된다. 반도체층은 비결정질 구조를 가진 반도체막을 공지된 방법(스퍼터(sputter) 방법, LPCVD 방법, 또는 플라스마 CVD 방법 등)에 의해 형성한 후, 반도체막을 공지의 결정화 처리(레이저 결정화 방법, 열결정화 방법, 또는 니켈과 같은 촉매를 이용한 열결정화 방법 등)에 의해 결정질 반도체막이 되도록 결정화시켜, 그 후에 결정질 반도체막을 제1 포토마스크를 이용해 원하는 형상으로 패턴 처리하여 형성한다. 반도체층의 두께는 25~80 nm(바람직하게는 30~70 nm)의 두께로 형성한다. 결정질 반도체막의 재료에는 특별한 제한은 없지만, 실리콘 또는 실리콘 게르마늄(SiGe) 합금으로 형성하는 것이 바람직하다.

[0073] 비결정질 구조를 갖는 반도체막의 결정화 처리에서, 연속 발진 레이저(continuous wave laser)가 이용될 수 있다. 비결정질 반도체막의 결정화에 의해 큰 입자 크기(grain size)를 가진 결정을 얻기 위해, 연속 발진 고체-상태 레이저로부터 방출되는 기본파의 제2 고조파~제4 고조파 중 임의의 하나를 사용하는 것이 바람직하다. 통상적으로, Nd:YVO₄ 레이저(기본파 1064 nm)의 제2 고조파(532 nm) 또는 제3 고조파(355 nm)를 사용하는 것이 바람직하다. 연속 발진의 레이저를 이용하는 경우, 출력 10 W의 연속 발진 YVO₄ 레이저로부터 방출된 레이저 빔이 비선형 광학 소자에 의해 고조파로 변환된다. 공진기(resonator) 안에 YVO₄ 결정과 비선형 광학 소자를 넣음으로써, 고조파를 얻는 방법도 있다. 광학계에 의해 조사면에 구형(rectangular) 또는 타원의 레이저 빔을 형성하여, 레이저 빔을 물체에 조사하는 것이 바람직하다. 여기서 에너지 밀도는 대략 0.01~100 MW/cm²의 범위(바람직하지는 0.1~10 MW/cm²)가 요구된다. 그리고, 반도체 박을 레이저 빔에 대해 상대적으로 대략 10~2000 cm/s의 속도로 이동시키는 것이 바람직하다.

[0074] 그 다음, 레지스트(resist) 마스크를 제거한 후, 반도체층을 덮기 위해 게이트 절연막(12)을 형성한다. 게이트 절연막(12)은 플라스마 CVD 방법 또는 스퍼터 방법에 의해 두께를 1~200 nm로 형성된다.

[0075] 그 다음, 게이트 절연막(12) 상에 두께가 100~600 nm 인 도전막을 형성한다. 여기서, 도전막은 스퍼터 방법에 의해 TaN막과 W막을 포함하는 다중층으로 형성된다. 여기서, 도전막은 TaN막과 W막을 포함하는 다중층으로 형성되지만, 구조가 특정하게 한정되지 않는다. Ta, W, Ti, Mo, Al, Cu로부터 선택된 원소 또는 전술한 원소를 주성분으로 하는 합금 재료 또는 화합물 재료를 포함하는 단일층 또는 다중층으로 형성될 수도 있다. 대안적으로, 인과 같은 불순물 원소를 도핑(doping) 다결정 실리콘막으로 대표되는 반도체막을 이용될 수도 있다.

[0076] 다음으로, 제2 포토마스크를 이용해 레지스트 마스크를 형성한다. 건식 식각 방법 또는 습식 식각 방법을 통해

식각을 실시한다. 이 식각 공정을 통해, 도전막을 식각함으로써, 도전층들(14a, 14b)을 얻는다. 도전층들(14a, 14b)은 TFT의 게이트 전극이 된다.

[0077] 다음으로, 레지스트 마스크를 제거한 후, 제3 포토마스크를 이용하여 레지스트 마스크를 새롭게 형성한다. n-채널 TFT(미도시)를 형성하기 위해, 반도체에 n-형 도전성을 부여하는 불순물 원소(대표적으로 인, 또는 비소)를 저농도로 도프하기 위한 제1 도핑 공정이 실시된다. 레지스트 마스크는 p-채널 TFT가 되는 영역과 도전층 부근을 덮는다. 제1 도핑 공정은 절연막을 통해 실시됨으로써, 저-농도 불순물 영역을 형성한다. 하나의 발광 소자는 복수의 TFT를 이용해 구동시키고, p-채널 TFT 만으로 구동시키는 경우 전술한 도핑 공정이 특별히 필요하지는 않다.

[0078] 그 후에, 레지스트 마스크를 제거한 후, 제4 포토마스크를 이용하여 레지스트 마스크를 새롭게 형성하다. 반도체에 p-형 도전성을 부여하는 불순물 원소(대표적으로 붕소)를 고농도로 도프하기 위한 제2 도핑 공정이 실시된다. 제2 도핑 공정은 게이트 절연막(12)을 통해 실시됨으로써, p-형 고-농도 불순물 영역(17, 18)을 형성한다.

[0079] 그 다음, 제5 포토마스크를 이용하여 레지스트 마스크를 새롭게 형성한다. n-채널 TFT(미도시)를 형성하기 위해, 반도체에 n-형 도전성을 부여하는 불순물 원소(대표적으로는 인, 또는 비소)를 고농도로 도프하기 위한 제3 도핑 공정을 실시한다. 제3 도핑 공정은 도즈량(dose)이 $1 \times 10^{13} \sim 5 \times 10^{15}/\text{cm}^2$ 이고, 가속 전압이 60~100 keV인 조건하에서 이온 도프 방법에 의해 실시된다. 레지스트 마스크는 p-채널 TFT가 되는 영역 및 도전층의 부근을 덮는다. 제3 도핑 공정은 게이트 절연막 12를 통해 실시됨으로써, n-형 고-농도 불순물 영역을 형성한다.

[0080] 그 후에, 레지스트 마스크는 제거되고, 수소를 포함한 제1 충간 절연막(13)이 형성된다. 그 다음, 반도체층에 첨가된 불순물 원소의 활성화 및 수소화를 실시한다. 수소를 포함한 제1 충간 절연막(13)으로는 PCVD 방법에 의해 얻을 수 있는 질화 산화 규소막(SiNO막)을 이용한다. 또한, 결정화를 조장하는 금속 원소, 대표적으로 니켈을 이용해 반도체막을 결정화시키는 경우, 활성화와 동시에 채널-형성 영역(19)에서 니켈을 감소시키기 위해 게터링(gettering)할 수 있다.

[0081] 그 다음, 제2 충간 절연막이 되는 평탄화 절연막(16)을 형성한다. 평탄화 절연막(16)으로는 도포법에 의해 얻을 수 있는 실리콘(Si) 및 산소(O)의 결합을 포함하는 골격 구조를 갖는 절연막이 사용된다.

[0082] 다음으로, 평탄화 절연막(16)에 컨택트 홀을 형성하기 위해 제6 마스크를 이용하여 식각을 실시한다. 동시에, 기판의 주변부의 평탄화 절연막을 제거한다. 여기서, 제1 충간 절연막(13)과 평탄화 절연막(16) 사이의 선택비율이 다르다는 조건 하에 식각을 실시한다. 이용되는 식각용 가스에 제한은 없으나, CF₄, O₂, He, Ar를 이용하는 것이 적합하다. 건식 식각은 RF 전력이 3000 W, 압력이 25 Pa이고, CF₄, O₂, He, 및 Ar의 유량비율이 각각 380 sccm, 290 sccm, 500 sccm, 500 sccm인 조건 하에 실시된다. 제1 충간 절연막(13) 상에 잔여물이 남지 않게 식각하기 위해서, 대략 10~20%의 비율로 식각 시간을 증가시키는 것이 바람직하다. 평탄화 절연막(16)은 한번 또는 복수의 식각에 의해 테이퍼(taper)될 수 있다. 여기서, 건식 식각은 두번 이루어지고, 두번째 건식 식각은 RF 전력이 3000 W, 압력이 25 Pa이고, CF₄, O₂, 및 He의 유량비율이 각각 550 sccm, 450 sccm, 350 sccm인 조건 하에 실시된다. 평탄화 절연막의 단부는 30° 초과 75° 미만의 테이퍼 각을 갖는 것이 바람직하다.

[0083] 다음으로, 제6 마스크를 다시 사용하여 식각을 실시함으로써, 게이트 절연막(12) 및 제1 충간 절연막(13)의 노출된 부분들을 선택적으로 제거한다. 특히, 게이트 절연막(12) 및 제1 충간 절연막(13)은 식각용 가스로서 CHF₃와 Ar를 이용하여 식각된다. 반도체층 상에 잔여물을 남기지 않도록 식각하기 위해서, 대략 10~20%의 비율로 식각 시간을 증가시키는 것이 바람직하다.

[0084] 다음으로, 제6 마스크를 제거하고, 그 후 컨택트 홀에 반도체층과 접하는 2층 구조를 갖는 도전막을 형성한다. 하층이 되는 제1 도전층(22a)은 고용점 금속(예, Ti, Mo) 또는 고용점 금속 화합물(예, TiN)로 형성된다. 제1 도전층(22a)의 막 두께는 20 nm~200 nm의 범위로 한다. 하층이 되는 제1 도전층(22a)은 실리콘과 알루미늄의 상호 확산을 방지하는 효과를 가진다.

[0085] 또, 상층이 되는 제2 도전층(22b)은 배선의 전기 저항값을 감소시키기 위해, 저-저항 금속(대표적으로, Al)으로 형성된다. 제2 도전층(22b)의 막 두께는 0.1 μm~2 μm의 범위로 한다. 각층의 표면을 산화시키지 않기 위해, 이를 두층을 같은 스퍼터 장치에서 연속하여 형성하는 것이 바람직하다.

[0086] 다음으로, 제7 마스크를 이용하여 제1 식각을 실시한다. 제1 식각은 상층이 폭 W1을 갖도록 패턴 처리하기 위해

실시된다. 제1 식각은 건식 식각 방법 또는 습식 식각 방법으로 실시된다.

[0087] 다음으로, 레지스트 마스크를 납긴 채, 레지스트 마스크를 후퇴시키면서 제2 도전층이 폭 W2를 갖도록 식각하기 위해 ICP(Inductively Coupled Plasma : 유도 결합형 플라즈마) 식각 방법을 이용하여 제2 식각을 실시한다. 제2 식각 시에, 또한 제1 도전층이 약간 제거됨으로써 테이퍼 부분을 형성한다. ICP 식각법을 이용함으로써, 식각 조건(코일 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)이 적절히 조절될 때, 막은 원하는 테이퍼 형상으로 식각될 수 있다. 식각용 가스로서, Cl₂, BC_l₃, SiCl₄, 또는 CC_l₄로 대표되는 염소계 가스 또는 CF₄, SF₆, NF₃로 대표되는 불소계 가스, 또는 O₂가 적절히 이용될 수 있다.

[0088] 또한, ICP 식각 방법으로 테이퍼 형상이 형성될 때, 돌출부들은 전극의 양측에 동일하게 형성된다. 제2 식각 조건에 따라서, 제1 도전층의 식각에 의해 노출된 평탄화 절연막(16)의 부분이 또한 약간 식각될 수도 있다.

[0089] 다음으로, 투명 도전막은 전술한 2층 구조를 갖는 전극 또는 배선에 접해 형성된다. 투명 도전막 및 제1 도전층(22a)을 서로 직접 접하도록 형성할 때, 양호한 저항 접합을 얻을 수 있다. 그 후, 제8 마스크를 이용하여 식각을 실시함으로써, 제1 전극(23R, 23G) 즉, 유기 발광 소자들의 양극들(혹은 음극들)을 형성한다.

[0090] 제1 전극의 재료로서, ITO(indium tin oxide; 산화 인듐 주석), 또는 ITSO(ITO에 산화 규소가 2~10 중량% 포함된 타겟을 이용해 스퍼터 방법으로 얻을 수 있는 산화 규소를 포함한 산화 인듐 주석)가 사용된다. ITSO 외에, 산화 규소를 포함한 산화 인듐에 2~20%의 산화 아연(ZnO)을 혼합한 광-투과성 산화물 도전막(IZO)과 같은 투명 도전막을 이용해도 좋다. 또한, 산화 규소를 포함한ATO(antimony tin oxide; 안티몬 주석 산화물)의 투명 도전막이 이용될 수 있다.

[0091] 만약, ITO가 제1 전극(23R, 23G)으로서 이용되는 경우, 전기 저항값을 감소시키기 위해 결정화를 위한 베이크(bake)를 실시한다. ITSO 및 IZO는 베이크를 실시한 후에도 ITO와 같이 결정화되지 않고, 비결정질 상태로 남는다.

[0092] 전술한 방법으로 얻어진 두층의 전극과 ITSO와의 접촉 저항 및 비교예의 접속 저항을 비교하기 위해, 다음의 실험이 실시된다.

[0093] 산화 규소막을 유리 기판상에 절연층으로 형성한다. 그 후, 티탄층(두께 100 nm) 위에 순수 알루미늄층(두께 700 nm, 저항율 4 μΩcm)을 스퍼터 방법에 의해 연속적으로 적층함으로써, 2층 구조를 갖는 금속층을 형성한다. 그 후, 전극 패턴을 갖는 레지스트 마스크를 포트리소그래피에 의해 형성하고, 이하의 3개의 방법으로 2층 구조의 금속층을 식각함으로써 2개의 샘플을 형성한다.

[0094] 샘플 1(비교 예)에서, 금속층의 두층 모두는 ICP 장치를 이용한 플라스마 식각을 한번 실시함으로써 식각된다. 그 결과, 형성된 전극 단면(end section)은 거의 수직에 가까운 약 80°의 테이퍼 각을 갖는다. 그 후, 투명 전극이 되는 ITSO막이 스퍼터 방법에 의해 형성되고, 포트리소그래피를 통해 패턴 처리된다.

[0095] 샘플 2(본 발명)에서, 2층 구조의 금속층을 ICP 장치를 이용한 2 단계의 플라스마 식각을 실시함으로써, 하층으로서 티탄층이 돌출된 형상을 얻는다. 구체적으로, 제1 식각은 식각된 전극 단면이 약 60° 정도의 테이퍼 각을 갖도록 실시되고, 제1 식각 조건과는 다른 제2 식각은 상층으로서 알루미늄층이 선택적으로 식각되고 단면이 거의 수직이 되도록 실시된다.

[0096] 제1 식각은 식각용 가스로서 BC_l₃와 Cl₂를 이용하고, 각각의 가스 유량비율을 60 (sccm), 20 (sccm)으로 하며, 1.9 Pa의 압력으로, 코일-형의 전극에 450 W의 RF(13.56 MHz) 전력을 인가하여 플라스마를 생성하는 제1 조건하에 100초 동안 실시된다. 기판측(샘플 스테이지)에도 100 W의 RF(13.56 MHz) 전력을 투입하여, 실질적으로 음의 바이어스 전압을 인가한다. 기판측의 전극은 12.5 cm × 12.5 cm의 면적을 가지며, 코일-형의 전극은(여기서는 코일이 설치된 석영 원판) 직경 25 cm의 원판이다. 다음으로, 식각은 가스 및 유량비를 제1 조건과 같게 하고, 압력을 1.2 Pa, 코일-형의 전극에 600 W의 RF 전력을 인가하고, 기판측에 250 W의 RF 전력을 인가하여, 플라스마를 생성하는 제2 조건 하에 160초 동안 실시한다.

[0097] 제2 식각의 조건은 식각용 가스로 BC_l₃와 Cl₂를 사용하고 각각의 가스 유량비를 40 (sccm), 40 (sccm), 3.5 Pa의 압력으로 코일형의 전극에 200 W의 RF 전력을 인가하고, 기판측에 50 W의 RF 전력을 인가하여 플라스마를 생성하며, 식각 시간은 60초이다.

[0098] 도 4A 및 도 4B는 식각 후의 SEM(주사형 전자현미경) 사진이고, 도 4C는 개략 단면도이다. 도 4A는 사시도, 도 4B는 단면도이다. 돌출된 부분의 길이는 0.22 μm이다. 즉, 상층의 단부로부터 하층의 단부까지 0.22 μm 떨어져

있고, 하층의 폭 W1은 상층의 폭 W2보다 $0.44\text{ }\mu\text{m}$ 넓다. 그 후, 투명 전극이 되는 ITSO막을 스퍼터 방법에 의해 형성하고, 포트리소그래피를 통해 패턴 처리한다.

[0099] 각각의 2개의 샘플에서, 두가지 종류의 테그(Test Element Group : 측정용 단체 소자) 패턴이 전기 저항 측정을 위해 형성된다.

[0100] 테그 패턴들 중 하나는 금속층과 ITSO층이 직렬 접속이 되도록 교대로 배치된 컨택트 체인(contact chain)으로 불리는 제1 테그이다(도 5A는 상측-표면 레이아웃도, 도 5B는 확대된 컨택트부의 측정값의 관계를 나타낸다). 제1 테그 패턴에서, 배선과 ITO와 이들 간의 접촉계면의 3개의 저항 요소가 직렬 접속되었다.

[0101] 또 다른 패턴은 켈빈(Kelvin) 측정을 위해 금속층과 ITSO층이 서로 십자형으로 배치된 제2 테그이다(도 6A은 상측-표면 레이아웃도, 도 6B는 확대된 컨택트부의 측정값의 관계를 나타낸다).

[0102] 다음으로, 두 개의 샘플에서 제1 테그를 이용하여 전기 저항을 측정한다. 결과적으로, 샘플 2(본 발명)에서 1V에서의 저항값(하나의 컨택트 당)이 샘플 1(비교예)에 비해 77% 감소한다.

[0103] 또한, 도 7은 제1 테그의 전기 저항의 측정 결과를 나타낸다. ITSO의 저항율은 $4000\text{ }\mu\Omega\text{cm}$ 로 가정됨을 주의해야 한다.

[0104] 더욱이, 두 개의 샘플에서 제2 테그를 이용하여 전기 저항을 측정한다. 샘플 2(본 발명)의 접촉 저항값이 샘플 1(비교예)보다 작다. 도 8은 제2 테그에서 전기 저항 측정의 결과를 나타낸다.

[0105] 전술한 실험으로부터, 하층(티탄층)이 돌출된 2층 구조의 전극을 사용함으로써, ITSO와의 접촉 저항이 감소될 수 있음을 이해할 수 있다.

[0106] 도 15는 하층(티탄층) 대신에 몰리브덴층(막 두께 100 nm)을 이용하여 제1 테그에서의 전기 저항 측정의 결과를 나타낸 것이다. ITSO의 저항율은 $4000\text{ }\mu\Omega\text{cm}$ 로 가정함을 주의해야 한다. 도 15에서, 실선은 하층으로 제공되는 몰리브덴층의 단면이 거의 수직이 되는 조건하에 쟁각된 비교 샘플을 가리키고 있다. 또한, 도 15에서, 하층으로 제공되는 몰리브덴층은 돌출되고, 단면은 대략 60° 정도의 테이퍼 각을 가진 샘플을 ×표로서 가리키고 있다. 도 15로부터 하층(몰리브덴층)이 돌출된 2층 구조의 전극을 이용함으로써, ITSO와의 접촉 저항이 감소될 수 있음을 이해할 수 있다.

[0107] 더욱이, 하층의 막 두께의 조건이 100 nm , 200 nm , 300 nm 인 상이한 조건하에서 동일한 방법으로 전기 저항을 측정한다. 그때는 하층의 막 두께가 두꺼우면 두꺼울수록 접촉 저항값이 감소됨을 확신할 수 있다.

[0108] 또한, 도 1B는 투명 도전막으로 형성되는 제1 전극과 Ti으로 형성되는 하층이 접하고 있는 부분의 확대 단면도를 나타낸다. 도 1B에 도시된 바와 같이, 상층이 되는 제2 도전층(22b)의 표면에는 산화 알루미늄막(34)이 얇게 형성되고 있고, 투명 도전막으로 형성되는 제1 전극은 하층과만 전기적으로 접합하고 있다. 도 1B는 하층(22a)의 단부의 테이퍼 각 α 가, 상층이 되는 제2 도전층(22b)의 단부의 테이퍼 각 β 보다 작은 예를 나타내고 있다. 하층이 되는 제1 도전층(22a)의 단부의 테이퍼 각 α 가 작으면 작을수록, 제1 전극과 제1 도전층의 접촉 면적은 증가한다.

[0109] 다음으로, 절연물(29)(뱅크(bank), 격벽(partition wall), 장벽(barrier), 제방(embankment) 등으로 불림)은 제8 마스크를 이용하여 제1 전극(23R, 23G)의 단부를 덮기 위해 형성된다. 또한, 절연물(29)로서, 도포법에 의해 얻을 수 있는 유기 수지막, 또는 SOG막(예, 알킬기를 포함한 SiOx막)을 막 두께 $0.8\text{ }\mu\text{m}\sim1\text{ }\mu\text{m}$ 로 형성한다.

[0110] 그 다음, 유기 화합물을 포함하는 층들(24R, 24G)은 증착법 또는 도포법에 의해 적층된다. 또한, 신뢰성을 향상시키기 위해, 유기 화합물을 포함하는 층들(24R, 24G)을 형성하기 전에 가스를 제거하기 위해 진공 가열하는 것이 바람직하다. 예를 들어, 유기 화합물 재료를 증착하기 전에, 기판에 포함되는 가스를 제거하기 위해서 저압 분위기(atmosphere)나 불활성 분위기 하에 $200^\circ\text{C}\sim300^\circ\text{C}$ 에서 가열 처리하는 것이 바람직하다. 유기 화합물을 포함하는 층들(24R, 24G)은 증착법을 이용해 진공도가 $5\times10^{-3}\text{ Torr}$ (0.665 Pa) 이하, 바람직하게는 $10^{-4}\text{ }\sim10^{-6}\text{ Torr}$ 까지 진공 배기된 막형성실(film-forming chamber)에서 증착하여 형성된다. 증착시, 유기 화합물은 저항 가열에 의해 미리 기화되고, 기화된 유기 화합물은 셔터가 열리는 것에 의해 기판 방향으로 흩어진다(sputter). 기화된 유기 화합물은 윗쪽으로 흩어지고, 메탈 마스크에 설치된 개구부를 통해 이동하여 기판에 증착된다.

[0111] 풀 컬러(full color)를 달성하기 위해, 마스크는 발광색들(R, G, B) 각각에 대해 열라이먼트 된다.

[0112] 유기 화합물을 포함하는 층들(24R, 24G)은 제1 전극상에 정공 주입층/정공 수송층/발광층/전자 수송층이 차례차례 적층되어 형성된 다중층이다. 예를 들어, 유기 화합물을 포함하는 층(24R)에서, 발광층으로서 DCM가 첨가된

Alq_3 를 40 nm 두께로 형성한다. 또한, 유기 화합물을 포함하는 층(24G)에서, 발광층으로서 DMQD가 첨가된 Alq_3 를 40 nm 두께로 형성한다. 여기에서는 도시하고 있지 않았지만, 청색의 발광층으로서 CBP($4,4'$ -bis(N-carbazolyl)-biphenyl)가 첨가된 PPD($4,4'$ -bis(N-(9-phenanthryl)-N-phenylamino)biphenyl)를 30 nm 두께로, 블로킹층으로서 SALq(bis(2-methyl-8-quinolinolate)(triphenylsilanolate)aluminum)를 10nm 두께로 형성한다.

[0113] 그 다음, 제2 전극(25) 즉, 유기 발광 소자의 음극(혹은 양극)을 형성한다. 제2 전극(25)의 재료로는, MgAg, MgIn, AlLi 등의 합금, CaF_2 , CaN , 또는 주기표의 1족 혹은 2족에 속하는 원소와 알루미늄을 공중착법에 의해 형성한 막이 이용될 수 있다.

[0114] 제2 전극(25)을 형성하기 전, 광-투과성을 가지는 층을 음극 벼파층으로서 CaF_2 , MgF_2 , 또는 BaF_2 로 막 두께 1nm~5nm로 형성할 수도 있다.

[0115] 또한, 제2 전극(25)을 보호하기 위한 보호층이 형성될 수도 있다.

[0116] 다음으로, 실링(sealing) 기판(33)을 실링 재료(미도시)로 붙여서 발광 소자를 봉합한다. 건조한 불활성 기체 또는 투명한 충전재를 한 쌍의 기판 및 실링 재료로 둘러싸인 영역(27)에 충전한다. 불활성 기체로서, 희가스(noble gas) 또는 질소를 이용할 수 있고, 건조를 위한 건조제는 실링 기판(33)에 제공된다. 충전재로서, 광-투과성을 가지는 재료이면 특별히 제한되지는 않는다. 대표적으로, 자외선 경화 또는 열경화의 에폭시 수지를 이용할 수 있다. 충전재를 한 쌍의 기판 사이에 충전할 때, 전체의 투과율은 증가될 수 있다.

[0117] 제1 전극이 투명 재료로 형성되고, 제2 전극이 금속재료로 형성될 때, 광이 기판(10)을 통과하여 추출되는 구조, 즉 배면-발광(bottom-emission) 유형이 얻어진다. 또한, 제1 전극이 금속재료로 형성되고, 제2 전극이 투명 재료로 형성될 때, 광을 실링 기판(33)을 통과시켜 추출하는 구조, 즉 전면-발광(top-emission) 유형이 얻어진다. 또한, 제1 전극 및 제2 전극이 투명 재료로 형성될 때, 광을 기판(10) 및 실링 기판(33) 양쪽 모두를 통과시켜 추출하는 구조를 얻을 수 있다. 본 발명은 전술한 구조들 중 적절한 어느 하나가 적용될 수 있다.

[0118] 기판(10)을 통과시켜 광을 추출할 때, 발광층으로부터 방출되는 발광이 통과하는 층 즉, 제1 전극, 제1 층간 절연막(13), 제2 층간 절연막(16), 게이트 절연막(12), 기초 절연막(11)에는 모두 산화 규소(굴절률 약 1.46 정도)가 포함되어 있다. 따라서, 각각의 굴절률의 차이가 작아짐으로써 광 추출 효율이 증가된다. 즉, 굴절률이 다른 재료층 간에서의 미광(stray light)을 억제할 수가 있다.

[0119] [제2 실시 형태]

[0120] 여기서는 제1 실시 형태와는 상이한 모양의 2층 구조를 가진 전극의 일 예를 도 2A 및 도 2B를 참조하여 이하에서 설명한다.

[0121] 제1 도전층(222a) 및 제2 도전층(222b)을 포함하는 전극을 형성하는 공정 이외의 공정들은, 제1 실시 형태와 동일하며, 여기에서 상세한 설명은 생략하기로 한다. 따라서, 도 2A 및 도 2B에서, 도 1A과 동일한 구성에 대해서는 동일한 참조부호를 사용하였다.

[0122] 컨택트 홀에서 반도체층과 접하는 2층 구조를 갖는 도전막은 제1 실시 형태에 따라 형성된다. 하층이 되는 제1 도전층(222a)은 고용점 금속(Ti, Mo 등) 또는 고용점 금속 화합물(TiN 등)로 20 nm~200 nm의 막 두께로 형성된다. 하층이 되는 제1 도전층(222a)은 실리콘과 알루미늄의 상호 확산을 방지하는 효과를 갖는다.

[0123] 상층이 되는 제2 도전층(222b)은 배선의 전기 저항값을 낮추기 위해, 저-저항 금속(대표적으로, Al)으로 0.1 μm ~2 μm 의 막 두께로 형성된다. 각층의 표면을 산화시키지 않기 위해, 이들 2층을 동일한 스퍼터 장치로 연속하여 형성하는 것이 바람직하다.

[0124] 그 다음, 제7 마스크를 이용하여 제1 식각을 실시한다. 제1 식각에 의해, 상층은 폭이 W4가 되도록 패턴 처리된다. 제1 식각은 건식 식각 방법 또는 습식 식각방법으로 실시된다.

[0125] 그 다음, 제8 마스크를 이용하여 제2 식각을 실시한다. 제2 식각에 의해, 하층은 폭이 W3가 되도록 패턴 처리된다. 제2 식각은 건식 식각 방법 또는 습식 식각방법으로 실시된다.

[0126] 제1 및 제2 식각에서, 상층의 폭 W4는 제7 마스크에 의해 결정되며, 하층의 폭 W3는 제8 마스크에 의해 결정된다.

다.

[0127] 다음으로, 제1 실시 형태와 동일한 방법으로, 투명 도전막은 2층 구조를 갖는 배선 또는 전극에 접하여 형성된다. 투명 도전막과 제1 도전층(222a)을 서로 직접 접하도록 형성할 때, 양호한 저항 접합을 얻을 수 있다. 그리고, 제9 마스크를 이용하여 식각을 실시함으로써, 제1 전극(23R, 23G) 즉, 유기 발광 소자의 양극(혹은 음극)을 형성한다.

[0128] 이후의 공정은 제1 실시 형태와 동일하다. 따라서 여기서는 상세한 설명을 생략하기로 한다.

[0129] 여기서, 돌출 부분을 형성하기 위해 2회의 패턴 처리를 함으로써 도 2A에 도시된 전극 구조를 얻는 예를 나타내고 있다. 2회의 패턴 처리를 하는 경우, 제1 실시 형태에 도시된 바와 같이, 돌출 부분들은 상층의 양쪽에 균등하게 형성될 수 있고, 돌출 부분은 후에 형성하는 제1 전극과 겹치는 부분에만 형성될 수도 있다. 즉, 2개의 패터닝 마스크를 적절히 설계함으로써, 제1 전극과 하층의 접촉 면적을 제어할 수 있다.

[0130] 도 2B는 투명 도전막으로 형성되는 제1 전극과 Ti으로 형성되는 하층이 접하는 부분의 확대 단면도를 나타낸다. 도 2B에 도시된 바와 같이, 제2 도전층(222b)의 표면에는 산화 알루미늄막(34)이 얇게 형성되어 있고, 투명 도전막으로 형성되는 제1 전극은 하층과만 전기적으로 접합하고 있다. 도 2B에서는, 하층이 되는 제1 도전층(222a)의 단부의 테이퍼 각 α 가 제2 도전층(222b)의 단부의 테이퍼 각 β 보다 큰 예를 나타내고 있다. 도 2B에 도시된 바와 같이, 하층의 표면부 및 단면과 제1 전극이 전기적으로 접속하고 있다. 제1 전극이 하층 표면과 접하고 있는 면적은 제1 전극이 하층 단면과 접하고 있는 면적보다 넓다.

[0131] 본 실시 형태는 제1 실시 형태를 자유롭게 조합할 수가 있다.

[제3 실시 형태]

[0133] 투명 도전막과 2층 구조의 전극과의 사이에 절연막을 하나 더 마련한 예를 도 3을 참조하여 이하에서 설명하기로 한다.

[0134] 제1 도전층(22a), 제2 도전층(22b), 및 제3 도전층(22c)을 포함하는 전극을 형성할 때까지의 공정은 제1 실시 형태와 동일하며, 상세한 설명은 생략한다. 또한, 도 3에서, 도 1A와 동일한 구성에 대해서는 동일한 참조번호를 부여한다.

[0135] 우선, 2층 구조의 전극(22a, 22b)은 제1 실시 형태에 나타낸 공정에 따라 형성된다. 그 다음에, 제3 층간 절연막이 되는 평탄화 절연막(320)이 형성된다. 평탄화 절연막(320)으로는, 도포법에 의해 얻을 수 있는 실리콘(Si)과 산소(O)와의 결합으로 골격 구조가 구성되는 절연막이 이용된다. 여기서, 제3 평탄화 절연막(320)은 평탄화를 위해 이용되고, 평탄화 절연막(16)은 반드시 평탄화 필요는 없으며, 예컨대, PCVD 방법에 의해 형성된 무기 절연막이 이용될 수도 있다.

[0136] 그 다음에, 평탄화 절연막(320)을 선택적으로 식각하여, 상층이 되는 제2 도전층(22b) 및 평탄화 절연막(16)에 이르는 컨택트 홀을 형성한다. 다음으로, 투명 도전막을 형성하고 패턴 처리하여 제1 전극(323R, 323G)을 형성한다.

[0137] 그 다음에, 제1 실시 형태에 나타낸 공정과 같이 제1 전극(323R, 323G)의 단부를 덮도록 절연물(329)을 형성한다. 이후의 공정은 제1 실시 형태와 동일하므로 여기서는 상세한 설명을 생략하기로 한다.

[0138] 도 3에 나타난 구조를 가짐으로써, 제1 전극 면적이 확장될 수 있고, 발광 영역이 확장될 수 있다.

[0139] 본 실시 형태는 제1 실시 형태 또는 제2 실시 형태를 자유롭게 조합할 수 있다.

[0140] 전술한 구성으로 갖는 본 발명은 이하에 나타내는 실시예를 참조하여 한층 더 상세히 설명된다.

[제1 실시예]

[0142] 본 실시예는 도 9를 참조하여 풀-컬러의 발광 디바이스를 설명한다. 도 9는 액티브 매트릭스 발광 디바이스의 일부 단면을 나타낸다.

[0143] 3개의 TFT(1003R, 1003G, 1003B)는 기초 절연막(1002)이 설치된 제1 기판(1001)상에 마련된다. 이러한 TFT 들은 채널 형성 영역(1020)과 소스 영역 또는 드레인 영역(1021, 1022), 게이트 절연막(1005)과 게이트 전극을 가

진 p-채널 TFT이다. 게이트 전극은 테이퍼된 게이트 전극의 하층(1023a) 및 게이트 전극의 상층(1023b)의 두 개의 층을 갖는다.

[0144] 또한, 층간 절연막(1006)은 무기 절연막이다. 층간 절연막(1006)을 덮는 평탄화 절연막(1007)은 도포법에 의해 형성된 평탄한 층간 절연막이다.

[0145] 발광 소자에서, 제1 전극을 평탄하게 하는 것이 중요하다. 만약 평탄화 절연막(1007)이 평탄하지 않은 경우, 평탄화 절연막(1007)의 표면 요철의 영향에 의해 제1 전극도 평탄하지 않을 수 있다. 따라서, 평탄화 절연막(1007)의 평탄성은 중요하다.

[0146] 또한, TFT의 드레인 배선 또는 소스 배선(1024a, 1024b)은 2층 구조를 갖는다. 후에 투명 도전막과 접속되는 부분에서, 드레인 배선 또는 소스 배선의 하층(1024a)은 드레인 배선 또는 소스 배선의 상층(1024b)보다 넓은 폭을 가진다. 이 전극 형상은 제2 실시 형태에 따라, 돌출 부분을 형성하기 위해 2회의 패턴 처리를하여 얻어진다. 여기서, 드레인 배선 또는 소스 배선의 하층(1024a)은 티탄막으로 형성되고, 드레인 배선 또는 소스 배선의 상층(1024b)은 알루미늄막으로 형성된다. TFT의 드레인 배선 또는 소스 배선의 상층(1024b)은 층간 절연막의 커버리지(coverage)를 고려하여 테이퍼 하는 것이 바람직하다.

[0147] 하층의 측면부는 제1 실시 형태에 따라, 상층의 측면부보다 작은 테이퍼 각을 가질 수 있다.

[0148] 또한, 격벽(1009)은 수지로 형성되고, 상이한 발광을 나타내는 유기 화합물을 포함하는 층들 사이를 구획(partition)하는 역할을 한다. 따라서, 격벽(1009)은 하나의 화소 즉, 발광 영역을 둘러싸도록 격자 형상을 하고 있다. 상이한 발광을 나타내는 유기 화합물을 포함하는 층들이 격벽 상에서 겹칠 수도 있지만, 층들을 인접한 화소의 제1 전극과는 겹치지 않게 한다.

[0149] 발광 소자는 투명 도전재료를 포함하는 제1 전극(1008)과 유기 화합물을 포함하는 층(1015R, 1015G, 1015B), 및 제2 전극(1010)을 포함한다. 본 실시예에서, 제1 전극(1008)은 하층(1024a)과 접하여 전기적으로 도통하도록 한다.

[0150] 또한, 제1 전극(1008) 및 제2 전극(1010)의 재료들은 일 함수를 고려해 선택할 필요가 있다. 그러나, 제1 전극 및 제2 전극은 양극 또는 음극이 될 수 있다. 구동용 TFT의 극성이 p-채널형인 경우, 제1 전극은 양극, 제2 전극은 음극으로 하는 것이 바람직하다. 또한, 구동용 TFT의 극성이 N-채널형인 경우, 제1 전극은 음극, 제2 전극은 양극으로 하는 것이 바람직하다.

[0151] 또한, 유기 화합물을 포함하는 층(1015R, 1015G, 1015B)은 제1 전극(양극) 측으로부터 순차적으로, HIL(홀-주입층), HTL(홀-수송층), EML(발광층), ETL(전자-수송층), EIL(전자-주입층)의 순서로 적층되어 형성된다. 유기 화합물을 포함하는 층은 적층 구조 이외에 단층 구조 또는 혼합 구조를 취할 수 있다. 폴 컬러를 달성하기 위해, 유기 화합물을 포함하는 층(1015R, 1015G, 1015B)은 R, G, B의 3 종류의 화소를 형성하기 위해 선택적으로 형성된다.

[0152] 또한, 수분이나 가스체거에 의한 손상으로부터 발광 소자를 보호하기 위해, 제2 전극(1010)을 덮는 보호막(1011, 1012)을 마련하는 것이 바람직하다. 보호막(1011, 1012)으로서, PCVD 방법에 의한 고밀도의 무기 절연막(예, SiN 또는 SiNO막), 스퍼터 방법에 의한 고밀도의 무기 절연막(예, SiN 또는 SiNO막), 탄소를 주성분으로 하는 박막(예, DLC막, CN막 또는 무결정질 카본막), 금속 산화물막(예, WO₃, CaF₂ 또는 Al₂O₃ 등) 등을 이용하는 것이 바람직하다.

[0153] 제1 기판(1001) 및 제2 기판(1016) 간의 공간(1014)은 충전재료 또는 불활성 가스를 충전한다. 질소 등의 불활성 가스를 충전하는 경우, 건조를 위한 건조제를 공간(1014)에 마련하는 것이 바람직하다.

[0154] 또한, 발광 소자로부터의 광은 제1 기판(1001)을 통과시켜 추출된다. 도 9는 배면-발광 유형의 발광 디바이스를 나타낸다.

[0155] 본 실시예에서는 텁-게이트 TFT를 예로서 설명했지만, 본 발명은 TFT 구조에 관계없이 적용 가능하다. 예를 들어, 본 발명은 배면-게이트(역-스태거) TFT 또는 스태거 TFT에 적용될 수 있다.

[0156] 본 실시예는 제1 실시 형태 내지 제3 실시 형태를 자유롭게 조합할 수 있다.

[0157] [제2 실시예]

- [0158] 본 실시예는 화소부, 구동 회로, 및 단자부를 동일 기판상에 형성함으로써, 양쪽 모두의 기판으로부터 광을 추출할 수 있는 발광 디바이스의 일 예를 도 10을 참조하여 설명한다.
- [0159] 기판(610) 상에 기초 절연막을 형성한 후, 각 반도체층을 형성한다. 그 다음에, 반도체층을 덮는 게이트 절연막을 형성한 후, 각 게이트 전극 및 단자 전극을 형성한다. 그 다음에, n-채널 TFT(636)를 형성하기 위해 반도체에 n-형 도전성을 부여하는 불순물 원소(대표적으로, 인 또는 비소)를 도포하고, p-채널 TFT(637)를 형성하기 위해 반도체에 p-형을 부여하는 불순물 원소(대표적으로, 붕소)를 도포한다. 이에 의해, 소스 영역, 드레인 영역, 및 필요하다면 LDD 영역이 적절히 형성된다. 그 다음에, PCVD 방법에 의해 얻어지는 수소를 포함한 질화 산화 규소막(SiNO막)을 형성한 후, 반도체층에 첨가된 불순물 원소의 활성화 및 수소화를 실시한다.
- [0160] 그 다음에, 충간 절연막이 되는 평탄화 절연막(616)을 형성한다. 평탄화 절연막(616)으로는, 도포법에 의해 얻어지는 실리콘(Si)과 산소(O)와의 결합을 포함하는 골격 구조를 갖는 절연막을 이용한다.
- [0161] 그 다음에, 컨택트 홀이 마스크를 이용하여 평탄화 절연막에 형성되는 동시에, 주변부에 평탄화 절연막이 제거된다.
- [0162] 그 다음에, 평탄화 절연막(616)을 마스크로 식각을 실시하여, 수소를 포함한 SiNO막 또는 게이트 절연막의 노출 부분을 선택적으로 제거한다.
- [0163] 도전막을 형성한 후, 마스크를 이용하여 식각을 실시함으로써, 드레인 배선 및 소스 배선을 형성한다. 드레인 배선은 2층 구조를 갖고, 하층은 후에 투명 도전막과 접속되는 부분에서 상층보다 넓은 폭을 갖는다. 본 실시예에서는, 상층으로부터 돌출된 하층을 제1 실시 형태의 공정에 따라 형성한다. 또한, 하층의 측면부는 상층의 측면부보다 작은 테이퍼 각을 갖는다.
- [0164] 그 다음에, 투명 도전막을 포함하는 제1 전극(623) 즉, 유기 발광 소자의 양극(혹은 음극)을 형성한다. 제1 전극(623)은 하층의 돌출 부분과 전기적으로 접속된다.
- [0165] 다음으로, 도포법에 의해 얻어진 SOG막(예, 알킬기를 포함한 SiOx막)을 패턴 처리하여, 제1 전극(623)의 단부를 덮는 절연물(629)(뱅크, 격벽, 장벽, 제방 등으로 불림)을 형성한다.
- [0166] 그 다음에, 유기 화합물을 포함하는 층(624)은 증착법 또는 도포법을 이용해 형성된다. 다음으로, 투명 도전막을 포함하는 제2 전극(625) 즉, 유기 발광 소자의 음극(혹은 양극)을 형성한다. 그 다음에, 투명 보호층(626)을 증착법 또는 스퍼터 방법에 의해 형성한다. 투명 보호층(626)은 제2 전극(625)을 보호한다.
- [0167] 그 다음에, 투명한 실링 기판(633)을 실링 재료(628)로 붙여서 발광 소자를 봉합한다. 즉, 발광 표시 디바이스는 표시 영역의 외주(circumstance)를 실링 재료로 둘러싸는 방법으로 한 쌍의 기판으로 봉합된다. TFT의 층간 절연막은 기판 전면에 설치되기 때문에, 실링 재료의 패턴이 층간 절연막의 바깥 둘레보다 안쪽으로 당겨진 경우, 실링 재료의 패턴의 외측에 위치하는 층간 절연막의 일부를 통해 수분이나 불순물이 침투할 우려가 있다. 따라서, 실링 재료는, TFT의 층간 절연막으로 이용되는 평탄화 절연막의 외주에서, 실링 재료의 패턴의 안쪽, 바람직하지는 실링 재료의 패턴과 겹침으로써, 평탄화 절연막의 단부를 가리도록 마련된다. 실링 재료(628)로 둘러싸인 영역은 투명한 충전재(627)로 충전된다.
- [0168] 결국, FPC(632)는 이방성 도전막(631)에 의해 공지의 방법으로 단자 전극과 접합된다. 단자 전극은 게이트 배선과 동시에 형성된 단자 전극 상에 투명 도전막으로 형성되는 것이 바람직하다(도 10).
- [0169] 또한, 발광 소자로부터의 광은, 기판(610) 및 실링 기판(633)을 통과시켜 양측으로 추출된다. 도 10은 기판과 실링 기판의 양쪽 모두를 통과시켜 광을 추출하는 구조를 갖는 발광 디바이스를 도시한 것이다.
- [0170] 전술한 공정에 의해, 화소부, 구동 회로, 및 단자부가 동일 기판상에 형성될 수 있다.
- [0171] 본 실시예는 제1 실시 형태 내지 제3 실시 형태를 자유롭게 조합할 수 있다.
- [0172] [제3 실시예]
- [0173] 본 실시예는 전술한 실시예에 의해 제작되는 EL 표시 패널에서 구동 IC 또는 FPC를 실장하는 일 예에 대해 설명한다.
- [0174] 도 11A는 FPC(1209)를 4개의 단자부(1208)에 붙인 발광 디바이스의 일 예를 나타내는 표면도이다. 기판(1210)

상에는 발광 소자 및 TFT를 포함한 화소부(1202), TFT를 포함한 게이트측 구동 회로(1203), TFT를 포함한 소스 측 구동 회로(1201)가 형성된다. TFT의 채널-형성 영역이 결정 구조를 가지는 반도체막으로 형성될 때, 동일 기판상에 이러한 회로들이 형성될 수 있다. 따라서, 시스템-온-패널을 실현한 EL 표시 패널이 제작될 수 있다.

[0175] 컨택트부를 제외한 기판(1210)의 부분은 보호막으로 덮여 있고, 광촉매 기능을 갖는 물질을 포함한 기초층이 보호막 상에 설치된다.

[0176] 또한, 발광 소자의 제2 전극을 하층의 배선과 접속시키기 위해, 접속 영역(1207)은 화소부를 사이에 두도록 2개의 위치에 마련된다. 발광 소자의 제1 전극은 화소부에 설치된 TFT와 전기적으로 접속하고 있다.

[0177] 또한, 실링 기판(1204)은 화소부 및 구동 회로를 둘러싸는 실링 재료(1205), 및 실링 재료에 둘러싸인 충전재료에 의해 기판(1210)에 고정된다. 또한, 투명한 건조제를 포함한 충전재료가 사용될 수 있다. 또한, 건조제는 화소부와 겹치지 않는 영역에 배치할 수 있다.

[0178] 도 11A는 XGA 클래스의 비교적 큰 사이즈(예, 대각 4.3 인치)의 발광 디바이스로 적합한 구조를 나타내고 있다. 한편, 도 11B는 소형 사이즈(예, 대각 1.5 인치)로 적합한 COG 방식을 채용한 예를 도시하고 있다.

[0179] 도 11B에서, 구동 IC(1301)가 기판(1310) 상에 실장되고, FPC(1309)는 구동 IC의 끝에 배치된 단자부(1308)에 실장된다. 실장되는 복수의 구동 IC(1301)는 한 변이 300 mm에서 1000 mm이상을 갖는 구형 모양의 기판상에 형성되는 것이 바람직하다. 즉, 구동 회로부와 입출력 단자를 하나의 유닛으로 하는 회로 패턴을 기판상에 복수개로 형성하고, 각 회로 패턴은 마지막에 기판을 분리하여 꺼낼 수 있다. 구동 IC는 화소부의 한 변의 길이 또는 화소 피치를 고려하여, 장변(long side)이 15~80 mm, 단변(short side)이 1~6 mm인 구형 모양을 가질 수 있다. 구동 IC의 장변의 길이는 화소 영역의 한 변 또는 화소부의 한 변과 각 구동 회로의 한 변을 더한 길이와 동일 할 수도 있다.

[0180] 구동 IC의 IC 칩에 대한 외형 치수의 우위성은 장변의 길이에 있다. 구동 IC가 장변이 15~80 mm 일 때, 화소부에 대응해 실장하는데 필요한 수가 IC 칩을 이용하는 경우보다 적게 됨으로써, 제조상의 양품률을 증가시킬 수가 있다. 유리 기판상에 구동 IC를 형성할 때, 모체로서 이용하는 기판의 형상이 제한되지 않기 때문에 생산성을 감소되지 않는다. 이것은 원형의 실리콘 웨이퍼로부터 IC 칩을 꺼내는 경우와 비교하면, 큰 장점이 된다.

[0181] 또한, TAB 방식이 적용 가능하다. TAB 방식에서, 복수의 테이프들이 붙여지고, 구동 IC는 테이프들에 실장될 수 있다. COG 방식과 유사하게, 단일의 구동 IC는 단일의 테이프에 실장될 수 있다. 이 경우, 강도의 문제에서 구동 IC를 고정하는 금속 칩 등을 함께 붙이는 것이 바람직하다.

[0182] 기판(1310)은 컨택트부 이외의 다른 부분은 보호막으로 덮여 있다. 광촉매 기능을 갖는 물질을 포함한 기초층이 보호막 상에 설치된다.

[0183] 또한, 접속 영역(1307)은 화소부(1302) 및 구동 IC(1301) 사이에 설치되어, 발광 소자의 제2 전극을 하층의 배선과 접속시킨다. 발광 소자의 제1 전극은 화소부에 설치된 TFT와 전기적으로 접속하고 있음을 주의해야 한다.

[0184] 또한, 실링 기판(1304)은 화소부(1302)를 둘러싸는 실링 재료(1305), 및 실링 재료에 둘러싸인 충전재료에 의해 기판(1310)에 고정된다.

[0185] TFT의 채널 형성 영역이 비결정질 반도체막으로 형성될 때, 구동 회로를 동일 기판상에 형성하는 것이 곤란하기 때문에, 도 11B의 구성은 큰 사이즈임에도 불구하고 적용된다.

[0186] 본 실시예는 제1 실시 형태 내지 제3 실시 형태, 제1 실시예 및 제2 실시예중 임의의 하나와 자유롭게 조합될 수 있다.

[0187] [실시예 4]

[0188] 본 실시예는 화소부, 구동 회로, 및 단자부를 동일 기판상에 형성한 액정표시장치의 일 예를 도 12를 참조하여 나타낸다. 도 12는 칼라 필터를 이용하지 않는 액정 패널의 단면도를 나타내고 있다.

[0189] 본 실시예는 칼라 필터를 이용하지 않는 액정 패널에 의해 광셔터를 실시하여, RGB의 3색의 백 라이트 광원을 고속으로 점멸시키는 필드 시퀀셜 구동(field sequential driving) 방식을 적용한다. 필드 시퀀셜 방식은, 인간의 눈의 시간해상도(temporal resolution) 한계를 이용하여 연속시간적인 가법혼색(continuous time additive color mixing)에 의해 칼라 디스플레이를 실현하는 것이다.

- [0190] 3개의 TFT(703)는 기초 절연막(702)이 설치된 제1 기판(701) 상에 마련된다. 이러한 TFT들은 채널-형성 영역(720), 저농도 불순물 영역(725, 726), 소스 영역 또는 드레인 영역(721, 722), 게이트 절연막(705), 및 게이트 전극을 갖는 n-채널 TFT이다. 게이트 전극은 테이퍼된 하층(723a) 및 상층(723b)을 포함하는 두개층을 갖는다.
- [0191] 충간 절연막(706)은 무기 절연막이다. 충간 절연막(706)을 덮는 평탄화 절연막(707)은 도포법에 의한 평탄한 충간 절연막이다.
- [0192] TFT의 드레인 배선 또는 소스 배선은 2층 구조를 갖는다. 후에 투명 도전막과 접속시키는 부분에서, 드레인 배선 또는 소스 배선의 하층(724a)이 드레인 배선 또는 소스 배선의 상층(724b)보다 얕은 폭을 갖는다. 여기서, 드레인 배선 또는 소스 배선의 하층은 Mo막으로 형성되고, 드레인 배선 또는 소스 배선의 상층은 알루미늄막으로 형성된다. TFT의 드레인 배선 또는 소스 배선은 충간 절연막의 커버리지를 고려하여 테이퍼 형상을 갖는 것이 바람직하다.
- [0193] 화소 전극(708)은 ITO(산화 인듐 주석), ITSO(ITO에 산화 규소가 2~10 중량%포함된 타겟을 이용해 스퍼터 방법으로 얻어진 산화 규소를 포함한 산화 인듐 주석), 산화 규소를 포함한 산화 인듐에 2~20 %의 산화 아연(ZnO)을 혼합한 광-투과성 산화물 도전막(IZO), 또는 산화 규소를 포함한 ATO(안티몬 주석 산화물)과 같은 투명 도전막으로 형성될 수 있다.
- [0194] 필러 스페이서(pillar spacer, 714)는 수지이고, 기판들 간의 거리를 일정하게 유지하는 역할을 한다. 따라서, 필러 스페이서(714)는 등간격으로 배치된다. 고속 응답을 위해, 기판들 간의 간격은 $2\text{ }\mu\text{m}$ 이하로 하는 것이 바람직하고, 필러 스페이서(714)의 높이는 적절히 조절된다. 2 인치 이하의 작은 화면 사이즈의 경우, 필러 스페이서가 반드시 마련될 필요는 없다. 기판들 간의 거리는 실링 재료에 믹싱되는 필러와 같은 캡(gap) 재료만으로도 적절히 조절될 수 있다.
- [0195] 또한, 필러 스페이서(714) 및 화소 전극(708)을 덮기 위한 배향막(710)이 마련된다. 배향막(712)이 대향 기판이 되는 제2 기판(716)에도 마련되고, 제1 기판(701) 및 제2 기판(716)은 실링 재료(미도시)로 붙여진다.
- [0196] 제1 기판(701) 및 제2 기판(716) 간의 공간은 액정 재료(711)로 충전된다. 기판들은 폐쇄(closed) 패턴을 갖는 실링 재료에 의해 기포가 들어가지 않도록 낮은 압력하에서 액정 재료(711)를 떨어뜨림으로써 서로 붙여질 수 있다. 대안적으로, 개구부를 가지는 실링 패턴을 마련하고 TFT 기판을 붙인 후에, 모세관 현상을 이용하여 액정을 주입하는 딥(dip) 방법(펍핑 방식)이 적용될 수도 있다.
- [0197] 본 실시예의 액정 패널은 OCB(Optically Compensated Bend) 디스플레이 모드를 이용하는 이른바 π 셀 구조를 가진다. π 셀 구조는 액정 분자들의 프리틸트(pretilt) 각이 액티브 매트릭스 기판과 대향 기판과 간의 중심면에 대해서 면대칭의 관계로 배향된 구조이다. π 셀 구조의 배향 상태는 기판들에 전압이 인가되지 않을 때는 스프레이(spray) 배향이 되고, 전압이 인가될 때 벤드(bend) 배향으로 이행한다. 전압을 더 인가하면, 벤드 배향의 액정 분자들이 양쪽의 기판들과 수직으로 배향되어, 빛이 투과할 수 있게 된다. OCB 모드에서는 종래의 TN모드 보다 약 10 배 더 높은 응답성을 얻는다.
- [0198] 또한, 액정 패널은 한 쪽의 광학 필름(편광판 또는 위상차판 등)(731, 732)의 사이에 끼워진다. 또한, OCB 모드를 사용한 디스플레이에서, 방해물의 시각 의존성을 3차원적으로 보상하기 위해, 2축성 위상차판을 이용하는 것이 바람직하다.
- [0199] 도 12에 도시된 액정 패널의 백 라이트로서 RGB의 3색의 LED(735)가 이용된다. LED(735)의 빛은 도광판(734)에 의해 도출된다. 필드 시퀀셜 구동 방법에서, LED 점등 기간의 TR기간, TG기간 및 TB기간에, 각각 R, G, B의 LED가 순서대로 점등된다. 빨강 LED의 점등 기간(TR)에는, 빨강에 대응하는 비디오 신호(R1)가 액정 패널에 공급되고, 액정 패널에 하나의 화면용 빨강 화상이 쓰여진다. 초록 LED의 점등 기간(TG)에는, 초록에 대응하는 비디오 데이터(G1)가 액정 패널에 공급되고, 액정 패널에 하나의 화면용 초록 화상이 쓰여진다. 파랑 LED의 점등 기간(TB)에는, 파랑에 대응하는 비디오 데이터(B1)가 액정표시장치에 공급되고, 액정표시장치에 하나의 화면용 파랑 화상이 쓰여진다. 이를 3개의 화상이 쓰여짐으로써, 하나의 프레임이 형성된다.
- [0200] [실시예 5]
- [0201] 본 발명에 의해 얻어진 EL 패널 또는 액정 패널을 통합함으로써 다양한 전자기기가 제작될 수 있다. 전자기기는 예컨대, 비디오 카메라, 디지털 카메라와 같은 카메라, 고글형 디스플레이, 네비게이션 시스템, 음향 재생장치

(카 오디오, 오디오 콤팩트 등), 퍼스널 컴퓨터, 게임기기, 휴대 정보 단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자 서적 등), 기록 매체를 갖춘 화상 재생장치(구체적으로, DVD(Digital Versatile Disc)와 같은 등의 기록 매체를 재생하여 그 화상을 표시할 수 있는 디스플레이를 갖춘 장치) 등을 들 수 있다. 도 13 및 도 14는 그러한 전자기기들의 구체적인 예를 나타낸다.

[0202] 도 13A는 케이스(2001), 지지대(2002), 디스플레이부(2003), 스피커부들(2004), 비디오 입력 단자(2005) 등을 포함하는 텔레비전을 나타낸다. 본 발명은 텔레비전에 내장된 반도체 집적회로 및 디스플레이부(2003)에 적용되어, 소비 전력이 감소된 텔레비전을 실현할 수 있다. 퍼스널 컴퓨터용, TV방송 수신용, 광고 표시용 등의 모든 텔레비전이 포함됨을 주의해야 한다.

[0203] 도 13B는 본체(2101), 디스플레이부(2102), 화상수신부(2103), 조작 키들(2104), 외부 연결 포트(2105), 셋터(2106) 등을 포함하는 디지털 카메라를 나타낸다. 본 발명은 디지털 카메라에 내장된 반도체 집적회로(메모리, CPU 등) 및 디스플레이부(2102)에 적용되어, 소비 전력이 감소된 디지털 카메라를 제공할 수 있다.

[0204] 도 13C는 본체(2201), 케이스(2202), 디스플레이부(2203), 키보드(2204), 외부 접속 포트(2205), 포인팅 마우스(2206) 등을 포함하는 퍼스널 컴퓨터를 나타낸다. 본 발명은 퍼스널 컴퓨터에 내장된 반도체 집적회로(예, 메모리 또는 CPU) 및 디스플레이부(2203)에 적용된다. 따라서, 디스플레이부에 배치되는 TFT와 CPU를 구성하는 CMOS 회로에 이용되는 배선이나 접촉 저항을 감소시킬 수 있고, 소비 전력이 감소된 퍼스널 컴퓨터를 실현할 수 있다.

[0205] 도 13D는 본체(2301), 디스플레이부(2302), 스위치(2303), 조작 키들(2304), 적외선 포트(2305) 등을 포함하는 전자 서적을 나타낸다. 본 발명은 전자 서적에 내장된 반도체 집적회로(예, 메모리 또는 CPU) 및 디스플레이부(2302)에 적용되어, 소비 전력이 감소된 전자 서적을 실현할 수 있다.

[0206] 도 13E는 기록 매체를 갖춘 휴대형 화상 재생장치(구체적으로, DVD 재생장치)를 나타내며, 본체(2401), 케이스(2402), 디스플레이부(A2403), 디스플레이부(B2404), 기록 매체(예, DVD) 판독부(2405), 조작 키들(2406), 스피커부들(2407) 등을 포함한다. 디스플레이부(A2403)는 주로 화상 정보를 표시하고, 디스플레이부(B2404)는 주로 문자 정보를 표시한다. 본 발명은 화상 재생장치에 내장된 반도체 집적회로(예, 메모리 또는 CPU) 및 디스플레이부들(A2403, B2404)에 적용되어, 소비 전력이 감소된 화상 재생장치를 실현할 수 있다.

[0207] 도 13F는 본체(2501), 디스플레이부(2505), 조작 스위치들(2504) 등을 포함하는 휴대형 게임기기를 나타낸다. 게임기기에 내장된 반도체 집적회로(예, 메모리 또는 CPU) 및 디스플레이부(2505)에 적용되어, 소비 전력이 감소된 휴대형 게임기기를 실현할 수 있다.

[0208] 도 13G는 본체(2601), 디스플레이부(2602), 케이스(2603), 외부 접속 포트(2604), 리모콘 수신부(2605), 화상 수신부(2606), 배터리(2607), 음성 입력부(2608), 조작 키들(2609) 등을 포함하는 비디오 카메라를 나타낸다. 본 발명은 비디오 카메라에 내장된 반도체 집적회로(예, 메모리 또는 CPU) 및 디스플레이부(2602)에 적용되어, 소비 전력이 감소된 비디오 카메라를 실현할 수 있다.

[0209] 도 13H는 본체(2701), 케이스(2702), 디스플레이부(2703), 음성 입력부(2704), 음성 출력부(2705), 조작 키들(2706), 외부 접속 포트(2707), 안테나(2708) 등을 포함하는 휴대전화를 나타낸다. 본 발명은 휴대전화에 내장된 반도체 집적회로(예, 메모리, CPU 또는 고주파 회로) 및 디스플레이부(2703)에 적용되어, 소비 전력이 감소된 휴대전화를 실현할 수 있다.

[0210] 도 14는 기록 매체를 갖춘 휴대형의 음악 재생장치를 나타내며, 본체(2901), 디스플레이부(2903), 기록 매체(카드형 메모리, 소형 HDD 등) 판독부(2902), 조작 키들(2902 및 2906), 접속 코드(2904)에 접속된 헤드폰의 스피커부들(2905) 등을 포함한다. 본 발명은 디스플레이부(2903)에 적용되어, 소비 전력이 감소된 음악 재생장치를 실현할 수 있다.

[0211] 본 실시예는 제1 실시 형태 내지 제3 실시형태 및 제1 실시예 내지 제4 실시예 중 임의의 하나와 자유롭게 조합될 수 있다.

산업상 이용 가능성

[0212] 그러나, 알루미늄 배선(또는 전극)과 ITO 사이에 티탄막이나 질화 티탄막을 적층하면 배선 저항이 높아지기 때문에, 특히 디스플레이 화면의 사이즈가 클 때 소비 전력의 증대를 가져온다. 배선 저항은 배선이 되는 금속막

의 단면적을 증가시킴으로써 감소시킬 수 있으나, 막 두께를 두껍게 함으로써 단면적을 증대시켰을 경우에는 기판 표면과 두꺼운 배선 표면과의 사이에 단차가 생겨 액정의 배향 불량의 원인이 된다.

[0213] TFT 구동에 의한 액티브 매트릭스의 발광 장치에 대해서도, 발광 소자의 양극(또는 음극)으로서 투명 도전막을 이용할 수 있다. 유사하게, 투명 도전막을 포함하는 양극은 다양한 배선들로부터 전기적으로 절연하기 위한 층간 절연막 상에 형성된다. 따라서, 양극으로 사용되는 ITO가 TFT의 전극(알루미늄)과 접속될 때, 동일한 방법으로 전술한 전기 부식이 생긴다.

[0214] 본 발명의 목적은 배선의 단면적을 증대시키는 일 없이, 두 개의 비양립적인(incompatible) 막들(ITO막과 알루미늄막)로 형성되는 배선, 전극 등을 접속하는 것이고, 디스플레이 화면의 사이즈가 클 때에도 저소비 전력을 실현하는 것이다.

[0215] 배선 재료로서 알루미늄을 이용함으로써 TFT를 제작할 경우, 열처리에 의해 히록(hilllock)이나 휘스커(wisker)와 같은 돌기물이 형성되거나, 알루미늄 원자가 채널-형성 영역에 확산됨으로써, TFT의 동작 불량이나 TFT 특성들의 감소를 일으킨다. 결과적으로, 알루미늄에 다른 원소(예, Si)를 함유시킨 알루미늄 합금막은 종래에는 히록 등의 발생을 방지하는데 사용된다. 그러나, 그러한 알루미늄 합금막이라도 접합계면에 알루미늄의 산화 및 ITO막의 환원으로 인한 접합 저항의 변화들의 문제를 해결하지 못한다.

[0216] 또한, 본 발명의 목적은 액티브 매트릭스의 표시장치에서, 알루미늄이 배선 재료로서 이용될 때 알루미늄 원자가 채널-형성 영역으로 확산되는 것을 방지하고, 양호한 저항 접합(ohmic junction)을 가능하게 하는 것이다.

[0217] 본 발명에 따르면, 전극은 하층인 제1 도전층 및 상층인 제2 도전층을 포함하는 2층 구조로 형성된다. 제1 도전층은 고용접 금속(예, Ti, Mo) 또는 질화고용접 금속(예, TiN)으로 형성되고, 제2 도전층은 알루미늄 또는 알루미늄을 포함한 합금으로 형성된다. 2층 구조의 전극(또는 배선)은 제1 도전층의 폭(W1)이 제2 도전층의 폭(W2)보다 넓은 단면 형태를 갖는다. 즉, 하층(제1 도전층)의 단부가 상층(제2 도전층)의 단부보다 외측에 있는 구조로 형성한 후, 투명 도전막을 2층 구조의 전극(또는 배선)에 접해 뒀는 형태로 형성한다.

[0218] 본 발명에 따르면, 전술한 문제들은 투명 도전막(대표적으로, ITO)을 두개층을 갖는 전극(또는 배선)에서 제2 도전층과 겹치지 않고 노출되어 있는 제1 도전층의 일부와 접속시키는 것에 의해 해결된다.

도면의 간단한 설명

[0051] 도 1A 및 1B는 제1 실시 형태를 나타내는 화소의 단면도들;

[0052] 도 2A 및 2B는 제2 실시 형태를 나타내는 화소의 단면도들;

[0053] 도 3은 제3 실시 형태를 나타내는 화소의 단면도;

[0054] 도 4A, 4B 및 4C는 각각 후의 전극 단부를 나타내는 것으로, 각각 SEM 사진들 및 사시도;

[0055] 도 5A 및 5B는 제1 테그(TEG) 패턴을 나타내고;

[0056] 도 6A 및 6B는 제2 테그 패턴을 나타내며;

[0057] 도 7은 제1 테그 패턴을 이용한 전기 측정의 결과를 가리키는 그래프(티탄과 알루미늄을 포함하는 다중층의 실험 결과);

[0058] 도 8은 제2 테그 패턴을 이용한 전기 측정의 결과를 가리키는 그래프;

[0059] 도 9는 EL 디스플레이 패널의 단면도(제1 실시예);

[0060] 도 10은 EL 디스플레이 패널의 단면도(제2 실시예);

[0061] 도 11A 및 11B는 EL 디스플레이 패널을 나타내는 상면도(제3 실시예);

[0062] 도 12는 액정 패널을 나타내는 단면도(제4 실시예);

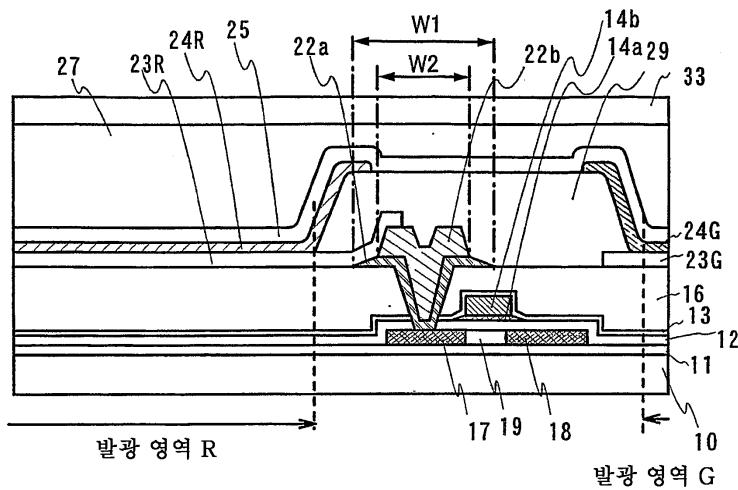
[0063] 도 13A 내지 13H는 전자기기의 일례를 나타내고;

[0064] 도 14는 전자기기의 일례를 나타내며;

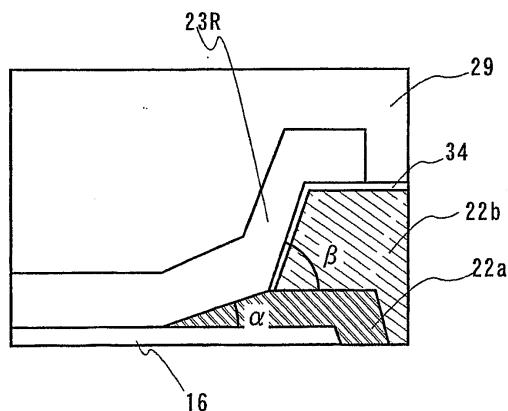
[0065] 도 15는 제1 테그 패턴을 이용한 전기 측정의 결과 가리키는 그래프(몰리브덴 및 알루미늄을 포함하는 다중층의 실험 결과)이다.

도면

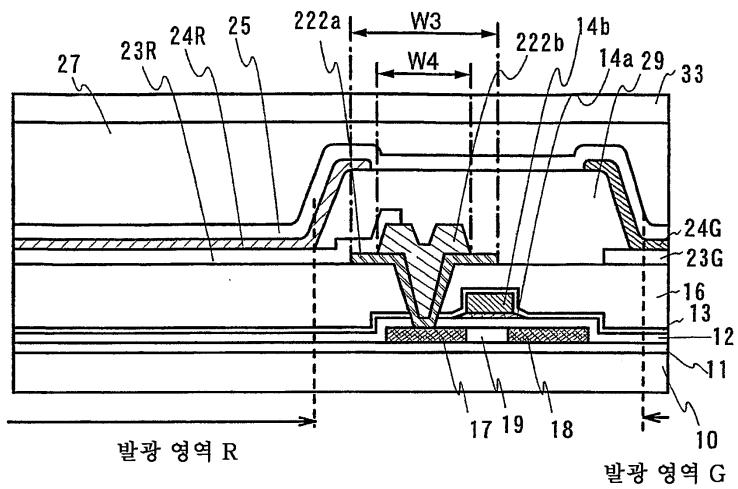
도면1A



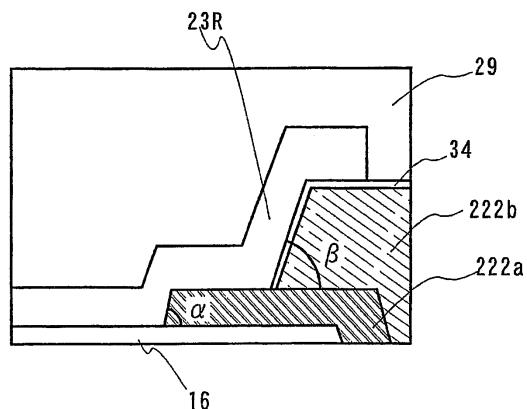
도면1B



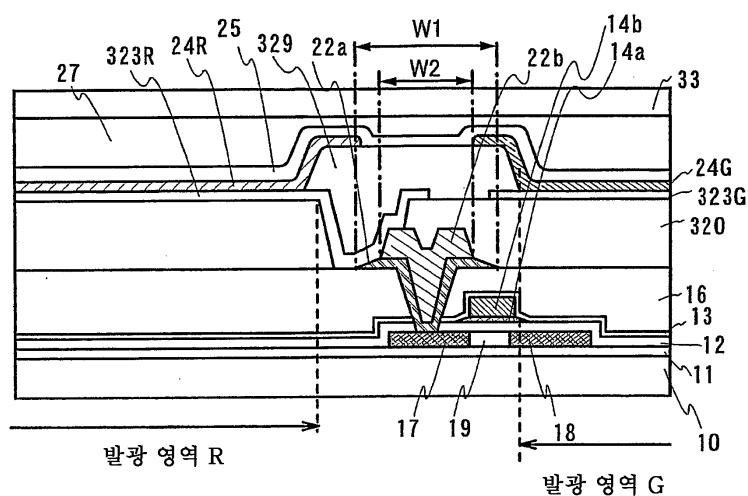
도면2A



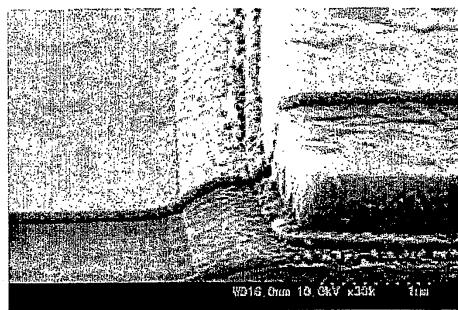
도면2B



도면3



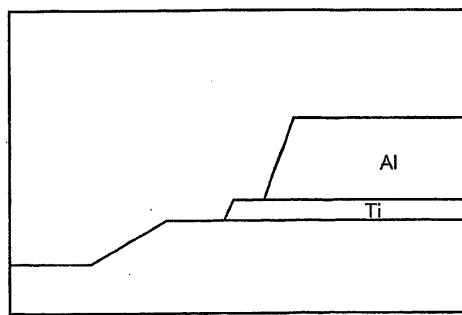
도면4A



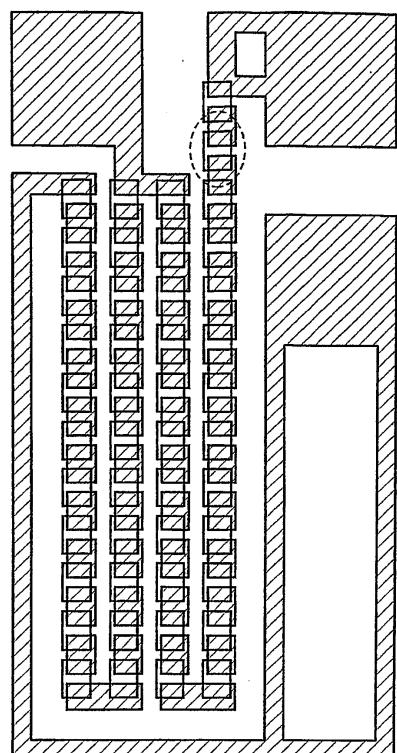
도면4B



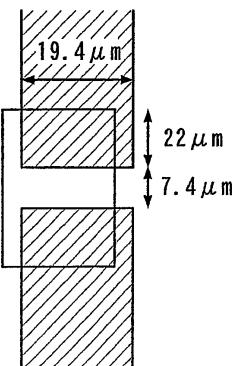
도면4C



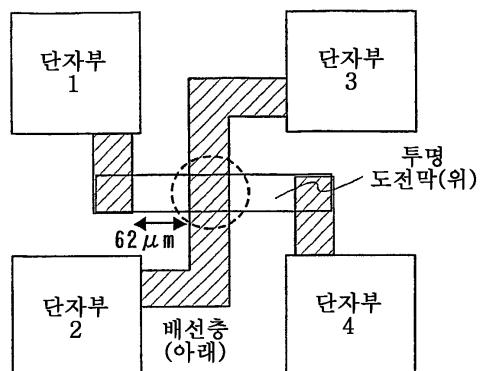
도면5A



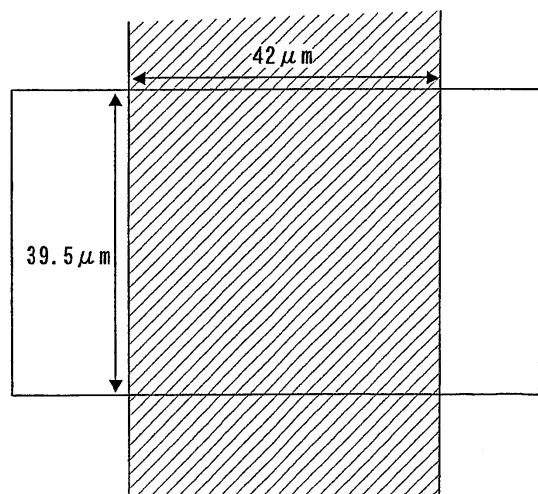
도면5B



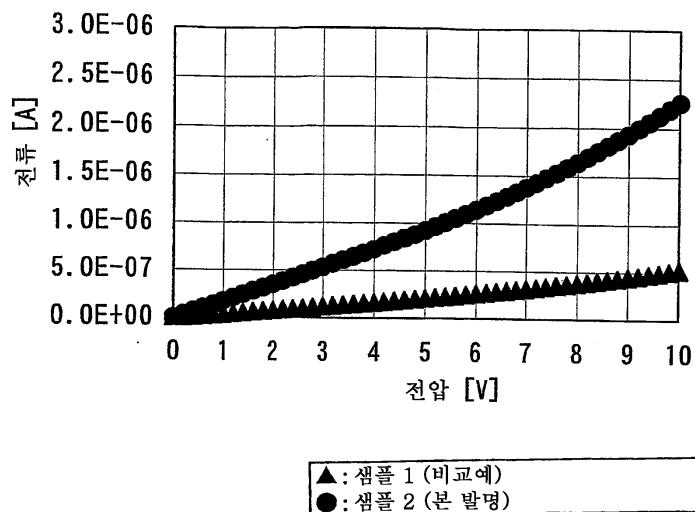
도면6A



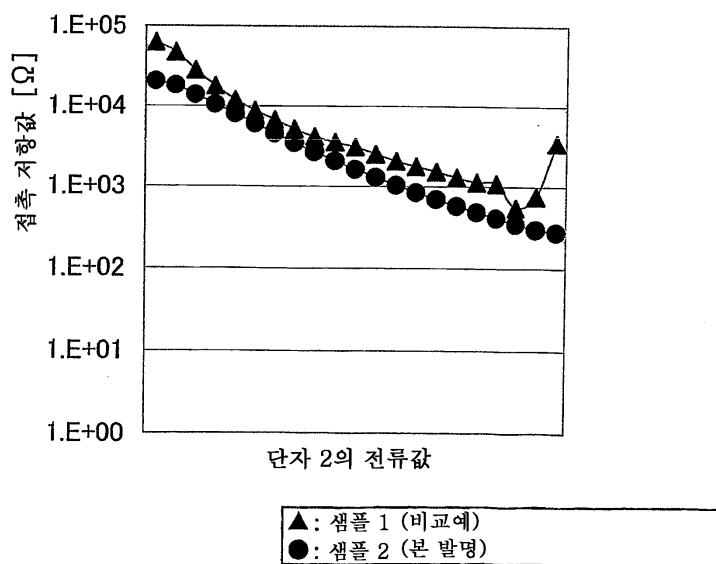
도면6B



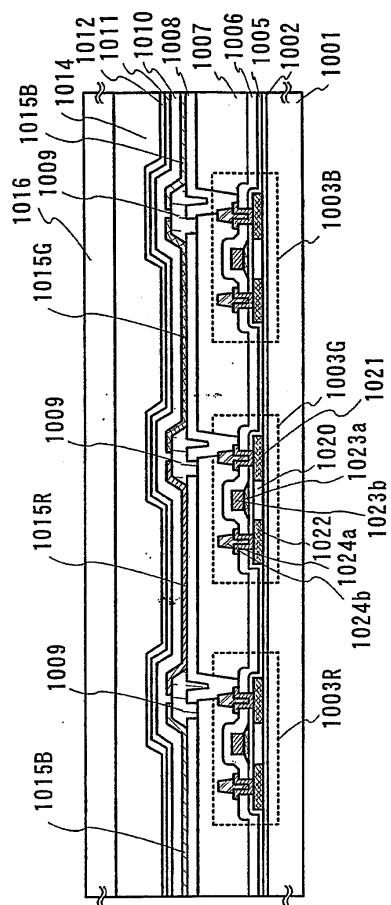
도면7



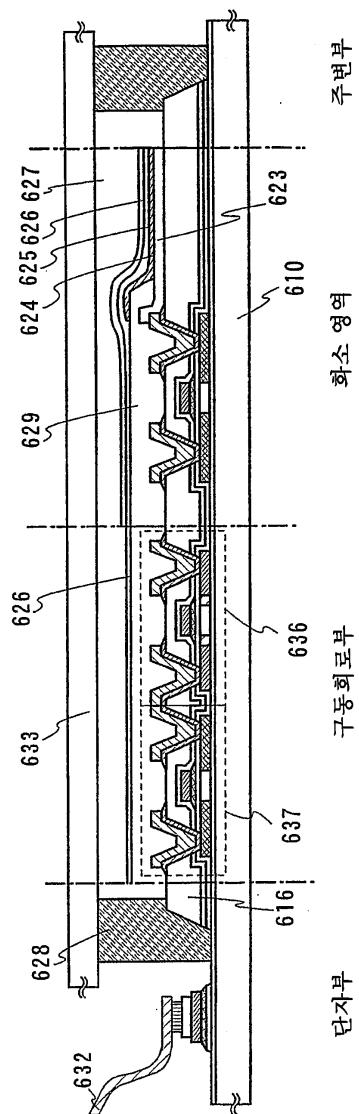
도면8



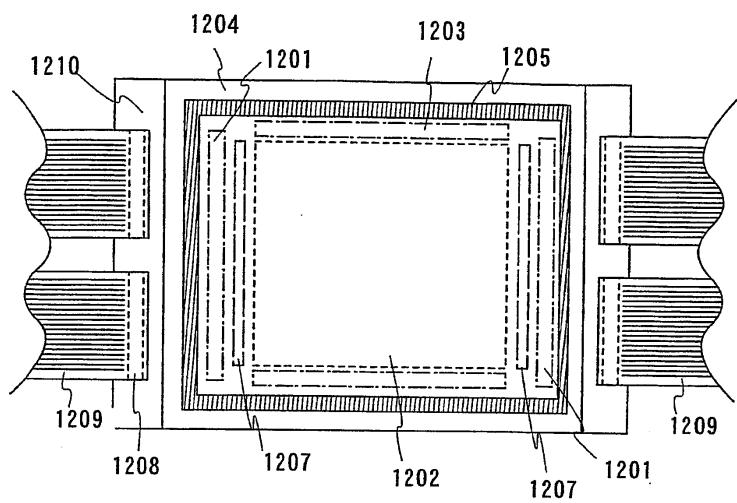
도면9



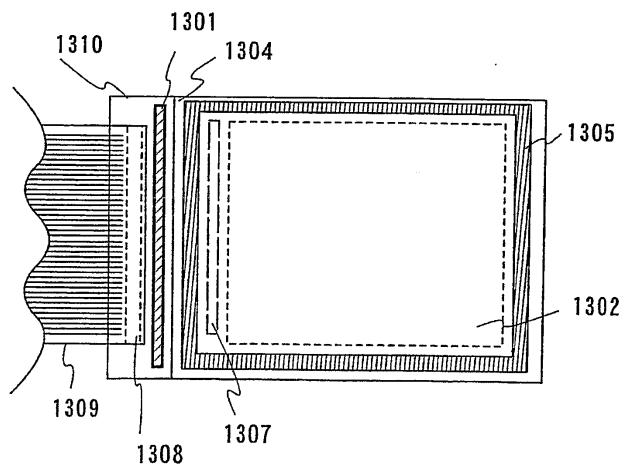
도면10



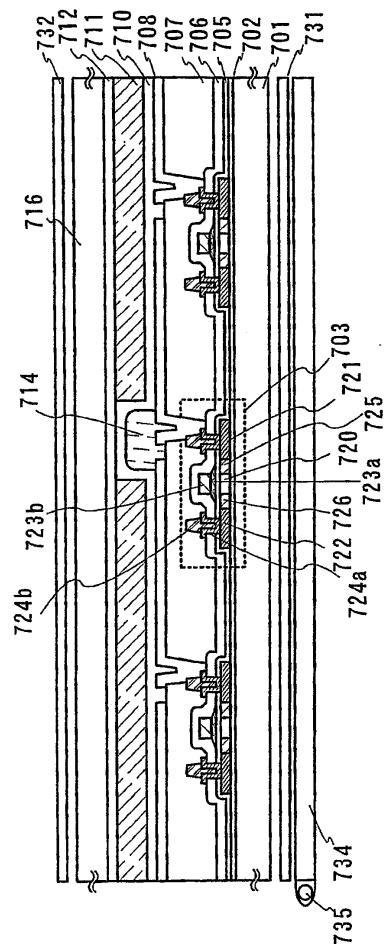
도면11A



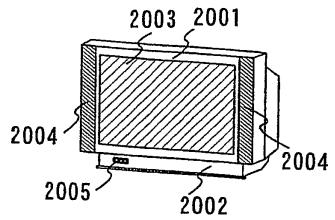
도면11B



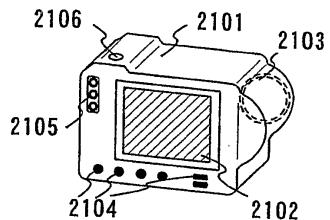
도면12



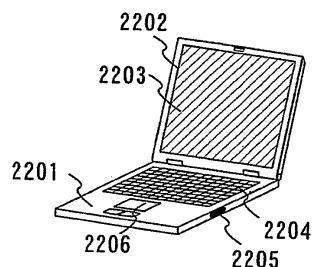
도면13A



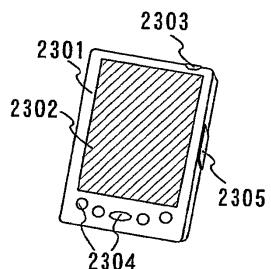
도면13B



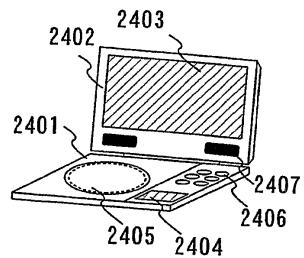
도면13C



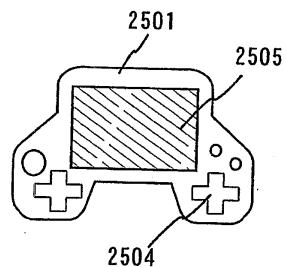
도면13D



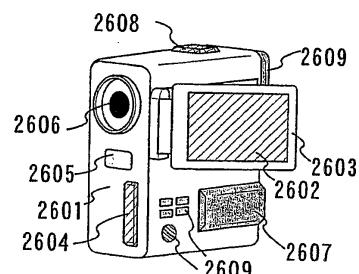
도면13E



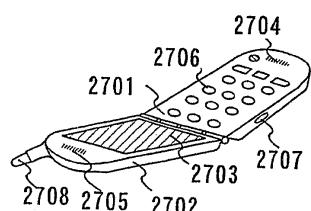
도면13F



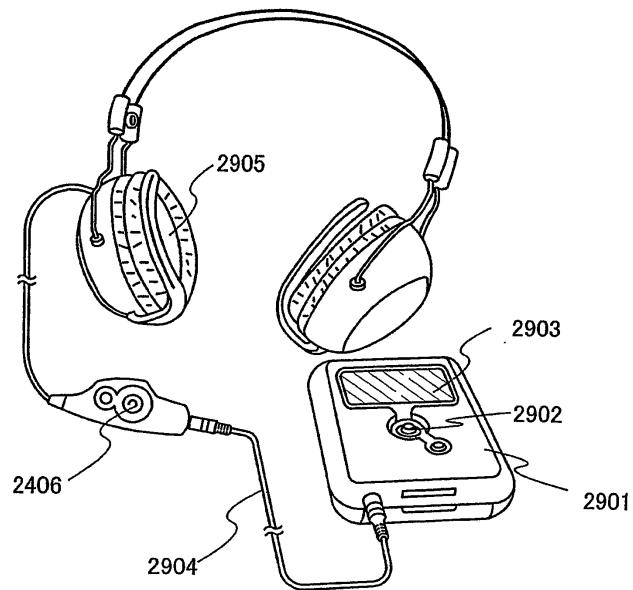
도면13G



도면13H



도면14



도면15

