



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월26일

(11) 등록번호 10-1563239

(24) 등록일자 2015년10월20일

(51) 국제특허분류(Int. Cl.)

H01L 31/04 (2014.01) H01L 31/18 (2006.01)

(21) 출원번호 10-2008-0049155

(22) 출원일자 2008년05월27일

심사청구일자 2013년05월14일

(65) 공개번호 10-2008-0107263

(43) 공개일자 2008년12월10일

(30) 우선권주장

JP-P-2007-00149795 2007년06월05일 일본(JP)

JP-P-2007-00159570 2007년06월15일 일본(JP)

(56) 선행기술조사문헌

JP06204521 A

KR1020060105529 A

JP07183234 A

KR1020060103334 A

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤한도오파이 에네루기 켄큐쇼 내

아라이 야스유키

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤한도오파이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 13 항

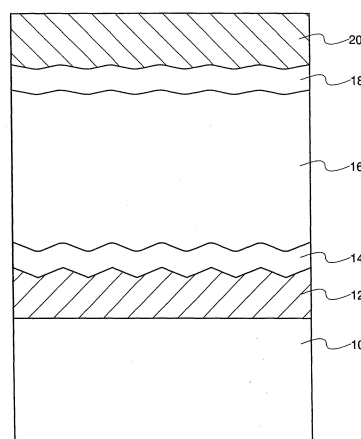
심사관 : 천대식

(54) 발명의 명칭 광전 변환 장치의 제작방법

(57) 요약

본 발명은, 퇴적 속도를 저하시키지 않고, 직접 형성되는 양질의 결정성 반도체층을 대면적 기판에 생산성 좋게 형성하고, 상기 결정성 반도체층을 광전 변환 층으로 하는 광전 변환 장치를 제공하는 것을 목적으로 한다. 기판이 배치된 처리실 내에 반응성 기체를 도입하고, 상기 기판과 대략 평행하게 대향 배치된 도파관(導波管)에 형성된 슬릿을 통하여 상기 처리실 내에 마이크로파를 도입하여 플라즈마를 생성하여, 상기 기판 위에 세미아모르퍼스 반도체로 이루어지는 광전 변환 층을 형성한다. 그것에 의하여, 퇴적 속도를 저하시키지 않고, 양질의 세미아모르퍼스 반도체를 얻을 수 있다. 그러한 세미아모르퍼스 반도체로 광전 변환 층을 형성함으로써, 광 열화(劣化)에 의한 특성 저하가 1/5 내지 1/10이 되어, 실용상 거의 문제가 없는 광전 변환 장치를 얻을 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

세미아모르퍼스 반도체로 형성된 광전 변환 층을 가지는 광전 변환 장치를 제작하는 방법으로서,
 기관이 배치되고, 안테나 및 샤워형 유전체 판을 포함하는 처리실 내에 헬륨과 반도체 재료 가스를 포함하는 반응성 기체를 도입하는 단계와;
 상기 샤워형 유전체 판을 통하여 상기 처리실 내에 마이크로파를 도입하여 플라즈마를 생성하는 단계를 포함하고,
 상기 안테나는 도파관과, 다수의 슬롯이 제공된 방사판을 포함하고,
 상기 샤워형 유전체 판은 상기 헬륨을 공급하는 제 1 가스 공급 노즐 및 상기 반도체 재료 가스를 공급하는 제 2 가스 공급 노즐을 포함하고,
 상기 제 2 가스 공급 노즐은 상기 제 1 가스 공급 노즐보다 상기 기관에 더 가깝게 배치되고,
 상기 제 1 가스 공급 노즐 및 상기 제 2 가스 공급 노즐은 상기 샤워형 유전체 판의 표면 상에 제공되고,
 상기 헬륨을 포함하는 사용된 가스는,
 상기 사용된 가스에 포함된 미립자를 필터에 의해 제거한 후 회수 가스 용기에 상기 사용된 가스를 축적하는 단계;
 상기 사용된 가스의 압력을 승압기에 의해 승압하는 단계;
 상기 사용된 가스로부터 상기 헬륨을 분리기에 의해 분리하는 단계;
 상기 헬륨을 충전 용기에 축적하는 단계; 및
 상기 충전 용기에 축적된 상기 헬륨의 압력을 압력 조정기에 의해 조정하는 단계를 포함하는 방법에 의해 회수 및 정제되고,
 상기 압력이 조정되는 상기 헬륨은 재이용되는, 광전 변환 장치의 제작방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

광전 변환 장치를 제작하는 방법으로서,

기판이 배치된 제 1 처리실 내에 헬륨과 반도체 재료 가스를 포함하는 제 1 반응성 기체를 도입하고, 제 1 도파관에 제공된 제 1 슬릿을 통하여 상기 제 1 처리실 내에 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 기판 위에 제 1 세미아모르퍼스 반도체층을 형성하는 단계와;

상기 기판을 대기에 노출시키지 않고 상기 기판을 상기 제 1 처리실로부터 제 2 처리실로 이송하는 단계와;

상기 기판이 배치된 상기 제 2 처리실 내에 제 2 반응성 기체를 도입하고, 제 2 도파관에 제공된 제 2 슬릿을 통하여 상기 제 2 처리실 내에 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 제 1 세미아모르퍼스 반도체층 위에 제 2 세미아모르퍼스 반도체층을 형성하는 단계와;

상기 기판을 대기에 노출시키지 않고 상기 기판을 상기 제 2 처리실로부터 제 3 처리실로 이송하는 단계; 및

상기 기판이 배치된 상기 제 3 처리실 내에 제 3 반응성 기체를 도입하고, 제 3 도파관에 제공된 제 3 슬릿을 통하여 상기 제 3 처리실 내에 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 제 2 세미아모르퍼스 반도체층 위에 제 3 세미아모르퍼스 반도체층을 형성하는 단계를 포함하고,

상기 헬륨은 제 1 가스 공급 노즐로부터 공급되고, 상기 반도체 재료 가스는 제 2 가스 공급 노즐로부터 공급되고,

상기 헬륨을 포함하는 사용된 가스는,

상기 사용된 가스에 포함된 미립자를 필터에 의해 제거한 후 회수 가스 용기에 상기 사용된 가스를 축적하는 단계;

상기 사용된 가스의 압력을 승압기에 의해 승압하는 단계;

상기 사용된 가스로부터 상기 헬륨을 분리기에 의해 분리하는 단계;

상기 헬륨을 충전 용기에 축적하는 단계; 및

상기 충전 용기에 축적된 상기 헬륨의 압력을 압력 조정기에 의해 조정하는 단계를 포함하는 방법에 의해 회수 및 정제되고,

상기 압력이 조정되는 상기 헬륨은 재이용되는, 광전 변환 장치의 제작방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

세미아모르퍼스 반도체로 형성된 광전 변환 층을 가지는 광전 변환 장치를 제작하는 방법으로서,

기관이 배치되고, 안테나 및 샤워형 유전체 판을 포함하는 처리실 내에 헬륨과 반도체 재료 가스를 포함하는 반응성 기체를 도입하는 단계와;

상기 샤워형 유전체 판을 통하여 상기 처리실 내에 다수의 마이크로파를 도입하여 플라즈마를 생성하는 단계를 포함하고,

상기 안테나는 도파관과, 다수의 슬롯이 제공된 방사판을 포함하고,

상기 샤워형 유전체 판은 상기 헬륨을 공급하는 제 1 가스 공급 노즐 및 상기 반도체 재료 가스를 공급하는 제 2 가스 공급 노즐을 포함하고,

상기 제 2 가스 공급 노즐은 상기 제 1 가스 공급 노즐보다 상기 기관에 더 가깝게 배치되고,

상기 제 1 가스 공급 노즐 및 상기 제 2 가스 공급 노즐은 상기 샤워형 유전체 판의 표면 상에 제공되고,

상기 헬륨을 포함하는 사용된 가스는,

상기 사용된 가스에 포함된 미립자를 필터에 의해 제거한 후 회수 가스 용기에 상기 사용된 가스를 축적하는 단계;

상기 사용된 가스의 압력을 승압기에 의해 승압하는 단계;

상기 사용된 가스로부터 상기 헬륨을 분리기에 의해 분리하는 단계;

상기 헬륨을 충전 용기에 축적하는 단계; 및

상기 충전 용기에 축적된 상기 헬륨의 압력을 압력 조절기에 의해 조정하는 단계를 포함하는 방법에 의해 회수 및 정제되고,

상기 압력이 조정되는 상기 헬륨은 재이용되는, 광전 변환 장치의 제작방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

광전 변환 장치를 제작하는 방법으로서,

기관이 배치된 제 1 처리실 내에 헬륨과 반도체 재료 가스를 포함하는 제 1 반응성 기체를 도입하고, 다수의 제 1 도파관에 제공된 다수의 제 1 슬롯을 통하여 상기 제 1 처리실 내에 다수의 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 기관 위에 제 1 세미아모르퍼스 반도체층을 형성하는 단계와;

상기 기관을 대기에 노출시키지 않고 상기 기관을 상기 제 1 처리실로부터 제 2 처리실로 이송하는 단계와;

상기 기관이 배치된 상기 제 2 처리실 내에 제 2 반응성 기체를 도입하고, 다수의 제 2 도파관에 제공된 다수의 제 2 슬릿을 통하여 상기 제 2 처리실 내에 다수의 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 제 1 세미아모르퍼스 반도체층 위에 제 2 세미아모르퍼스 반도체층을 형성하는 단계와;

상기 기관을 대기에 노출시키지 않고 상기 기관을 상기 제 2 처리실로부터 제 3 처리실로 이송하는 단계; 및

상기 기관이 배치된 상기 제 3 처리실 내에 제 3 반응성 기체를 도입하고, 다수의 제 3 도파관에 제공된 다수의 제 3 슬릿을 통하여 상기 제 3 처리실 내에 다수의 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 제 2 세미아모르퍼스 반도체층 위에 제 3 세미아모르퍼스 반도체층을 형성하는 단계를 포함하고,

상기 헬륨은 제 1 가스 공급 노즐로부터 공급되고, 상기 반도체 재료 가스는 제 2 가스 공급 노즐로부터 공급되고,

상기 헬륨을 포함하는 사용된 가스는,

상기 사용된 가스에 포함된 미립자를 필터에 의해 제거한 후 회수 가스 용기에 상기 사용된 가스를 축적하는 단계;

상기 사용된 가스의 압력을 승압기에 의해 승압하는 단계;

상기 사용된 가스로부터 상기 헬륨을 분리기에 의해 분리하는 단계;

상기 헬륨을 충전 용기에 축적하는 단계; 및

상기 충전 용기에 축적된 상기 헬륨의 압력을 압력 조정기에 의해 조정하는 단계를 포함하는 방법에 의해 회수 및 정제되고,

상기 압력이 조정되는 상기 헬륨은 재이용되는, 광전 변환 장치의 제작방법.

청구항 23

제 22 항에 있어서, 상기 다수의 제 1 도파관, 상기 다수의 제 2 도파관, 및 상기 다수의 제 3 도파관 각각은 상기 기관과 대략 평행하게 대향 배치되는, 광전 변환 장치의 제작방법.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

세미아모르퍼스 반도체로 형성된 광전 변환 층을 가지는 광전 변환 장치를 제작하는 방법으로서,

기관이 배치된 처리실 내에 헬륨과 반도체 재료 가스를 포함하는 반응성 기체를 도입하는 단계와;

도파관에 제공된 다수의 슬릿을 통하여 상기 처리실 내에 마이크로파를 도입하여 플라즈마를 생성하는 단계를 포함하고,

상기 헬륨은 제 1 가스 공급 노즐로부터 공급되고, 상기 반도체 재료 가스는 제 2 가스 공급 노즐로부터 공급되

고,

상기 헬륨을 포함하는 사용된 가스는,

상기 사용된 가스에 포함된 미립자를 필터에 의해 제거한 후 회수 가스 용기에 상기 사용된 가스를 축적하는 단계;

상기 사용된 가스의 압력을 승압기에 의해 승압하는 단계;

상기 사용된 가스로부터 상기 헬륨을 분리기에 의해 분리하는 단계;

상기 헬륨을 충전 용기에 축적하는 단계; 및

상기 충전 용기에 축적된 상기 헬륨의 압력을 압력 조정기에 의해 조정하는 단계를 포함하는 방법에 의해 회수 및 정제되고,

상기 압력이 조정되는 상기 헬륨은 재이용되는, 광전 변환 장치의 제작방법.

청구항 30

제 29 항에 있어서, 상기 도파관은 상기 기관과 대략 평행하게 대향 배치되는, 광전 변환 장치의 제작방법.

청구항 31

제 1 항, 제 15 항, 및 제 29 항 중 어느 한 항에 있어서, 상기 플라즈마는 $1 \times 10^{11} \text{ cm}^{-3}$ 이상 $1 \times 10^{13} \text{ cm}^{-3}$ 이하의 전자 밀도와, 0.2 eV 이상 2.0 eV 이하의 전자 온도를 가지는, 광전 변환 장치의 제작방법.

청구항 32

삭제

청구항 33

제 1 항, 제 15 항, 및 제 29 항 중 어느 한 항에 있어서, 상기 플라즈마를 생성하기 위한 압력은 $1 \times 10^{-1} \text{ Pa} \sim 1 \times 10^5 \text{ Pa}$ 인, 광전 변환 장치의 제작방법.

청구항 34

삭제

청구항 35

삭제

청구항 36

광전 변환 장치를 제작하는 방법으로서,

기관이 배치된 제 1 처리실 내에 헬륨과 반도체 재료 가스를 포함하는 제 1 반응성 기체를 도입하고, 제 1 도파관에 제공된 다수의 제 1 슬릿을 통하여 상기 제 1 처리실 내에 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 기관 위에 제 1 세미아모르퍼스 반도체층을 형성하는 단계와;

상기 기관을 대기에 노출시키지 않고 상기 기관을 상기 제 1 처리실로부터 제 2 처리실로 이송하는 단계와;

상기 기관이 배치된 상기 제 2 처리실 내에 제 2 반응성 기체를 도입하고, 제 2 도파관에 제공된 다수의 제 2 슬릿을 통하여 상기 제 2 처리실 내에 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 제 1 세미아모르퍼스 반도체층 위에 제 2 세미아모르퍼스 반도체층을 형성하는 단계와;

상기 기관을 대기에 노출시키지 않고 상기 기관을 상기 제 2 처리실로부터 제 3 처리실로 이송하는 단계; 및

상기 기관이 배치된 상기 제 3 처리실 내에 제 3 반응성 기체를 도입하고, 제 3 도파관에 제공된 다수의 제 3 슬릿을 통하여 상기 제 3 처리실 내에 마이크로파를 도입하여 플라즈마를 생성함으로써, 상기 제 2 세미아모르퍼스 반도체층 위에 제 3 세미아모르퍼스 반도체층을 형성하는 단계;

퍼스 반도체층 위에 제 3 세미아모르퍼스 반도체층을 형성하는 단계를 포함하고,
 상기 헬륨은 제 1 가스 공급 노즐로부터 공급되고, 상기 반도체 재료 가스는 제 2 가스 공급 노즐로부터 공급되고,
 상기 헬륨을 포함하는 사용된 가스는,
 상기 사용된 가스에 포함된 미립자를 필터에 의해 제거한 후 회수 가스 용기에 상기 사용된 가스를 축적하는 단계;
 상기 사용된 가스의 압력을 승압기에 의해 승압하는 단계;
 상기 사용된 가스로부터 상기 헬륨을 분리기에 의해 분리하는 단계;
 상기 헬륨을 충전 용기에 축적하는 단계; 및
 상기 충전 용기에 축적된 상기 헬륨의 압력을 압력 조정기에 의해 조정하는 단계를 포함하는 방법에 의해 회수 및 정제되고,
 상기 압력이 조정되는 상기 헬륨은 재이용되는, 광전 변환 장치의 제작방법.

청구항 37

제 8 항 또는 제 36 항에 있어서, 상기 제 1 도파관, 상기 제 2 도파관, 및 상기 제 3 도파관 각각은 상기 기관과 대략 평행하게 대향 배치되는, 광전 변환 장치의 제작방법.

청구항 38

제 8 항, 제 22 항, 및 제 36 항 중 어느 한 항에 있어서, 상기 플라즈마는 $1 \times 10^{11} \text{ cm}^{-3}$ 이상 $1 \times 10^{13} \text{ cm}^{-3}$ 이하의 전자 밀도와, 0.2 eV 이상 2.0 eV 이하의 전자 온도를 가지는, 광전 변환 장치의 제작방법.

청구항 39

삭제

청구항 40

제 8 항, 제 22 항, 및 제 36 항 중 어느 한 항에 있어서, 상기 플라즈마를 생성하기 위한 압력은 $1 \times 10^{-1} \text{ Pa} \sim 1 \times 10^5 \text{ Pa}$ 인, 광전 변환 장치의 제작방법.

청구항 41

삭제

청구항 42

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 결정계 실리콘의 제작방법, 그 결정계 실리콘을 사용한 반도체 접합을 가지는 광전 변환(photoelectric conversion) 장치 및 그의 제작방법에 관한 것이다.

배경 기술

[0002] 근년의 지구 환경 문제에 대처하기 위해, 주택용의 태양광 발전 시스템 등의 광전 변환 장치 시장이 확대되고 있다. 광전 변환 장치로서, 변환 효율이 높은 단결정 또는 다결정 실리콘 웨이퍼를 사용하는 것이 실용화되어 있다. 단결정 실리콘 또는 다결정 실리콘을 사용하는 광전 변환 장치는 대형의 실리콘 잉곳(ingot)으로

부터 개개로 절단되어 제작되고 있다. 그러나, 대형의 실리콘 잉곳은 제작하는데 장시간을 요하기 때문에 생산성이 나쁘고, 실리콘 원재료의 공급량 자체에 한계가 있으므로, 시장의 확대에 대처할 수 없고 공급 부족의 상태로 되어 있다.

[0003] 아모르퍼스(amorphous) 실리콘을 사용하는 광전 변환 장치도 개발되어 있고, 저비용화가 가능하다고 생각되었지만, 광 열화(劣化)의 문제를 해결할 수 없기 때문에 보급되고 있지 않다. 또한, 아모르퍼스 실리콘의 제작방법인 고주파 플라즈마 CVD법은, 대면적화나 저온 성막이 가능하고, 아모르퍼스 실리콘을 광전 변환 층으로 하는 광전 변환 장치의 변환 효율을 10% 이상으로 할 수 있지만, 스태블러 론스키 효과(Staebler-Wronski Effect)라고 불리는 광 열화를 해결할 수 없었다. 따라서, 플라즈마 CVD법에 의하여 제작할 수 있는 결정계 실리콘으로서 미(微)결정 실리콘을 광전 변환 층으로 하는 광전 변환 장치의 개발이 진행되고 있다(예를 들어, 문헌 1 참조).

[0004] 플라즈마 CVD법에 의한 결정계 실리콘 피막 및 그것을 사용한 광전 변환 장치에 관해서는, 본 발명자에 의한 아모르퍼스 반도체 및 결정 반도체와는 다른, 반(半)비정질 또는 반결정질의 구조를 가지는 세미아모르퍼스(semi-amorphous) 반도체에 관한 것이 보고되어 있다(예를 들어, 문헌 2, 문헌 3 참조).

[0005] [문헌 1] 일본국 공개특허공고 2000-277439호 공보

[0006] [문헌 2] 일본국 공개특허공고 평2-53941호 공보

[0007] [문헌 3] 일본국 공개특허공고 소62-62073호 공보

발명의 내용

해결 하고자하는 과제

[0008] 미(微)결정 실리콘을 광전 변환 층으로 하기 위해서는, 1 μm 이상, 바람직하게는 10 μm 정도의 막 두께가 필요하게 되지만, 예를 들어, 고주파 플라즈마 CVD법에 의한 미결정 실리콘 피막의 퇴적 속도는 0.1 nm/초 이하로서 실용적이지 아니었다. 즉, 광전 변환 층에 미결정 실리콘을 사용하면, 생산성이 나쁘고, 다른 결정계 실리콘 광전 변환 장치와 비교하여 비용 경쟁력이 약하다는 문제가 있었다.

[0009] 그래서, 본 발명은 이들 문제를 해결하는 것이고, 퇴적 속도를 저하시키지 않고, 직접 형성되는 양질의 결정성 반도체층을 대면적 기판에 생산성 좋게 형성하는 것을 목적으로 하고, 또한, 결정성 반도체층을 500℃ 이하에서 형성하는 것을 목적으로 한다. 또한, 본 발명은, 상기 결정성 반도체층을 광전 변환 층으로 하는 광전 변환 장치를 제공하는 것을 목적으로 한다.

과제 해결수단

[0010] 본 발명은, 처리실 내에 반응성 기체를 도입하고, 마이크로파를 기판에 평행한 방향으로 도입하여 플라즈마를 발생시켜, 상기 기판 위에 세미아모르퍼스 반도체막을 형성하고, 광전 변환 층의 적어도 하나의 층에 세미아모르퍼스 반도체막을 적용하는 것을 요지로 한다. 마이크로파는 세미아모르퍼스 반도체막을 퇴적하는 기판과 대략 평행하게 도입되고, 마이크로파를 전파하는 도파관(導波管)에 형성된 슬릿을 통하여 처리실 내에 마이크로파를 도입하여 플라즈마를 생성한다.

[0011] 세미아모르퍼스 반도체막이란, 반도체막 중에 결정립이 분산하여 존재하는 반도체막이다. 본 발명에 따른 세미아모르퍼스 반도체막은 다결정 반도체막과 달리, 미소한 결정 구조 또는 결정립을 반도체막 중에 함유시키면서 직접 기판 위에 성막할 수 있다. 구체적으로는, SiH_4 에 대해서, 수소, 희가스(헬륨, 아르곤, 크립톤, 네온), 및 불소, 염소 등의 할로젠 기체 중의 어느 하나, 또는 이들을 조합하여 사용하고, 유량비로 2배~1000배, 바람직하게는, 10배~100배로 희석하고, 마이크로파대의 전자(電磁) 에너지를 공급하여 플라즈마화시키고, 라디칼 반응을 유기(誘起)하면서 기판 위에 퇴적한다. 이와 같이 제작된 세미아모르퍼스 반도체막은, 0.5 nm~20 nm의 결정립을 비정질 반도체 중에 함유하는 미결정 반도체막도 포함한다. 본 발명에서는, 이러한 반도체를 적어도 광전 변환 층에 사용하면 좋다. 또한, 광전 변환 층은 그의 막 두께 방향에서 모두가 세미아모르퍼스 또는 그것과 비슷한 반도체일 필요는 없고, 적어도 일부에 그러한 반도체를 포함하면 된다.

[0012] 또한, 광전 변환 층은 일 도전형의 불순물이 첨가된 불순물 반도체층과, 일 도전형과 반대의 도전형의 불순물이 첨가된 불순물 반도체층과의 사이에 진성(眞性) 반도체층을 가진다. 본 발명은, 광전 변환 층으로서

적어도 진성 반도체층을 세미아모르퍼스 반도체막으로 형성한다.

[0013] 여기서, 진성 반도체란, 그 반도체에 포함되는 일 도전형을 부여하는 불순물(p형 또는 n형을 부여하는 불순물)이 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도이고, 산소 및 질소가 $9 \times 10^{19} \text{ cm}^{-3}$ 이하의 농도이고, 암 전도도(暗轉導度)에 대하여 광 전도도가 100배 이상인 반도체를 가리킨다. 이 진성 반도체에는, p형 또는 n형을 부여하는 불순물, 즉, 주기율표의 제 13족 또는 제 15족의 불순물 원소가 포함되는 반도체가 포함된다. 이것은, 세미아모르퍼스 반도체는 가전자(價電子) 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않은 때에 약한 n형의 전기 전도성을 나타내므로, 진성 반도체층에서는, p형을 부여하는 불순물 원소를 성막과 동시에, 혹은 성막 후에 의도적 또는 비(非)의도적으로 첨가하는 일이 있기 때문이다. 이것을 실질적으로 진성의 반도체층이라 하고, 본 발명의 진성 반도체층에 포함되고, 이들을 조합하여 진성 반도체층(이하, "i형 반도체층"이라고도 한다)이라고 부른다.

효 과

[0014] 본 발명에 의하면, 퇴적 속도를 저하시키지 않고, 약질의 세미아모르퍼스 반도체를 얻을 수 있다. 그러한 세미아모르퍼스 반도체로 광전 변환 층을 형성함으로써, 광 열화에 의한 특성 저하가 1/5 내지 1/10이 되어, 실용상 거의 문제가 없는 광전 변환 장치를 얻을 수 있다. 광 열화에 의한 특성 저하가 낮기 때문에, 본 발명의 광전 변환 장치의 광전 변환 층의 막 두께는 $0.5 \mu\text{m} \sim 10 \mu\text{m}$, 바람직하게는 $1 \mu\text{m} \sim 5 \mu\text{m}$ 이면 좋다. 따라서, 극단의 후막화(厚膜化)가 필요하게 되는 단결정 또는 다결정 실리콘 웨이퍼를 사용한 광전 변환 장치와 비교하여 자원(資源)을 절약할 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 본 발명의 실시형태에 대하여 도면을 사용하여 이하에 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 이하에 설명하는 본 발명의 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면간에서 공통으로 사용한다.

[0016] [실시형태 1]

[0017] 도 1은 본 실시형태에 따른 광전 변환 장치의 구성을 나타낸다. 이 광전 변환 장치는, p형 반도체층(14)과 n형 반도체층(18) 사이에 끼여지는 i형 반도체 층(16)을 형성함으로써 적어도 하나의 반도체 접합을 포함한다. 본 실시형태에서는, p형 반도체층(14), n형 반도체층(18), 및 i형 반도체층(16), 즉, 광전 변환 층 모두를 세미아모르퍼스 반도체층으로 구성한다.

[0018] 기판(10)은 청판(靑版) 유리, 백판(白板) 유리, 납 유리, 강화 유리, 세라믹스 유리 등의 시판되는 다양한 유리판을 사용할 수 있다. 또한, 알루미늄 실리케이트산 유리, 바륨 붕규산 유리 등의 무(無)알칼리 유리 기판이라고 불리는 것, 석영 기판, 스테인리스 등의 금속 기판을 사용할 수 있다. 기판(10)을 광 입사면으로 하는 경우에는, 제 1 전극(12)은 산화인듐, 산화인듐주석, 산화아연 등의 투명 도전막 재료로 형성한다. 한편, 제 1 전극(12)을 반사 전극으로 하는 경우에는, 알루미늄, 은, 티탄, 탄탈 등의 금속 재료를 사용하여 형성한다. 반사 전극으로 하는 경우, 전극의 표면에 요철(凹凸)을 형성하면 반사율이 향상되어 바람직하다.

[0019] p형 반도체층(14)은 일 도전형 불순물로서 붕소를 포함하는 세미아모르퍼스 반도체 또는 아모르퍼스 반도체로 형성된다. 광 흡수 손실을 저감시키기 위해서는, 탄소를 포함시켜 광학 갭(gap)이 넓어지도록 하여도 좋다.

[0020] i형 반도체층(16)은 진성 반도체이고, 세미아모르퍼스 반도체(대표적으로는, 세미아모르퍼스 실리콘)로 형성된다. 또한, i형 반도체란, 그 반도체에 포함되는 p형 또는 n형을 부여하는 불순물이 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도이고, 산소 및 질소가 $9 \times 10^{19} \text{ cm}^{-3}$ 이하의 농도이고, 암 전도도에 대하여 광 전도도가 100배 이상인 반도체이다. 이 진성 반도체에는, 붕소가 1 ppm~1000 ppm 첨가되어도 좋다. 즉, 세미아모르퍼스 반도체는, 가전자 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않은 때에 약한 n형의 전기 전도성을 나타내므로, i형 반도체층(16)에 적용하는 경우에는, p형을 부여하는 불순물 원소를 성막과 동시에, 혹은 성막 후에 첨가하면 좋다. p형을 부여하는 불순물 원소로서는, 대표적으로는, 붕소이고, B_2H_6 , BF_3 등의 불순물 기체를 1 ppm~1000

ppm의 비율로 반도체 재료 가스에 혼입시키면 좋다. 그리고, 붕소의 농도를, 예를 들어, 1×10^{14} atoms/cm³ ~ 6×10^{16} atoms/cm³로 하면 좋다.

[0021] 세미아모르퍼스 반도체는, 비정질 구조와 결정 구조(단결정, 다결정을 포함한다)의 중간적인 구조의 반도체를 포함한다. 이 반도체는 자유 에너지적으로 안정한 제 3 상태를 가지는 반도체이고, 단거리 질서(short-range order)와 격자 왜곡(lattice distortion)을 가지는 결정질의 것이며, 그의 입경을 0.5 nm~20 nm로 하여 비(非)단결정 반도체 중에 분산시켜 존재시키는 것이 가능하다. 또한, 미결합수(未結合手)(댕글링 본드(dangling bond))를 종단(終端)하는 것으로서 수소 또는 할로젠을 적어도 1 원자% 또는 그 이상 포함한다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 포함시켜 격자 왜곡을 더욱 조장시킴으로써, 안정성이 높아지고, 양호한 세미아모르퍼스가 얻어질 수 있다. 이러한 세미아모르퍼스 실리콘은 격자 왜곡을 가지고, 그 격자 왜곡에 의하여 광학 특성이 단결정 실리콘의 간접 천이형(遷移型)으로부터 직접 천이형으로 변화한다. 적어도 10%의 격자 왜곡이 있으면, 광학 특성이 직접 천이형으로 변화한다. 또한, 왜곡이 국부적으로 존재함으로써, 직접 천이와 간접 천이가 혼재한 광학 특성을 나타낼 수도 있다.

[0022] 이 세미아모르퍼스 반도체는 실란으로 대표되는 반도체 재료 가스를 마이크로파대의 전자 에너지에 의하여 플라즈마화하여 생성물을 퇴적시킴으로써 형성된다. 대표적인 반도체 재료 가스로서는, SiH₄이고, 그 외에도 Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용할 수 있다. 이 반도체 재료 가스를, 수소, 불소, 및 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 다수 종의 희가스 원소 중의 적어도 하나를 사용하여 희석함으로써 세미아모르퍼스 반도체의 형성을 용이하게 할 수 있다. 희석률은 10배~1000배의 범위로 반도체 재료 가스를 희석하는 것이 바람직하다. 물론, 마이크로파대의 전자 에너지에 의하여 플라즈마화하는 방법에 의한 피막의 반응 생성은 감압 하에서 행하고, 압력은 대략 0.1 Pa~133 Pa의 범위로 하면 좋다. 플라즈마를 형성하기 위한 전력은 1 GHz~5 GHz, 대표적으로는, 2.45 GHz의 전자파를 공급하면 좋다. 기판 가열 온도는 300℃ 이하가 바람직하고, 100℃~200℃의 기판 가열 온도가 추천된다. 또한, 반도체 재료 가스 중에, CH₄, C₂H₆ 등의 탄화물 기체, GeH₄, GeF₄ 등의 게르마늄화 기체를 혼입시켜, 에너지 밴드 폭을 1.5 eV~2.4 eV, 또는 0.9 eV~1.1 eV로 조절하여도 좋다.

[0023] n형 반도체층(18)은, 일 도전형 불순물로서 인을 포함하는 세미아모르퍼스 반도체 또는 아모르퍼스 반도체로 형성된다. n형 반도체층(18) 위의 제 2 전극(20)은, 알루미늄, 은, 티탄, 탄탈 등의 금속 재료를 사용하여 형성한다. 또한, 제 2 전극(20) 측으로부터 광을 입사시키는 경우에는, 투명 도전막 재료로 형성한다.

[0024] 도 1은, 광전 변환 층의 구성으로서 p형 반도체층(14), i형 반도체층(16), n형 반도체층(18)을 포함하는 것을 예시하지만, 광전 변환 층을 구성하는 반도체 접합으로서, 이 pin 접합 외에 pi 접합, in 접합, 또는 pn 접합을 사용하여도 좋다. 세미아모르퍼스 반도체는 소수(少數) 캐리어의 확산 길이가 아모르퍼스 반도체와 비교하여 길게 되기 때문에, pp⁺n 접합, pp⁺in 접합을 형성할 수도 있다.

[0025] 이러한 광전 변환 장치에 있어서, 광전 변환층의 각 층은 각각의 계면을 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다. 또한, 각 층에는 가전자 제어를 목적으로 하여 미량의 불순물 원소가 첨가되기 때문에, 다수의 성막 처리실이 구비된 멀티체임버 구성의 마이크로파 플라즈마 CVD 장치를 사용하는 것이 바람직하다. 특히, 전자 밀도가 1×10^{11} cm⁻³ 이상 1×10^{13} cm⁻³ 이하이고, 전자 온도가 0.2 eV 이상 2.0 eV 이하(보다 바람직하게는, 0.5 eV 이상 1.5 eV 이하) 정도인 것을 사용하는 것이 바람직하다. 전자 밀도가 높고 전자 온도가 낮은 플라즈마를 이용하면, 플라즈마 데미지(damage)가 적고 결함이 적기 때문에, 양질의 세미아모르퍼스 반도체막을 형성할 수 있다. 이하에 세미아모르퍼스 반도체막을 형성하는 데 적합한 장치의 일례를 나타낸다.

[0026] 도 2는 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치의 일례를 나타낸다. 이 장치는, 공통실(407)의 주변에 로드(load)실(401), 언로드(unload)실(402), 처리실(1)(403a), 처리실(2)(403b), 처리실(3)(403c), 예비실(405)을 구비한 구성으로 되어 있다. 처리실(1)(403a)은 p형 반도체층을 성막하고, 처리실(2)(403b)은 i형 반도체층을 성막하고, 처리실(3)(403c)은 n형 반도체층을 성막하는 처리실이다. 피처리 기판은 공통실(407)을 통하여 각 처리실에 반출입된다. 공통실(407)과 각 실(室) 사이에는 게이트 밸브(408)가 구비되어, 각 처리실에서 행해지는 처리가 서로 간섭하지 않도록 구성되어 있다. 기판은 로드실(401)과 언로드실(402) 각각에 있는 카세트(400)에 장전되고, 공통실(407)의 반송 수단(409)에 의하여 처리실(1)(403a), 처리실(2)(403b), 처리실(3)(403c)로 운반된다. 이 장치에서는, 퇴적하는 막의 종류마다 처리실을

선택할 수 있고, 다수의 다른 피막을 대기에 노출시키지 않고 연속적으로 형성할 수 있다.

[0027] 도 3은 처리실의 일례를 상세하게 설명하는 도면이다. 도 3은 처리실의 단면 구조를 나타낸다. 처리실은 처리 용기(410)와 덮개(412)로 이루어지고, 밀폐 구조에 의하여 내부를 감압 상태로 유지할 수 있는 구성으로 되어 있다. 처리 용기(410)는, 예를 들어, 스테인리스 강, 알루미늄 등의 금속으로 형성되어 있다.

[0028] 처리실의 내부를 감압 상태로 하기 위해, 저진공배기 수단인 로터리 펌프(414)와 고진공배기 수단인 터보 분자 펌프(416)가 처리 용기(410)에 연결되어 있다. 저진공배기 수단인 로터리 펌프(414)는, 개폐 밸브(415)를 동작시켜 대략 대기압으로부터 0.1 Pa 정도까지의 진공배기를 행하는 것이고, 예를 들어, 드라이 펌프로 구성된다. 고진공배기 수단인 터보 분자 펌프(416)는 0.1 Pa 이하의 고진공배기를 행하는 것이다. 고진공배기 수단인 터보 분자 펌프(416)와 직렬로 연결되는 압력 조절 밸브(417)는 가스 유량의 컨덕턴스(conductance)를 조정하는 것이고, 가스 공급 수단(436)으로부터 공급되는 반응성 기체의 배기 속도를 조정함으로써, 처리실 내의 압력을 소정의 범위로 유지하는 동작을 한다.

[0029] 처리 용기(410)의 내부에는, 기관 등의 피처리체를 배치하는 서셉터(susceptor)(418)가 설치되어 있다. 서셉터(418)는 질화알루미늄, 질화규소, 탄화규소 등의 세라믹스재(材)로 구성되어 있다. 서셉터(418)의 내부에는 히터(422)가 설치되어 있다. 히터(422)는 히터 전원(428)에 접속되어 있다. 히터(422)는 서셉터(418)에 매립되어 있고, 히터 전원(428)으로부터 전력이 공급됨으로써 발열하여, 서셉터(418) 위에 배치된 기관을 소정의 온도로 유지하도록 되어 있다.

[0030] 덮개(412)는 처리 용기(410)의 상부를 밀폐하도록 되어 있다. 덮개(412)에는 도파관(432)이 천판(天板)(435)에 접하도록 배치되어 있다. 도파관(432)은 마이크로파 전원(430)과 연결되어 있다. 도파관(432)과 천판(435)에는 마이크로파가 누설하도록 슬릿(433)이 형성되어 있다. 슬릿(433)은 유전체 판(434)으로 막혀 있어, 처리 용기(410)의 기밀(氣密)을 유지한다. 마이크로파는 유전체 판(434)을 통하여 처리 용기(410)에 도입되어 플라즈마를 생성한다.

[0031] 도 4는 덮개(412)의 구성을 나타내는 평면도이다. 도파관(432)은 천판(435)과 평행하게 연장하여 있고, 다수의 도파관(432)이 평행하게 배치되어 있다. 유전체 판(434)은 천판(435)에 매트릭스 형상으로 배치되어 있다. 도파관(432)과 천판(435)에 형성되는 슬릿(433)은 유전체 판(434)의 위치에 맞추어 형성되어 있다. 피처리 기관의 면적이 큰 경우(예를 들어, 730 mm×920 mm의 유리 기관, 또는 1변이 1 m를 넘는 사이즈의 유리 기관이 적용되는 경우)에는, 도파관(432)을 다수로 분할하여 마이크로파를 공급하는 것이 바람직하다. 도 4에서는, 도파관(432)의 단부에서 분기(分岐) 도파관을 사용하여, 다수로 분할된 마이크로파를 공급하는 구성으로 하는 경우를 나타내고 있다. 분기 도파관의 끝에는 마이크로파 전원이 접속된다. 마이크로파 전원을 다수 대 사용함으로써, 피처리 기관의 면적이 크게 된 경우에도, 플라즈마의 균일성을 유지할 수 있다.

[0032] 도 3에서, 가스 공급 수단(436)은, 반응성 기체인 처리용 가스가 충전된 실린더(438), 밸브(439), 매스 플로우(mass flow) 컨트롤러(440) 등으로 구성되어 있다. 매스 플로우 컨트롤러(440)에서 유량이 조정된 처리용 가스는 처리 용기(410) 내에 도입된다. 실린더(438)에는 세미아모르퍼스 반도체의 성막에 필요한 가스가 충전되어 있다. 성막에 필요한 반응성 기체인 처리용 가스로서는, 실란 또는 디실란 등의 반도체 재료 가스와, 반도체 재료 가스를 희석하기 위한 수소, 불소, 및 헬륨 또는 아르곤 등의 희가스 중의 어느 하나가 적어도 포함된다. 처리 용기(410)에는 가스 공급 노즐(위)(442)과 가스 공급 노즐(아래)(444)이 있고, 이들 노즐로부터 처리용 가스가 처리 용기(410) 내로 흘러 들어가는 구성으로 되어 있다. 예를 들어, 가스 공급 노즐(위)(442)에는 수소, 불소, 및 헬륨 또는 아르곤 등의 희가스 중의 적어도 어느 하나를 공급하고, 마이크로파가 도입되는 유전체 판(434)의 근방에서 고밀도 라디칼을 생성시켜, 피처리 기관 위의 세미아모르퍼스 반도체의 성장 표면에서 표면 반응을 촉진시킨다. 가스 공급 노즐(아래)(444)에는 피막 퇴적용의 반도체 재료 가스를 공급한다. 이와 같이, 가스 공급 경로를 분리함으로써, 유전체 판(434)에의 피막의 퇴적을 억제할 수 있다. 성막 단계에서는, 가스 공급 노즐(위)(432)로부터 수소, 불소, 또는 헬륨 또는 아르곤 등의 희가스를 계속해서 공급하여도 좋다.

[0033] 이러한 구성의 플라즈마 CVD 장치에 의하여, 기관이 배치된 처리실 내에 처리용 가스인 반응성 기체를 도입하고, 기관과 대략 평행하게 대향 배치된 도파관에 형성된 슬릿을 통하여 처리실 내에 마이크로파를 도입하여 플라즈마를 생성하여, 기관 위에 세미아모르퍼스 반도체로 이루어지는 광전 변환 층을 형성할 수 있다.

[0034] 광전 변환 층의 구성으로서 pin 접합을 형성하는 경우에는, 각각의 세미아모르퍼스 반도체층에 대응한 처리실을 마이크로파 플라즈마 CVD 장치에 제공하는 것이 바람직하다. 이 경우, 먼저, 기관(제 1 전극이 형성

된 기관)이 배치된 처리실(1)에 제 1 반응성 기체를 도입하고, 기관과 대략 평행하고 대향 배치된 도파관에 형성된 슬릿을 통하여 처리실(1) 내에 마이크로파를 도입하여 플라즈마를 생성하여, 기관 위에 제 1 세미아모르퍼스 반도체층(p형 반도체층)을 형성한다. 다음에, 그 기관을 대기에 노출시키지 않고, 처리실(1)로부터 반출하여, 처리실(2)로 이동시키고, 상기 기관이 배치된 처리실(2)에 제 2 반응성 기체를 도입하고, 마찬가지로 마이크로파를 도입하여 플라즈마를 생성하여, 제 1 세미아모르퍼스 반도체층 위에 제 2 세미아모르퍼스 반도체층(i형 반도체층)을 형성한다. 그리고, 그 기관을 대기에 노출시키지 않고 처리실(2)로부터 반출하여, 처리실(3)로 이동시키고, 상기 기관이 배치된 처리실(3)에 제 3 반응성 기체를 도입하고, 마찬가지로 마이크로파를 도입하여 플라즈마를 생성하여, 상기 제 2 세미아모르퍼스 반도체층 위에 제 3 세미아모르퍼스 반도체층(n형 반도체층)을 형성한다. 처리실의 수는, 적층하는 층의 수에 따라 3실로 한 경우를 예시하고 있다.

[0035] 예를 들어, 광전 변환 층으로서 pi 접합, in 접합, 또는 pn 접합을 형성하는 경우에는 성막하는 처리실은 2실이면 좋다. 또한, pp^+n 접합, p^+pp^+n 접합과 같이, 일 도전형 불순물 농도를 다르게 하는 층 구조를 적용하는 경우에는 처리실을 4실로 하여도 좋지만, 처리실에 도입하는 불순물 가스의 농도를 제어하면 좋기 때문에, 처리실이 2실이면 좋은 경우도 있다.

[0036] 상기 마이크로파 플라즈마 CVD 장치는, 도 4에서 나타내는 바와 같이, 플라즈마를 생성하는 도파관을 다수로 분할함으로써, 기관 사이즈로서 액정 유리에서 제 1 세대라고 불리는 300 mm×400 mm로부터 제 3 세대의 550 mm×650 mm, 제 4 세대의 730 mm×920 mm, 제 5 세대의 1000 mm×1200 mm, 제 6 세대의 2450 mm×1850 mm, 제 7 세대의 1870 mm×2200 mm, 제 8 세대의 2000 mm×2400 mm 등의 대형 기관에 대하여 유연하게 대응할 수 있다.

[0037] 도 9는 처리실의 다른 구성으로서, 마이크로파를 방사하는 마이크로파 안테나(445)와, 마이크로파를 투과하는 샤워형 유전체 판(446)을 조합한 것을 나타낸다. 처리실의 다른 구성은 도 3과 마찬가지로, 처리 용기(410)와 덮개(412)로 이루어지고, 밀폐 구조에 의하여 내부를 감압 상태로 유지할 수 있는 구성으로 되어 있다. 마이크로파 안테나(445)는 도파관을 통하여 외부의 마이크로파 전원(430)에 접속되어 있다. 마이크로파 안테나(445)는 다수의 슬롯을 구비한 도체로 이루어지는 방사판을 구비하고 있다. 이 마이크로파 안테나(445)로부터 주파수가 수 GHz인 마이크로파를 도입함으로써, 처리 용기(410) 내에서 고밀도 플라즈마를 발생시킨다. 생성되는 플라즈마는 전자 온도가 낮기 때문에(3 eV 이하, 바람직하게는, 1.5 eV 이하), 피막의 성장 표면에 주는 데미지가 적고, 높은 전자 밀도($1 \times 10^{11} \text{ cm}^{-3}$ 이상)이기 때문에 고밀도 라디칼의 표면 반응에 의하여 피막의 성장이 촉진된다. 샤워형 유전체 판(446)은 가스 공급 수단(436)에 접속되어 있다. 샤워형 유전체 판(446)에는 가스 공급 노즐(위)(442)과 가스 공급 노즐(아래)(444)이 있고, 상기 노즐로부터 처리용 가스가 처리 용기(410) 내로 유입되는 구성으로 되어 있다. 예를 들어, 가스 공급 노즐(위)(442)에는 수소, 불소, 및 헬륨 또는 아르곤 등의 희가스 중의 적어도 어느 하나를 공급하고, 마이크로파가 도입되는 유전체 판(446)의 근방에서 고밀도 라디칼을 생성시켜, 피처리 기관 위의 세미아모르퍼스 반도체의 성장 표면에서 표면 반응을 촉진시킨다. 가스 공급 노즐(아래)(444)에는, 피막 퇴적용의 반도체 재료 가스를 공급한다. 도 9의 경우에도, 마이크로파 안테나(445)를 다수로 분할하고, 각각의 마이크로파 안테나(445)에 마이크로파 전력을 공급함으로써, 기관 사이즈의 대형화에 대해서도 균일한 플라즈마를 생성할 수 있고, 대면적 기관에의 광전 변환 층의 형성을 가능하게 한다.

[0038] 세미아모르퍼스 반도체막은 이러한 대면적 기관에 균질하게 퇴적할 수 있고, 기관 위에서 다수의 유닛 셀을 직렬 접속하는 집적형 광전 변환 장치를 구성할 수 있다. 이하, 그 공정의 개략에 대하여 설명한다.

[0039] 도 5(A)에서, 기관(101) 위에 투광성 전극층(102)을 형성한다. 혹은, 투광성 전극층(102)을 구비한 기관을 준비한다. 투광성 전극층(102)은 산화인듐주석 합금(ITO), 산화아연(ZnO), 산화주석(SnO₂), ITO-ZnO 합금 등으로 40 nm~200 nm(바람직하게는 50 nm~100 nm)의 두께로 형성한다. 투광성 전극층(102)의 시트(sheet) 저항은 20 Ω/□~200 Ω/□ 정도로 하면 좋다.

[0040] 또한, 투광성 전극층(102)으로서 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용할 수도 있다. 도전성 조성물은, 투광성 전극층(102)으로서 박막을 형성하는 경우, 박막에 있어서의 시트 저항이 10000 Ω/□ 이하, 파장이 550 nm에서의 투광률이 70% 이상인 것이 바람직하다. 또한, 포함되는 도전성 고분자의 저항률이 0.1 Ω·cm 이하인 것이 바람직하다. 도전성 고분자로서는, 이른바 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 및/또는 그의 유도체, 폴리피롤 및/또는 그의 유도체, 폴리티오펜 및/또는 그의 유도체, 이들의 2종 이상의 공중합체 등을 들 수 있다.

- [0041] 공액계 도전성 고분자의 구체예로서는, 폴리피롤, 폴리(3-메틸피롤), 폴리(3-부틸피롤), 폴리(3-옥틸피롤), 폴리(3-데실피롤), 폴리(3,4-디메틸피롤), 폴리(3,4-디부틸피롤), 폴리(3-히드록시피롤), 폴리(3-메틸-4-히드록시피롤), 폴리(3-메톡시피롤), 폴리(3-에톡시피롤), 폴리(3-옥톡시피롤), 폴리(3-카르복실피롤), 폴리(3-메틸-4-카르복실피롤), 폴리N-메틸피롤, 폴리티오펜, 폴리(3-메틸티오펜), 폴리(3-부틸티오펜), 폴리(3-옥틸티오펜), 폴리(3-데실티오펜), 폴리(3-도데실티오펜), 폴리(3-메톡시티오펜), 폴리(3-에톡시티오펜), 폴리(3-옥톡시티오펜), 폴리(3-카르복실티오펜), 폴리(3-메틸-4-카르복실티오펜), 폴리(3,4-에틸렌디옥시티오펜), 폴리아닐린, 폴리(2-메틸아닐린), 폴리(2-옥틸아닐린), 폴리(2-이소부틸아닐린), 폴리(3-이소부틸아닐린), 폴리(2-아닐린술폰산), 폴리(3-아닐린술폰산) 등을 들 수 있다.
- [0042] 상기 도전성 고분자를 단독으로 도전성 조성물로서 투광성 전극층에 사용하여도 좋고, 도전성 조성물의 성질을 조정하기 위해 유기 수지를 첨가하여 사용할 수도 있다.
- [0043] 유기 수지로서는, 도전성 고분자와 상용(相溶) 또는 혼합 분산이 가능하다면 열 경화성 수지이어도 좋고, 열 가소성 수지이어도 좋고, 광 경화성 수지이어도 좋다. 예를 들어, 폴리에틸렌 테레프탈레이트, 폴리부틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트 등의 폴리에스테르계 수지, 폴리이미드, 폴리이미드-이미드 등의 폴리이미드계 수지, 폴리이미드 6, 폴리이미드 6,6, 폴리이미드 12, 폴리이미드 11 등의 폴리이미드 수지, 폴리비닐리덴 플루오르화물, 폴리비닐 플루오르화물, 폴리테트라플루오로에틸렌, 에틸렌-테트라플루오로에틸렌 공중합체, 폴리클로로트리플루오로에틸렌 등의 불소 수지, 폴리비닐 알코올, 폴리비닐 에테르, 폴리비닐 부티랄, 폴리초산비닐, 폴리염화비닐 등의 비닐 수지, 에폭시 수지, 크실렌 수지, 아라미드 수지, 폴리우레탄계 수지, 폴리우레아계 수지, 멜라민 수지, 페놀계 수지, 폴리에테르, 아크릴계 수지, 및 이들의 공중합체 등을 들 수 있다.
- [0044] 또한, 도전성 조성물의 전기 전도도를 조정하기 위해, 도전성 조성물에 억셉터성 또는 도너성 도펀트를 도핑함으로써, 공액 도전성 고분자의 공액 전자의 산화 환원 전위를 변화시켜도 좋다.
- [0045] 억셉터성 도펀트로서는, 할로젠 화합물, 루이스 산(Lewis acid), 프로톤 산(protonic acid), 유기 시아노 화합물, 유기 금속 화합물 등을 사용할 수 있다. 할로젠 화합물로서는, 염소, 브롬, 요오드, 염화 요오드, 브롬화 요오드, 불화 요오드 등을 들 수 있다. 루이스 산으로서, 펜타플루오르화 인, 펜타플루오르화 비소, 펜타플루오르화 안티몬, 삼불화 붕소, 삼염화 붕소, 삼브롬화 붕소 등을 들 수 있다. 프로톤 산으로서, 염산, 황산, 질산, 인산, 플루오로붕산, 불화 수소산, 과염소산 등의 무기산과, 유기 카르복실산, 유기 술폰산 등의 유기산을 들 수 있다. 유기 카르복실산 및 유기 술폰산으로서, 상기 카르복실산 화합물 및 술폰산 화합물을 사용할 수 있다. 유기 시아노 화합물로서는, 공액 결합에 2개 이상의 시아노기를 포함하는 화합물을 사용할 수 있다. 예를 들어, 테트라시아노에틸렌, 산화 테트라시아노에틸렌, 테트라시아노벤젠, 테트라시아노퀴노디메탄, 테트라시아노아자나프탈렌 등을 들 수 있다.
- [0046] 도너성 도펀트로서는, 알칼리 금속, 알칼리 토류 금속, 4급 아민 화합물 등을 들 수 있다.
- [0047] 도전성 조성물을 물 또는 유기 용제(알코올계 용제, 케톤계 용제, 에스테르계 용제, 탄화수소계 용제, 방향족계 용제 등)에 용해시켜, 습식법에 의하여 투광성 전극층이 되는 박막을 형성할 수 있다. 도전성 조성물을 용해하는 용매로서는, 특별히 한정하지 않고, 상술한 도전성 고분자 및 유기 수지 등의 고분자 수지 화합물을 용해하는 것을 사용하면 좋고, 예를 들어, 물, 메탄올, 에탄올, 프로필렌 카보네이트, N-메틸피롤리돈, 디메틸포름아미드, 디메틸아세트아미드, 시클로헥산, 아세톤, 메틸 에틸 케톤, 메틸 이소부틸 케톤, 톨루엔 등의 단독 또는 혼합 용제에 용해하면 좋다.
- [0048] 도전성 조성물의 성막은 상술한 바와 같이, 용매에 용해한 후, 도포법, 코팅법, 액적 토출법(잉크젯법이라고도 한다), 인쇄법 등의 습식법을 사용하여 성막할 수 있다. 용매의 건조는, 열 처리를 행하여도 좋고, 감압하에서 행하여도 좋다. 또한, 유기 수지가 열 경화성인 경우는, 더 가열 처리를 행하고, 광 경화성인 경우는 광 조사 처리를 행하면 좋다.
- [0049] 또한, 투광성 전극층(102)으로서 정공 수송성 유기 화합물과, 그 정공 수송성 유기 화합물에 대해서 전자 수용성을 나타내는 금속 산화물을 포함하는 복합 투광성 도전 재료를 사용하여 형성할 수 있다. 이 복합 투광성 도전 재료는, 정공 수송성 유기 화합물과, 그 정공 수송성 유기 화합물에 대해서 전자 수용성을 나타내는 금속 산화물을 복합화시킴으로써, 저항률을 $1 \times 10^6 \Omega \cdot \text{cm}$ 이하로 할 수 있다. 또한, "복합"이란, 단순히 2개의 재료를 혼합시키는 것뿐만 아니라, 혼합함으로써 재료간에서의 전하의 수수(授受)가 행해질 수 있는 상태가 되는 것을 의미한다.

- [0050] 복합 투광성 도전 재료는, 제 1 유기 화합물과 무기 화합물을 복합하여 이루어지는 복합 재료이다. 복합 투광성 도전 재료에 사용되는 제 1 유기 화합물로서는, 방향족 아민 화합물, 카르바졸 유도체, 방향족 탄화수소, 고분자 화합물(올리고머, 덴드리머, 폴리머 등) 등, 다양한 화합물을 사용할 수 있다. 또한, 복합 재료에 사용되는 제 1 유기 화합물로서는, 정공 수송성이 높은 유기 화합물인 것이 바람직하다. 구체적으로는, $10^{-6} \text{ cm}^2/\text{Vsec}$ 이상의 정공 이동도를 가지는 물질인 것이 바람직하다. 다만, 전자 수송성보다 정공 수송성이 높은 물질이라면, 이들 이외의 것을 사용하여도 좋다.
- [0051] 복합 재료에 사용할 수 있는 제 1 유기 화합물로서는 이하에 예시하는 것을 적용할 수 있다. 방향족 아민 화합물로서는, 4,4'-비스[N-(1-나프틸)-N-페닐아미노]비페닐(약칭: NPB), 4,4'-비스[N-(3-메틸페닐)-N-페닐아미노]비페닐(약칭: TPD), 4,4',4"-트리스(N,N-디페닐아미노)트리페닐아민(약칭: TDATA), 4,4',4"-트리스[N-(3-메틸페닐)-N-페닐아미노]트리페닐아민(약칭: MTDATA) 등을 들 수 있다.
- [0052] 또한, 이하에 나타내는 유기 화합물을 사용함으로써, 450 nm~800 nm의 파장 영역에서 흡수 피크를 가지지 않는 복합 재료를 얻을 수 있다. 또한, 동시에 저항률을 $1 \times 10^6 \Omega \cdot \text{cm}$ 이하, 대표적으로는, $5 \times 10^4 \Omega \cdot \text{cm} \sim 1 \times 10^6 \Omega \cdot \text{cm}$ 로 할 수 있다.
- [0053] 450 nm~800 nm의 파장 영역에서 흡수 피크를 가지지 않는 복합 재료에 포함되는 방향족 아민으로서는, N,N'-디(p-톨릴)-N,N'-디페닐-p-페닐렌디아민(약칭: DTDPPA), 4,4'-비스[N-(4-디페닐아미노페닐)-N-페닐아미노]비페닐(약칭: DPAB), 4,4'-비스(N-{4-[N-(3-메틸페닐)-N-페닐아미노]페닐}-N-페닐아미노)비페닐(약칭: DNTPD), 1,3,5-트리스[N-(4-디페닐아미노페닐)-N-페닐아미노]벤젠(약칭: DPA3B) 등을 들 수 있다.
- [0054] 또한, 450 nm~800 nm의 파장 영역에서 흡수 피크를 가지지 않는 복합 재료에 사용할 수 있는 카르바졸 유도체로서는, 구체적으로는, 3-[N-(9-페닐카르바졸-3-일)-N-페닐아미노]-9-페닐카르바졸(약칭: PCzPCA1), 3,6-비스[N-(9-페닐카르바졸-3-일)-N-페닐아미노]-9-페닐카르바졸(약칭: PCzPCA2), 3-[N-(1-나프틸)-N-(9-페닐카르바졸-3-일)아미노]-9-페닐카르바졸(약칭: PCzPCN1) 등을 들 수 있다.
- [0055] 또한, 4,4'-디(N-카르바졸릴)비페닐(약칭: CBP), 1,3,5-트리스[4-(N-카르바졸릴)페닐]벤젠(약칭: TCPB), 9-[4-(N-카르바졸릴)페닐]-10-페닐안트라센(약칭: CzPA), 2,3,5,6-트리페닐-1,4-비스[4-(N-카르바졸릴)페닐]벤젠 등을 사용할 수 있다.
- [0056] 또한, 450 nm~800 nm의 파장 영역에서 흡수 피크를 가지지 않는 복합 재료에 사용할 수 있는 방향족 탄화수소로서는, 예를 들어, 9,10-디(나프탈렌-2-일)-2-tert-부틸안트라센(약칭: t-BuDNA), 9,10-디(나프탈렌-1-일)-2-tert-부틸안트라센, 9,10-비스(3,5-디페닐페닐)안트라센(약칭: DPPA), 9,10-디(4-페닐페닐)-2-tert-부틸안트라센(약칭: t-BuDBA), 9,10-디(나프탈렌-2-일)안트라센(약칭: DNA), 9,10-디페닐안트라센(약칭: DPAnth), 2-tert-부틸안트라센(약칭: t-BuAnth), 9,10-디(4-메틸나프탈렌-1-일)안트라센(약칭: DMNA), 2-tert-부틸-9,10-비스[2-(나프탈렌-1-일)페닐]안트라센, 9,10-비스[2-(나프탈렌-1-일)페닐]안트라센, 2,3,6,7-테트라메틸-9,10-디(나프탈렌-1-일)안트라센, 2,3,6,7-테트라메틸-9,10-디(나프탈렌-2-일)안트라센, 9,9'-비안트릴, 10,10'-디페닐-9,9'-비안트릴, 10,10'-디(2-페닐페닐)-9,9'-비안트릴, 10,10'-비스[(2,3,4,5,6-펜타페닐)페닐]-9,9'-비안트릴, 안트라센, 테트라센, 루브렌, 페릴렌, 2,5,8,11-테트라(tert-부틸)페릴렌 등을 들 수 있다. 또한, 이 외에도, 펜타센, 코로넨 등도 사용할 수 있다. 이와 같이, $1 \times 10^{-6} \text{ cm}^2/\text{Vsec}$ 이상의 정공 이동도를 가지고, 탄소수 14~42인 방향족 탄화수소를 사용하는 것이 보다 바람직하다.
- [0057] 또한, 450 nm~800 nm의 파장 영역에서 흡수 피크를 가지지 않는 복합 재료에 사용할 수 있는 방향족 탄화수소는 비닐 골격을 가져도 좋다. 비닐 골격을 가지는 방향족 탄화수소로서는, 예를 들어, 4,4'-비스(2,2-디페닐비닐)비페닐(약칭: DPVBi), 9,10-비스[4-(2,2-디페닐비닐)페닐]안트라센(약칭: DPVPA) 등을 들 수 있다.
- [0058] 또한, 폴리{4-[N-(4-디페닐아미노페닐)-N-페닐]아미노스티렌}(약칭: PStDPA), 폴리{4-[N-(9-카르바졸-3-일)-N-페닐아미노]스티렌}(약칭: PStPCA), 폴리(N-비닐카르바졸)(약칭: PVK), 폴리(4-비닐트리페닐아민)(약칭: PVTPA) 등의 고분자화합물을 사용할 수도 있다.
- [0059] 또한, 복합 재료에 사용하는 무기 화합물로서는, 천이 금속 산화물이 바람직하다. 또한, 원소 주기율표의 제 4족 내지 제 8족에 속하는 금속의 산화물인 것이 바람직하다. 구체적으로는, 산화바나듐, 산화니오븀, 산화탄탈, 산화크롬, 산화몰리브덴, 산화텅스텐, 산화망간, 산화레늄은 전자 수용성이 높기 때문에 바람직하다.

그 중에서, 특히, 산화몰리브덴은 대기 중에서도 안정하고 흡습성이 낮고 다루기 쉽기 때문에 바람직하다.

[0060]

또한, 복합 재료를 포함하는 층의 제작방법은, 습식법, 건식법을 불문하고 다양한 수법을 사용하여도 좋다. 예를 들어, 복합 재료를 포함하는 층은, 상술한 유기 화합물과 무기 화합물의 공증착(共蒸着)으로 제작할 수 있다. 또한, 산화몰리브덴은 진공중에서 증발하기 쉽기 때문에, 증착법에 의하여 복합 재료를 포함하는 층을 제작하는 경우, 제작 프로세스의 면에서 바람직하다. 또한, 상술한 유기 화합물과 금속 알콕시드를 포함하는 용액을 도포하고 소성함으로써, 복합 재료를 포함하는 층을 제작할 수도 있다. 도포하는 방법으로서, 잉크젯법, 스핀 코팅법 등을 사용할 수 있다.

[0061]

복합 재료에 포함되는 유기 화합물의 종류를 선택함으로써, 450 nm~800 nm의 파장 영역에서 흡수 피크를 가지지 않는 복합 재료를 얻을 수 있다. 따라서, 자기발광형의 발광 장치에 사용하는 경우, 발광 영역으로부터의 발광을 흡수하지 않고 효율 좋게 투과하여, 외부 추출 효율을 향상시킬 수 있다. 또한, 백라이트로부터의 광에 대해서도 흡수하지 않고 효율 좋게 투과하기 때문에, 외부 추출 효율을 향상시킬 수 있다. 또한, 복합 재료를 포함하는 층은 구부림에 강하다. 즉, 가요성을 가지는 기판을 사용하여 광전 변환 장치를 제작하는 경우에 바람직하게 사용할 수 있다.

[0062]

투광성 전극층(102)의 저저항화의 관점에서는, ITO막이 적합하지만, 이 위에 세미아모르퍼스 반도체층을 형성할 때에, 종래의 고주파 플라즈마 CVD법으로는, 수소를 포함하는 플라즈마 분위기에 노출시키면 환원되어 실투(失透)해 버린다. 그러나, 본 실시형태에 따른 마이크로파 플라즈마 CVD법에서는, 전자 온도가 낮기 때문에, 전극 재료의 열화를 억제할 수 있다. 물론, ITO막의 열화를 방지하기 위해서, ITO막 위에 SnO₂막이나 ZnO막을 형성하는 것은 유효하다. 갈륨(Ga)을 1 wt%~10 wt% 포함하는 ZnO(ZnO:Ga)막은 투과율이 높고, ITO막 위에 적층시키는 재료로서는 호적하다. 그의 조합의 일례로서, ITO막을 50 nm~60 nm의 두께로 형성하고, 그 위에 ZnO:Ga막을 25 nm 형성하면 실투를 방지하는 것이 가능하고, 양호한 광 투과 특성을 얻을 수 있다. 이 적층막에서 시트 저항은 120 Ω/□~150 Ω/□를 얻을 수 있다.

[0063]

광전 변환 층(103)은 상술한 마이크로파 플라즈마 CVD법에 의하여 제작되는 세미아모르퍼스 반도체로 구성된다. 세미아모르퍼스 반도체의 대표예로서는, SiH₄ 가스를 원료로 하여 제작되는 세미아모르퍼스 실리콘 반도체이고, 그 외에 세미아모르퍼스 실리콘·게르마늄 반도체, 세미아모르퍼스 탄화규소 반도체가 적용된다. 광전 변환 층(103)은 pin 접합, pi 접합, in 접합, pn 접합 중의 어느 하나에 의한 반도체 접합을 포함한다. 본 실시형태에 따른 마이크로파 플라즈마 CVD법에서는, 전자 온도가 낮기 때문에, 각 접합계면에서의 데미지가 억제되고, 양호한 반도체 접합을 가지는 광전 변환 층을 형성할 수 있다.

[0064]

도 5(A)에서는, 광전 변환 층(103)이 투광성 전극층(102) 측으로부터 p형 반도체층(103a), i형 반도체층(103b), n형 반도체층(103c)이 적층된 상태를 일례로서 나타낸다. 광전 변환 층의 두께는 0.5 μm~10 μm, 바람직하게는 1 μm~5 μm이고, 그 중에서도 p형 반도체층은 10 nm~20 nm, n형 반도체층은 20 nm~60 nm로 할 수 있다.

[0065]

p형 반도체층(103a), i형 반도체층(103b), n형 반도체층(103c)을 적층한 상태, 또는 i형 반도체층(103b)까지를 적층한 단계에서, 이들 세미아모르퍼스 반도체층에 레이저 광을 조사하고 결정성을 향상시키는 처리를 행하여도 좋다. 세미아모르퍼스 반도체층에 조사하는 레이저 광은, 자외광, 가시광, 또는 적외광이다. 자외광, 가시광, 또는 적외광을 발진할 수 있는 레이저 발진기로서는, KrF, ArF, XeCl, Xe 등의 엑시머 레이저 발진기, He, He-Cd, Ar, He-Ne, HF 등의 기체 레이저 발진기, YAG, GdVO₄, YVO₄, YLF, YAIO₃ 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti, 또는 Tm을 도핑한 결정을 사용한 고체 레이저 발진기, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저 발진기, 다이오드 레이저 등을 사용할 수 있다. 대표적으로는, 파장 400 nm 이하의 엑시머 레이저 광이나, YAG 레이저의 제 2 고조파 또는 제 3 고조파를 사용한다. 예를 들어, 반복 주파수 10 Hz~1000 Hz 정도의 펄스 레이저 광을 사용하고, 그 레이저 광을 광학계로 100 mJ/cm²~500 mJ/cm²로 집광하고, 90%~95%의 오버랩률로 조사하고, 실리콘막 표면을 주사시키면 좋다. 또한, 연속 발진이 가능한 고체 레이저를 사용하고, 기본파의 제 2 고조파 내지 제 4 고조파를 적용하는 것이 바람직하다. 대표적으로는, Nd:YVO₄ 레이저(기본파 1064 nm)의 제 2 고조파(532 nm)나 제 3 고조파(355 nm)를 적용하면 좋다. 연속 발진 레이저를 사용하는 경우에는, 출력 10 W의 연속 발진 YVO₄ 레이저로부터 사출된 레이저 광을 비선형 광학 소자에 의하여 고조파로 변환한다. 또한, 공진기 안에 YVO₄ 결정과 비선형 광학 소자를 넣어 고주파를 사출하는 방법도 있다. 그리고, 바람직하게는, 광학계에 의하여 조사면에서 직사각형 형상 또는 타원 형상의 레이저 광으로 성형하여, 피처리제

에 조사한다. 이 때의 에너지 밀도는 $0.01 \text{ MW/cm}^2 \sim 100 \text{ MW/cm}^2$ 정도(바람직하게는, $0.1 \text{ MW/cm}^2 \sim 10 \text{ MW/cm}^2$)가 필요하다. 그리고, $10 \text{ cm/s} \sim 2000 \text{ cm/s}$ 정도의 속도로 레이저 광에 대하여 상대적으로 반도체막을 이동시켜 조사하면 좋다.

[0066] 이러한 세미아모르퍼스 반도체 재료를 사용하여 pin 접합을 형성하면 $0.4 \text{ V} \sim 1 \text{ V}$ 정도의 개방 전압을 얻을 수 있다. 이 pin 접합을 광전 변환 층의 하나의 단위로서 다수의 광전 변환 층을 적층시킨 적층형 구조(탠덤(tandem) 구조라고도 한다)로 하면 개방 전압을 높일 수도 있다.

[0067] 도 5(B)에 나타내는 바와 같이, 동일한 기관 위에 다수의 유닛 셀을 형성하기 위해, 레이저 가공법에 의하여 광전 변환 층(103)과 투광성 전극층(102)을 관통하는 개구($C_0 \sim C_n$)를 형성한다. 개구($C_0, C_2, C_4, \dots C_{n-2}, C_n$)는 절연 분리용의 개구이고, 유닛 셀을 형성하기 위해 형성되고, 개구($C_1, C_3, C_5, \dots C_{n-1}$)는 투광성 전극과 이면(裏面) 전극과의 접촉을 형성하기 위한 개구이다. 레이저 가공법에 사용하는 레이저의 종류는 한정되는 것이 아니지만, Nd-YAG 레이저나 엑시머 레이저 등을 사용한다. 어쨌든, 투광성 전극층(102)과 광전 변환 층(103)이 적층된 상태에서 레이저 가공을 행함으로써, 가공할 때에 있어서의 기관으로부터의 투광성 전극층의 박리를 방지할 수 있다.

[0068] 이와 같이 하여, 투광성 전극층(102)을 투광성 전극($T_1 \sim T_n$)으로 분할하고, 광전 변환 층(103)을 $K_1 \sim K_n$ 으로 분할한다. 그리고, 도 5(C)에 나타내는 바와 같이, 개구($C_0, C_2, C_4, \dots C_{n-2}, C_n$)를 충전하고, 또한 그 개구의 상단부를 덮는 절연 수지층($Z_0 \sim Z_n$)을 형성한다. 절연 수지층($Z_0 \sim Z_n$)은 스크린 인쇄법에 의하여, 아크릴계, 페놀계, 에폭시계, 폴리이미드계 등의 절연성이 있는 수지 재료를 사용하여 형성하면 좋다. 예를 들어, 페녹시 수지에 시클로헥산, 이소포론, 고저항 카본 블랙, 아에로실(aerosil), 분산제, 소포제(消泡劑), 레벨링(leveling)제를 혼합시킨 수지 조성물을 사용하고, 스크린 인쇄법에 의하여 개구($C_0, C_2, C_4, \dots C_{n-2}, C_n$)를 충전하도록 절연 수지 패턴을 형성한다. 인쇄 패턴을 형성한 후, 160°C 의 오븐(oven) 중에서 20분간 열 경화시켜, 절연 수지층($Z_0 \sim Z_n$)을 얻는다.

[0069] 그 다음, 도 6에 나타내는 이면 전극($E_0 \sim E_n$)을 형성한다. 이면 전극($E_0 \sim E_n$)은 도전성 재료로 형성한다. 이 경우, 알루미늄, 은, 몰리브덴, 티탄, 크롬 등의 층을 스퍼터링법이나 진공 증착법에 의하여 형성하여도 좋지만, 도전성 수지 재료를 사용하여 형성할 수도 있다. 도전성 수지 재료를 사용하여 이면 전극($E_0 \sim E_n$)을 형성하는 경우에는, 스크린 인쇄법, 잉크젯법(액적 토출법), 디스펜서법 등에 의하여 소정의 패턴을 직접 형성하여도 좋다. 도전성 조성물은, Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물을 사용할 수 있다. 대면적 기관을 사용하여 광전 변환 장치를 제조하는 경우에는, 이면 전극($E_0 \sim E_n$)을 저저항화하는 것이 바람직하므로, 도전성 조성물의 주요한 재료로서 비저항(比抵抗)이 낮은 금, 은, 구리 중의 어느 금속의 도전성 입자를 용매에 용해 또는 분산시킨 조성물을 사용하는 것이 바람직하다. 보다 바람직하게는, 저저항의 은, 구리를 사용하면 좋다. 또한, 레이저 가공된 개구($C_1, C_3, C_5, \dots C_{n-1}$)에 충분히 도전성 재료를 충전하기 위해서는, 도전성 입자의 평균 입경으로서 $5 \text{ nm} \sim 10 \text{ nm}$ 인 나노페이스트(nanopaste)를 사용하면 좋다.

[0070] 그 외에, 도전 재료의 주위를 다른 도전 재료로 덮은 입자를 포함하는 조성물을 토출 형성하여, 이면 전극($E_0 \sim E_n$)을 형성하여도 좋다. 예를 들어, Cu의 주위를 Ag로 덮은 입자에 있어서, Cu와 Ag 사이에 Ni 또는 NiB(니켈붕소)로 이루어지는 버퍼층을 제공한 도전성 입자를 사용하여도 좋다. 용매는, 부틸 아세테이트 등의 에스테르류, 이소프로필 알코올 등의 알코올류, 아세톤 등의 유기 용제 등에 상당한다. 표면 장력과 점도(粘度)는, 용액의 농도를 조정하고 계면활성제 등을 첨가함으로써 적절히 조정된다.

[0071] 잉크젯법에 있어서의 노즐의 직경은 $0.02 \mu\text{m} \sim 100 \mu\text{m}$ (바람직하게는, $30 \mu\text{m}$ 이하)로 설정하고, 그 노즐로부터 토출되는 조성물의 토출량은 $0.001 \text{ pl} \sim 100 \text{ pl}$ (바람직하게는, 10 pl 이하)로 설정하는 것이 바람직하다. 잉크젯법에는, 온-디맨드형(on-demand)과 콘티뉴어스(continuous)형의 2가지 방식이 있지만, 어느 방식을 사용하여도 좋다. 또한, 잉크젯법에서 사용하는 노즐에는, 압전체의 전압인가에 의해 변형하는 성질을 이용한 압전 방식과, 노즐 내에 설치된 히터에 의해 조성물을 비등시켜 그 조성물을 토출하는 가열 방식이 있지만, 그 어느 방식을 사용하여도 좋다. 피처리물과 노즐의 토출구와의 거리는 원하는 개소에 액적을 적하하기 위해, 가능한 한 접근시키는 것이 바람직하고, 바람직하게는 $0.1 \text{ mm} \sim 3 \text{ mm}$ (바람직하게는, 1 mm 이하) 정도로 설정한다. 노즐과 피처리물은 그들의 상대적인 거리를 유지하면서 노즐과 피처리물 중의 한쪽이 이동하여, 원하는 패턴을 묘화

(描畵)한다.

- [0072] 도전성 조성물을 토출하는 공정은 감압하에서 행하여도 좋다. 이것은, 조성물을 토출하여 피처리물에 착탄(着彈)할 때까지의 동안에, 상기 조성물의 용매가 휘발하여, 후의 건조와 소성의 공정을 생략 또는 짧게 할 수 있기 때문이다. 또한, 도전 재료를 포함하는 조성물의 소성 공정에서, 분압비로 10%~30%의 산소를 혼합시킨 가스를 적극적으로 사용함으로써, 이면 전극($E_0 \sim E_n$)을 형성하는 도전막의 저항률을 낮추고, 그 도전막의 박막화, 평활화를 도모할 수 있다.
- [0073] 조성물을 토출한 후는, 상압하 또는 감압하에서 레이저 광의 조사나 순간 열 어닐, 가열로 등에 의하여 건조와 소성 중의 어느 한쪽 또는 양쪽의 공정을 행한다. 건조와 소성의 공정 양쪽 모두는 가열 처리의 공정이지만, 예를 들어, 건조는 100℃에서 3분간, 소성은 200℃~350℃에서 15분~120분간 행한다. 본 공정에 의하여, 조성물 중의 용매의 휘발 또는 화학적으로 분산제를 제거하고, 주위의 수지가 경화수축함으로써, 융합과 용착(融着)이 가속된다. 분위기는 산소 분위기, 질소 분위기 또는 공기에서 행한다. 다만, 금속 원소를 분해 또는 분산시키는 용매가 제거되기 쉬운 산소 분위기하에서 행하는 것이 바람직하다.
- [0074] 나노페이스트는, 입경이 5 nm~10 nm인 도전 입자를 유기 용제에 분산 또는 용해시킨 것이지만, 그 외에도, 분산제나 바인더라고 불리는 열경화성 수지가 포함된다. 바인더는, 소성 시에 크랙이나 불균일한 소성이 발생하는 것을 방지하는 기능을 가진다. 그리고, 건조 또는 소성 공정에 의하여 유기 용제의 증발, 분산제의 분해제거 및 바인더에 의한 경화수축이 동시에 진행함으로써, 나노 입자끼리가 융합 및/또는 용착하여 경화한다. 이 때, 나노 입자는, 수십 nm 내지 백수십 nm까지 성장한다. 근접하는 성장 입자끼리에서 융합 및/또는 용착하여 서로 연쇄함으로써, 금속 연쇄체를 형성한다. 한편, 남은 유기 성분의 대부분(약 80%~90%)은 금속 연쇄체의 외부에 압출(押出)되고, 결과로서 금속 연쇄체를 포함하는 도전막과 그 외측을 덮는 유기 성분으로 이루어지는 막이 형성된다. 그리고, 유기 성분으로 이루어지는 막은, 나노페이스트를 질소 및 산소를 포함하는 분위기하에서 소성할 때에, 기체 중에 포함되는 산소와, 유기 성분으로 이루어지는 막 중에 포함되는 탄소나 수소 등이 반응함으로써 제거될 수 있다. 또한, 소성 분위기하에 산소가 포함되지 않는 경우에는, 별도, 산소 플라스마 처리 등에 의하여 유기 성분으로 이루어지는 막을 제거할 수 있다. 이와 같이, 나노페이스트를 질소 및 산소를 포함하는 분위기하에서 소성, 또는 건조한 후 산소 플라스마로 처리함으로써, 유기 성분으로 이루어지는 막은 제거되기 때문에, 잔존한 금속 연쇄체를 포함하는 도전막의 평활화, 박막화, 저저항화를 도모할 수 있다. 또한, 도전 재료를 포함하는 조성물을 감압하에서 토출함으로써, 조성물 중의 용매가 휘발하기 때문에, 후의 가열 처리(건조 또는 소성) 시간을 단축할 수도 있다.
- [0075] 이와 같은 이면 전극($E_0 \sim E_n$)은 광전 변환 층의 n형 반도체층(103c)과 접촉하지만, 이 접촉을 옴(ohm)접촉이고, 접촉 저항을 더욱 낮추기 위해서는, n형 반도체층(103c)을 세미아모르퍼스 반도체로 형성하면 좋고, 그 두께를 30 nm~80 nm로 할 수 있다.
- [0076] 각각의 이면 전극($E_0 \sim E_n$)은 개구($C_1, C_3, C_5, \dots C_{n-1}$)에서 투광성 전극($T_1 \sim T_n$)과 접속하도록 형성된다. 즉, 개구($C_1, C_3, C_5, \dots C_{n-1}$)에도 이면 전극과 동일 재료를 충전한다. 이렇게 해서, 예를 들어, 이면 전극(E_1)은 투광성 전극(T_2)과 전기적 접속을 얻고, 이면 전극(E_{n-1})은 투광성 전극(T_n)과 전기적 접속을 얻을 수 있다. 즉, 이면 전극은, 인접하는 투광성 전극과 전기적 접속을 얻을 수 있고, 각 광전 변환 층($K_1 \sim K_n$)은 직렬의 전기적 접속을 얻는다.
- [0077] 밀봉 수지층(104)은 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지를 사용하여 형성한다. 밀봉 수지층(104)에서, 이면 전극(E_0, E_n) 위에 개구부(105, 106)가 각각 형성되고, 이들 개구부에서 그 이면 전극들이 외부 배선에 접속될 수 있다.
- [0078] 이상과 같이 하여, 기관(101) 위에 투광성 전극(T_n)과 광전 변환층(K_n)과 이면 전극(E_n)으로 이루어지는 유닛 셀(U_n)이 형성된다. 그리고, 투광성 전극(T_n)은 인접하는 이면 전극(E_{n-1})과 개구(C_{n-1})에서 접속되어, 직렬로 전기적 접속하는 n개의 광전 변환 장치를 제작할 수 있다. 또한, 이면 전극(E_0)은 유닛 셀(U_1)에 있어서의 투광성 전극(T_1)의 취출 전극이 된다.
- [0079] 도 7 및 도 8은 광전 변환 장치의 다른 양태를 나타낸다. 도 7(A)에서, 기관(101), 투광성 전극층(102), 광전 변환 층(103)은 상기와 마찬가지로 제작된다. 그리고, 광전 변환 층(103) 위에 인쇄법 등에 의하

여 이면 전극($E_1 \sim E_n$)을 형성한다.

[0080]

그리고, 도 7(B)에 나타내는 바와 같이, 레이저 가공법에 의하여 광전 변환 층(103)과 투광성 전극층(102)을 관통하는 개구($C_0 \sim C_n$)를 형성한다. 개구($C_0, C_2, C_4, \dots C_{n-2}, C_n$)는 유닛 셀을 형성하기 위한 절연 분리용의 개구이고, 개구($C_1, C_3, C_5, \dots C_{n-1}$)는 투광성 전극과 이면 전극과의 접속을 형성하기 위한 것이다. 레이저 가공을 할 때는, 개구의 주변에 잔사(殘渣)가 남는 경우가 있다. 이 잔사는 피가공물의 비말(飛沫)이고, 레이저 광에 의하여 고온으로 가열된 비말은 광전 변환 층(103)의 표면에 부착함으로써 막에ダメージ를 주기 때문에, 본래 바람직하지 않다. 이것을 방지하기 위해, 개구의 패턴에 맞추어 이면 전극을 형성하고, 그 후 레이저 가공함으로써, 적어도 광전 변환 층(103)에의ダメージ를 방지할 수 있다.

[0081]

투광성 전극층(102)을 투광성 전극($T_1 \sim T_n$)으로 분할하고, 광전 변환 층(103)을 $K_1 \sim K_n$ 로 분할한 후, 도 7(C)에 나타내는 바와 같이 개구($C_0, C_2, C_4, \dots C_{n-2}, C_n$)를 충전하고, 또한 그 개구의 상단부를 덮는 절연 수지층($Z_0 \sim Z_n$)을 인쇄법, 예를 들어, 스크린 인쇄법에 의하여 형성한다.

[0082]

그 다음, 도 8에 나타내는 바와 같이, 개구($C_1, C_3, C_5, \dots C_{n-1}$)를 충전하고, 투광성 전극($T_1 \sim T_n$)에 접속하는 배선($B_0 \sim B_n$)을 스크린 인쇄법으로 형성한다. 배선($B_0 \sim B_n$)은 이면 전극과 같은 재료로 형성하는 것이고, 열 경화형의 카본 페이스트를 사용한다. 또한, 배선(B_n)은 절연 수지층(Z_n) 위에 형성되고, 취출 전극으로서 기능시킨다. 이렇게 해서, 예를 들어, 이면 전극(E_0)은 투광성 전극(T_2)과 전기적 접속을 얻고, 이면 전극(E_{n-2})은 투광성 전극(T_n)과의 전기적 접속을 얻을 수 있다. 즉, 이면 전극은, 인접하는 투광성 전극과의 전기적 접속을 얻을 수 있고, 각 광전 변환층($K_1 \sim K_n$)은 직렬의 전기적 접속을 얻는다.

[0083]

마지막에, 밀봉 수지층(104)을 인쇄법으로 형성한다. 밀봉 수지층(104)에서, 배선(B_0, B_n) 위에 개구부(105, 106)가 각각 형성되고, 이들 개구부에서 그 배선들이 외부 회로에 접속된다. 이렇게 해서, 기관(101) 위에 투광성 전극(T_n)과 광전 변환 층(K_n)과 이면 전극(E_{n-1})으로 이루어지는 유닛 셀(U_n)이 형성된다. 그리고, 투광성 전극(T_n)은 인접하는 이면 전극(E_{n-2})과 개구(C_{n-1})에서 접속되어, 직렬로 전기적 접속하는 n 개의 광전 변환 장치를 제작할 수 있다. 또한, 배선(B_0)은 유닛 셀(U_1)의 투광성 전극(T_1)의 취출 전극이 된다.

[0084]

본 발명에 따른 광전 변환 장치는, 광전 변환 층이 세미아모르퍼스 반도체로 형성되어 있기 때문에, 광 열화에 의한 특성 저하가 거의 없는 광전 변환 장치를 얻을 수 있다.

[0085]

도 10은 광전 변환 장치의 다른 양태로서 광 센서 장치에 대해서 나타낸다. 이 광 센서 장치는, 수광부에 광전 변환 층(225)을 가지고, 그의 출력을 박막트랜지스터(211)로 구성된 증폭 회로로 증폭하여 출력하는 기능을 구비하고 있다. 광전 변환 층(225) 및 박막트랜지스터(211)는 기관(201) 위에 제공되어 있다. 기관(201)으로서는, 투광성을 가지는 기관, 예를 들어, 유리 기관, 석영 기관, 세라믹스 기관 등 중의 어느 기관이라도 사용할 수 있다.

[0086]

기관(201) 위에는, 스퍼터링법 또는 플라즈마 CVD법에 의하여, 산화규소, 질화산화규소, 질화규소, 산화질화규소 중에서 선택된 하나 또는 다수의 층으로 이루어지는 절연층(202)이 형성되어 있다. 절연층(202)은 스트레스(stress) 완화와 불순물 오염을 방지하기 위해 형성되어 있다. 절연층(202) 위에는 박막트랜지스터(211)를 구성하는 결정성 반도체층(203)이 형성되어 있다. 결정성 반도체층(203) 위에는 게이트 절연층(205)과 게이트 전극(206)이 형성되어, 박막트랜지스터(211)를 구성하고 있다.

[0087]

박막트랜지스터(211) 위에는 층간절연층(207)이 형성되어 있다. 층간절연층(207)은 단층의 절연막으로 형성되어도 좋고, 상이한 재료의 절연층의 적층막이어도 좋다. 층간절연층(207) 위에는, 박막트랜지스터(211)의 소스 영역 및 드레인 영역에 전기적으로 접속하는 배선이 형성된다. 또한, 층간절연층(207) 위에는, 이 배선과 같은 재료 및 같은 공정으로 형성된 전극(221), 전극(222), 전극(223)이 형성되어 있다. 전극(221~223)은, 금속막, 예를 들어, 저저항 금속막을 사용하여 형성된다. 이러한 저저항 금속막으로서, 알루미늄 합금 또는 순 알루미늄 등을 사용할 수 있다. 또한, 이러한 저저항 금속막과 고용점 금속막과의 적층 구조로서, 티탄막과 알루미늄 막과 티탄 막을 순차로 적층한 3층 구조로 하여도 좋다. 고용점 금속막과 저저항 금속막과의 적층 구조 대신에, 단층의 도전막에 의하여 형성할 수도 있다. 이러한 단층의 도전막으로서, 티탄, 텅스텐, 탄탈, 몰리브덴, 네오디뮴, 코발트, 지르코늄, 아연, 루테튬, 로듐, 팔라듐, 오스뮴, 이리듐, 백금 중에서 선택

된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 단층막, 혹은 이들의 질화물, 예를 들어, 질화티탄, 질화텅스텐, 질화탄탈, 질화몰리브덴으로 이루어지는 단층막을 사용할 수 있다.

[0088] 중간절연막(207), 게이트 절연층(205), 및 절연층(202)은 단부가 테이퍼 형상으로 되도록 예칭 가공이 행해져 있다. 중간절연막(207), 게이트 절연층(205), 및 절연층(202)의 단부가 테이퍼 형상으로 가공됨으로써, 이들 막 위에 형성되는 보호층(227)의 피복률이 좋게 되고, 수분이나 불순물 등이 침입하기 어렵게 된다는 효과가 있다.

[0089] 중간절연층(207) 위에는, p형 반도체층(103a), i형 반도체층(103b), n형 반도체층(103c)을 형성한다. 또한, p형 반도체층(103a)은 적어도 일부가 전극(222)과 접하도록 형성한다. p형 반도체층(103a), i형 반도체층(103b), n형 반도체층(103c)은 도 5~도 8에서 설명한 것과 마찬가지로이다. 보호층(227)은, 예를 들어, 질화규소로 형성되고, 광전 변환 층(225) 위에 형성된다. 보호층(227)에 의하여 박막트랜지스터(211)나 광전 변환 층(225)에 수분이나 유기물 등의 불순물이 혼입하는 것을 방지할 수 있다. 보호층(227) 위에는, 폴리이미드, 아크릴 등의 유기 수지 재료로 형성되는 중간절연층(228)이 형성되어 있다. 중간절연층(228) 위에는, 전극(221)에 전기적으로 접속되는 전극(231), 중간절연층(228) 및 보호층(227) 중에 형성된 콘택트 홀을 통하여 광전 변환 층(225)의 상층(n형 반도체층(103c)) 및 전극(223)과 전기적으로 접속되는 전극(232)이 형성되어 있다. 전극(231) 및 전극(232)으로서는, 텅스텐, 티탄, 탄탈, 은 등을 사용할 수 있다.

[0090] 중간절연층(228) 위에, 스크린 인쇄법 또는 잉크젯법에 의하여 에폭시 수지, 폴리이미드, 아크릴, 페놀 수지 등의 유기 수지 재료를 사용하여 중간절연층(235)이 형성되어 있다. 중간절연층(235)에는 전극(231) 및 전극(232) 위에 개구부가 형성되어 있다. 중간절연층(235) 위에는, 예를 들어, 니켈 페이스트를 사용하여 인쇄법에 의하여 전극(231)에 전기적으로 접속되는 전극(241), 및 전극(232)에 전기적으로 접속되는 전극(242)이 형성되어 있다.

[0091] 광 센서로서 기능하는 이러한 광전 변환 장치는, 광전 변환 층이 세미아모르퍼스 반도체로 형성되어 있기 때문에, 광 열화에 의한 특성 저하가 거의 없는 광전 변환 장치를 얻을 수 있다. 또한, 도 10에서는, 수광부에 광전 변환 층(225)을 가지고, 그의 출력을 박막트랜지스터(211)로 구성된 증폭 회로로 증폭하여 출력하는 광 센서 장치에 대하여 나타내었지만, 증폭 회로에 따른 구성을 생략하면 광 센서로 할 수 있다.

[0092] [실시형태 2]

[0093] 도 11(A)는 본 실시형태에 따른 광전 변환 장치의 구성을 나타낸다. 이 광전 변환 장치는, p형 반도체층(14)과 n형 반도체층(18) 사이에 끼여진 i형 반도체층(16)을 형성함으로써, 적어도 하나의 반도체 접합을 포함하고 있다. p형 반도체층(14), n형 반도체층(18), i형 반도체층(16), 즉, 광전 변환 층을 세미아모르퍼스 반도체층으로 구성한다.

[0094] 기관(10)은 실시형태 1에서 나타낸 다양한 유리 기관을 사용할 수 있다. 기관(10)을 광 입사면으로 하는 경우에는, 제 1 전극(12)에 실시형태 1에서 나타낸 산화인듐, 산화인듐주석, 산화아연 등의 투명 도전막 재료를 사용할 수 있다. 한편, 제 1 전극(12)을 반사 전극으로 하는 경우에도 실시형태 1에서 나타낸 알루미늄, 은, 티탄, 탄탈 등의 금속 재료를 사용할 수 있다. 또한, 반사 전극으로 하는 경우, 전극의 표면에 요철(凹凸)을 형성하면 반사율이 향상되기 때문에 바람직하다.

[0095] 실시형태 1과 마찬가지로, p형 반도체층(14)은 일 도전형 불순물로서 붕소를 포함하는 세미아모르퍼스 반도체 또는 아모르퍼스 반도체로 형성되고, 광 흡수 손실을 저감시키기 위해서는, 탄소를 포함시켜 광학 갭이 커지도록 하여도 좋다.

[0096] 실시형태 1과 마찬가지로, i형 반도체층(16)은 진성 반도체이고, 세미아모르퍼스 반도체(대표적으로는, 세미아모르퍼스 실리콘)로 형성되고, p형을 부여하는 불순물이 첨가되어도 좋다.

[0097] 실시형태 1과 마찬가지로, 세미아모르퍼스 반도체는, 실란으로 대표되는 반도체 재료 가스를 마이크로 파대의 전자 에너지에 의하여 플라즈마화하여, 생성물을 퇴적시킴으로써 형성된다. 본 실시형태에서는, 플라즈마를 생성하는 압력은 $1 \times 10^{-1} \text{ Pa} \sim 1 \times 10^5 \text{ Pa}$, 바람직하게는, $1 \times 10^2 \text{ Pa} \sim 1 \times 10^4 \text{ Pa}$, 보다 바람직하게는, $3 \times 10^2 \text{ Pa} \sim 4 \times 10^3 \text{ Pa}$, 더 바람직하게는, $6 \times 10^2 \text{ Pa} \sim 2 \times 10^3 \text{ Pa}$ 의 범위로 행하면 좋다. 이러한 압력 범위에서 플라즈마를 생성하면, 기상중에서 라디칼 반응이 진행하고, 피막에서의 표면 반응과 서로 작용하여 성막 속도가 향상된다. 이 경우, 마이크로파를 1 kHz~100 kHz의 펄스 방전으로 함으로써, 기상 반응은 제어되고, 기상 중에서의 이상(異常) 성장을 억제시킬 수 있다. 본 실시형태에서는, 기관 가열 온도는 500℃ 이하가 바람직하고, 100℃~400

℃의 기관 가열 온도가 추천된다.

[0098] 실시형태 1과 마찬가지로, n형 반도체층(18)은 일 도전형 불순물로서 인을 포함하는 세미아모르퍼스 반도체 또는 아모르퍼스 반도체로 형성된다. N형 반도체층(18) 위의 제 2 전극(20)은 실시형태 1과 같은 금속 재료를 사용하고, 제 2 전극(20) 측으로부터 광을 입사시키는 경우에는, 투명 도전막 재료로 형성한다.

[0099] 도 11(A)는 광전 변환 층의 구성으로서 p형 반도체층(14), i형 반도체층(16), n형 반도체층(18)을 포함하는 것을 예시하지만, 실시형태 1과 마찬가지로, 광전 변환 층을 구성하는 반도체 집합으로서, 이 pin 집합 외에 다른 구성을 적용할 수도 있다.

[0100] 도 11(B)에는, p형 반도체층(14)과 i형 반도체층(16) 사이에 p⁻형 반도체층(15)을 제공하는 구성을 나타낸다. p⁻형 반도체층(15)은 p형 반도체층(14)보다 p형을 부여하는 불순물 농도가 낮은 반도체층이다. p⁻형 반도체층(15)이 p형 반도체층(14)과 i형 반도체층(16) 사이에 존재함으로써, 반도체 집합 계면에서의 캐리어 수송성이 개선된다. 이 경우, p⁻형 반도체층(15)에서의 p형 불순물 농도는, p형 반도체층(14)으로부터 i형 반도체층(16)에 걸쳐 계단 형상으로 또는 연속적으로 감소하는 분포로 함으로써, 캐리어 수송성은 더 개선된다. 또한, 이 구성에 의하여 계면 준위 밀도가 저감되고, 확산 전위가 향상함으로써, 광전 변환 장치의 개방 전압이 높아진다. 이러한 집합 구성의 p⁻형 반도체층(15)은 세미아모르퍼스 반도체 또는 아모르퍼스 반도체를 사용할 수 있다. 세미아모르퍼스 반도체를 사용하면, 세미아모르퍼스 반도체는 소수(少數) 캐리어의 확산 길이가 아모르퍼스 반도체에 비하여 길기 때문에, 바람직하다.

[0101] 도 12(A)에는, i형 반도체층(16)과 n형 반도체층(18) 사이에 아모르퍼스 반도체로 이루어지는 i⁺형 반도체층(17)을 제공하는 구성을 나타낸다. i⁺형 반도체층(17)은 i형 반도체층(16)과 마찬가지로 진성 반도체층이지만, 결정성을 가지지 않는 점에서 다르다. i⁺형 반도체층(17)은, i형 반도체층(16)에서 흡수되지 않은 광을 흡수하는 층이다(외광이 기관(10) 측으로부터 입사하는 구성의 경우를 나타낸다). i형 반도체층(16)의 광학 갭이 약 1.4 eV인 것에 대하여 i⁺형 반도체층(17)의 광학 갭은 1.6 eV~1.8 eV이지만, 가시광 영역의 흡수 계수가 i⁺형 반도체층(17)의 쪽이 높은 특성이 있다. 따라서, i형 반도체층(16)에서 흡수되지 않은 광을 i⁺형 반도체층(17)에서 흡수하는 것이 가능하다. i⁺형 반도체층(17)의 막 두께는 i형 반도체층(16)의 막 두께에 대하여 1/2 내지 1/10이면 좋다. i⁺형 반도체층(17)의 광 생성 캐리어 중 정공은 p형 반도체층(14)측으로 흐르게 되지만, 캐리어 수송성이 높은 i형 반도체층(16)을 통과함으로써 재결합 손실을 저감시킬 수 있다. 즉, 본 구성에 의하면, 광 전류를 증가시킬 수 있다.

[0102] 도 12(B)에는, p형 반도체층(14)과 i형 반도체층(16) 사이에 p⁻형 반도체층(15)을 제공하고, i형 반도체층(16)과 n형 반도체층(18) 사이에 아모르퍼스 반도체로 이루어지는 i⁺형 반도체층(17)을 제공하는 구성을 나타낸다. 본 구성에 의하여, 계면 준위 밀도가 저감하고, 확산 전위가 향상함으로써, 광전 변환 장치의 개방 전압이 높아지고, 광 전류를 증가시킬 수 있다. p⁻형 반도체층(15)에 세미아모르퍼스 반도체 또는 아모르퍼스 반도체를 사용할 수 있다는 것은, 도 11(B)와 같다.

[0103] 이러한 광전 변환 장치에 있어서, 광전 변환 층의 각 층은 각각의 계면을 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직한 것은 실시형태 1과 같다. 또한, 이하에 세미아모르퍼스 반도체막을 형성하는데 적합한, 실시형태 1과는 다른 장치를 예시한다. 물론, 실시형태 1과 같은 장치를 사용하여 본 실시형태의 광전 변환 층을 형성할 수도 있다.

[0104] 도 13은 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치의 일례를 나타낸다. 이 장치는, 공통실(407)의 주변에 로드/언로드실(401), 처리실(1)(403a), 처리실(2)(403b), 처리실(3)(403c)을 구비한 구성으로 되어 있다. 처리실(1)(403a)은, p형 반도체층을 성막하고, 처리실(2)(403b)은 i형 반도체층을 성막하고, 처리실(3)(403c)은 n형 반도체층을 성막하는 처리실이다. 또한, 도 11 및 도 12에서 나타내는 바와 같이, p⁻형 반도체층이나 i⁺형 반도체층을 성막하기 위한 처리실을 더 설치하여도 좋다.

[0105] 피처리 기관은 공통실(407)을 통하여 각 처리실로 반출입된다. 공통실(407)과 각 실(室) 사이에는, 게이트 밸브(408)가 구비되어, 각 처리실에서 행해지는 처리가 서로 간섭하지 않도록 구성되어 있다. 기관은 로

드실/엔로드실(401), 로드실/엔로드실(401)에 있는 카세트(400)에 장전되고, 공통실(407)의 반송 수단(409)에 의하여 처리실(1)(403a), 처리실(2)(403b), 처리실(3)(403c)로 운반된다. 이 장치에서는, 퇴적하는 막의 종류마다 처리실을 선택할 수 있고, 다수의 다른 피막을 대기에 노출시키지 않고 연속적으로 형성할 수 있다. 또한, 각 처리실에는 진공 배기 수단으로서, 로터리 펌프(414)와 터보 분자 펌프(416)가 접속되어 있다.

[0106]

각 처리실에는, 플라스마 발생 수단(406)이 제공되어 있다. 플라스마 발생 수단(406)은 처리실 내에서 플라스마를 발생시키는 발진기가 포함되지만, 예를 들어, 마이크로파 전원과 마이크로파를 처리실까지 유도하는 도파관으로 구성된다. 처리실에 접속되는 가스 공급 수단(436)은, 반도체 재료 가스 또는 회가스 등 프로세스에 사용하는 가스가 충전되는 실린더(438), 밸브(439), 매스 플로우 컨트롤러(440) 등으로 구성되어 있다. 가스 공급 수단(436)은 각 처리실마다 설치되어 있다. 예를 들어, 가스 공급 수단(436p)은 처리실(1)(403a)에 접속되어 p형 반도체층용의 가스를 공급한다. 가스 공급 수단(436i)은 처리실(2)(403b)에 접속되어 i형 반도체층용의 가스를 공급한다. 가스 공급 수단(436n)은 처리실(403c)에 접속되어 n형 반도체층용의 가스를 공급한다. 그리고, 가스 공급 수단(436h)은 수소를 공급하고, 가스 공급 수단(436f)은 처리실 내의 세정에 사용하는 에칭 가스를 공급한다. 따라서, 가스 공급 수단(436h, 436f)은 각 처리실에 공통하여 설치되어 있다.

[0107]

도 14는 처리실의 일례를 상세하게 설명하는 도면이다. 도 14는 처리실의 단면 구조를 나타낸다. 처리실은 처리 용기(410)와 덮개(412)로 이루어지고, 밀폐 구조에 의하여 내부를 감압 상태로 유지할 수 있는 구성으로 되어 있다. 처리 용기(410)는, 예를 들어, 스테인리스 강, 알루미늄 등의 금속으로 형성되어 있다.

[0108]

처리실의 내부를 감압 상태로 하기 위해, 저진공배기용의 로터리 펌프(414)와 고진공배기용의 터보 분자 펌프(416)가 처리 용기(410)에 연결되어 있다. 로터리 펌프(414)는 대략 대기압으로부터 0.1 Pa 정도까지의 진공 배기를 행하는 것이고, 예를 들어, 드라이 펌프로 구성된다. 터보 분자 펌프(416)는 0.1 Pa 이하의 고진공 배기를 행하는 것이다. 터보 분자 펌프(416)와 직렬로 연결되는 압력 조절 밸브(417)는 가스 유량의 컨덕턴스를 조정하는 것이고, 가스 공급 수단(436)으로부터 공급되는 반응성 기체의 배기 속도를 조정함으로써, 처리실 내의 압력을 소정의 범위로 유지하는 동작을 한다.

[0109]

처리 용기(410)의 내부에는 기관 등의 피처리체를 배치하는 서셉터(418)가 설치되어 있다. 서셉터(418)는 질화알루미늄, 질화규소, 탄화규소 등의 세라믹스재로 구성되어 있다. 서셉터(418)의 내부에는 히터(422)가 설치되어 있다. 히터(422)는 히터 전원(428)에 접속되어 있다. 히터(422)는 서셉터(418)에 매립되어 있고, 히터 전원(428)으로부터 전력이 공급됨으로써 발열하여 서셉터(418)에 배치된 기관을 소정의 온도로 유지하도록 되어 있다.

[0110]

덮개(412)는 처리 용기(410)의 상부를 밀폐하도록 되어 있다. 덮개(412)에는 도파관(432)이 천판(天板)(435)에 접하여 배치되어 있다. 도파관(432)은 마이크로파 전원(430)과 연결되어 있다. 도파관(432)과 천판(435)에는 마이크로파가 누설하도록 슬릿(433)이 형성되어 있다. 슬릿(433)은 유전체 판(434)으로 막혀 있어, 처리 용기(410)의 기밀을 유지한다. 마이크로파는 유전체 판(434)을 통하여 처리 용기(410)에 도입되어 플라스마를 생성한다.

[0111]

도 15는 덮개(412)의 구성을 나타내는 평면도이다. 다수의 도파관(432)은 천판(435)에 대하여 평행으로 배치되어 있다. 유전체 판(434)은 천판(435)에 대하여 매트릭스 형상으로 배치되어 있다. 도파관(432)과 천판(435)에 형성되는 슬릿(433)은 유전체 판(434)의 위치에 맞추어 형성되어 있다. 피처리 기관의 면적이 큰 경우(예를 들어, 730 mm×920 mm의 유리 기관, 또는 1번이 1 m를 넘는 사이즈의 유리 기관이 적용되는 경우)에는, 도파관(432)을 다수로 분할하여 마이크로파를 공급하는 것이 바람직하다. 도 15에서는, 도파관(432)의 단부에서 분기 도파관을 사용하여 다수로 분할된 마이크로파를 공급하는 구성으로 하는 경우를 나타낸다. 분기 도파관의 끝에는 마이크로파 전원이 접속된다. 마이크로파 전원을 다수대 사용함으로써, 피처리 기관의 면적이 크게 되는 경우에도, 플라스마의 균일성을 유지할 수 있다.

[0112]

도 14에서, 가스 공급 수단(436)은, 처리용 가스가 충전된 실린더(438), 밸브(439), 매스 플로우 컨트롤러(440) 등으로 구성되어 있다. 매스 플로우 컨트롤러(440)에서 유량이 조정된 처리용 가스는 처리 용기(410) 내에 도입된다. 실린더(438)에는 세미모르퍼스 반도체의 성막에 필요한 가스가 충전되어 있다. 성막에 필요한 처리용 가스로서는, 실란 또는 디실란 등의 반도체 재료 가스와, 반도체 재료 가스를 회석하기 위한 수소, 불소, 및 헬륨 또는 아르곤 등의 회가스 중의 적어도 어느 하나가 포함된다. 처리 용기(410)에는 가스 공급 노즐(위)(442)과 가스 공급 노즐(아래)(444)이 있고, 이들 노즐로부터 처리용 가스가 처리 용기(410) 내로 흘러 들어가는 구성으로 되어 있다. 예를 들어, 가스 공급 노즐(위)(442)에는 수소, 불소, 및 헬륨 또는 아르곤 등의 회가스 중의 적어도 어느 하나를 공급하고, 마이크로파가 도입되는 유전체 판(434)의 근방에서 고밀도

라디칼을 생성시켜, 피처리 기판 위의 세미아모르퍼스 반도체의 성장 표면에서 표면 반응을 촉진시킨다. 가스 공급 노즐(아래)(444)에는 피막 퇴적용의 반도체 재료 가스를 공급한다. 이와 같이, 가스 공급 경로를 분리함으로써, 유전체 판(434)에의 피막의 퇴적을 억제할 수 있다. 성막 단계에서는, 가스 공급 노즐(위)(442)로부터 수소, 불소, 또는 헬륨 또는 아르곤 등의 회가스를 계속해서 공급하여도 좋다.

[0113]

도 16은 처리실의 다른 구성으로서, 마이크로파를 방사하는 마이크로파 안테나(445)와, 마이크로파를 투과하는 샤워형 유전체 판(446)을 조합한 것을 나타낸다. 처리실의 다른 구성은 도 14와 같고, 처리 용기(410)와 덮개(412)로 이루어지고, 밀폐 구조에 의하여 내부를 감압 상태로 유지할 수 있는 구성으로 되어 있다. 마이크로파 안테나(445)는 도파관을 통하여 외부의 마이크로파 전원(430)에 접속되어 있다. 마이크로파 안테나(445)는 다수의 슬롯을 구비한 도체로 이루어진 방사판을 구비하고 있다. 이 마이크로파 안테나(445)로부터 주파수가 수 GHz인 마이크로파를 도입함으로써, 처리 용기(410) 내에서 고밀도 플라스마를 발생시킨다. 생성되는 플라스마는 전자 온도가 낮기 때문에(3 eV 이하, 바람직하게는, 1.5 eV 이하), 피막의 성장 표면에 주는 데미지가 적고, 높은 전자 밀도($1 \times 10^{11} \text{ cm}^{-3}$ 이상)이기 때문에, 고밀도 라디칼의 표면 반응에 의하여 피막의 성장이 촉진된다. 샤워형 유전체 판(446)은 가스 공급 수단(436)에 접속되어 있다. 샤워형 유전체 판(446)에는 가스 공급 노즐(위)(442)과 가스 공급 노즐(아래)(444)이 있고, 이들 노즐로부터 처리용 가스가 처리 용기(410) 내로 흘러 들어가는 구성으로 되어 있다. 예를 들어, 가스 공급 노즐(위)(442)에는 수소, 불소, 및 헬륨 또는 아르곤 등의 회가스 중의 적어도 어느 하나를 공급하고, 마이크로파가 도입되는 유전체 판(446)의 근방에서 고밀도 라디칼을 생성시켜, 피처리 기판 위의 세미아모르퍼스 반도체의 성장 표면에서 표면 반응을 촉진시킨다. 가스 공급 노즐(아래)(444)에는, 피막 퇴적용의 반도체 재료 가스를 공급한다. 도 16의 경우에도, 마이크로파 안테나(445)를 다수로 분할하고, 각각의 마이크로파 안테나(445)에 마이크로파 전력을 공급함으로써, 기판 사이즈의 대형화에 대해서도 균일한 플라스마를 생성할 수 있고, 대면적 기판에의 광전 변환 층의 형성이 가능하게 된다.

[0114]

이러한 구성의 플라스마 장치에 의하여, 기판이 배치된 처리실 내에 처리용 가스인 반응성 기체를 도입하고, 기판과 대략 평행하게 대향 배치된 도파관에 형성된 슬롯을 통하여 처리실 내에 마이크로파를 도입하여 플라스마를 생성하여, 기판 위에 세미아모르퍼스 반도체로 이루어지는 광전 변환 층을 형성할 수 있다.

[0115]

상기 구성의 플라스마 CVD 장치를 사용하여 세미아모르퍼스 반도체의 성막을 행하는 경우에는, 처리실 내에서 플라스마를 발생시킬 때 헬륨을 사용하는 것이 바람직하다. 헬륨은 모두 기체 중에서 이온화 에너지가 가장 높은 24.5 eV의 이온화 에너지를 가지지만, 그 이온화 에너지보다 조금 낮은 약 20 eV의 준위에 준(準)안정 상태가 있기 때문에, 방전 지속 중에는, 이온화에는 그 차이 약 4 eV밖에 필요하지 않는다. 따라서, 방전 개시 전압도 모든 기체 중에서 가장 낮은 값을 나타낸다. 이러한 특성으로부터, 헬륨은 방전을 안정적으로 유지할 수 있다. 또한, 균일한 방전을 형성할 수 있기 때문에, 세미아모르퍼스 반도체층을 퇴적하는 기판의 면적이 크게 되어도, 균일한 막을 퇴적할 수 있다.

[0116]

광전 변환 층의 구성으로서 pin 접합을 형성하는 경우에는, 각각의 세미아모르퍼스 반도체층에 대응한 처리실을 마이크로파 플라스마 CVD 장치에 설치하는 것이 바람직하다. 이 경우, 먼저, 기판(제 1 전극이 형성된 기판)이 배치된 처리실(1)(403a)에 제 1 반응성 기체를 도입하고, 기판과 대략 평행하게 대향 배치된 도파관에 형성된 슬롯을 통하여 처리실(1)(403a) 내에 마이크로파를 도입하여 플라스마를 생성하여, 기판 위에 제 1 세미아모르퍼스 반도체층(p형 반도체층)을 형성한다. 이어서, 그 기판을 대기에 노출시키지 않고 처리실(1)(403a)로부터 반출하여, 처리실(2)(403b)로 이동시키고, 그 기판이 배치된 처리실(2)(403b)에 제 2 반응성 기체를 도입하고, 마찬가지로 마이크로파를 도입하여 플라스마를 생성하여, 제 1 세미아모르퍼스 반도체층 위에 제 2 세미아모르퍼스 반도체층(i형 반도체층)을 형성한다. 그리고, 그 기판을 대기에 노출시키지 않고 처리실(2)(403b)로부터 반출하여, 처리실(3)(403c)로 이동시키고, 그 기판이 배치된 처리실(3)(403c)에 제 3 반응성 기체를 도입하고, 마찬가지로 마이크로파를 도입하여 플라스마를 생성하여, 상기 제 2 세미아모르퍼스 반도체층 위에 제 3 세미아모르퍼스 반도체층(n형 반도체층)을 형성한다. 처리실의 수는, 적층하는 층의 수에 따라 3실로 한 경우를 예시하고 있다.

[0117]

광전 변환 층을 성막하는 처리실은, 에칭 가스를 도입하여 플라스마 클리닝 처리를 행할 수 있다. 에칭 가스로서는, 3불화질소(NF_3), 6불화황(SF_6) 등을 사용한다. 플라스마 클리닝 처리를 행한 후, 처리실 내에 잔류하는 불소 등의 잔류 성분의 영향을 저감시키기 위해 처리실 내를 실리콘 피막으로 피복하는 것이 바람직하다. 이 실리콘 피막은 처리실 내에 실란 가스를 도입하여 플라스마를 발생시켜 형성한다. 또한, 불순물 반도체층을 형성하는 처리실에서는, 불순물 반도체의 피막으로 처리실 내를 피복하여도 좋다. 예를 들어, p형 반도체층을 성막하는 처리실에서는, p형 반도체의 피막을 피복하면 좋다. 이렇게 하여 플라스마 클리닝 처리를 행

한 후에 처리실 내를 실리콘 피막으로 피복함으로써, 내벽으로부터의 탈가스를 저감시킬 수 있다. 또한, 실란 가스를 도입하고 플라즈마를 생성함으로써, 처리실 내에 잔류하는 산소, 수분 등은 실란 가스와 반응하여 처리실 밖으로 진공 배기되므로, 처리실 내의 청정도를 높일 수 있다. 같은 의미에서, 플라즈마 세정 처리를 행한 후 이외라도, 광전 변환 층의 각 층의 성막을 개시하기 전에 실란 가스를 처리실 내에 흘림으로써, 처리실 내의 청정도를 높일 수 있다.

[0118] 또한, 처리실의 수는 적층하는 층의 수에 따라 제공하면 좋다. 예를 들어, 도 11(B)에 나타내는 바와 같이, p형 반도체층(14)과 i형 반도체층(16) 사이에 p⁻형 반도체층(15)을 형성하는 경우에는, 새로운 처리실을 추가하여도 좋다. p⁻형 반도체층(15)을 성막하는 경우에는, 반도체 재료 가스로서 실란 가스와 함께 공급하는 디보란 가스의 농도를 대략 1 ppm 미만으로 제어하면 좋고, 다른 방법으로서 셀프 도핑을 이용하여도 좋다. 이것은, 처리실 내를 p형 불순물 반도체로 피복함으로써, 미량의 p형 불순물(붕소 등)이 성막 중에 도입되어, p⁻형 반도체층(15)의 형성을 가능하게 하는 방법이다.

[0119] 세미아모르퍼스 반도체층은, 실란(불순물 반도체로 하는 경우에는, 실란에 더하여 도핑 가스가 첨가된다)과 회석 가스(수소, 또는 회가스 또는 이들을 조합한 가스. 이하, 수소 및/또는 회가스라고 기재한다)를 혼합하여 고밀도 플라즈마에 의하여 성막한다. 실란은, 수소 및/또는 회가스에 의하여 10배~2000배로 희석된다. 따라서, 다량의 수소 및/또는 회가스가 필요하다. 세미아모르퍼스 반도체를 성막을 할 때 공급한 가스는 회수(回收)하여 재이용할 수 있다. 도 17은 플라즈마 CVD 장치에 적용하는 가스 정제 순환 장치(448)의 일례를 나타낸다. 가스 정제 순환 장치(448)로서는, 실란 등의 반도체 재료 가스를 회수 정제하는 것, 헬륨 등의 회가스를 회수 정제하는 것이다. 로터리 펌프(414)로부터 배출되는 사용된 후의 가스는 필터(450)에 의하여 미립자가 제거되고 회수 가스 용기(452)에 축적된다. 회수 가스 용기(452)에 축적된 후, 승압기(454)에 의하여 승압되고, 분리기(456)에 의하여 헬륨 등의 회가스만을 분리한다. 분리기(456)의 구성으로서, 막 분리 방식, 흡착 분리 방식, 흡수 분리 방식, 심냉(深冷) 분리 방식 등이 적용된다. 분리 정제된 가스는 충전 용기(458)에 축적된다. 충전 용기(458)에 축적된 가스는 압력 조정기(460)로 소정의 압력으로 조정되고, 가스 공급 수단(436)의 매스 플로우 컨트롤러(440)의 상류측에 공급된다. 이렇게 하여 가스를 재이용함으로써, 세미아모르퍼스 반도체에 필요한 가스의 소비량을 삭감할 수 있다. 즉, 헬륨 등의 회가스를 재이용함으로써, 광전 변환 장치의 제조에 관한 모든 에너지 소비량을 저감시킬 수 있고, 이산화탄소의 배출량을 삭감할 수 있다.

[0120] 상기 마이크로파 플라즈마 CVD 장치는, 도 15에서 나타내는 바와 같이, 플라즈마를 생성하는 도파관을 다수로 분할함으로써, 기관 사이즈로서 액정 유리에서 제 1 세대라고 불리는 300 mm×400 mm로부터 제 3 세대의 550 mm×650 mm, 제 4 세대의 730 mm×920 mm, 제 5 세대의 1000 mm×1200 mm, 제 6 세대의 2450 mm×1850 mm, 제 7 세대의 1870 mm×2200 mm, 제 8 세대의 2000 mm×2400 mm 등의 대형 기관에 대하여 유연하게 대응할 수 있다.

[0121] 세미아모르퍼스 반도체막은 이러한 대면적 기관에 균질하게 퇴적될 수 있고, 기관 위에서 다수의 유닛 셀을 직렬 접속하는 집적형 광전 변환 장치를 구성할 수 있다. 이하, 그 공정의 개략에 대하여 설명한다.

[0122] 도 18 및 도 19는, 절연 표면을 가지는 기관 위에 다수의 유닛 셀을 형성하고, 각 유닛 셀이 기관 위에서 직렬로 접속된 광전 변환 장치의 제조 공정을 나타낸다. 도 18(A)에서, 기관(10)에 제 1 전극(12)을 형성한다. 제 1 전극(12)은 개구($M_0 \sim M_n$)에 의하여 다수로 절연 분리되어 있다. 개구($M_0 \sim M_n$)는, 기관(10)의 전면에 걸쳐 도전막을 형성하고, 그 도전막을 개구 패턴에 맞추어 에칭 제거에 의해 또는 레이저 광 등의 에너지 빔에 의해 직접적으로 가공하여 형성한다.

[0123] 레이저 가공에 의하여 기관(10)에 형성된 도전막, 반도체막 및 절연막을 가공하는 경우에는, 레이저 광을 광학계에 의하여 집광하여 행하는 것이 바람직하다. 미세한 가공을 가능하게 하기 때문이다. 또한, 상술한 바와 같이, 대면적 기관을 효율 좋게 가공하기 위해서는, 레이저 광을 선 형상으로 집광하여, 장척(長尺)의 개구 패턴을 1회 또는 다수 회의 펄스 레이저 광의 조사에 의하여 행하는 것이 효율적이다.

[0124] 도 22는 그러한 박막을 가공하는 레이저 조사 장치의 구성을 나타낸다. 광원이 되는 레이저 발진기에는, 엑시머 레이저(XeCl, KrF, ArF 등 각종 엑시머 레이저), 또는 고체 레이저(YAG, YVO₄, YLF 등 각종 고체 레이저)를 사용할 수 있다. 광전 변환 장치와 같이 다수의 층이 적층되는 경우에는, 자외선을 조사하는 엑시머 레이저를 사용하는 것이 바람직하다. 또한, 가공 깊이를 제어하기 위해서는, 펨토초(femtosecond) 레이저를 사용하여도 좋다. 조사 에너지나 펄스 간격을 적절히 설정함으로써, 가공 깊이를 제어할 수 있다.

- [0125] 도 22에 나타내는 레이저 조사 장치는, 조사면에서의 레이저 빔의 단면 형상을 선 형상으로 가공하기 위한 광학계를 가진다. 이 광학계는, 레이저 빔의 단면 형상을 선 형상으로 변환하는 것뿐만 아니라, 조사면에서의 레이저 빔의 에너지를 균질화하도록 설계된다. 도 22에서는, 광학계의 구성을 설명하기 위해 측면도와 상면도를 나타내고 있다. 먼저, 도 22의 측면도에 대하여 설명한다.
- [0126] 레이저 발전기(301)로부터 나온 레이저 빔은 실린드릭 렌즈 어레이(cylindrical lens array)(302a)와 실린드릭 렌즈 어레이(302b)에 의하여 레이저 빔의 진행 방향에 대하여 직각 방향(이하, 이 방향을 세로 방향이라고 부른다)에 분할된다. 도 22에서는, 4분할의 구성을 예시하고 있다. 분할된 레이저 빔은 실린드릭 렌즈(304)에 의하여 집광된다. 그리고, 실린드릭 렌즈(305)에 의하여 피처리 기관(309) 위에서 하나의 레이저 빔으로 된다. 그리고, 미러(307)에 의해 진행 방향이 굴절되고, 이중 실린드릭 렌즈(308)에 의하여 스테이지(310) 위의 피처리 기관(309)에서 선 형상으로 집광된다. 이중 실린드릭 렌즈란, 2장의 실린드릭 렌즈로 구성되는 렌즈를 의미한다. 이것에 의하여, 선형 레이저 빔의 폭 방향의 에너지 균질화가 실현되고, 폭 방향의 길이가 결정된다.
- [0127] 다음에, 상면도에 대하여 설명한다. 레이저 발전기(301)로부터 나온 레이저 빔은 실린드릭 렌즈 어레이(303)에 의하여 레이저 빔의 진행 방향에 대하여 직각 방향, 및 세로 방향에 대하여 직각 방향(이하, 이 방향을 가로 방향이라고 부른다)으로 분할된다. 도 22에서는, 7분할의 구성을 나타낸다. 그 후, 실린드릭 렌즈(304)에 의해 레이저 빔이 합성된다. 이것에 따라, 선형 레이저 빔의 길이방향의 에너지의 균질화가 실현되고, 길이가 결정된다. 상기의 구성으로 가공된 선형 레이저 빔을 그 레이저 빔의 폭 방향으로 이동시킴으로써 기관 전체를 가공할 수 있다. 개구를 형성하는 경우에는, 레이저의 출력 펄스와 스테이지(310)의 동작을 연동시키면 좋다. 하나의 개구를 형성하기 위해서는, 펄스 레이저 광의 조사 위치에 다수 회의 펄스 레이저 광을 조사하면 좋다.
- [0128] 도 18(A)에서, 제 1 전극(12)에 개구($M_0 \sim M_n$)를 형성한 후, 광전 변환 층을 형성한다. 도 18(A)에서는, 제 1 전극(12) 측으로부터 p형 반도체층(14), i형 반도체층(16), n형 반도체층(18)을 형성하는 경우를 예시하고 있다. 광전 변환 층의 구성은, 이 구성 대신에 도 11 및 도 12에 나타내는 구성을 적용할 수도 있다. 광전 변환 층은, 도 13에서 나타내는 다수의 처리실을 구비한 멀티체임버 방식의 마이크로와 플라즈마 CVD 장치에 의하여 형성하는 것이 바람직하다. 이 구성의 플라즈마 CVD 장치를 사용하면, 광전 변환 층을 대기에 노출시키지 않고 연속적으로 형성할 수 있다.
- [0129] 도 18(B)에서, 광전 변환 층에 개구($C_0 \sim C_n$)를 형성한다. 개구($C_0 \sim C_n$)는 p형 반도체층(14), i형 반도체층(16), n형 반도체층(18)을 관통하는 개구이고, 제 1 전극(12)의 표면 또는 측면이 노출하도록 가공된다. 개구($C_0 \sim C_n$)는 소정의 간격을 두고 개구($M_0 \sim M_n$)에 인접하도록 형성된다. 이 공정도 레이저 가공에 의하여 행할 수 있다.
- [0130] 도 19(A)에서, 제 2 전극(20)을 형성한다. 제 2 전극(20)은, 개구($S_0 \sim S_n$)에 의하여 분리되고 개구($C_0 \sim C_n$)에 의하여 제 1 전극(12)과 전기적으로 접속하는 구성을 가진다. 개구($S_0 \sim S_n$)는 소정의 간격을 두고 개구($C_0 \sim C_n$)에 인접하도록 형성된다. 이 공정도 레이저 가공에 의하여 행할 수 있다. 레이저 가공을 행하는 경우에는, 제 2 전극(20)에 크롬을 사용하면 승화성(昇華性)이기 때문에, 선택 가공이 용이하게 된다.
- [0131] 이것에 따라, 제 1 전극(12)과 제 2 전극(20) 사이에 광전 변환 층을 가지는 유닛 셀이 다수 형성되고, 각각의 유닛 셀이 인접하는 것과 직렬로 접속된 집적형 구조를 얻을 수 있다.
- [0132] 도 19(B)는, 제 2 전극(20) 위에 취출 전극(22)을 형성하고, 밀봉 수지층(24)으로 피복하고, 보호 필름(25)을 제공한 구성을 나타낸다. 보호 필름(25)은 3층 구조로 되어 있고, EVA(에틸렌 비닐 아세테이트)(26)는 가열하면 용해하는 접착제의 층이다. 알루미늄 박(箔)(27)은 방습(防濕)을 위한 층이고 외부로부터 진입하는 수증기를 차단하기 위한 것이다. 외피 필름(28)은 폴리에틸렌 테레프탈레이트(PET) 등으로 형성된다. 이상에 의하여 기관(10)에 다수의 유닛 셀이 접속된 광전 변환 장치를 얻을 수 있다.
- [0133] 도 20 및 도 21은 광전 변환 장치의 다른 제조 공정을 나타낸다. 도 20(A)에서, 기관(101) 위에 투광성 전극층(102)을 형성한다. 혹은, 투광성 전극층(102)을 구비한 기관을 준비한다. 투광성 전극층(102)은 실시형태 1과 같은 산화인듐주석 합금(ITO), 산화아연(ZnO), 산화주석(SnO_2), ITO-ZnO 합금 등을 사용한다.
- [0134] 또한, 실시형태 1과 마찬가지로, 투광성 전극층(102)으로서 도전성 고분자(도전성 폴리머라고도 한다)

를 포함하는 도전성 조성물을 사용할 수 있다.

[0135] 또한, 실시형태 1과 마찬가지로, 투광성 전극층(102)에 사용하는 도전성 조성물을 물 또는 유기 용제 (알코올계 용제, 케톤계 용제, 에스테르계 용제, 탄화수소계 용제, 방향족계 용제 등)에 용해시켜, 습식법에 의하여 투광성 전극층이 되는 박막을 형성할 수 있다.

[0136] 또한, 실시형태 1과 마찬가지로, 투광성 전극층(102)으로서 정공 수송성 유기 화합물과, 그 정공 수송성 유기 화합물에 대하여 전자 수용성을 나타내는 금속 산화물을 포함하는 복합 투광성 도전 재료를 사용하여 형성할 수 있다.

[0137] 실시형태 1과 마찬가지로, 투광성 전극층(102)의 저저항화라고 하는 관점에서는 ITO막이 적합하지만, 그 위에 세미아모르퍼스 반도체층을 형성할 때에, 종래의 고주파 플라즈마 CVD법에서는 수소를 포함하는 플라즈마 분위기에 노출하면 환원되어 실투(失透)해 버린다. 그러나, 본 실시형태에 따른 마이크로 플라즈마 CVD법에서는, 전자 온도가 낮으므로 전극 재료의 열화를 억제할 수 있다.

[0138] 광전 변환 층(103)은 상술한 마이크로 플라즈마 CVD법에 의하여 제작되는 세미아모르퍼스 반도체로 구성된다. 세미아모르퍼스 반도체의 대표예로서는, SiH_4 가스를 원료로 하여 제작되는 세미아모르퍼스 실리콘 반도체이고, 그 외에 세미아모르퍼스 실리콘·게르마늄 반도체, 세미아모르퍼스 탄화규소 반도체가 적용된다. 광전 변환 층(103)은 반도체 접합을 포함한다. 본 실시형태에 따른 마이크로 플라즈마 CVD법에서는, 전자 온도가 낮기 때문에, 각 접합계면에서의 데미지가 억제되고, 양호한 반도체 접합을 가지는 광전 변환 층을 형성할 수 있다.

[0139] 도 20(A)에서는, 광전 변환 층(103)이 투광성 전극 층(102) 측으로부터 p형 반도체층(103a), i형 반도체층(103b), n형 반도체층(103c)이 적층된 상태를 일례로서 나타낸다. 광전 변환 층의 두께는 $0.5\ \mu\text{m} \sim 10\ \mu\text{m}$, 바람직하게는, $1\ \mu\text{m} \sim 5\ \mu\text{m}$ 이고, 그 중에서 p형 반도체층(103a)은 $10\ \text{nm} \sim 20\ \text{nm}$, n형 반도체층(103c)은 $20\ \text{nm} \sim 60\ \text{nm}$ 로 할 수 있다.

[0140] 실시형태 1과 마찬가지로, p형 반도체층(103a), i형 반도체층(103b), n형 반도체층(103c)을 적층한 상태, 또는 i형 반도체층(103b)까지를 적층한 단계에서, 이들 세미아모르퍼스 반도체층에 레이저 광을 조사하여 결정성을 향상시키는 처리를 행하여도 좋다.

[0141] 이러한 세미아모르퍼스 반도체 재료로 pin 접합을 형성하면 $0.4\ \text{V} \sim 1\ \text{V}$ 정도의 개방 전압을 얻을 수 있다. 이 pin 접합을 광전 변환 층의 하나의 단위로 하여 다수의 광전 변환 층을 적층시킨 적층형의 구조(탠덤(tandem) 구조라고도 한다)로 하면 개방 전압을 높일 수도 있다.

[0142] 도 20(B)에 나타내는 바와 같이, 동일 기판 위에 다수의 유닛 셀을 형성하기 위해, 레이저 가공법에 의하여 광전 변환 층(103)과 투광성 전극층(102)을 관통하는 개구($C_0 \sim C_n$)를 형성한다. 개구($C_0, C_2, C_4, \dots, C_{n-2}, C_n$)는 절연 분리용의 개구이고 유닛 셀을 형성하기 위해 형성되고, 개구($C_1, C_3, C_5, \dots, C_{n-1}$)는 투광성 전극과 이면 전극과의 접속을 형성하기 위한 개구이다. 투광성 전극층(102)과 광전 변환 층(103)이 적층된 상태에서 레이저 가공을 행함으로써, 가공 시의 기판으로부터의 투광성 전극층의 박리를 방지할 수 있다.

[0143] 이렇게 하여, 투광성 전극층(102)을 투광성 전극($T_1 \sim T_n$)으로 분할하고, 광전 변환 층(103)을 $K_1 \sim K_n$ 로 분할한다. 그리고, 도 20(C)에 나타내는 바와 같이, 개구($C_0, C_2, C_4, \dots, C_{n-2}, C_n$)를 충전하고, 또한 그 개구의 상단부를 덮는 절연 수지층($Z_0 \sim Z_n$)을 형성한다. 절연 수지층($Z_0 \sim Z_n$)은 스크린 인쇄법에 의하여, 아크릴계, 페놀계, 에폭시계, 폴리이미드계 등의 절연성이 있는 수지 재료를 사용하여 형성하면 좋다. 예를 들어, 페녹시 수지에 시클로헥산, 이소포론, 고저항 카본 블랙, 아에로질, 분산제, 소포제, 레벨링제를 혼합시킨 수지 조성물을 사용하고, 스크린 인쇄법에 의하여 개구($C_0, C_2, C_4, \dots, C_{n-2}, C_n$)를 충전하도록 절연 수지 패턴을 형성한다. 인쇄 패턴을 형성한 후, 160°C 의 오븐 중에서 20분간 열 경화시켜, 절연 수지층($Z_0 \sim Z_n$)을 얻는다.

[0144] 그 다음, 도 21에 나타내는 이면 전극($E_0 \sim E_n$)을 형성한다. 이면 전극($E_0 \sim E_n$)은 도전성 재료로 형성한다. 이 경우, 알루미늄, 은, 폴리브덴, 티탄, 크롬 등의 층을 스퍼터링법이나 진공 증착법에 의하여 형성하여도 좋지만, 도전성 수지 재료를 사용하여 형성할 수도 있다. 도전성 수지 재료를 사용하여 이면 전극($E_0 \sim E_n$)을 형성하는 경우에는, 스크린 인쇄법, 잉크젯법(액적 도출법), 디스펜서법 등에 의하여 소정의 패턴을 직접 형성하여도 좋다. 도전성 조성물은, Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등의 금속의 입자를 주성

분으로 한 조성물을 사용할 수 있다. 대면적 기관을 사용하여 광전 변환 장치를 제조하는 경우에는, 이면 전극($E_0 \sim E_n$)을 저저항화하는 것이 바람직하므로, 도전성 조성물의 주요 재료로서 비저항(比抵抗)이 낮은 금, 은, 구리 중의 어느 금속의 도전성 입자를 용매에 용해 또는 분산시킨 조성물을 사용하는 것이 바람직하다. 보다 바람직하게는, 저저항의 은, 구리를 사용하면 좋다. 또한, 레이저 가공된 개구($C_1, C_3, C_5, \dots C_{n-1}$)에 충분히 도전성 재료를 충전하기 위해서는, 도전성 입자의 평균 입경으로서 5 nm~10 nm인 나노페이스트를 사용하면 좋다.

[0145]

그 외에, 도전 재료의 주위를 다른 도전 재료로 덮은 입자를 포함하는 조성물을 토출 형성하여, 이면 전극($E_0 \sim E_n$)을 형성하여도 좋다. 예를 들어, Cu의 주위를 Ag로 덮은 입자에 있어서, Cu와 Ag 사이에 Ni 또는 NiB(니켈붕소)로 이루어지는 버퍼층을 제공한 도전성 입자를 사용하여도 좋다. 용매는, 부틸 아세테이트 등의 에스테르류, 이소프로필 알코올 등의 알코올류, 아세톤 등의 유기 용제 등에 상당한다. 표면 장력과 점도는, 용액의 농도를 조정하고 계면활성제 등을 첨가함으로써 적절히 조정된다.

[0146]

잉크젯법에 있어서의 노즐의 직경은 0.02 μm ~100 μm (바람직하게는, 30 μm 이하)로 설정하고, 그 노즐로부터 토출되는 조성물의 토출량은 0.001 pL~100 pL(바람직하게는, 10 pL 이하)로 설정하는 것이 바람직하다. 잉크젯법에는, 온-디멘드형과 콘티뉴어스형의 2가지 방식이 있지만, 어느 방식을 사용하여도 좋다. 또한, 잉크젯법에서 사용하는 노즐에는, 압전체의 전압인가에 의하여 변형하는 성질을 이용한 압전 방식과, 노즐 내에 설치된 히터에 의하여 조성물을 비등시켜 그 조성물을 토출하는 가열 방식이 있지만, 그 어느 방식을 사용하여도 좋다. 피처리물과 노즐의 토출구와의 거리는, 원하는 개소에 액적을 적하하기 위해, 가능한 한 접근시키는 것이 바람직하고, 바람직하게는 0.1 mm~3 mm(더 바람직하게는, 1 mm 이하) 정도로 설정한다. 노즐과 피처리물은 그들의 상대적인 거리를 유지하면서 노즐과 피처리물 중의 어느 한쪽이 이동하여, 원하는 패턴을 묘화한다.

[0147]

도전성 조성물을 토출하는 공정은 감압하에서 행하여도 좋다. 이것은, 조성물을 토출하여 피처리물에 착탄(着彈)할 때까지의 동안에 상기 조성물의 용매가 휘발하여, 후의 건조와 소성의 공정을 생략 또는 짧게 할 수 있기 때문이다. 또한, 도전 재료를 포함하는 조성물의 소성 공정에서, 분압비로 10%~30%의 산소를 혼합시킨 가스를 적극적으로 사용함으로써, 이면 전극($E_0 \sim E_n$)을 형성하는 도전막의 저항률을 낮추고, 상기 도전막의 박막화, 평활화를 도모할 수 있다.

[0148]

조성물을 토출한 후는, 상압하 또는 감압하에서 레이저 광의 조사나 순간 열 어닐, 가열로 등에 의하여 건조와 소성 중의 어느 한쪽 또는 양쪽의 공정을 행한다. 건조와 소성의 공정의 양쪽 모두는 가열 처리의 공정이지만, 예를 들어, 건조는 100℃에서 3분간, 소성은 200℃~350℃에서 15분~120분간 행한다. 본 공정에 의하여, 조성물 중의 용매의 휘발 또는 화학적으로 분산제를 제거하고, 주위의 수지가 경화수축함으로써, 융합과 융착이 가속된다. 분위기는 산소 분위기, 질소 분위기 또는 공기에서 행한다. 다만, 금속 원소를 분해 또는 분산시키는 용매가 제거되기 쉬운 산소 분위기하에서 행하는 것이 바람직하다.

[0149]

나노페이스트는, 입경이 5 nm~10 nm인 도전 입자를 유기 용제에 분산 또는 용해시킨 것이지만, 그 외에도 분산제나 바인더라고 불리는 열경화성 수지가 포함된다. 바인더는, 소성할 때에 크랙이나 불균일한 소성이 발생하는 것을 방지하는 기능을 가진다. 그리고, 건조 또는 소성 공정에 의하여 유기 용제의 증발, 분산제의 분해제거 및 바인더에 의한 경화수축이 동시에 진행함으로써, 나노 입자끼리가 융합 및/또는 융착하여 경화한다. 이 때, 나노 입자는 수십 nm 내지 백수십 nm까지 성장한다. 근접하는 성장 입자끼리 융합 및/또는 융착하여 서로 연쇄함으로써, 금속 연쇄체를 형성한다. 한편, 남은 유기 성분의 대부분(약 80%~90%)은 금속 연쇄체의 외부로 압출되고, 결과로서, 금속 연쇄체를 포함하는 도전막과 그의 외층을 덮는 유기 성분으로 이루어지는 막이 형성된다. 그리고, 유기 성분으로 이루어지는 막은, 나노페이스트를 질소 및 산소를 포함하는 분위기하에서 소성할 때, 기체 중에 포함되는 산소와 유기 성분으로 이루어지는 막 중에 포함되는 탄소나 수소 등이 반응함으로써 제거될 수 있다. 또한, 소성 분위기 하에 산소가 포함되어 있지 않은 경우에는, 별도, 산소 플라즈마 처리 등에 의하여 유기 성분으로 이루어지는 막을 제거할 수 있다. 이와 같이, 나노페이스트를 질소 및 산소를 포함하는 분위기하에서 소성 또는 건조한 후 산소 플라즈마로 처리함으로써, 유기 성분으로 이루어지는 막은 제거되기 때문에, 잔존한 금속 연쇄체를 포함하는 도전막의 평활화, 박막화, 저저항화를 도모할 수 있다. 또한, 도전 재료를 포함하는 조성물을 감압하에서 토출함으로써, 조성물 중의 용매가 휘발하기 때문에, 후의 가열 처리(건조 또는 소성) 시간을 단축할 수도 있다.

[0150]

이와 같은 이면 전극($E_0 \sim E_n$)은 광전 변환 층의 n형 반도체층(103c)과 접촉하지만, 이 접촉은 옴(ohm)접촉이고, 접촉 저항을 더욱 낮추기 위해서는, n형 반도체층(103c)을 세미아모르퍼스 반도체로 형성하면 좋고, 그의 두께를 30 nm~80 nm로 할 수 있다.

- [0151] 각각의 이면 전극($E_0 \sim E_n$)은 개구($C_1, C_3, C_5, \dots C_{n-1}$)에서 투광성 전극층($T_1 \sim T_n$)과 접속하도록 형성된다. 즉, 개구($C_1, C_3, C_5, \dots C_{n-1}$)에도 이면 전극과 동일한 재료를 충전한다. 이렇게 하여, 예를 들어, 이면 전극(E_1)은 투광성 전극(T_2)과 전기적 접속을 얻고, 이면 전극(E_{n-1})은 투광성 전극(T_n)과 전기적 접속을 얻을 수 있다. 즉, 이면 전극은, 인접하는 투광성 전극과의 전기적 접속을 얻을 수 있고, 각 광전 변환층($K_1 \sim K_n$)은 직렬의 전기적 접속을 얻는다.
- [0152] 밀봉 수지층(104)은 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지를 사용하여 형성한다. 밀봉 수지층(104)에서 이면 전극(E_0, E_n) 위에 개구부(105, 106)를 형성하고, 이들 개구부에서 그 이면 전극들이 외부 배선에 접속할 수 있도록 한다.
- [0153] 이상과 같이 하여, 기관(101) 위에 투광성 전극(T_n)과 광전 변환층(K_n)과 이면 전극(E_n)으로 이루어지는 유닛 셀(U_n)이 형성된다. 그리고, 투광성 전극(T_n)은 인접하는 이면 전극(E_{n-1})과 개구(C_n)에서 접속되어, 직렬로 전기적 접속하는 n 개의 광전 변환 장치를 제작할 수 있다. 또한, 이면 전극(E_0)은 유닛 셀(U_1)에 있어서의 투광성 전극(T_1)의 취출 전극이 된다.
- [0154] 도 23 및 도 24는 광전 변환 장치의 다른 양태를 나타낸다. 도 23(A)에서, 기관(101), 투광성 전극층(102), 광전 변환 층(103)은 상기와 같게 하여 제작한다. 그리고, 광전 변환 층(103) 위에 인쇄법 등에 의하여 이면 전극($E_1 \sim E_n$)을 형성한다.
- [0155] 그리고, 도 23(B)에 나타내는 바와 같이, 레이저 가공법에 의하여 광전 변환 층(103)과 투광성 전극층(102)을 관통하는 개구($C_0 \sim C_n$)를 형성한다. 개구($C_0, C_2, C_4, \dots C_{n-2}, C_n$)는 유닛 셀을 형성하기 위한 절연 분리용의 개구이고, 개구($C_1, C_3, C_5, \dots C_{n-1}$)는 투광성 전극과 이면 전극과의 접속을 형성하기 위한 것이다. 레이저 가공을 할 때는, 개구의 주변에 잔사가 남는 경우가 있다. 이 잔사는 피가공물의 비말이고, 레이저 광에 의하여 고온으로 되도록 가열된 비말은 광전 변환 층(103)의 표면에 부착함으로써 막에 데미지를 주기 때문에, 본래 바람직하지 않다. 이것을 방지하기 위해, 개구의 패턴에 맞추어 이면 전극을 형성하고, 그 후 레이저 가공함으로써, 적어도 광전 변환 층(103)에의 데미지를 방지할 수 있다.
- [0156] 투광성 전극층(102)을 투광성 전극($T_1 \sim T_n$)으로 분할하고, 광전 변환 층(103)을 $K_1 \sim K_n$ 로 분할한 후, 도 23(C)에 나타내는 바와 같이 개구($C_0, C_2, C_4, \dots C_{n-2}, C_n$)를 충전하고, 또한 개구의 상단부를 덮는 절연 수지층($Z_0 \sim Z_n$)을 인쇄법, 예를 들어, 스크린 인쇄법에 의하여 형성한다.
- [0157] 그 다음, 도 24에 나타내는 바와 같이, 개구($C_1, C_3, C_5, \dots C_{n-1}$)를 충전하고, 투광성 전극($T_1 \sim T_n$)에 접속하는 배선($B_0 \sim B_n$)을 스크린 인쇄법으로 형성한다. 배선($B_0 \sim B_n$)은 이면 전극과 같은 재료로 형성하는 것이고, 열 경화형의 카본 페이스트를 사용한다. 또한, 배선(B_n)은 절연 수지층(Z_n) 위에 형성되고, 취출 배선으로서 기능시킨다. 이렇게 하여, 예를 들어, 이면 전극(E_0)은 투광성 전극(T_2)과 전기적 접속을 얻고, 이면 전극(E_{n-2})은 투광성 전극(T_n)과의 전기적 접속을 얻을 수 있다. 즉, 이면 전극은 인접하는 투광성 전극과의 전기적 접속을 얻을 수 있고, 각 광전 변환층($K_1 \sim K_n$)은 직렬의 전기적 접속을 얻는다.
- [0158] 마지막으로, 밀봉 수지층(104)을 인쇄법으로 형성한다. 밀봉 수지층(104)은 배선(B_0, B_n) 위에 개구부(105, 106)가 각각 형성되고, 이들 개구부에서 그 배선들이 외부 회로에 접속된다. 이렇게 하여, 기관(101) 위에 투광성 전극(T_n)과 광전 변환층(K_n)과 이면 전극(E_{n-1})으로 이루어지는 유닛 셀(U_n)이 형성된다. 그리고, 투광성 전극(T_n)은 인접하는 이면 전극(E_{n-1})과 개구(C_{n-1})에서 접속되어, 직렬로 전기적 접속하는 n 개의 광전 변환 장치를 제작할 수 있다. 또한, 배선(B_0)은 유닛 셀(U_1)의 투광성 전극(T_1)의 취출 전극이 된다.
- [0159] 본 발명에 따른 광전 변환 장치는, 광전 변환 층이 세미아모르퍼스 반도체로 형성되어 있기 때문에, 광 열화에 의한 특성 저하가 거의 없는 광전 변환 장치를 얻을 수 있다.
- [0160] 도 25는 광전 변환 장치의 다른 양태로서 광 센서 장치에 대하여 나타낸다. 이 광 센서 장치는, 수광부에 광전 변환 층(225)을 가지고, 그의 출력을 박막트랜지스터(211)로 구성된 증폭 회로로 증폭하여 출력하는

기능을 가지고 있다. 광전 변환 층(225) 및 박막트랜지스터(211)는 기판(201) 위에 제공되어 있다. 기판(201)으로서, 투광성을 가지는 기판, 예를 들어, 유리 기판, 석영 기판, 세라믹스 기판 등 중의 어느 기판이라도 사용할 수 있다.

[0161] 기판(201) 위에는, 스퍼터링법 또는 플라즈마 CVD법에 의하여, 산화규소, 질화산화규소, 질화규소, 산화질화규소 중에서 선택된 하나 또는 다수의 층으로 이루어지는 절연층(202)이 형성되어 있다. 절연층(202)은 스트레스 완화와 불순물 오염을 방지하기 위해 형성되어 있다. 절연층(202) 위에는 박막트랜지스터(211)를 구성하는 결정성 반도체층(203)이 형성되어 있다. 결정성 반도체층(203) 위에는 게이트 절연층(205)과 게이트 전극(206)이 형성되어, 박막트랜지스터(211)를 구성하고 있다.

[0162] 박막트랜지스터(211) 위에는 층간절연층(207)이 형성되어 있다. 층간절연층(207)은 단층의 절연막으로 형성되어도 좋고, 상이한 재료의 절연층의 적층막이어도 좋다. 층간절연층(207) 위에는, 박막트랜지스터(211)의 소스 영역 및 드레인 영역에 전기적으로 접속하는 배선이 형성된다. 또한, 층간절연층(207) 위에는, 이 배선과 같은 재료 및 같은 공정으로 형성된 전극(221), 전극(222), 전극(223)이 형성되어 있다. 전극(221~223)은 금속막, 예를 들어, 저저항 금속막을 사용하여 형성된다. 이러한 저저항 금속막으로서, 알루미늄 합금 또는 순 알루미늄 등을 사용할 수 있다. 또한, 이러한 저저항 금속막과 고용점 금속막의 적층 구조로서, 티탄 막과 알루미늄 막과 티탄 막을 순차로 적층한 3층 구조로 하여도 좋다. 고용점 금속막과 저저항 금속막과의 적층 구조 대신에, 단층의 도전막에 의하여 형성할 수도 있다. 이러한 단층의 도전막으로서, 티탄, 텅스텐, 탄탈, 몰리브덴, 네오디뮴, 코발트, 지르코늄, 아연, 루테튬, 로듐, 팔라듐, 오스뮴, 이리듐, 백금 중에서 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 단층막, 혹은 이들의 질화물, 예를 들어, 질화티탄, 질화텅스텐, 질화탄탈, 질화몰리브덴으로 이루어지는 단층막을 사용할 수 있다.

[0163] 층간절연막(207), 게이트 절연층(205), 및 절연층(202)은 단부가 테이퍼 형상이 되도록 에칭가공이 행해져 있다. 층간절연층(207), 게이트 절연층(205), 및 절연층(202)의 단부가 테이퍼 형상으로 가공됨으로써, 이들 막 위에 형성되는 보호층(227)의 피복률이 좋게 되고, 수분이나 불순물 등이 침입하기 어렵게 된다는 효과가 있다.

[0164] 층간절연층(207) 위에는, p형 반도체층(103a), i형 반도체층(103b), n형 반도체층(103c)을 형성한다. 또한, p형 반도체층(103a)은 적어도 일부가 전극(222)과 접하도록 형성된다. p형 반도체층(103a), i형 반도체층(103b), n형 반도체층(103c)은 도 20~도 24에서 설명한 것과 마찬가지로 한다. 보호층(227)은, 예를 들어, 질화규소로 형성되고, 광전 변환 층(225) 위에 형성된다. 보호층(227)에 의하여, 박막트랜지스터(211)나 광전 변환 층(225)에 수분이나 유기물 등의 불순물이 혼입하는 것을 방지할 수 있다. 보호층(227) 위에는, 폴리이미드, 아크릴 등의 유기 수지 재료로 형성되는 층간절연층(228)이 형성되어 있다. 층간절연층(228) 위에는, 전극(221)에 전기적으로 접속되는 전극(231), 층간절연층(228) 및 보호층(227) 중에 형성된 콘택트 홀을 통하여 광전 변환 층(225)의 상층(n형 반도체층(103c)) 및 전극(223)과 전기적으로 접속되는 전극(232)이 형성되어 있다. 전극(231) 및 전극(232)으로서, 텅스텐, 티탄, 탄탈, 은 등을 사용할 수 있다.

[0165] 층간절연층(228) 위에, 스크린 인쇄법 또는 잉크젯법에 의하여 에폭시 수지, 폴리이미드, 아크릴, 페놀 수지 등의 유기 수지 재료를 사용하여 층간절연층(235)이 형성되어 있다. 층간절연층(235)에는 전극(231) 및 전극(232) 위에 개구부가 형성되어 있다. 층간절연층(235) 위에는, 예를 들어, 니켈 페이스트를 사용하여 인쇄법에 의하여 전극(231)에 전기적으로 접속되는 전극(241), 및 전극(232)에 전기적으로 접속되는 전극(242)이 형성되어 있다.

[0166] 광 센서로서 기능하는 이러한 광전 변환 장치는, 광전 변환 층이 세미아모르퍼스 반도체로 형성되어 있기 때문에, 광 열화에 의한 특성 저하가 거의 없는 광전 변환 장치를 얻을 수 있다. 또한, 도 25에서는, 수광부에 광전 변환 층(225)을 가지고, 그의 출력을 박막트랜지스터(211)로 구성된 증폭 회로로 증폭하여 출력하는 광 센서 장치에 대하여 나타내었지만, 증폭 회로에 따른 구성을 생략하면 광 센서로 할 수 있다.

도면의 간단한 설명

[0167] 도 1은 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치를 나타내는 도면.

[0168] 도 2는 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치의 구성을 나타내는 도면.

[0169] 도 3은 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치에 있어서의 처리실의

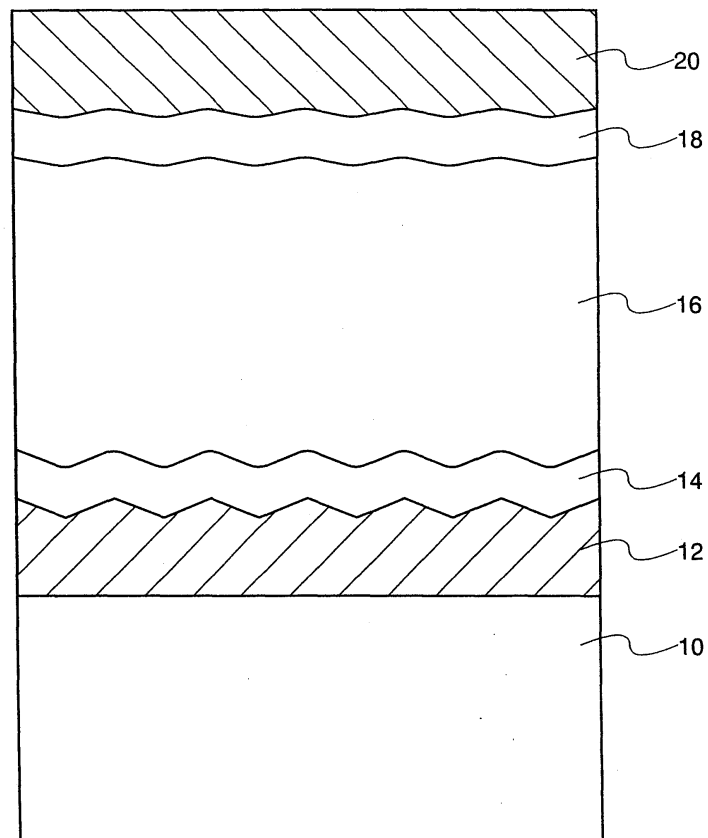
구성을 설명하는 도면.

- [0170] 도 4는 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD장치에 있어서의 처리실의 구성을 나타내는 평면도.
- [0171] 도 5(A)~도 5(C)는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0172] 도 6은 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0173] 도 7(A)~도 7(C)는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0174] 도 8은 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0175] 도 9는 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치에 있어서의 처리실의 구성을 설명하는 도면.
- [0176] 도 10은 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광 센서 장치를 나타내는 도면.
- [0177] 도 11(A) 및 도 11(B)는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치를 나타내는 도면.
- [0178] 도 12(A) 및 도 12(B)는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치를 나타내는 도면.
- [0179] 도 13은 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치의 구성을 나타내는 도면.
- [0180] 도 14는 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치에 있어서의 처리실의 구성을 설명하는 도면.
- [0181] 도 15는 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치에 있어서의 처리실의 구성을 나타내는 평면도.
- [0182] 도 16은 다수의 처리실을 구비한 멀티체임버 방식의 마이크로파 플라즈마 CVD 장치에 있어서의 처리실의 구성을 설명하는 도면.
- [0183] 도 17은 플라즈마 CVD 장치에 있어서의 가스 정제(精製) 순환 장치의 구성을 나타내는 도면.
- [0184] 도 18(A) 및 도 18(B)는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 도면.
- [0185] 도 19(A) 및 도 19(B)는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0186] 도 20(A)~도 20(C)는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0187] 도 21은 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0188] 도 22는 박막을 가공하는 레이저 조사 장치의 구성을 나타내는 도면.
- [0189] 도 23(A)~도 23(C)는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0190] 도 24는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광전 변환 장치의 제조 공정을 나타내는 단면도.
- [0191] 도 25는 세미아모르퍼스 반도체를 광전 변환 층에 사용하는 광 센서 장치를 나타내는 도면.

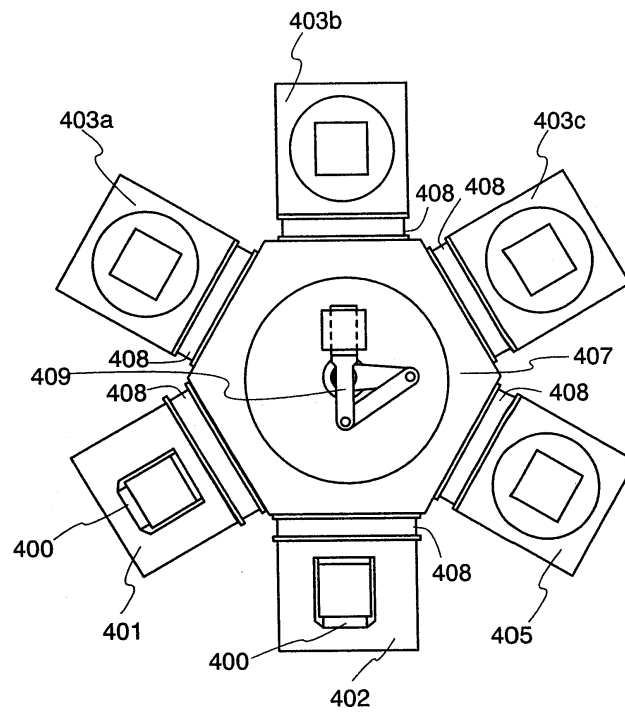
[0192]	<도면의 주요 부분에 대한 부호의 설명>	
[0193]	10: 기관	12: 제 1 전극
[0194]	14: p형 반도체층	16: i형 반도체층
[0195]	18: n형 반도체층	20: 제 2 전극

도면

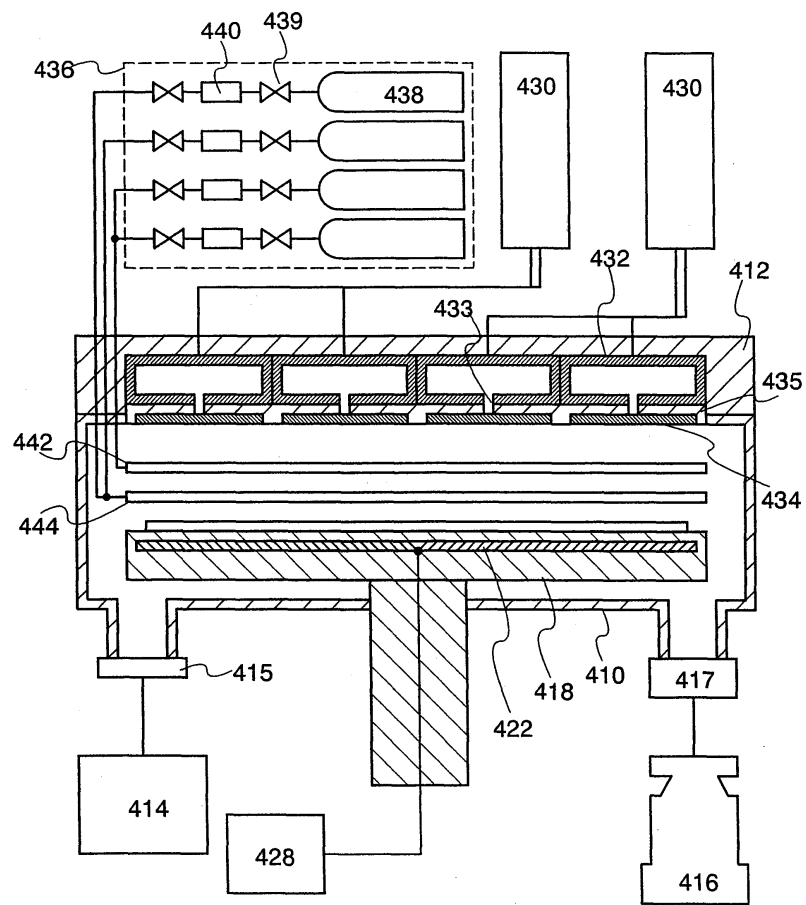
도면1



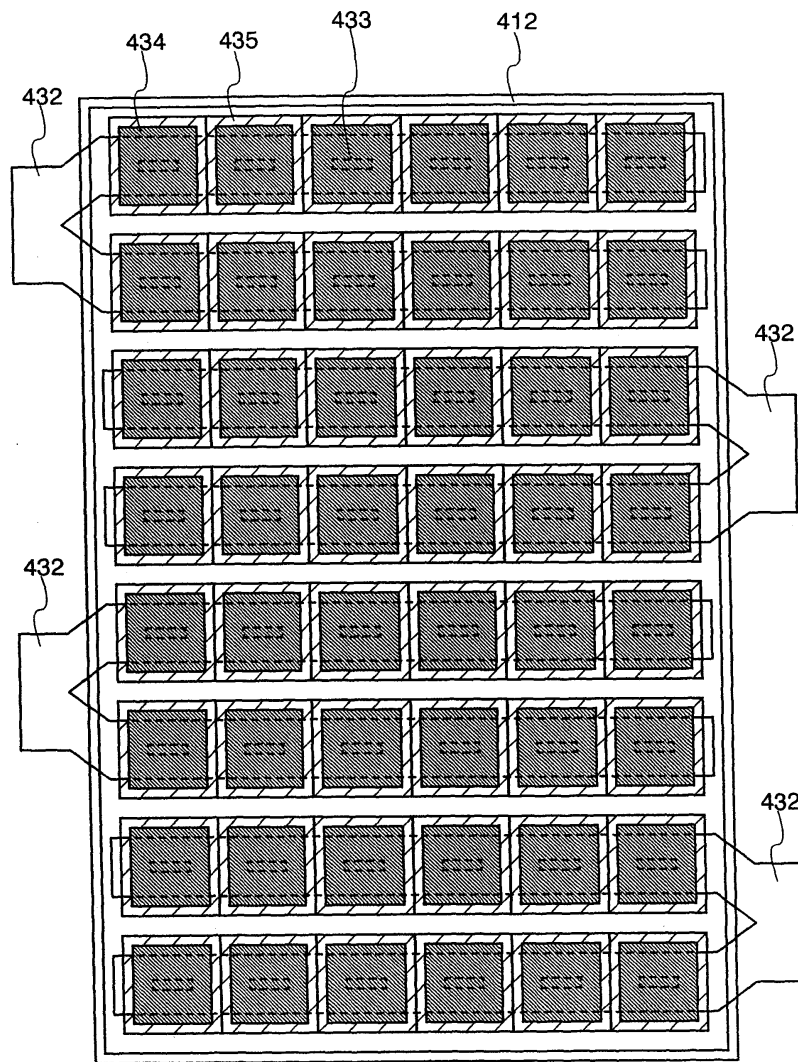
도면2



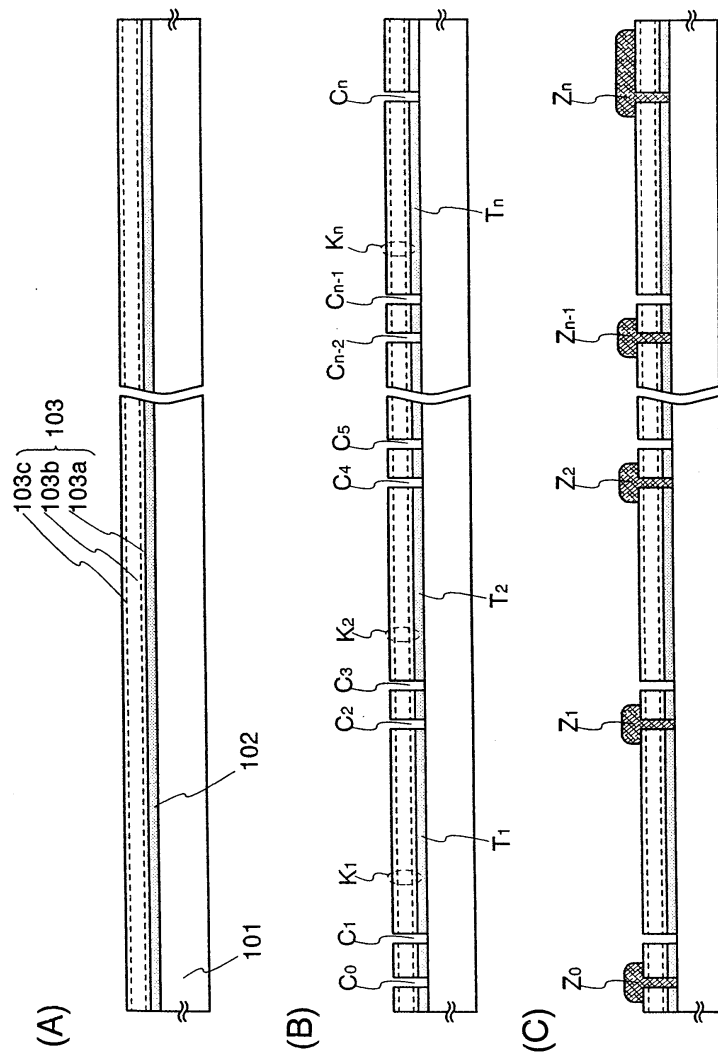
도면3



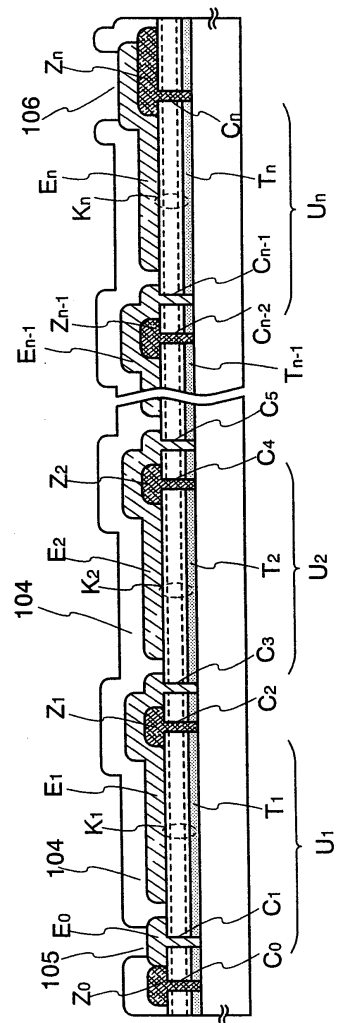
도면4



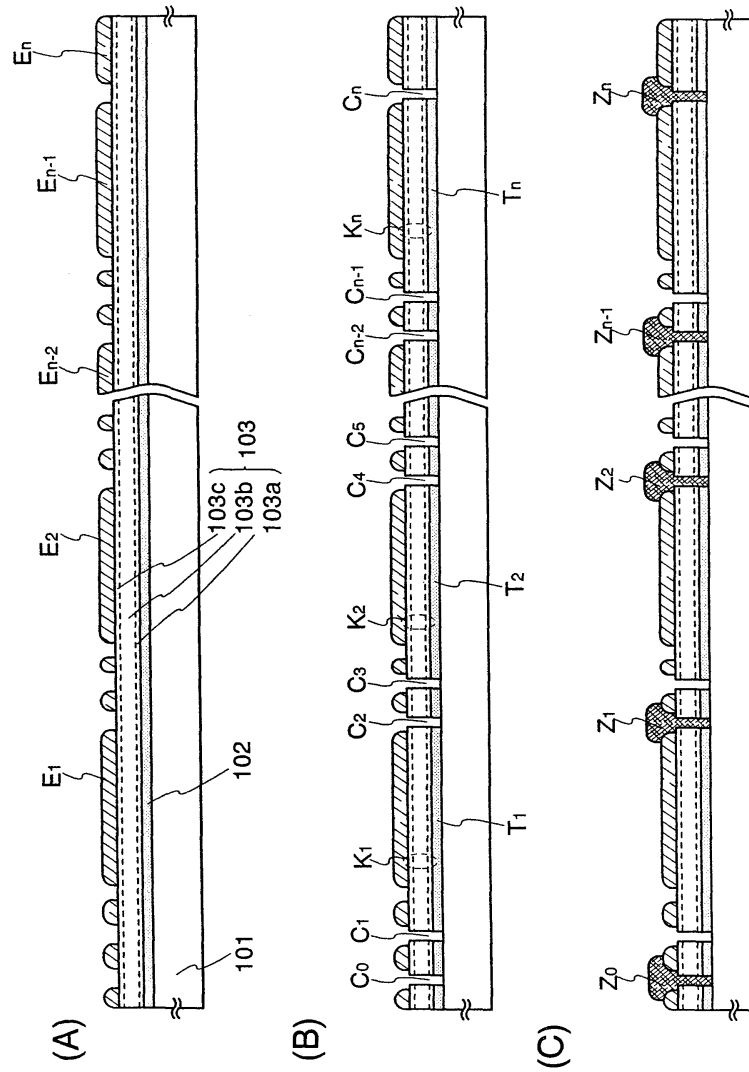
도면5



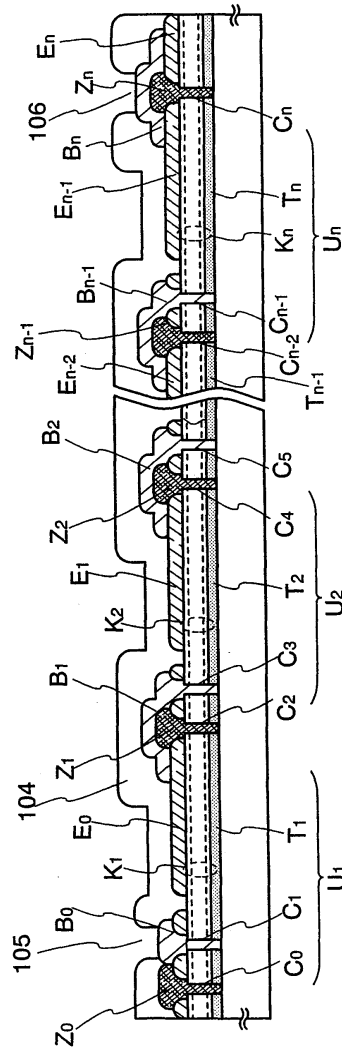
도면6



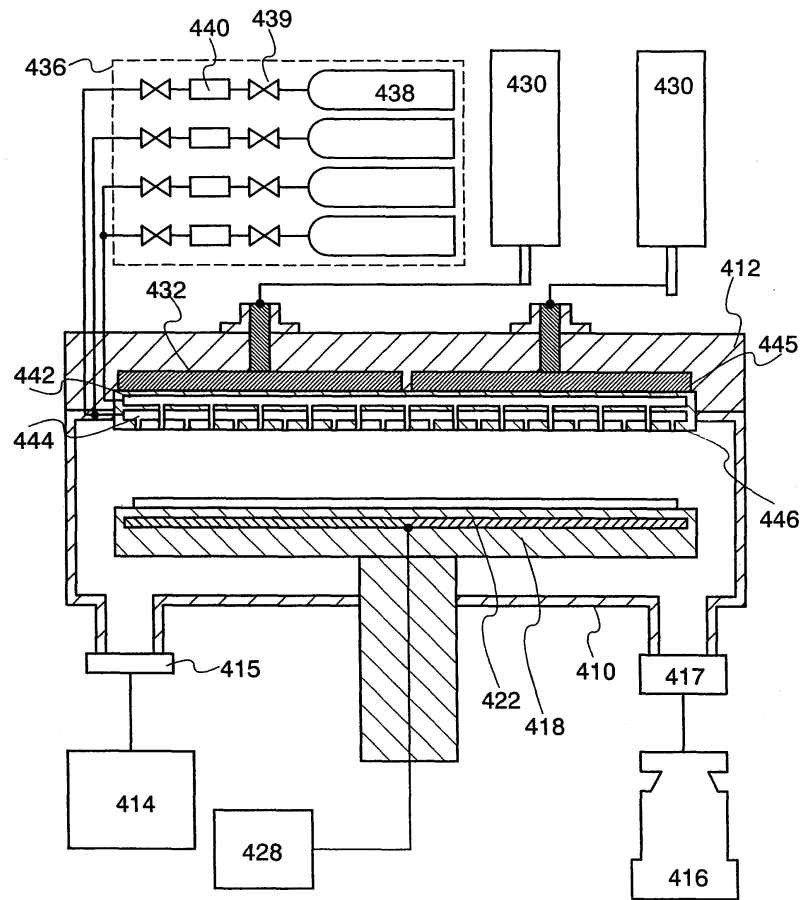
도면7



도면8

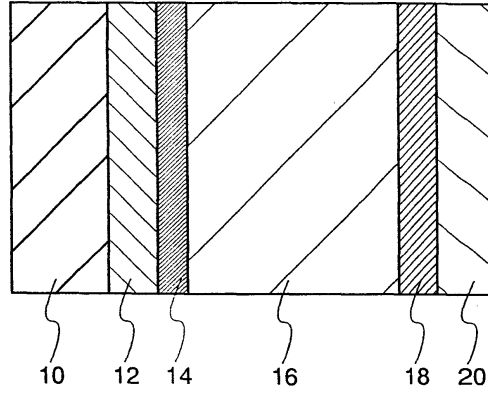


도면9

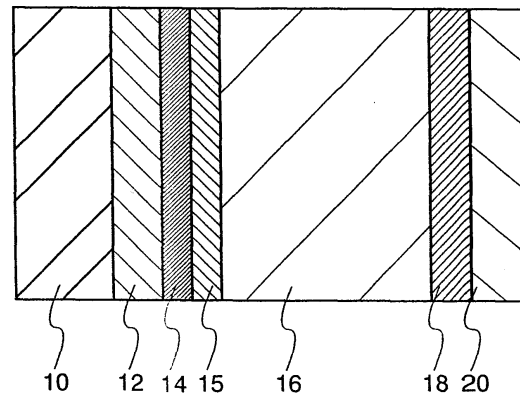


도면11

(A)

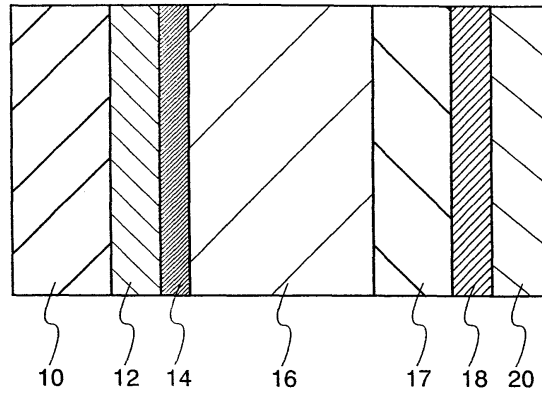


(B)

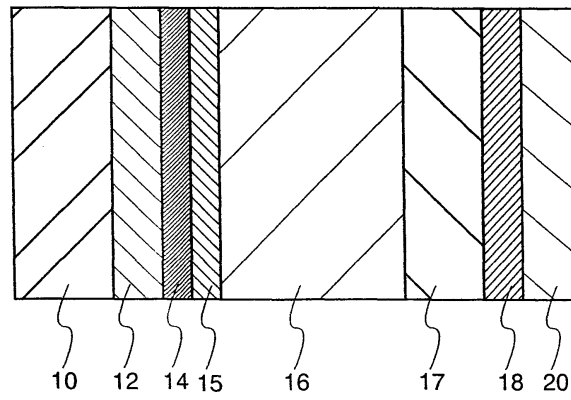


도면12

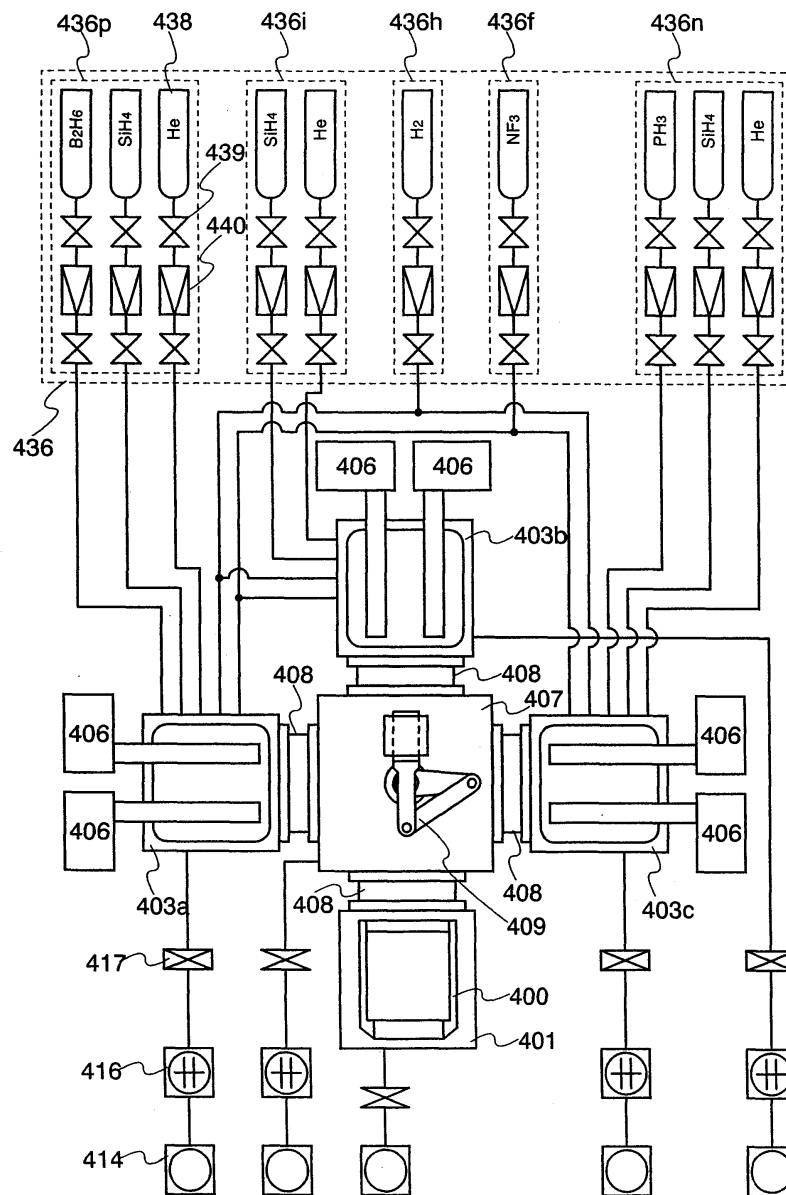
(A)



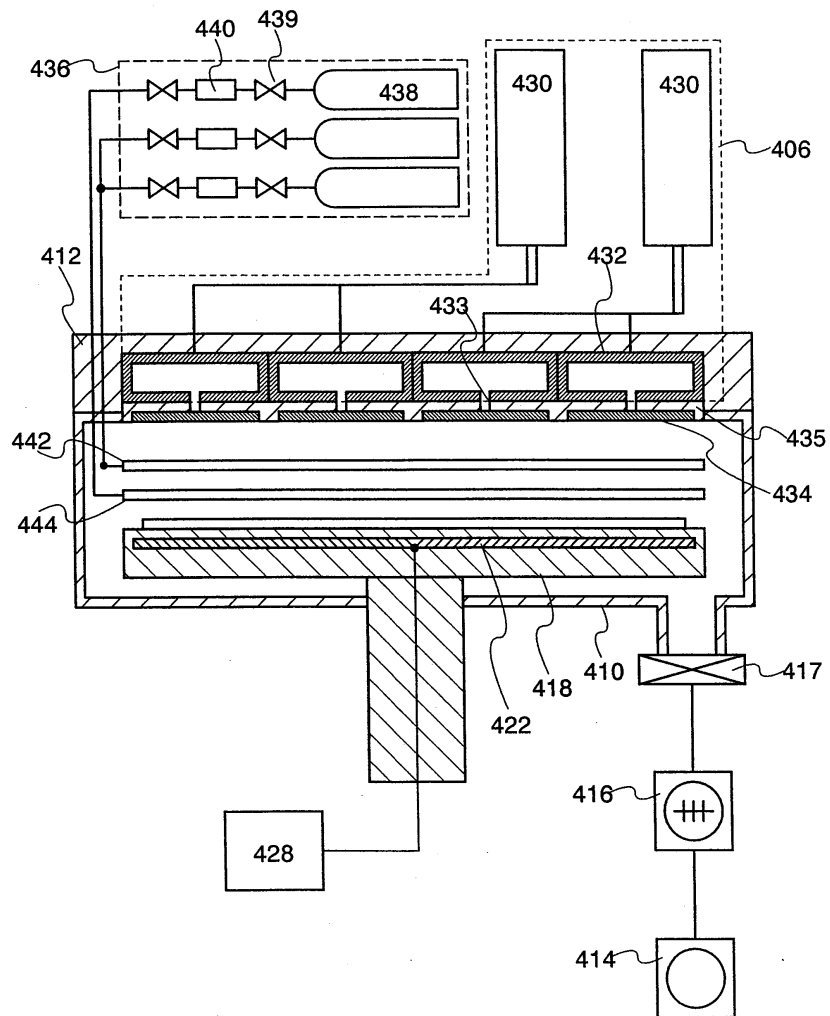
(B)



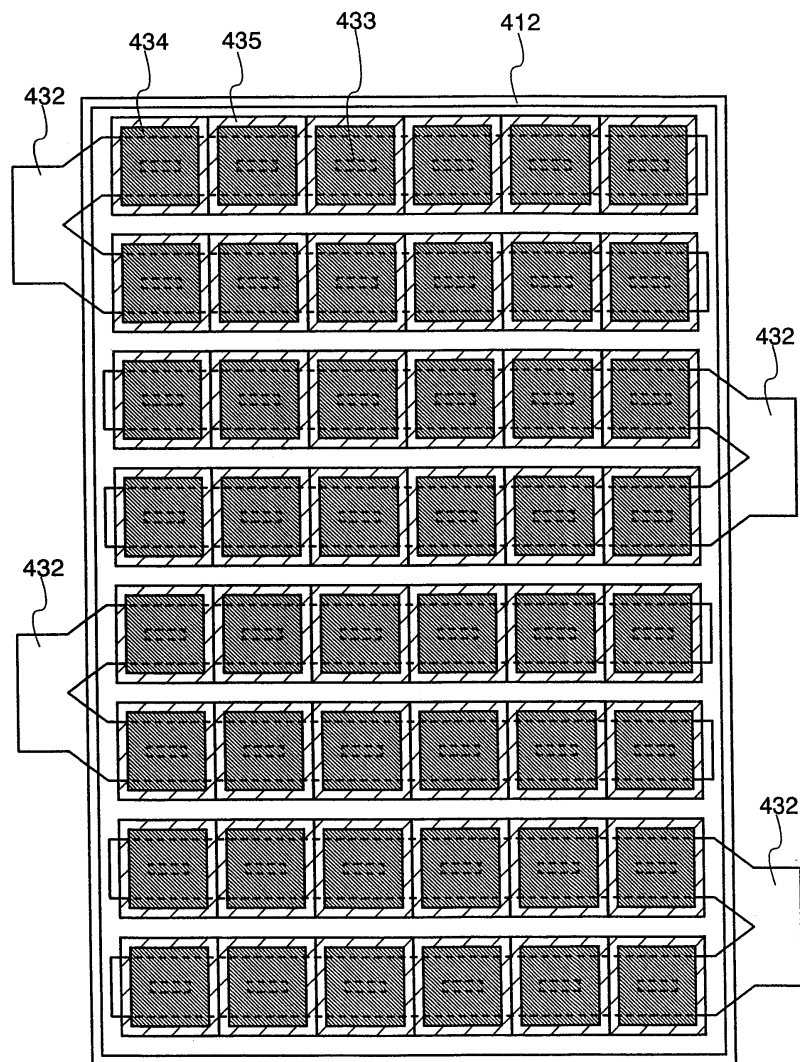
도면13



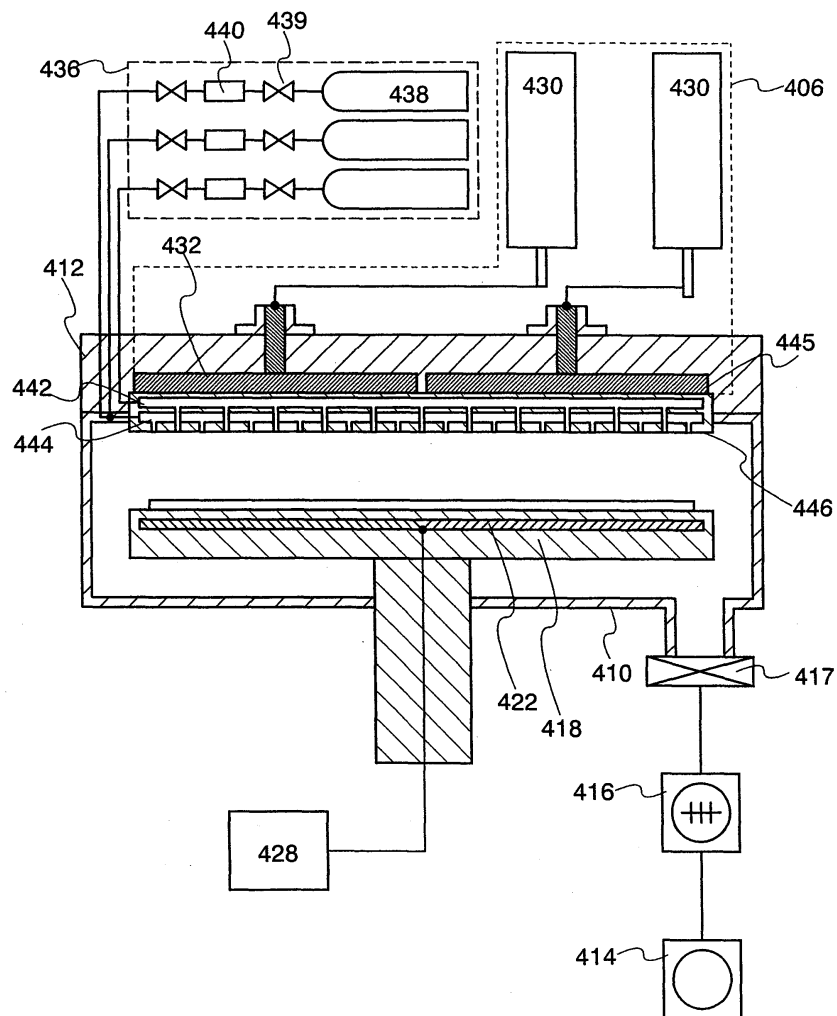
도면14



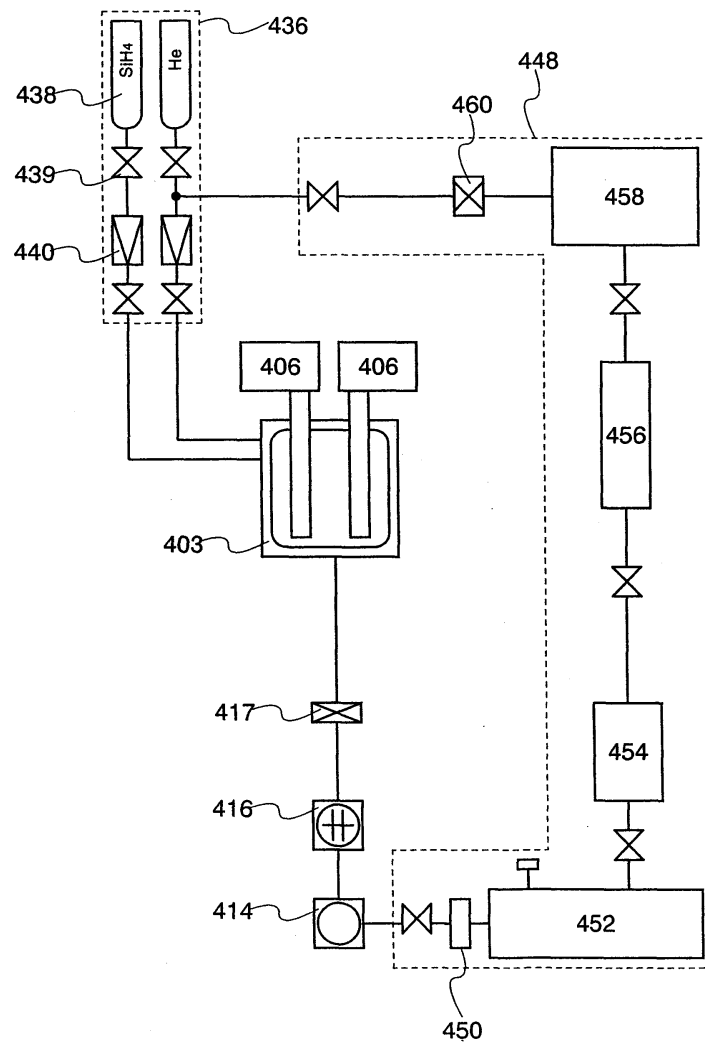
도면15



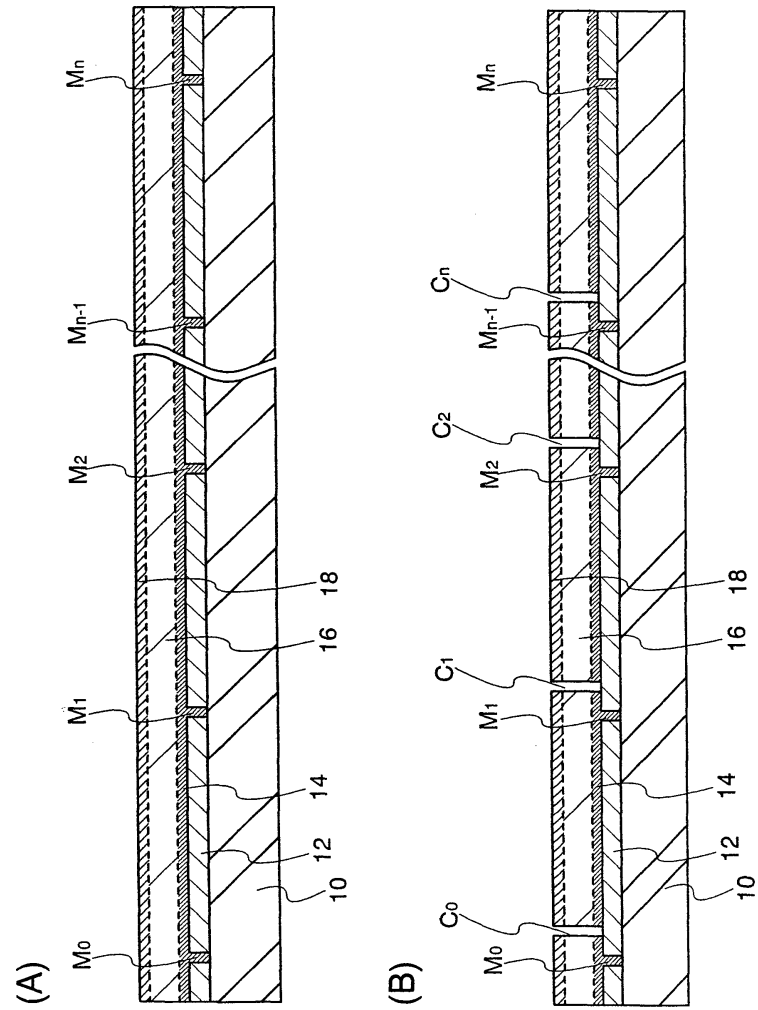
도면16



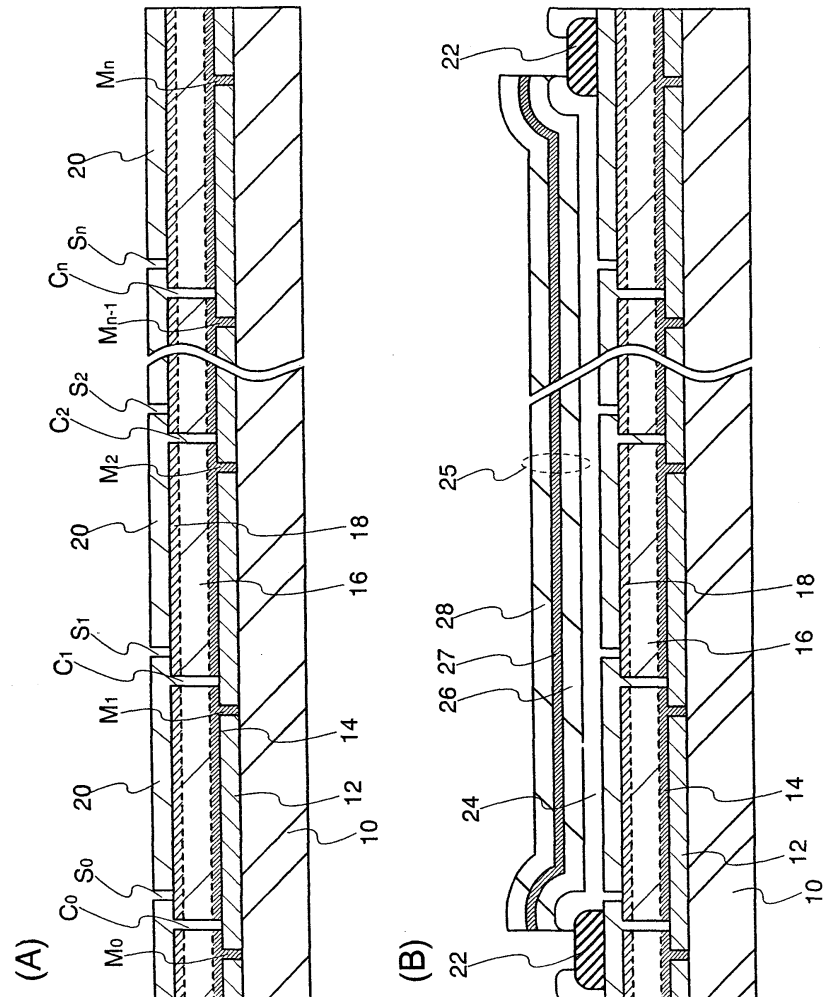
도면17



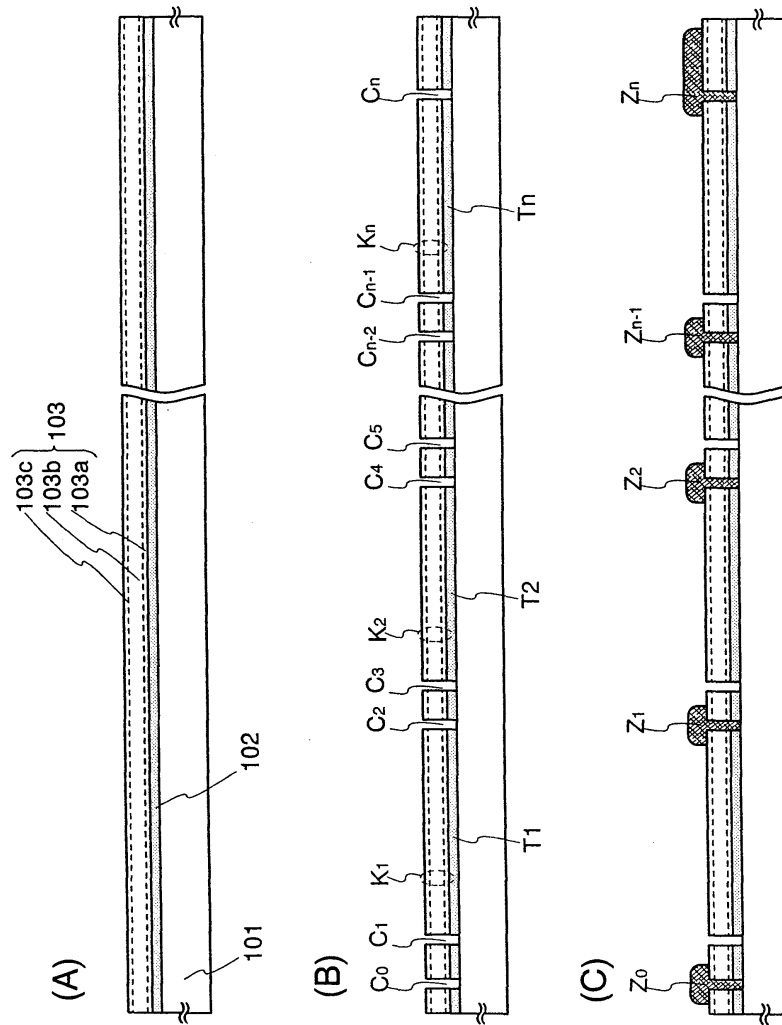
도면18



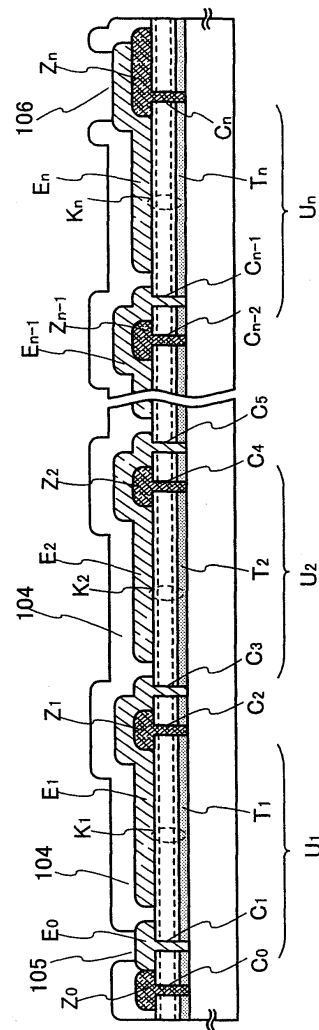
도면19



도면20

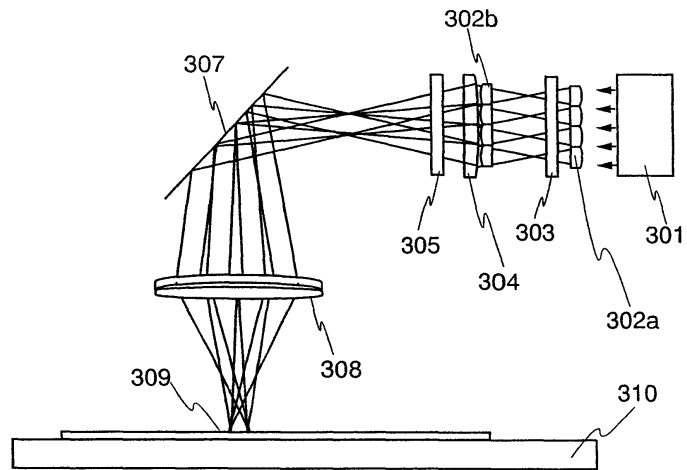


도면21

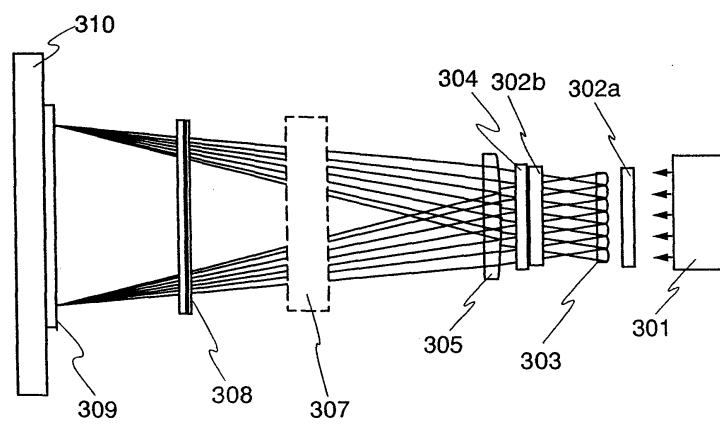


도면22

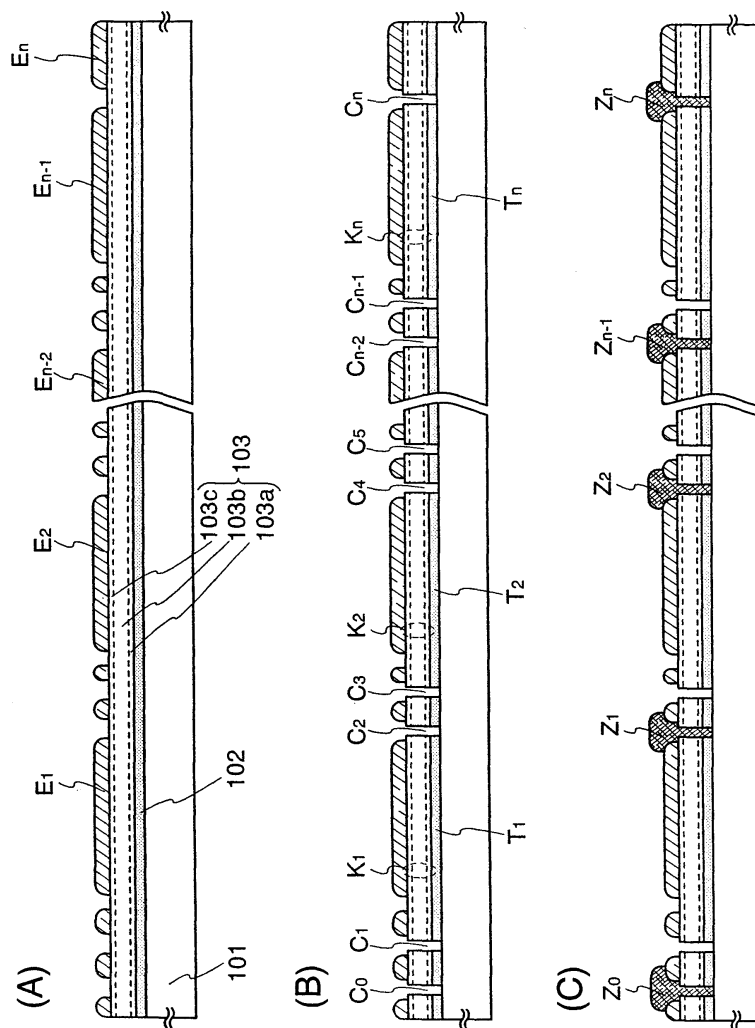
측면도



상면도



도면23



도면24

