Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 898419

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 03.03.80 (21) 2927237/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.01.82. Бюллетень № 2

Дата опубликования описания 15.01.82

(51) М. Кл.[3] G 06 F 5/04

(53) УДК 681.325 (088.8)

(72) Авторы изобретения В.М. Антонов, В.И. Жиглов и Д.И. Павлов

(71) Заявитель -

БИБЛИОТЕКА

(54) ПРЕОБРАЗОВАТЕЛЬ ПАРАЛЛЕЛЬНОГО КОДА В ПОСЛЕДОВАТЕЛЬНЫЙ

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано при построении преобразователей с заданием определенной циклограммы выдачи последовательных кодов и многократным повторением каждого кода.

Известен преобразователь параллельного кода в последовательный, содержащий счетчик, генератор импульсов, соединенный со входом счетчика, который подключен к дешифратору, группу элементов И, группу регистров, блок управления, триггер со счетным входом и элемент задержки, причем выход дешифратора соединен со входом триггера со счетным входом, выход которого соединен с входами элементов И группы, выход блока управления соединен со входом сброса счетчика [1].

Недостатком данного преобразователя является наличие неопределенности при появлении нулевого кода на его выходе, так как этот код может являться результатом неисправности преобразователя.

2

Наиболее близким решением данной задачи по технической сущности и схемному построению является преобразователь параллельного кода в последовательный, содержащий регистр, группу элементов И, первый элемент ИЛИ, входы которого соединены с выходами элементов И группы, дешифратор, первый и второй счетчики, генератор импульсов, блок управления, элемент И, элемент задержки и второй элемент ИЛИ, причем выходы первого счетчика соединены со входами дешифратора, первая группа выходов которого соединена со входами элементов И группы, а выходы второй группы дешифратора соединены со входом блока управления, входом сброса второго счетчика и через элементы И, ИЛИ, задержки со входом сброса первого счетчика [2].

Недостаток этого преобразователя состоит в его низкой надежности, свя-

занной с невысокой достоверностью при передаче нулевого кода, и невозможностью отличия его от реакции преобразователя при неисправности, а также с тем, что число разрядов счетчика должно превосходить число разрядов преобразуемого кода на интервал времени между опросами слов.

Целью изобретения является повышение надежности преобразования.

Поставленная цель достигается тем, что в преобразователь параллельного кода в последовательный, содержащий генератор импульсов, первый счетчик, счетный вход которого соединен с выходом генератора импульсов, первый дешифратор, входы которого соединены с выходами первого счетчика, регистр, группу элементов И, первый и второй элементы ИЛИ, элемент задержки, блок управления, первый элемент НЕ, первый элемент И и второй счетчик, выход которого через первый элемент НЕ соединен с первым входом первого элемента И, первый выход блока управления соединен с управляющим входом регистра, информационные входы которого являются информационными входами преобразователя, а выходы регистра соединены с первыми входами элементов И группы, вторые входы которых соединены с первым выходом первого дешифратора, а выходы элементов И группы соединены соответственно с n входами первого элемента ИЛИ, где n - число разрядов входного кода, выход первого элемента ИЛИ является информационным выходом преобразователя, второй выход блока управления соединен с первым входом второго элемента ИЛИ, второй вход которого соединен со вторым выходом первого дешифратора и с установочным входом второго счетчика, вход блока управления соединен с третьим выходом первого дешифратора; четвертый выход которого соединен со вторым входом первого элемента И, выход которого соединен с третьим входом второго элемента ИЛИ, выход которого через элемент задержки соединен с установочным входом первого счетчика, введены третий счетчик, второй элемент НЕ, второй элемент И и второй дешифратор, входы которого соединены с разрядными выходами третьего счетчика, выход переполнения которого соединен со счетным входом второго счетчика и через второй элемент НЕ - с первым входом второго элемента И, второй вход которого соединен с пятым выходом первого дешифратора, а выход соединен с четвертым входом второго элемента ИЛИ, выход элемента задержки соединен с (n+1)-м входом второго элемента ИЛИ и со счетным входом третьего счетчика, установочный вход которого соединен с четвертым выходом первого дешифратора, выход генератора импульсов соединен с тактовым входом блока управления, вход пуска которого является входом пуска преобразователя.

Блок управления содержит первый и второй элементы памяти, коммутатор и дешифратор, первый и второй выходы которого являются первым и вторым выходами блока управления и соединены с единичными входами первого и второго элементов памяти соответственно, нулевые входы которых соединены с третьим выходом дешифратора, синхровходы соединены с тактовым входом блока управления, а выходы первого и второго элементов памяти соединены соответственно с первыми и вторыми входами дешифратора и коммутатора, третий вход дешифратора соединен с выходом коммутатора, третий, четвертый и пятый входы которого являются соответственно входом пуска блока управления, входом логической единицы и входом блока управления.

На фиг. 1 приведена блок-схема предлагаемого преобразователя; на фиг. 2 - блок-схема блока управления.

Преобразователь содержит (фиг. 1) генератор 1 импульсов, выход которого соединен с информационным входом счетчика 2, выходы которого соединены с дешифратором 3. Первый выход дешифратора 3 соединен с первыми входами элементов И группы 4, вторые входы которых соединены с выходами регистра 5, информационные входы которого являются информационным входом 6 преобразователя, а управляющий вход соединен с первым выходом блока 7 управления. Выходы 4 элементов И соединены с входами элемента ИЛИ 8, выход которого является выходом 9 преобразователя. Первый вход элемента 10 ИЛИ соединен с вторым выходом блока 7 управления. Вход пуска 11 преобразователя соединен со входом пуска блока 7 управления. Второй вход элемента 10 ИЛИ соединен с вторым выходом дешифратора 3 и с установочным входом счет-

чика 12, третий вход - с выходом элемента И 14, четвертый вход - с выходом элемента И 14.

Выход элемента ИЛИ 10 через элемент 15 задержки соединен с установочным входом счетчика 2, счетным входом счетчика 16 и входом элемента ИЛИ 8. Выход счетчика 16 подключен к счетному входу счетчика 12 и через элемент НЕ 17 соединен с первым входом элемента 14 И, на второй вход которого поступает сигнал с выхода дешифратора 3. Выход счетчика 12 через элемент НЕ 18 соединен с первым входом элемента И 13, на второй вход которого поступает сигнал с выхода дешифратора 3, соединенного с установочным входом счетчика 16. Выходы счетчика 16 подключены к дешифратору 19, выходы которого подключены к третьим входам элементов И группы 4.

Блок управления 7 содержит (см. фиг. 2) первый 20 и второй 21 элементы памяти, выходы которых соединены с первыми и вторыми входами дешифратора 22 и коммутатора 23, вход 24 которого является входом пуска блока управления, вход 25 коммутатора соединен с входом логической единицы, например с шиной питания "Плюс", последний вход коммутатора является входом блока управления, выход коммутатора 23 подключен к входу дешифратора 22, первый выход которого подключен к первому входу элемента 21 памяти и первому выходу блока управления, второй выход которого соединен со вторым выходом дешифратора 22 и первым входом элемента 20 памяти, второй вход которого соединен с третьим выходом дешифратора 22 и со вторым входом элемента 21 памяти, третий вход которого соединен с третьим входом элемента 20 памяти и тактовым входом 26 блока управления.

Преобразователь работает следующим образом.

Перед началом работы содержимое счетчика 12 и 16 равно "нулю" и с блока 7 управления через элемент ИЛИ 10, элемент 15 задержки на установочный вход счетчика 2 подается сигнал сброса, в счетчик 16 по счетному входу сигнал установки в положение, соответствующее отсчету одной единицы и через элемент ИЛИ 8 на выход 9 поступает первый синхроимпульс. С другого выхода блока 7 на управляющий вход регистра 5 подается сигнал, по которому в него с входов 6 записывается слово, подлежащее преобразованию. Работа начинается с отсчета числа импульсов, поступающих с генератора 1 импульсов на вход счетчика 2. С выхода счетчика 2 в параллельном коде на вход дешифратора 3 подается число отсчитанных импульсов. Когда это число дойдет до величины, соответствующей появлению сигнала на первом выходе дешифратора 3, на элементы И группы 4 поступает сигнал опроса, при этом с выхода счетчика 16 в параллельном коде на вход дешифратора 19 подается код, соответствующий номеру опрашиваемого разряда регистра 5, с первого выхода дешифратора 19 разрешение поступает на первый логический элемент И группы 4 элементов И, и он пропускает информацию ("нуль" или "единицу") из первого разряда регистра 5 на вход элемента ИЛИ 8. Счетчик 2 продолжает считать и, когда число отсчитанных импульсов дойдет до величины, соответствующей появлению сигнала на втором выходе первой группы выходов дешифратора 3, через элементы 14 И на четвертый вход элемента 10 ИЛИ и далее через элементы задержки 15 на установочный вход счетчика 2 поступает сигнал сброса, по которому в счетчик 16 записывается вторая единица и передается через элемент 8 ИЛИ второй синхроимпульс, т.е. процесс повторяется и происходит последовательный опрос всех разрядов регистра 5, при этом информация в последовательном коде через элемент ИЛИ 8 поступает на выход 9 преобразователя и сопровождается синхроимпульсами.

После опроса последнего разряда регистра 5 счетчик 16 заполняется (его емкость равна количеству разрядов регистра 5) на его выходе появляется потенциальный сигнал, который разрешает отсчитать одну единицу счетчику 12 и, пройдя через элемент НЕ 17, снимает разрешающий сигнал со входа элемента 14 И, чем блокируется прохождение сигнала со второго выхода первой группы выходов дешифратора 3 через элемент 14 И, и счетчик 2 продолжает считать. Сигналом с выхода дешифратора 3 счетчик 16 сбрасывается в нуль и далее через элементы И 13, ИЛИ 10 и элемент 15 задержки счетчик 2 сбрасывается в нуль, в счетчик 16 подается сигнал установки в положе-

ние, соответствующее отсчету одной единицы и формируется очередной синхроимпульс, при этом начинает повторяться описанный цикл опроса разрядов регистра 5.

После очередного цикла опроса регистра 5 счетчик 12 заполняется (его емкость равна требуемому числу повторений), на его выходе появляется потенциальный сигнал, который, пройдя через элемент НЕ 18, снимает разрешающий сигнал со входа элемента И 13, чем блокируется прохождение сигнала с третьего выхода второй группы выходов дешифратора 3 через элемент И 13 и счетчик 2 продолжает считать. На блок 7 управления со второго выхода второй группы выходов дешифратора 3 поступает сигнал, по которому блок 7 управления дает команду в регистр 5 на сброс информации и запись нового слова.

Через заданный интервал времени появляется сигнал на втором выходе дешифратора 3, который сбрасывает в нуль счетчик 12 и, пройдя через элементы ИЛИ 10 и элемент 15 задержки, сбрасывает в "нуль" счетчик 2, записывает "единицу" в счетчик 16 и передается очередной синхроимпульс через элемент 8 ИЛИ на выход 9. Начинается многократный опрос и передача следующего слова в последовательном коде, сопровождаемом синхроимпульсами.

Интервал времени между синхроимпульсом и информационным импульсом задается соответствующим выбором числа отсчитанных импульсов счетчиком 2, определяющим появление сигнала на первом выходе дешифратора 3, между синхроимпульсами соответственно определяется появление сигнала на втором выходе дешифратора 3, между словами сигналом на третьем выходе дешифратора 3 и между повторяющимися словами сигналом с второго выхода дешифратора 3.

Блок управления 7 работает следующим образом.

В табл. 1 и 2 приведены соответственно истинности дешифратора и коммутатора.

Перед началом работы элементы 20 и 21 памяти находятся в исходном состоянии.

По управляющему входу 24, например, с ЭВМ поступает сигнал пуска на вход коммутатора 23, в результате чего на вход дешифратора 22 поступает сигнал логического "нуля" и с первого выхода дешифратора на первый выход блока управления и первый вход элемента 21 памяти поступает сигнал. По заднему фронту очередного импульса синхронизации с входа 26, например, по очередному импульсу с выхода генератора 1 в устройстве преобразования параллельного кода в последовательный элемент 21 памяти установится в единичное состояние (A_1). При этом коммутатор 23 закоммутирует с выходом свой четвертый вход. В результате чего сигнал со второго выхода дешифратора 22 поступает на второй вход блока управления и первый вход элемента 20 памяти. По заднему фронту очередного импульса синхронизации элемент 20 памяти установится в единичное состояние (A_1) и блок управления ждет прихода сигнала на вход коммутатора 23. По этому сигналу сигналом с третьего выхода дешифратора элементы 20 и 21 памяти по вторым входам устанавливаются в исходное состояние (A_0), и описанный процесс повторяется.

Для окончания преобразования информации устройством преобразования параллельного кода в последовательный необходимо снять разрешающий сигнал с управляющего входа 24.

Экономический эффект от использования предложенного устройства обусловлен указанными его техническими преимуществами.

Таблица 1

Значение кода на первом и втором входах	Сигнал на третьем входе	Выходы 1	2	0
A_0	0	1	0	0
A_1	0	0	1	0
A_2	0	0	0	1
	1	0	0	0

Таблица 2

Значение кода на первом и втором входах	Коммутируемый вход
A_0	1-й
A_1	2-й
A_2	3-й

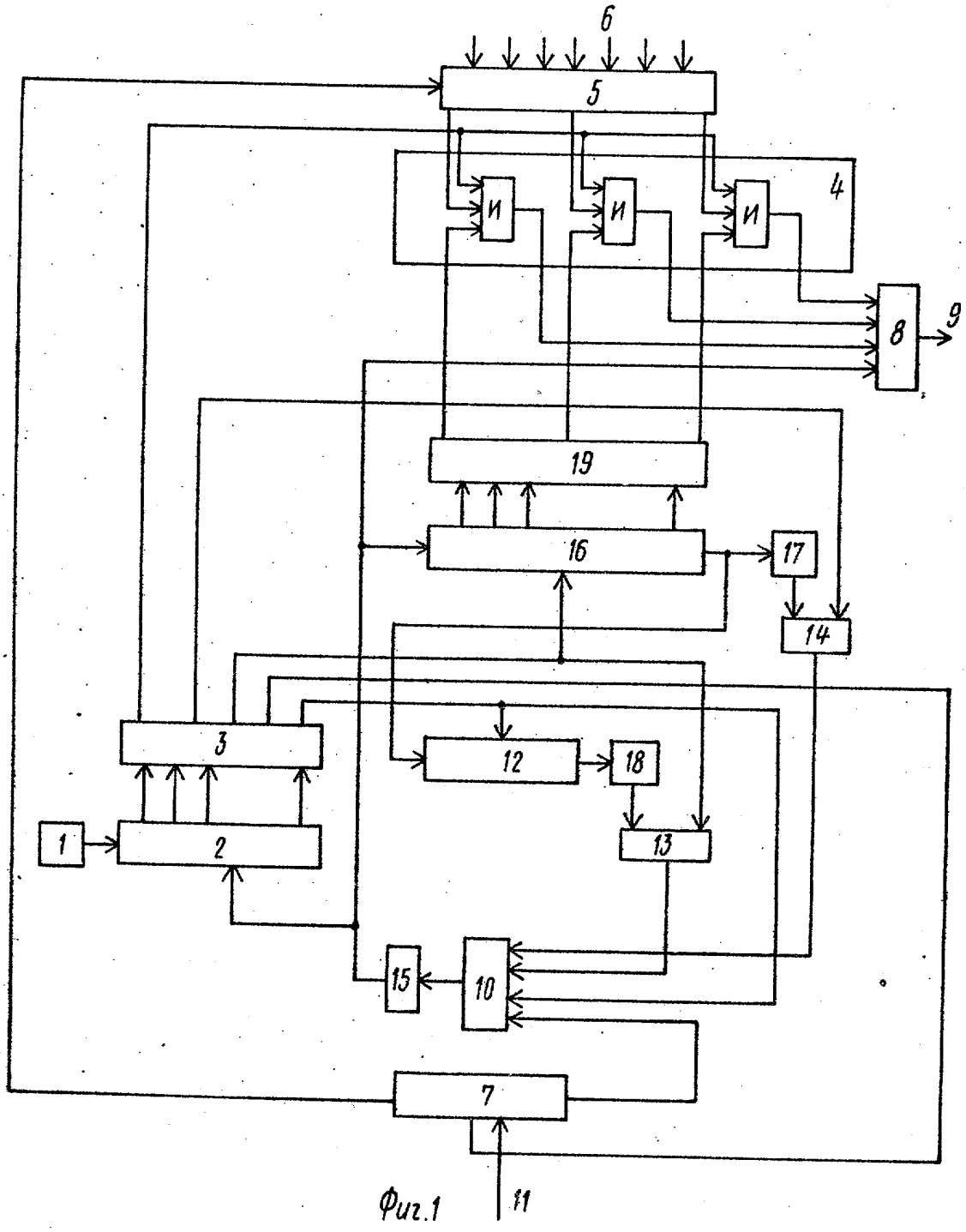
Формула изобретения

1. Преобразователь параллельного кода в последовательный, содержащий генератор импульсов, первый счетчик, счетный вход которого соединен с выходом генератора импульсов, первый дешифратор, выходы которого соединены с выходами первого счетчика, регистр, группу элементов И, первый и второй элементы ИЛИ, элемент задержки, блок управления, первый элемент НЕ, первый элемент И и второй счетчик, выход которого через первый элемент НЕ соединен с первым входом первого элемента И, первый выход блока управления соединен с управляющим входом регистра, информационные входы которого являются информационными входами преобразователя, а выходы регистра соединены с первыми входами элементов И группы, вторые входы которых соединены с первым выходом первого дешифратора, а выходы элементов И группы соединены соответственно с n входами первого элемента ИЛИ, где n - число разрядов входного кода, выход первого элемента ИЛИ является информационным выходом преобразователя, второй выход блока управления соединен с первым входом второго элемента ИЛИ, второй вход которого соединен со вторым выходом первого дешифратора и с установочным входом второго счетчика, вход блока управления соединен с третьим выходом первого дешифратора, четвертый выход которого соединен со вторым входом первого элемента И, выход которого соединен с третьим входом второго элемента ИЛИ, выход которого через элемент задержки соединен с установочным входом первого счетчика, *отличающийся* тем, что, с целью повышения надежности преобразования, в него введены третий счетчик, второй элемент НЕ, второй элемент И и второй дешифратор, входы которого соединены с разрядными выходами третьего счетчика, выход переполнения которого соединен со счетным входом второго счетчика и через второй элемент НЕ - с первым входом второго элемента И, второй вход которого соединен с пятым выходом первого дешифратора, а выход соединен с четвертым входом второго элемента ИЛИ, выход элемента задержки соединен с (n+1)-м входом второго элемента ИЛИ и со счетным входом третьего счетчика, установленный вход которого соединен с четвертым выходом первого дешифратора, выход генератора импульсов соединен с тактовым входом блока управления, вход пуска которого является входом пуска преобразователя.

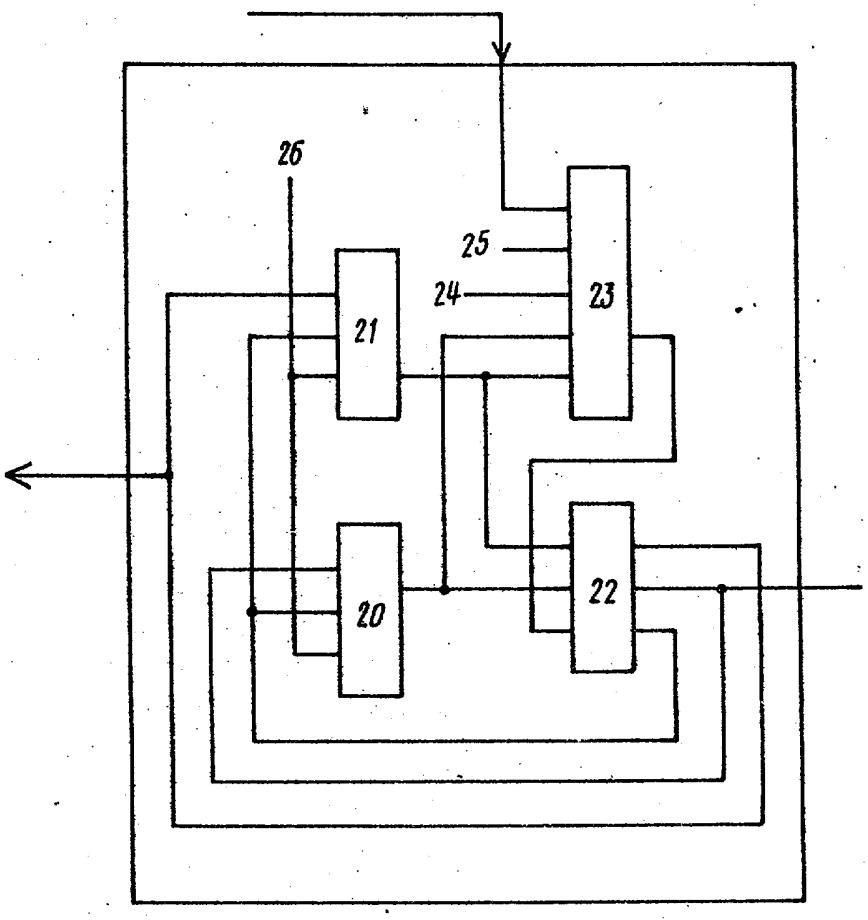
2. Преобразователь по п. 1, *отличающийся* тем, что в нем блок управления содержит первый и второй элементы памяти, коммутатор и дешифратор, первый и второй выходы которого являются первым и вторым выходами блока управления и соединены с единичными входами первого и второго элементов памяти соответственно, нулевые входы которых соединены с третьим выходом дешифратора, синхровходы соединены с тактовым входом блока управления, а выходы первого и второго элементов памяти соединены соответственно с первыми и вторыми входами дешифратора и коммутатора, третий вход дешифратора соединен с выходом коммутатора, третий, четвертый и пятый входы которого являются соответственно входом пуска блока управления, входом логической единицы и входом блока управления.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 520703, кл. H 03 K 13/256, 1975.
2. Авторское свидетельство СССР № 549804, кл. G 06 F 5/04, 1975 (прототип)



Фиг.1



Фиг.2

Составитель М. Аршавский
Редактор М. Недолуженко Техред А. Савка Корректор М. Пожо

Заказ 11950/65 Тираж 731 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4