

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-141925

(P2015-141925A)

(43) 公開日 平成27年8月3日(2015. 8. 3)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 O 1 D	5 F 1 4 O
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 V	

審査請求 未請求 請求項の数 20 O L (全 29 頁)

(21) 出願番号 特願2014-12301 (P2014-12301)
 (22) 出願日 平成26年1月27日 (2014. 1. 27)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 110001195
 (74) 代理人 特許業務法人深見特許事務所
 (72) 発明者 吉田 浩介
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 新田 哲也
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 ルネサスエレクトロニクス株式会社内

最終頁に続く

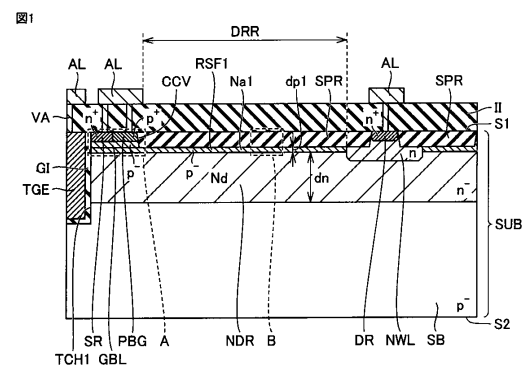
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ダブルリサーフ構造の寸法の変化を抑制することにより、耐圧の減少を抑制することが可能な半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置において、上側リサーフ領域 R S F 1 は半導体基板 S U B 内であって第 1 埋め込み領域 N D R の一方の主表面 S 1 側に接するように形成されている。半導体基板 S U B は、一方の主表面 S 1 において、上側リサーフ領域 R S F 1 に達するように形成された分離絶縁膜 S P R を有している。半導体基板 S U B 内であって上側リサーフ領域 R S F 1 の一方の主表面 S 1 側に接し、かつ分離絶縁膜 S P R と隣接するように形成された第 2 導電型のボディ領域 G B L を備えている。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

横型の絶縁ゲート型電界効果トランジスタを有する半導体装置であって、
互いに対向する一方および他方の主表面を有する半導体基板と、
前記半導体基板内に配置された下側リサーフ領域と、
前記半導体基板内であって前記下側リサーフ領域の前記一方の主表面側に接するように
形成された第 1 導電型の第 1 埋め込み領域と、

前記半導体基板内であって前記第 1 埋め込み領域の前記一方の主表面側に接するように
形成された第 2 導電型の上側リサーフ領域とを備え、

前記半導体基板は、前記一方の主表面において、前記上側リサーフ領域に達するように
形成された分離絶縁膜を有し、

前記半導体基板内であって前記上側リサーフ領域の前記一方の主表面側に接し、かつ前
記分離絶縁膜と隣接するように形成された第 2 導電型のボディ領域とを備え、

前記半導体基板は、前記一方の主表面に、前記ボディ領域および前記上側リサーフ領域
に隣接するように形成されたゲートトレンチを有し、さらに

前記ボディ領域および前記上側リサーフ領域とゲート絶縁膜を介在して対向するように
前記ゲートトレンチ内に形成された前記絶縁ゲート型電界効果トランジスタのゲート電極
とを備える、半導体装置。

【請求項 2】

前記第 1 埋め込み領域における第 1 導電型の不純物濃度を N_d (cm^{-3})、前記第 1 埋
め込み領域の深さを d_n (cm) とすれば、

$$4 \times 10^{12} \leq N_d \times d_n \leq 8 \times 10^{12} \text{ であり、}$$

前記上側リサーフ領域における第 2 導電型の不純物濃度を N_{a1} (cm^{-3})、前記上側
リサーフ領域の深さを d_{p1} (cm) とすれば、

$$2 \times 10^{12} \leq N_{a1} \times d_{p1} \leq 4 \times 10^{12} \text{ である、請求項 1 に記載の半導体装置。}$$

【請求項 3】

前記半導体基板の前記一方の主表面に、前記ボディ領域に接するようにソース領域が形
成されており、

前記ゲート電極の前記ソース領域側の縁部の上面にブロック絶縁膜が形成されている、
請求項 1 に記載の半導体装置。

【請求項 4】

前記ゲート電極の幅が、前記一方の主表面側に向かうほど広くなるように前記ゲートト
レンチの縁部が丸くなっている、請求項 1 に記載の半導体装置。

【請求項 5】

前記ゲート電極は、前記ゲートトレンチ内から前記一方の主表面上に部分的に乗り上げ
る形状を有しており、

前記一方の主表面上に位置する前記ゲート電極の部分は、前記ゲートトレンチ内に位置
する前記ゲート電極の部分よりも広い幅を有する、請求項 1 に記載の半導体装置。

【請求項 6】

前記下側リサーフ領域は埋め込み絶縁層である、請求項 1 に記載の半導体装置。

【請求項 7】

前記下側リサーフ領域は第 2 導電型の第 2 埋め込み領域である、請求項 1 に記載の半導
体装置。

【請求項 8】

前記ゲートトレンチは、前記第 2 埋め込み領域としての前記下側リサーフ領域に達する
ように形成される、請求項 7 に記載の半導体装置。

【請求項 9】

前記第 2 埋め込み領域の前記他方の主表面側に接するように第 1 導電型の第 3 埋め込み
領域が形成されている、請求項 7 に記載の半導体装置。

【請求項 10】

10

20

30

40

50

前記半導体基板の前記一方の主表面から前記第 3 埋め込み領域を貫通するように形成される素子分離用ゲートトレンチをさらに備える、請求項 9 に記載の半導体装置。

【請求項 1 1】

前記半導体基板の前記一方の主表面にドレイン領域および前記ドレイン領域を平面的に囲むウェル領域が形成されており、

前記第 2 埋め込み領域は、前記ウェル領域の真下の領域を避けて形成されている、請求項 7 に記載の半導体装置。

【請求項 1 2】

前記ウェル領域は前記上側リサーフ領域を貫通して前記第 1 埋め込み領域内に達し、前記第 1 埋め込み領域の前記他方の主表面に最も近い領域よりも浅い領域に底部を有するように形成される、請求項 1 1 に記載の半導体装置。

10

【請求項 1 3】

前記第 1 埋め込み領域における第 1 導電型の不純物濃度を N_d (cm^{-3})、前記第 1 埋め込み領域の深さを d_n (cm) とすれば、

$$4 \times 10^{12} \leq N_d \times d_n \leq 8 \times 10^{12} \text{ であり、}$$

前記上側リサーフ領域における第 2 導電型の不純物濃度を N_{a1} (cm^{-3})、前記上側リサーフ領域の深さを d_{p1} (cm) とすれば、

$$2 \times 10^{12} \leq N_{a1} \times d_{p1} \leq 4 \times 10^{12} \text{ であり、}$$

前記下側リサーフ領域における第 2 導電型の不純物濃度を N_{a2} (cm^{-3})、前記下側リサーフ領域の深さを d_{p2} (cm) とすれば、

20

$$2 \times 10^{12} \leq N_{a2} \times d_{p2} \leq 4 \times 10^{12} \text{ である、請求項 7 に記載の半導体装置。}$$

【請求項 1 4】

前記ゲート電極の平面視における端部と連なるように、前記半導体基板の前記一方の主表面にパッド部を備え、

前記パッド部の上面に達するようにビアが接続されている、請求項 7 に記載の半導体装置。

【請求項 1 5】

横型の絶縁ゲート型電界効果トランジスタを有する半導体装置の製造方法であって、

互いに対向する一方および他方の主表面を有する半導体基板を準備する工程と、

前記半導体基板内に下側リサーフ領域と、前記下側リサーフ領域の前記一方の主表面側に接する第 1 導電型の第 1 埋め込み領域とを形成する工程と、

30

前記半導体基板の前記一方の主表面に、前記第 1 埋め込み領域の最下部よりも浅い領域に底部を形成するように分離絶縁膜を形成する工程と、

前記半導体基板内に前記第 1 埋め込み領域の前記一方の主表面側に接するように第 2 導電型の上側リサーフ領域を形成する工程と、

前記半導体基板内に前記上側リサーフ領域の前記一方の主表面側に接し、かつ前記分離絶縁膜と隣接するように第 2 導電型のボディ領域を形成する工程と、

前記半導体基板の前記一方の主表面に、前記ボディ領域および前記上側リサーフ領域に隣接するように、少なくとも前記第 1 埋め込み領域に達するゲートトレンチを形成する工程と、

40

前記ゲートトレンチ内に前記絶縁ゲート型電界効果トランジスタのゲート電極を形成する工程とを備え、

前記上側リサーフ領域を形成する工程と、前記ボディ領域を形成する工程とは同一のパターンをマスクとして第 2 導電型の不純物を導入することにより形成される、半導体装置の製造方法。

【請求項 1 6】

前記上側リサーフ領域と前記ボディ領域とは互いに同じイオン注入により同時に形成される、請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】

前記上側リサーフ領域と前記ボディ領域とは互いに異なるイオン注入により別々に形成

50

される、請求項 15 に記載の半導体装置の製造方法。

【請求項 18】

前記ゲートトレンチを形成する工程においては、前記一方の主表面側に向かうほど前記ゲートトレンチの幅が広くなりかつ前記ゲートトレンチの縁部が丸くなるようにエッチングされる、請求項 15 に記載の半導体装置の製造方法。

【請求項 19】

前記ゲート電極を形成する工程は、

前記ゲートトレンチ内の少なくとも一部を埋め込むように前記一方の主表面上に導電膜を形成する工程と、

前記ゲートトレンチの幅よりも広い幅を有するレジストパターンにより、前記ゲートトレンチ内から前記一方の主表面上に部分的に乗り上げる形状を有するよう前記導電膜がパターンニングされる工程とを含む、請求項 15 に記載の半導体装置の製造方法。

【請求項 20】

前記下側リサーフ領域は第 2 導電型の第 2 埋め込み領域であり、

前記半導体基板の前記一方の主表面にドレイン領域および前記ドレイン領域を平面的に囲むウェル領域を形成する工程をさらに備え、

前記上側リサーフ領域および前記第 2 埋め込み領域は、前記ウェル領域と平面的に重なる領域に切欠き部を有するように形成される、請求項 15 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、特に、いわゆるダブルリサーフ構造を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

高耐圧 LDMOS (Laterally Diffused Metal Oxide Semiconductor) の検討において、たとえば特開平 11-274493 号公報 (特許文献 1) に示すような縦型チャンネルトレンチゲート構造を有する横型 MOS トランジスタと、いわゆるダブルリサーフ (Reduce SURFace) 構造とを組み合わせた構成が、整合性が高いことが判明した。つまりトレンチゲートによる縦方向チャンネルを有することでトランジスタ全体の占める面積を縮小することができるためトランジスタの微細化を促進できる。またダブルリサーフ構造が空乏化しやすいことを利用した耐圧向上を利用して、ダブルリサーフ構造を構成するドリフト領域の不純物濃度を向上させ、トランジスタのオン抵抗の低減を実現できる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 11-274493 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一般にダブルリサーフ構造の寸法はトランジスタの耐圧に比例するため、トランジスタはその全体の寸法を縮小しつつも、トランジスタ全体の寸法に対するダブルリサーフ構造の寸法の割合が高くなるように設計されることが好ましい。

【0005】

また上記のトランジスタ構造においては、閾値電圧を制御するためにソース領域の近傍にボディ領域と呼ばれる不純物領域が形成される。このボディ領域とダブルリサーフ構造を構成する一方のリサーフ層とが同一の層として半導体基板の主表面に沿うように並べば、たとえばボディ領域の不純物がダブルリサーフ構造の領域に拡散することにより、ダブルリサーフ構造の寸法が変化 (減少) し、トランジスタの耐圧が減少する可能性がある。

【0006】

さらに上記のボディ領域とダブルリサーフ構造の一方のリサーフ層とを別個のマスクを用いて別工程として形成すれば、工程の効率が低下する。このような問題に対する対策は上記の特許文献1には開示も示唆もされておらず、そもそも特許文献1にはダブルリサーフ構造が開示されていない。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

10

一実施の形態に係る半導体装置において、上側リサーフ領域は半導体基板内であって第1埋め込み領域の一方の主表面側に接するように形成されている。半導体基板は、一方の主表面において、上側リサーフ領域に達するように形成された分離絶縁膜を有している。半導体基板内において上側リサーフ領域の一方の主表面側に接し、かつ分離絶縁膜と隣接するように第2導電型のボディ領域が形成されている。

【0009】

一実施の形態に係る半導体装置の製造方法においては、半導体基板内に第1埋め込み領域の一方の主表面側に接するように第2導電型の上側リサーフ領域が形成される。半導体基板内において上側リサーフ領域の一方の主表面側に接し、かつ分離絶縁膜と隣接するように第2導電型のボディ領域が形成される。上側リサーフ領域とボディ領域とは同一のパターンをマスクとして第2導電型の不純物を導入することにより形成される。

20

【発明の効果】

【0010】

一実施の形態の半導体装置によれば、上側リサーフ領域の半導体基板の一方の主表面側に接するようにボディ領域が形成されている。ボディ領域は分離絶縁膜と隣接するため、ボディ領域の主表面方向への拡散により上側リサーフ領域の寸法が変化する可能性が排除できる。このため上側リサーフ領域と下側リサーフ領域とにより形成されるダブルリサーフ構造の寸法の変化が抑制され、安定した耐圧を有する半導体装置を提供することができる。

【0011】

30

一実施の形態の製造方法によれば、上側リサーフ領域とボディ領域とが同一のパターンをマスクとして形成されるため、工程の効率を改善することができる。

【図面の簡単な説明】

【0012】

【図1】実施の形態1における半導体装置の構成を概略的に示す断面図である。

【図2】p型ボディ領域とp型リサーフ領域とが同時に形成された場合における、図1中の点線Aで囲んだ領域の拡大図および当該領域内のA-A線に沿う部分のp型不純物濃度分布を示すグラフ(A)と、図1中の点線Bで囲んだ領域の拡大図および当該領域内のB-B線に沿う部分のp型不純物濃度分布を示すグラフ(B)とである。

【図3】p型ボディ領域とp型リサーフ領域とが別々に形成された場合における、図1中の点線Aで囲んだ領域の拡大図および当該領域内のA-A線に沿う部分のp型不純物濃度分布を示すグラフ(A)と、図1中の点線Bで囲んだ領域の拡大図および当該領域内のB-B線に沿う部分のp型不純物濃度分布を示すグラフ(B)とである。

40

【図4】実施の形態1に係る半導体装置の製造方法の第1工程を示す概略断面図である。

【図5】実施の形態1に係る半導体装置の製造方法の第2工程を示す概略断面図である。

【図6】実施の形態1に係る半導体装置の製造方法の第3工程を示す概略断面図である。

【図7】実施の形態1に係る半導体装置の製造方法の第5工程を示す概略断面図である。

【図8】実施の形態1に係る半導体装置の製造方法の第6工程を示す概略断面図である。

【図9】実施の形態1に係る半導体装置の製造方法の第7工程を示す概略断面図である。

【図10】実施の形態1に係る半導体装置の製造方法の第8工程を示す概略断面図である

50

- 。
- 【図 1 1】実施の形態 1 に係る半導体装置の製造方法の第 9 工程を示す概略断面図である。
- 。
- 【図 1 2】実施の形態 1 に係る半導体装置の製造方法の変形例の第 1 工程を示す概略断面図である。
- 【図 1 3】実施の形態 1 に係る半導体装置の製造方法の変形例の第 2 工程を示す概略断面図である。
- 【図 1 4】比較例における半導体装置の構成を概略的に示す断面図である。
- 【図 1 5】実施の形態 2 における半導体装置の第 1 例の構成を概略的に示す断面図である。
- 。
- 【図 1 6】実施の形態 2 に係る半導体装置の第 2 例の構成を概略的に示す断面図である。
- 【図 1 7】実施の形態 2 の第 2 例に係る半導体装置の製造方法の第 1 工程を示す概略断面図である。
- 【図 1 8】実施の形態 3 に係る半導体装置の構成を概略的に示す断面図である。
- 【図 1 9】実施の形態 3 に係る半導体装置の製造方法の第 1 工程を示す概略断面図である。
- 。
- 【図 2 0】実施の形態 4 に係る半導体装置の構成を概略的に示す断面図である。
- 【図 2 1】実施の形態 4 に係る半導体装置の製造方法の第 1 工程を示す概略断面図である。
- 。
- 【図 2 2】実施の形態 4 に係る半導体装置の製造方法の第 2 工程を示す概略断面図である。
- 。
- 【図 2 3】実施の形態 5 に係る半導体装置の構成を概略的に示す断面図である。
- 【図 2 4】実施の形態 5 に係る半導体装置の製造方法の第 1 工程を示す概略断面図である。
- 。
- 【図 2 5】実施の形態 5 に係る半導体装置の製造方法の第 2 工程を示す概略断面図である。
- 。
- 【図 2 6】実施の形態 5 に係る半導体装置の製造方法の第 3 工程を示す概略断面図である。
- 。
- 【図 2 7】実施の形態 5 に係る半導体装置の製造方法の第 4 工程を示す概略断面図である。
- 。
- 【図 2 8】実施の形態 5 に係る半導体装置の製造方法の第 5 工程を示す概略断面図である。
- 。
- 【図 2 9】実施の形態 5 に係る半導体装置の製造方法の第 6 工程を示す概略断面図である。
- 。
- 【図 3 0】実施の形態 5 に係る半導体装置の製造方法の第 7 工程を示す概略断面図である。
- 。
- 【図 3 1】実施の形態 5 に係る半導体装置の製造方法の第 8 工程を示す概略断面図である。
- 。
- 【図 3 2】実施の形態 6 に係る半導体装置の構成を概略的に示す断面図である。
- 【図 3 3】実施の形態 7 に係る半導体装置の構成を概略的に示す断面図である。
- 【図 3 4】図 1 の半導体装置の平面視における構成の第 1 例を概略的に示す平面図である。
- 。
- 【図 3 5】図 1 の半導体装置の平面視における構成の第 2 例を概略的に示す平面図である。
- 。
- 【図 3 6】図 1 の半導体装置の平面視における構成の第 3 例であり、実施の形態 8 に係る半導体装置の構成を概略的に示す平面図である。
- 【図 3 7】図 3 6 の X X X V I I - X X X V I I 線に沿う、実施の形態 8 に係る半導体装置の構成を概略的に示す断面図である。
- 【図 3 8】実施の形態 8 に係る半導体装置の製造方法の第 1 工程を示す概略断面図である。
- 。

10

20

30

40

50

【図 3 9】実施の形態 9 に係る半導体装置の構成を概略的に示す断面図である。

【発明を実施するための形態】

【0013】

以下、本実施の形態について図に基づいて説明する。

(実施の形態 1)

まず図 1 を用いて本実施の形態の半導体装置の構成について説明する。

【0014】

図 1 を参照して、本実施の形態の半導体装置はたとえば LDMOS トランジスタ（横型の絶縁ゲート型電界効果トランジスタ）を有している。この半導体装置は、半導体基板 SUB と、n 型ドリフト領域 NDR（第 1 埋め込み領域）と、p 型リサーフ領域 RSF1（上側リサーフ領域）と、分離絶縁膜 SPR と、p 型ボディ領域 GBL（ボディ領域）と、トレンチゲート電極 TGE（ゲート電極）とを主に有している。

【0015】

半導体基板 SUB はたとえば p 型不純物を含むシリコンからなる基板領域 SB により形成されており、互いに対向する一方の主表面（図 1 の上側の主表面 S1）および他方の主表面（図 1 の下側の主表面 S2）を有している。図 1 においては、半導体基板 SUB 内の主表面 S2 側に配置された基板領域 SB は、下側リサーフ領域として配置されている。

【0016】

半導体基板 SUB 内であって下側リサーフ領域としての基板領域 SB の主表面 S1 側に接するように、n 型（第 1 導電型）の不純物を含むドリフト領域 NDR が形成されている。n 型ドリフト領域 NDR はたとえば半導体基板 SUB の主表面 S1 から主表面 S2 に向かう方向の深さが 2 μm 程度の領域にまで形成されることが好ましい。n 型ドリフト領域 NDR は半導体基板 SUB の主表面に沿う方向に関して、トレンチゲート電極 TGE が形成される領域を除く半導体基板 SUB 内のたとえばほぼ全領域に延びるように形成されている。

【0017】

p 型リサーフ領域 RSF1 は、n 型ドリフト領域 NDR の主表面 S1 側に接するように形成された、p 型（第 2 導電型）の不純物を含む上側リサーフ領域である。p 型リサーフ領域 RSF1 は半導体基板 SUB の主表面に沿う方向に関して、トレンチゲート電極 TGE および後述する n 型ウェル領域 NWL が形成される領域を除く半導体基板 SUB 内のたとえばほぼ全領域に延びるように形成されている。

【0018】

半導体基板 SUB の主表面 S1 の一部には、p 型リサーフ領域 RSF1 に達するように凹部 CCV が形成されており、分離絶縁膜 SPR は、凹部 CCV 内を埋め込むシリコン酸化膜などの絶縁膜により形成されている。

【0019】

半導体基板 SUB 内において、半導体基板 SUB の主表面に沿う方向に関して凹部 CCV および分離絶縁膜 SPR に隣接する領域には、p 型リサーフ領域 RSF1 の主表面 S1 側に接するように、p 型の不純物を含むボディ領域 GBL が形成されている。より具体的には、p 型リサーフ領域 RSF1 のうち分離絶縁膜 SPR の真下に配置されない p 型リサーフ領域 RSF1 の上面に接するように、p 型リサーフ領域 RSF1 の主表面 S1 側には p 型ボディ領域 GBL が形成されている。

【0020】

半導体基板 SUB の主表面 S1 のうち、p 型ボディ領域 GBL および p 型リサーフ領域 RSF1 に隣接する領域には、ゲートトレンチ TCH1 が形成されている。ゲートトレンチ TCH1 は、p 型ボディ領域 GBL および p 型リサーフ領域 RSF1 に隣接する領域を貫通し、少なくとも n 型ドリフト領域 NDR に達するように、主表面 S1 に交差する（たとえば垂直な）方向に延びている。

【0021】

ゲートトレンチ TCH1 の底側壁には、たとえばシリコン酸化膜からなるゲート絶縁膜

10

20

30

40

50

G I が形成されている。ゲートトレンチ T C H 1 内には、ゲート絶縁膜 G I の上面に接するように、トレンチゲート電極 T G E が形成されている。トレンチゲート電極 T G E は、ゲート絶縁膜 G I を介在して、p 型ボディ領域 G B L および p 型リサーフ領域 R S F 1 と対向するように配置されている。トレンチゲート電極 T G E は主表面 S 1 から、p 型ボディ領域 G B L および p 型リサーフ領域 R S F 1 に隣接する領域を貫通し、少なくとも n 型ドリフト領域 N D R に達するように形成されるが、ここではトレンチゲート電極 T G E は n 型ドリフト領域 N D R を貫通して基板領域 S B に達するように形成される。

【0022】

その他、本実施の形態の半導体装置は、たとえば p 型ボディ領域 G B L の主表面 S 1 側に接するように、半導体基板 S U B の主表面 S 1 に、たとえば n 型のソース領域 S R と、p 型のバックゲート領域 P B G とが主表面に沿う方向に並ぶように形成されている。ソース領域 S R はバックゲート領域 P B G よりもトレンチゲート電極 T G E に近い側（図 1 の左側）に配置されることが好ましい。またソース領域 S R とバックゲート領域 P B G とは互いに接していてもよい。したがって図 1 の上下方向に関して、ソース領域 S R およびバックゲート領域 P B G と、p 型リサーフ領域 R S F 1 とに挟まれるように、p 型ボディ領域 G B L が形成されている。

【0023】

上記の n 型のソース領域 S R および p 型ボディ領域 G B L などと主表面に沿う方向に関して間隔をあけて、半導体基板 S U B の主表面 S 1 にはドレイン領域 D R が形成されている。ソース領域 S R とドレイン領域 D R との間の領域では分離絶縁膜 S P R が主表面 S 1 の方向に沿って延びている。ソース領域 S R、ドレイン領域 D R および p 型バックゲート領域 P B G は、n 型ドリフト領域 N D R (n⁻領域) および p 型リサーフ領域 R S F 1 (p⁻領域) などよりも n 型または p 型の不純物濃度が高い (n⁺領域 / p⁺領域) ことが好ましい。

【0024】

ドレイン領域 D R の真下には、平面的に（平面視において）ドレイン領域 D R を囲むように、半導体基板 S U B 内に n 型ウェル領域 N W L (ウェル領域) が形成されている。なお図 1 においては n 型ウェル領域 N W L はドレイン領域 D R の真下から下方向に延び、下方にて主表面に沿う方向に広がる形状を有しているが、これに限らずたとえば主表面 S 1 のにおいてドレイン領域 D R を囲むように n 型ウェル領域 N W L が形成されてもよい。n 型ウェル領域 N W L は n 型ドリフト領域 N D R より n 型の不純物濃度が高い領域 (n 領域) であることが好ましい。

【0025】

n 型ウェル領域 N W L は p 型リサーフ領域 R S F 1 よりも主表面 S 2 側の n 型ドリフト領域 N D R に達することにより、n 型ドリフト領域 N D R と電氣的に接続され、n 型ドリフト領域 N D R を流れる電流がドレイン領域 D R まで流れることを可能とする。ただし n 型ウェル領域 N W L は、n 型ドリフト領域 N D R の最下部すなわち n 型ドリフト領域 N D R のうち主表面 S 2 に最も近い領域よりも浅い（主表面 S 1 側の）領域に底部を有するように形成されることが好ましい。具体的には、n 型ウェル領域 N W L の深さは 1 μm 程度で n 型不純物濃度は $8 \times 10^{16} \text{ cm}^{-3}$ 以上 $2 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましい。

【0026】

半導体基板 S U B の主表面 S 1 (トレンチゲート電極 T G E、ゲート絶縁膜 G I、ソース領域 S R、p 型バックゲート領域 P B G、分離絶縁膜 S P R およびドレイン領域 D R) を覆うように、層間絶縁膜 I I が形成されている。層間絶縁膜 I I はたとえばシリコン酸化膜よりなっている。層間絶縁膜 I I 上に、パターニングされた金属配線 A L が形成されている。この金属配線 A L は、層間絶縁膜 I I に形成されたビア V A と呼ばれる導電層を通じて、半導体基板 S U B の主表面 S 1 のトレンチゲート電極 T G E、ソース領域 S R、p 型バックゲート領域 P B G およびドレイン領域 D R に電氣的に接続されている。

【0027】

以上のような構成の L D M O S トランジスタは、その駆動時には、ソース領域 S R の真

10

20

30

40

50

下の p 型ボディ領域 G B L とさらにその真下の p 型リサーフ領域 R S F 1 とが、これらの領域に隣接するトレンチゲート電極 T G E に印加される電圧により電界効果を起こして導電型が反転し、n 型のチャネルを形成する。これによりソース領域 S R からドレイン領域 D R まで、p 型ボディ領域 G B L、p 型リサーフ領域 R S F 1 および n 型ドリフト領域 N D R を経由する電流の通路が形成される。

【0028】

上記電流が流れる n 型ドリフト領域 N D R は、その下側（主表面 S 2 側）が p 型の基板領域 S B に接しており、その上側（主表面 S 1 側）が p 型リサーフ領域 R S F 1 に接している。すなわち n 型ドリフト領域 N D R と、その上下側双方から n 型ドリフト領域 N D R を挟むように接合された基板領域 S B および p 型リサーフ領域 R S F 1 とにより、2 つの p n 接合を有するいわゆるダブルリサーフ構造が形成されている。これにより n 型ドリフト領域 N D R は、その耐圧保持時に、基板領域 S B との p n 接合部および p 型リサーフ領域 R S F 1 との p n 接合部の双方に空乏層が形成されることから、通常の（たとえば単一の p n 接合のみ有する）ドリフト領域よりも空乏化が促進され、ソース領域 S R とドレイン領域 D R との間の耐圧が向上する。また当該 n 型ドリフト領域 N D R は容易に空乏化されるため、通常のドリフト領域よりも n 型不純物濃度を高くすることによりオン抵抗を低減することができる。

【0029】

n 型ドリフト領域 N D R が上下側双方から p 型領域に挟まれダブルリサーフ構造を構成するダブルリサーフ領域 D R R の、半導体基板 S U B の主表面に沿う方向の寸法に比例して、ソース領域 S R とドレイン領域 D R との間の耐圧を高くすることができる。

【0030】

次に本実施の形態の各領域の深さ方向の寸法と不純物濃度との関係について説明する。

本実施の形態においては、n 型ドリフト領域 N D R における n 型の不純物濃度を N_d (cm^{-3})、n 型ドリフト領域 N D R の深さを d_n (cm) とすれば

$$4 \times 10^{12} \leq N_d \times d_n \leq 8 \times 10^{12} \text{ の関係が成り立つ。}$$

【0031】

また p 型リサーフ領域 R S F 1 における p 型の不純物濃度を N_{a1} (cm^{-3})、p 型リサーフ領域 R S F 1 の深さを d_{p1} (cm) とすれば、

$$2 \times 10^{12} \leq N_{a1} \times d_{p1} \leq 4 \times 10^{12} \text{ の関係が成り立つ。これは、ダブルリサーフ領域 D R R の耐圧を適正值とする上で好ましい条件である。}$$

【0032】

次に図 2 および図 3 を参照しながら、p 型ボディ領域 G B L および p 型リサーフ領域 R S F 1 の不純物濃度分布について説明する。

【0033】

図 2 (A)、(B) を参照して、本実施の形態においては、p 型ボディ領域 G B L は p 型リサーフ領域 R S F 1 の上面に接するように形成されているが、これらは互いに同じイオン注入により同時に（1 回のイオン注入により）形成されてもよい。

【0034】

p 型リサーフ領域 R S F 1 の上面上には、分離絶縁膜 S P R と p 型ボディ領域 G B L とが並ぶように形成されている。この場合、図 2 (A) 中の A-A 線に沿う部分、すなわち p 型リサーフ領域 R S F 1 と p 型ボディ領域 G B L とが互いに接する領域における p 型不純物濃度分布は、p 型リサーフ領域 R S F 1 とその真上の p 型ボディ領域 G B L の境界において連続となる。そして基本的に主表面 S 1 に対して深い領域ほど不純物濃度は低くなる。一方、図 2 (B) 中の B-B 線に沿う部分、すなわち p 型リサーフ領域 R S F 1 と分離絶縁膜 S P R とが互いに接する領域における p 型リサーフ領域 R S F 1 の p 型不純物濃度分布は、同じ深さで比較すれば、p 型ボディ領域 G B L と接する領域における p 型リサーフ領域 R S F 1 の p 型不純物濃度分布と基本的に同様となる。しかし分離絶縁膜 S P R 下の p 型リサーフ領域 R S F 1 は p 型ボディ領域 G B L 下の p 型リサーフ領域 R S F 1 よりも濃度が低くなる場合もある。

10

20

30

40

50

【0035】

図2の場合においては、A-A線に沿う部分におけるp型リサーフ領域RSF1とp型ボディ領域GBLとの境界は、分離絶縁膜SPRの底面と同じ深さの位置と定義する。

【0036】

図3(A)、(B)を参照して、本実施の形態においては、p型ボディ領域GBLとp型リサーフ領域RSF1とは互いに異なるイオン注入により別々に(2回のイオン注入により)形成されてもよい。この場合、図3(A)に示すp型ボディ領域GBLを形成するためのイオン注入の濃度分布のグラフと、p型リサーフ領域RSF1を形成するためのイオン注入の濃度分布のグラフとの交点に相当する位置を、A-A線に沿う部分におけるp型リサーフ領域RSF1とp型ボディ領域GBLとの境界と定義する。この場合通常は図3に示すように、当該境界は分離絶縁膜SPRの底面よりやや浅い領域に形成される。

10

【0037】

このようにイオン注入の方法によって、p型リサーフ領域RSF1とp型ボディ領域GBLとの境界の位置が多少変化するが、本実施の形態においては以降、各図において図2のように分離絶縁膜SPRの底面に境界が現れるものとして図示している。

【0038】

次に、図4～14を用いて、図1に示す本実施の形態の半導体装置の製造方法を説明する。

【0039】

図4を参照して、まず互いに対向する一方の主表面S1および他方の主表面S2を有する、シリコンからなる半導体基板SUBが準備される。ここではp型不純物を含む基板領域SBからなる半導体基板SUBが準備される。

20

【0040】

次に、半導体基板SUBの主表面S1側から、通常のイオン注入技術を用いて半導体基板SUB内にn型ドリフト領域NDRが形成される。具体的には、たとえば主表面S1からの深さが1 μ m以上2 μ m以下の範囲を狙うように(この範囲に概ね濃度のピークが現れるように)リンの不純物イオンが半導体基板SUB内に注入される。その後、たとえば1200 $^{\circ}$ C程度に加熱され5時間程度の熱処理がなされることにより、主表面S1からの深さが2 μ m程度の範囲内にn型不純物であるリンの不純物イオンを含むn型ドリフト領域NDRが形成される。

30

【0041】

なお図4においては半導体基板SUBの主表面S1から深さ2 μ m程度の範囲内の全領域にn型ドリフト領域NDRが形成されているが、n型ドリフト領域NDRは主表面S1から所望の深さだけ離れた領域のみに、半導体基板SUBの内部に埋め込まれるように形成されてもよい。

【0042】

これにより、n型ドリフト領域NDRの主表面S2側の基板領域SBは、n型ドリフト領域NDRの下側に接する、n型ドリフト領域NDRの下側リサーフ領域として形成され、逆にいえば、基板領域SBの主表面S1側に接するようにn型ドリフト領域NDRが形成される。

40

【0043】

図5を参照して、通常の写真製版技術およびエッチング技術により、半導体基板SUBの主表面S1上に、たとえばシリコン窒化膜からなるマスクパターンMSKが形成される。次にこのマスクパターンMSKをマスクとして、通常の写真製版技術およびエッチング技術により、半導体基板SUBの主表面S1に凹部CCVが形成される。凹部CCVは、特にn型ドリフト領域NDRが主表面S1から深さ方向に形成された場合には、主表面S1に形成されたn型ドリフト領域NDRの一部を除去するように形成されるが、その底部がn型ドリフト領域NDRの最下部よりも浅い領域に形成される。すなわち凹部CCVが形成された領域においても、凹部CCVの真下にn型ドリフト領域NDRが形成されている。

50

【0044】

次に、凹部CCV内を埋めるように主表面S1上にたとえばシリコン酸化膜がたとえば通常のCVD (Chemical Vapor Deposition) 法により形成される。その後主表面S1上のシリコン酸化膜がたとえばCMP (Chemical Mechanical Polishing) と呼ばれる化学機械的研磨法により上面が平坦となるように研磨され、たとえば凹部CCVの外側にはみ出た余分なシリコン酸化膜は除去される。これにより凹部CCV内には分離絶縁膜SPRが形成される。分離絶縁膜SPRの形成後、マスクパターンMSKは除去される。

【0045】

なお分離絶縁膜SPRは、上記の方法の代わりに、たとえばいわゆるLOCOS (Local Oxidation of Silicon) 法を用いて形成されてもよい。この場合は、たとえば主表面S1上にたとえば形成された図5のマスクパターンMSKを用いて、通常の熱酸化処理法により形成されたシリコン酸化膜のパターンが再度酸化されることにより成長して厚みが増すことにより、分離絶縁膜SPRが形成される。この場合においても分離絶縁膜SPRは、基本的に図1と同様に、あたかも凹部CCV内に絶縁膜が充填されたような態様を呈する。

【0046】

図6を参照して、次に通常の写真製版技術およびエッチング技術により、p型リサーフ領域RSF1が形成されるべき領域に開口を有するように、たとえばシリコン窒化膜からなるマスクパターンMSKが形成される。次にこのマスクパターンMSKをマスクとして、通常のイオン注入技術を用いてp型の不純物イオンが注入されることにより、半導体基板SUB内にp型リサーフ領域RSF1およびp型ボディ領域GBLが形成される。なお図中の下向きの矢印はイオン注入技術による不純物イオンの注入を意味している。p型リサーフ領域RSF1などの形成後、マスクパターンMSKは除去される。

【0047】

ここでは上記の図2 (A)、(B)に示すように、p型リサーフ領域RSF1とp型ボディ領域GBLとは同じマスクパターンMSKを用いて、互いに同じイオン注入により同時に形成される。すなわち主表面S1に沿う方向に関して図6の左側の領域 (p型ボディ領域GBLが形成されるべき領域) に概ね濃度のピークが出現するように、かつ主表面S1に垂直な深さ方向に関して概ねp型ボディ領域GBLが形成されるべき領域に濃度のピークが現れるように (図2 (A) 参照)、p型リサーフ領域RSF1とp型ボディ領域GBLとが形成される。この処理により、p型リサーフ領域RSF1はn型ドリフト領域NDRの主表面S1側に接するように図の左右方向に延在するように形成される。

【0048】

p型リサーフ領域RSF1と、その主表面S1側に接するように形成されるp型ボディ領域GBLとの境界は分離絶縁膜SPRの底面の位置であり、p型リサーフ領域RSF1はその真上に分離絶縁膜SPRが形成される領域とその真上にp型ボディ領域GBLが形成される領域とを有するように形成される。基本的に分離絶縁膜SPRの真下のp型リサーフ領域RSF1とp型ボディ領域GBLの真下のp型リサーフ領域RSF1とは同じ深さであれば同様の不純物濃度を有する。しかし分離絶縁膜SPRの真下のp型リサーフ領域RSF1は、イオン注入時に障害となる分離絶縁膜SPRを透過したp型の不純物イオンにより形成されるため、p型ボディ領域GBLの真下に形成されたp型リサーフ領域RSF1に比べてp型の不純物濃度が低くなる場合もある。

【0049】

図7を参照して、通常の写真製版技術により、n型ウェル領域NWLを形成すべき領域に開口を有するマスクパターンMSKが形成される。次に通常のイオン注入技術によりn型の不純物イオン (たとえばリン) が注入されることで、n型ウェル領域NWLが形成される。n型ウェル領域NWLの形成後、マスクパターンMSKは除去される。n型ウェル領域NWLは多段イオン注入により形成されることが好ましい。

【0050】

図8を参照して、次に通常の写真製版技術およびエッチング技術により、ゲートトレ

10

20

30

40

50

チTCH1が形成される。ここではp型ボディ領域GBLおよびp型リサーフ領域RSF1の双方に隣接するように、主表面S1から深さ方向に延びるゲートトレンチTCH1が形成される。このゲートトレンチTCH1は、少なくともn型ドリフト領域NDRに達するように形成され、図8においてはn型ドリフト領域NDRを貫通してその下の基板領域SBに達するように形成される。

【0051】

図9を参照して、次に熱酸化処理法等により、ゲートトレンチTCH1の底側壁にシリコン酸化膜が形成される。この状態でゲートトレンチTCH1内を埋め込むように、たとえば導電性不純物を含む多結晶シリコン膜(DOPOS:Doped Poly Silicon)等が、通常のCVD法により形成される。その後、上記のシリコン酸化膜および多結晶シリコン膜等がエッチバックされることにより、図9に示す態様のゲート絶縁膜GIおよびトレンチゲート電極TGEが形成される。トレンチゲート電極TGEは、LDMOSTランジスタのゲート電極として形成される。

10

【0052】

図10を参照して、通常の写真製版技術およびイオン注入技術を用いて、半導体基板SUBの主表面S1のうち、p型ボディ領域GBLの真上にはn型不純物イオンの注入によるソース領域SRとp型不純物イオンの注入によるp型バックゲート領域PBGとが形成される。また同様に、半導体基板SUBの主表面S1のうち、n型ウェル領域NWLの真上にはn型不純物イオンの注入によるドレイン領域DRが形成される。

【0053】

20

図11を参照して、半導体基板SUBの主表面S1上に、たとえばCVD法を用いてシリコン酸化膜からなる層間絶縁膜IIが形成され、その後、当該層間絶縁膜IIがCMPにより上面が平坦となるように研磨される。さらに通常の写真製版技術およびエッチング技術により、トレンチゲート電極TGE、ソース領域SR、p型バックゲート領域PBGおよびドレイン領域DRのそれぞれに達するように層間絶縁膜IIにビアホールが形成される。ビアホールの内部にたとえばタングステンよりなる導電膜がたとえばCVD法により形成され、層間絶縁膜II上のタングステンの薄膜はCMPにより除去される。

【0054】

図1を参照して、この後、層間絶縁膜II上にはたとえばアルミニウムからなる薄膜が、たとえばスパッタリングにより形成される。そして通常の写真製版技術およびエッチング技術により、たとえばアルミニウムからなる金属配線ALが形成される。これにより図1に示す構成のLDMOSTランジスタが形成される。

30

【0055】

なおアルミニウムの金属配線ALは、ソース領域SRとドレイン領域DRとの間のダブルリサーフ領域DRRと平面的に重なる領域を避けるように形成されることが好ましい。

【0056】

以上の製造方法においては、p型リサーフ領域RSF1とp型ボディ領域GBLとは互いに同じイオン注入により形成されるが、これらは別々のイオン注入により形成されてもよい。図12を参照して、図6に示すマスクパターンMSKと同様のマスクパターンMSKが形成された状態で、深さ方向に関して図3(A)に示すピークの位置に概ね濃度のピークが現れるようにp型の不純物イオンがイオン注入されることにより、p型リサーフ領域RSF1が形成される。

40

【0057】

図13を参照して、次に上記p型リサーフ領域RSF1のイオン注入に用いたマスクパターンMSKと同じマスクパターンMSKを用いて、深さ方向に関して図3(A)に示すピークの位置に概ね濃度のピークが現れるようにp型の不純物イオンがイオン注入されることにより、p型ボディ領域GBLが形成される。以降は図7～図11、図1と同様の処理がなされ、図1に示す構成のLDMOSTランジスタが形成される。

【0058】

次に、図14の比較例を参照しながら、本実施の形態の作用効果を説明する。

50

図14を参照して、第1に、比較例のLDMOSTランジスタは、n型ドリフト領域NDRの上面に接するp型リサーフ領域RSF1と、p型ボディ領域GBLと同様に駆動時に電界効果により導電型が反転するチャンネル領域として機能するp型ウェル領域PWLとが同一の層として、半導体基板SUBの主表面に沿う方向に関して並ぶように（互いに隣接するように）配置されている。この場合はp型リサーフ領域RSF1とp型ウェル領域PWLとの濃度プロファイルはまったく異なるため、p型リサーフ領域RSF1とp型ウェル領域PWLとを同時に同一のマスクパターンを用いて形成することはできず、別個のマスクパターンを用いて別々に（2回のイオン注入により）形成される必要がある。このため工程の効率が低下する上に、製造コストが高騰する可能性がある。別々の工程により形成されるため、図14においてはp型リサーフ領域RSF1上に（イオン注入時に不純物イオンが透過する）分離絶縁膜SPRが形成される必要はない。

10

【0059】

しかし本実施の形態においては、p型リサーフ領域RSF1の一部の領域の主表面S1側に重畳するようにp型ボディ領域GBLが形成されており、両者は主表面S1に沿う方向に並ぶように形成されてはいない。このため両者を同一のマスクを用いて同時に形成することが可能となり、工程の効率が向上する上に、製造コストを低減することができる。

【0060】

第2に、図14においてはp型ウェル領域PWLを構成する不純物イオンが主表面方向に拡散することにより、p型ウェル領域PWLがこれに隣り合うp型リサーフ領域RSF1の方に進入し、ダブルリサーフ領域DRRの主表面方向の寸法が短くなる可能性がある。

20

【0061】

しかし本実施の形態においては、p型リサーフ領域RSF1の上にp型ボディ領域GBLが形成され、しかも主表面方向に関してはp型ボディ領域GBLに隣接するように分離絶縁膜SPRが形成される。このためp型ボディ領域GBLが主表面方向に拡散してp型リサーフ領域RSF1の寸法を変更する不具合の発生が抑制される。したがってダブルリサーフ領域DRRの主表面方向の寸法は、ソース領域SRとドレイン領域DRとの間の分離絶縁膜SPRの端部に律速され、これに対して意図せず短くなるなどの不具合が抑制される。

【0062】

第3に、図14においてはドレイン領域DRのn型不純物の濃度が高くまた比較的深く（n型ドリフト領域NDRの最下部まで）形成されている。このため、ドレイン領域DRと基板領域SBとの間の電界強度が高くなり、両者の接合部に空乏層が発生しにくくなり、両者の接合部の耐圧が低下する。すなわち図14のLDMOSTランジスタにおいては、本来ダブルリサーフ領域DRRの主表面方向の寸法に律速されるべき、ソース領域SRとドレイン領域DRとの間の耐圧が、ドレイン領域DRの最下部の耐圧に律速される。言い換えれば図14の構成においてドレイン領域DRを深く形成すれば、LDMOSTランジスタのドレイン耐圧の上限はダブルリサーフ領域DRRの主表面S1に沿う方向の寸法に律速せず、むしろドレイン領域DR（不純物領域）の最下部における耐圧に律速する。このためダブルリサーフ領域DRRの寸法にかかわらず、当該ランジスタの耐圧が低下する可能性がある。

30

40

【0063】

しかし本実施の形態においては、ドレイン領域DRに連なるn型ウェル領域NWLの最下部がn型ドリフト領域NDRよりも浅く形成されているため、n型不純物濃度の高いドレイン領域DRおよびn型ウェル領域NWLと、p型の基板領域SBとの間の距離が図14よりも長くなる。このためn型ウェル領域NWLと基板領域SBとの間の領域の電界強度が低くなり、両者の接合部に空乏層が発生しやすくなり、両者の接合部の耐圧が上昇する。また本来のダブルリサーフ領域DRRの主表面方向の寸法に応じてソース領域SRとドレイン領域DRとの間の耐圧を制御することができる。したがって上記のようにp型リサーフ領域RSF1の主表面方向の寸法を確保することにより、LDMOSTランジスタ

50

の耐圧を上昇させることができる。具体的には、ダブルリサーフ領域 D R R の耐圧は $15\text{ V}/\mu\text{m}$ 以上であることが好ましい。

【0064】

(実施の形態 2)

図 15 を参照して、本実施の形態の第 1 例の L D M O S トランジスタは基本的に実施の形態 1 の図 1 の L D M O S トランジスタと同様の構成を有しているが、ソース領域 S R、p 型バックゲート領域 P B G およびドレイン領域 D R の最上部に、シリコンが金属材料と反応された領域としてシリサイド層 S C が形成されている。特にソース領域 S R と p 型バックゲート領域 P B G とは主表面方向に関して互いに接するように隣り合っているが、シリサイド層 S C はこれらの各領域 S R、P B G の双方の上面を跨ぐように形成されている。そしてこれらの各領域 S R、P B G 上のシリサイド層 S C の上面に達するようにビア V A が接続されている。このビア V A はソース領域 S R と p 型バックゲート領域 P B G との双方が共有している。

10

【0065】

なお、これ以外の図 15 の構成は、実施の形態 1 の構成とほぼ同じであるため同一の要素については同一の符号を付し、その説明は繰り返さない（このことは以下の各実施の形態において同じである）。

【0066】

このような構成にすれば、1 つのビア V A が複数の導電性不純物領域と電氣的に接続することを可能とするため、装置全体の構成を簡略化することができる。

20

【0067】

図 16 を参照して、本実施の形態の第 2 例の L D M O S トランジスタは図 15 の第 1 例の L D M O S トランジスタと同様の構成を有しているが、トレンチゲート電極 T G E の特にソース領域 S R 側（図 16 の右側）の縁部の上面にブロック絶縁膜 O X が形成されている点において図 15 の第 1 例と異なっている。このようにすれば、ソース領域 S R および p 型バックゲート領域 P B G 上のシリサイド層 S C と、トレンチゲート電極 T G E とのショートを抑制することができる。

【0068】

図 17 を参照して、図 16 の構成の製造方法においては、上記のブロック絶縁膜 O X は、たとえばトレンチゲート電極 T G E およびシリサイド層 S C が形成された後に、トレンチゲート電極 T G E 上に開口を有するマスクパターンを形成し、当該マスクパターンを用いてトレンチゲート電極 T G E の上（特にそのソース領域 S R 側の縁部）に熱酸化処理法等によりシリコン酸化膜を形成することにより形成される。なおこれ以外の実施の形態 2 の製造方法は、実施の形態 1 の製造方法と同様であるためその説明は繰り返さない（このことは以下の各実施の形態において同じである）。

30

【0069】

(実施の形態 3)

図 18 を参照して、本実施の形態の L D M O S トランジスタは、基本的に実施の形態 1 の図 1 の L D M O S トランジスタと同様の構成を有しているが、トレンチゲート電極 T G E の幅が、主表面 S 1 側に向かうほど広くなるようにゲートトレンチ T C H 1 の縁部が丸くなっており、主表面 S 1 に向けてその幅が広がっている。なおここで幅とは主表面に沿う方向の寸法を意味する。

40

【0070】

図 19 を参照して、このようなゲートトレンチ T C H 1 は、たとえば図 8 のゲートトレンチ T C H 1 を形成する工程において、形成されるゲートトレンチ T C H 1 が、主表面 S 1 と交差する縁部において、その形状が丸くなりかつ主表面 S 1 に向かうほどその幅が広くなるようにエッチングされる。なおエッチングの代わりに酸化により上記と同様の処理がなされてもよい。

【0071】

このようにすれば、形成されるトレンチゲート電極 T G E が、ソース領域 S R 側の縁部

50

において電界集中を起こす不具合の発生を抑制することができる。

【0072】

（実施の形態4）

図20を参照して、本実施の形態においては、ゲートトレンチTCH1内に充填されるDOPOSなどにより形成されるトレンチゲート電極TGEが、ゲートトレンチTCH1内から半導体基板SUBの主表面S1の上側に部分的に乗り上げる形状を有している。具体的にはトレンチゲート電極TGEが、たとえばソース領域SRの一部の領域の真上にまで連なるように延びており、これにより主表面S1上に位置するトレンチゲート電極TGEの部分が、ゲートトレンチTCH1内に位置するトレンチゲート電極TGEの部分に比べて幅が広がっている。

10

【0073】

図21を参照して、本実施の形態の製造方法においては、ソース領域SR、p型バックゲート領域PBG、ドレイン領域DRが形成され（それらの真上にシリサイド層SCが形成され）た後、ゲートトレンチTCH1が形成され、ゲートトレンチTCH1の内側壁から半導体基板SUBの主表面S1上にまで連なるように熱酸化処理法により絶縁膜GIが形成され、その絶縁膜GI上にゲートトレンチTCH1内を充填するようにDOPOS膜などが形成される。

【0074】

その後、ゲートトレンチTCH1の真上には、ゲートトレンチTCH1の幅よりも広い幅を有し、その端部がたとえばソース領域SRの一部の領域の真上に存在するように、ゲートトレンチTCH1内およびその外側の一部の領域を覆うフォトレジストパターンPHR（レジストパターン）が形成される。

20

【0075】

図22を参照して、図21の広い開口を有するレジストパターンPHRを用いて、フォトレジストパターンPHRに覆われない領域のDOPOS膜および絶縁膜GIが除去され、ゲートトレンチTCH1内からその周囲のソース領域SRなどの一部の領域の上に乗り上げるように、ゲート絶縁膜GIおよびトレンチゲート電極TGEが形成される。

【0076】

本実施の形態においては、トレンチゲート電極TGEの平面視における面積をゲートトレンチTCH1よりも大きくすることができる。このため後工程においてトレンチゲート電極TGEに達するビアVAを形成する際に、ビアVAの形成される位置のマージンを拡張することができ、たとえ位置調整の精度が低くても、確実にトレンチゲート電極TGEに導通可能なビアVAを形成することができる。

30

【0077】

（実施の形態5）

図23を参照して、本実施の形態のLDMOSTランジスタは、基本的に実施の形態1の図1のLDMOSTランジスタと同様の構成を有しているが、n型ドリフト領域NDRの主表面S2側（下側）に接する下側リサーフ領域がp型リサーフ領域RSF2（第2埋め込み領域）である点において、半導体基板SUBの基板領域SBを下側リサーフ領域とする実施の形態1と異なっている。

40

【0078】

p型リサーフ領域RSF2は、半導体基板SUB内に埋め込まれるように形成されたp型不純物領域であり、半導体基板SUBの主表面に沿う方向に延在している。n型ドリフト領域NDRはその上面に接するp型リサーフ領域RSF1とその下面に接するp型リサーフ領域RSF2とに挟まれることにより、ダブルリサーフ領域DRRを形成している。ただしp型リサーフ領域RSF2は、n型ウェル領域NWL（およびドレイン領域DR）の真下の領域を避けるように形成されている。

【0079】

p型リサーフ領域RSF2は基板領域SBに比べてp型不純物の濃度が高いことが好ましい。具体的には、本実施の形態においては、n型ドリフト領域NDRにおけるn型の不

50

純物濃度を N_d (cm^{-3})、 n 型ドリフト領域 NDR の深さを d_n (cm) とすれば、
 $4 \times 10^{12} \leq N_d \times d_n \leq 8 \times 10^{12}$ の関係が成り立つ。

【0080】

また p 型リサーフ領域 $RSF1$ における p 型の不純物濃度を N_{a1} (cm^{-3})、 p 型リサーフ領域 $RSF1$ の深さを d_{p1} (cm) とすれば、

$$2 \times 10^{12} \leq N_{a1} \times d_{p1} \leq 4 \times 10^{12} \text{ の関係が成り立つ。}$$

【0081】

また p 型リサーフ領域 $RSF2$ における p 型の不純物濃度を N_{a2} (cm^{-3})、 p 型リサーフ領域 $RSF2$ の深さを d_{p2} (cm) とすれば、

$2 \times 10^{12} \leq N_{a2} \times d_{p2} \leq 4 \times 10^{12}$ の関係が成り立つ。これは、ダブルリサーフ領域 DRR の耐圧を適正值とする上で好ましい条件である。 10

【0082】

p 型リサーフ領域 $RSF2$ の下側（主表面 $S2$ 側）に接するように、 n 型埋め込み領域 NBL （第3埋め込み領域）が形成されている。 n 型埋め込み領域 NBL は、半導体基板 SUB 内に埋め込まれるように形成された n 型不純物領域であり、半導体基板 SUB の主表面に沿う方向に延在している。 n 型埋め込み領域 NBL （ n 領域）は n 型ドリフト領域 NDR （ n 領域）に比べて n 型不純物の濃度が高いことが好ましい。

【0083】

本実施の形態においては、トレンチゲート電極 TGE （特にゲートトレンチ $TCH1$ ）は、半導体基板 SUB の上側の主表面 $S1$ から、 p 型リサーフ領域 $RSF1$ および n 型ドリフト領域 NDR を貫通して、 p 型リサーフ領域 $RSF2$ に達するように、半導体基板 SUB の主表面に交差（たとえば直交）する方向に延びている。 20

【0084】

次に図24～31を用いて、図23に示す本実施の形態の半導体装置の製造方法を説明する。

【0085】

図24を参照して、本実施の形態では、 p 型の基板領域 SB 上に n 型埋め込み領域 NBL を形成し、さらにエピタキシャル成長により p 型の基板領域 SB が形成された半導体基板 SUB が用いられる。半導体基板 SUB の主表面 $S1$ 側から、通常のイオン注入技術を用いて半導体基板 SUB 内に n 型ドリフト領域 NDR が形成される。 n 型埋め込み領域 NBL は n 型ドリフト領域 NDR よりも主表面 $S1$ から深い領域に概ね濃度のピークが現れ、かつ熱処理による不純物イオンの拡散後に n 型ドリフト領域 NDR との間に（半導体基板 SUB の主表面に交差する方向に関して）互いに間隔を有するように形成されることが好ましい。 30

【0086】

図25を参照して、 n 型ドリフト領域 NDR および n 型埋め込み領域 NBL が形成された半導体基板 SUB に対して、図5の工程と同様にマスクパターン MSK が形成され、これをマスクとして分離絶縁膜 SPR が形成される。分離絶縁膜 SPR の形成後、マスクパターン MSK は除去される。

【0087】

図26を参照して、まず通常の写真製版技術により、半導体基板 SUB の主表面 $S1$ 上にマスクパターン MSK が形成される。このマスクパターン MSK は、 n 型ウェル領域 NWL を形成すべき領域と平面視において重なる領域に形成される。次にこのマスクパターン MSK をマスクとして、通常のイオン注入技術を用いて p 型の不純物イオンが注入されることにより、半導体基板 SUB の特に n 型ドリフト領域 NDR の下側の主表面の下に、 p 型リサーフ領域 $RSF2$ が形成される。 40

【0088】

このとき、マスクパターン MSK により、 n 型ウェル領域 NWL を形成すべき領域の真下の領域（ n 型ウェル領域 NWL と平面的に重なる領域）には p 型リサーフ領域 $RSF2$ の形成されない領域（ p 型リサーフ領域 $RSF2$ の切欠き部）を有するように、 p 型リサ 50

ーフ領域 R S F 2 が形成される。

【0089】

またこのとき、n 型ドリフト領域 N D R の比較的下側の領域と重なるように p 型リサーフ領域 R S F 2 が形成されてもよい。この場合、たとえば p 型リサーフ領域 R S F 2 の切欠き部は、その一部（当該切欠き部内の比較的上側の領域）に n 型ドリフト領域 N D R が配置され、他の一部（当該切欠き部内の比較的下側の領域）には半導体基板 S U B に対して何も形成されない基板領域 S B が配置される。

【0090】

さらに p 型リサーフ領域 R S F 2 は、その下側の主表面側に接するように n 型埋め込み領域 N B L が形成されるように（言い換えれば n 型埋め込み領域 N B L の上側の主表面側に接するように）形成されることが好ましい。この n 型埋め込み領域 N B L は、たとえばいったん図 2 6 のマスクパターン M S K を除去したうえで、p 型リサーフ領域 R S F 2 が形成されない領域の真下も含めて、半導体基板 S U B の主表面に沿う全体に形成されてもよい。

【0091】

図 2 7 を参照して、たとえば図 6 の工程と同様に通常のイオン注入技術を用いて p 型の不純物イオンが注入される。このとき図 2 6 のマスクパターン M S K と同一のマスクパターン M S K が用いられてもよい。これにより、半導体基板 S U B 内に p 型リサーフ領域 R S F 1 および p 型ボディ領域 G B L が形成される。図 6 の工程と同様に p 型リサーフ領域 R S F 1 と p 型ボディ領域 G B L とは図 2 6 と同一のマスクパターン M S K を用いて互いに同じイオン注入により同時に形成されてもよいし、図 1 2 ～図 1 3 の工程と同様に p 型リサーフ領域 R S F 1 と p 型ボディ領域 G B L とは図 2 6 と同一のマスクパターン M S K を用いて互いに異なるイオン注入により別々に形成されてもよい。

【0092】

なお図 2 6 に示す p 型リサーフ領域 R S F 2 を形成する工程と、図 2 7 に示す p 型リサーフ領域 R S F 1 および p 型ボディ領域 G B L を形成する工程との順序は任意である。p 型リサーフ領域 R S F 1 などの形成後、マスクパターン M S K は除去される。

【0093】

このとき p 型リサーフ領域 R S F 1 は、p 型リサーフ領域 R S F 2 と同様に、n 型ウェル領域 N W L を形成すべき領域と平面的に重なる領域に切欠き部を有するように形成される。

【0094】

図 2 8 を参照して、次に図 7 の工程と同様に多段イオン注入により n 型ウェル領域 N W L が形成される。図 2 9 を参照して、図 8 および図 9 と同様の処理がなされ、図 3 0 ～図 3 1 を参照して、図 1 0 ～図 1 1 と同様の処理がなされる。これ以降の処理についても、基本的に実施の形態 1 の図 1 1 の工程以降に（図 1 の態様とするために）なされる処理と同様である。これにより図 2 3 に示す構成の L D M O S トランジスタが形成される。

【0095】

次に、本実施の形態の作用効果を説明する。

本実施の形態においては下側リサーフ領域が半導体基板 S U B 内への埋め込み領域としての p 型リサーフ領域 R S F 2 であり、トレンチゲート電極 T G E を形成するための p 型リサーフ領域 R S F 2 内に達するように形成されている。このためトレンチゲート電極 T G E と p 型リサーフ領域 R S F 2 とがこれらの間に介在するゲート絶縁膜 G I により、互いに電氣的に容量結合される。すなわちトレンチゲート電極 T G E と p 型リサーフ領域 R S F 2 との電位は互いに近い値となり、たとえばトレンチゲート電極 T G E の電位が 0 V のときには p 型リサーフ領域 R S F 2 の特にトレンチゲート電極 T G E に近い領域はその電位が 0 V に固定される。よって、L D M O S トランジスタの外部から p 型リサーフ領域 R S F 2 の電位を固定することなく、p 型リサーフ領域 R S F 2 の電位を制御してダブルリサーフ領域 D R R としての機能を持たせることが可能となり、結果的にソース領域 S R とドレイン領域 D R との間の高耐圧を実現することが可能となる。

【0096】

またp型リサーフ領域RSF2の下側の主表面側に接するようにn型埋め込み領域NBLが形成され、両者の間にpn接合が形成されることにより、たとえばLDMOSTランジスタと半導体基板SUBの下側の(p型の)基板領域SBとを電氣的に分離することが可能となり、LDMOSTランジスタをいわゆるハイサイド側に適用することが可能となる。

【0097】

さらに、本実施の形態においてはp型リサーフ領域RSF2が、n型ウェル領域NWLの真下の領域を避けて(p型リサーフ領域RSF2の切欠き部を有するように)形成されている。p型リサーフ領域RSF2が基板領域SBに比べてp型不純物の濃度が高ければ、n型ウェル領域NWLの真下の領域において(p型リサーフ領域RSF2が存在する場合に比べて)p型不純物濃度が低くなる。するとその真上のn型ウェル領域NWLとの間の電界が弱くなるため、当該領域における電圧が低くなり、n型ウェル領域NWLとその真下のn型埋め込み領域NBLとの電位差が小さくなる。これにより両領域間に(両領域の間の基板領域SBとの)空乏層が延びやすくなるため、n型ウェル領域NWLとその真下のn型埋め込み領域NBLとの間でより高耐圧化を図ることができる。

【0098】

(実施の形態6)

図32を参照して、本実施の形態においては、基本的に実施の形態5の図23のLDMOSTランジスタと同様の構成が半導体基板SUB内にその主表面に沿う方向に、互いに間隔をあけて複数(たとえば2つ)並んでいる。そしてこれらの間には、半導体基板SUBの主表面S1からn型埋め込み領域NBLを貫通するように、主表面に交差(たとえば直交)する方向に延在する溝部としての素子分離用トレンチTCH2が形成されている。素子分離用トレンチTCH2はたとえば通常の写真製版技術およびドライエッチング技術により形成される。なおこの素子分離用トレンチTCH2は上記の各実施の形態(たとえば実施の形態1)において用いられてもよい。

【0099】

このようにすれば、複数のLDMOSTランジスタのそれぞれに対して個別にp型リサーフ領域RSF2がトレンチゲート電極TGEにより電位固定される。また複数のn型埋め込み領域NBLのそれぞれが個別に外部からの電位固定を受けないフローティング状態となる。この状態でn型ドリフト領域NDRにドレイン電圧が印加されれば、通常は基板領域SBは0Vに固定されているため、n型ドリフト領域NDRとその真下の基板領域SBとの間に配置されるn型埋め込み領域NBLにはn型ドリフト領域NDRと基板領域SBとの中間の電位となる。これによりn型ドリフト領域NDRとn型埋め込み領域NBLとの間の電位差は、n型ドリフト領域NDRと基板領域SBとの間の電位差よりも小さくなる。したがって、n型ドリフト領域NDRとn型埋め込み領域NBLとの間の耐圧は、たとえばn型埋め込み領域NBLが存在しない場合のドリフト領域NDRと基板領域SBとの間の耐圧よりも向上させることができる。このことにより、LDMOSTランジスタ全体の耐圧をより上昇させることができる。

【0100】

(実施の形態7)

図33を参照して、本実施の形態においては、素子分離用トレンチTCH2の左側には図32および実施の形態5の図23と同様のと同様のLDMOSTランジスタが配置されている。しかし図33の素子分離用トレンチTCH2の右側には、LDMOSTランジスタよりも低電圧条件下にて駆動する通常のMOSTランジスタが2つ、半導体基板SUBの主表面に沿う方向に関して互いに間隔をあけて配置されている。これらのMOSTランジスタ(他のランジスタ)は、1対の素子分離用トレンチTCH2を挟んで、LDMOSTランジスタと並ぶように配置されており、2つのMOSTランジスタのうちの一方(たとえば図の左側のMOSTランジスタ)はいわゆるpチャネル型ランジスタであり、他方(たとえば図の右側のMOSTランジスタ)はいわゆるnチャネル型ランジスタで

ある。

【0101】

なお図33においては素子分離用トレンチTCH2が2本形成されている。このうち図の左側の素子分離用トレンチTCH2はLDMOSTランジスタの形成領域を終端するために形成されており、図の右側の素子分離用トレンチTCH2は低電圧MOSTランジスタの形成領域を終端するために形成されている。

【0102】

低電圧MOSTランジスタの形成される領域は、LDMOSTランジスタの形成される半導体基板SUBと同一の（基板領域SBを有する）半導体基板SUBに形成されている。そしてLDMOSTランジスタが形成される領域のn型埋め込み領域NBLと同一の層として、低電圧MOSTランジスタの形成される領域にもn型埋め込み領域NBLが形成されている。

10

【0103】

このように低電圧MOSTランジスタはn型埋め込み領域NBLにより図の主表面S2側の基板領域SBから電氣的に分離されており、かつ素子分離用トレンチTCH2によりLDMOSTランジスタとも電氣的に分離されている。このため基板領域SBとは別の電位基準の回路構成をとることができる。

【0104】

低電圧MOSTランジスタの形成される領域においては、半導体基板SUBの主表面S1にn型ウェル領域NWLとp型ウェル領域PWLとが主表面S1に沿う方向に関して互いに並ぶように形成されている。半導体基板SUBの主表面S1には、n型ウェル領域NWLとp型ウェル領域PWLとの境界を跨ぐように、互いに間隔をあけて複数の分離絶縁膜SPRが形成されている。この分離絶縁膜SPRにより、2つの低電圧MOSTランジスタは互いに電氣的に絶縁するように、半導体基板SUBの主表面S1に形成されている。

20

【0105】

それぞれの低電圧MOSTランジスタのうち一方（pチャネル型ランジスタ）は、n型ウェル領域NWLに形成されている。pチャネル型ランジスタは、p型の1対のソース／ドレイン領域SR／DRと、n型バックゲート領域NBGと、ゲート絶縁膜GIと、ゲート電極GEとを有している。nチャネル型ランジスタは、n型の1対のソース／ドレイン領域SR／DRと、p型バックゲート領域PBGと、ゲート絶縁膜GIと、ゲート電極GEとを有している。

30

【0106】

pチャネル型およびnチャネル型ランジスタはいずれも、1対のソース／ドレイン領域SR／DRの各々は半導体基板SUBの表面に互いに距離を隔てて形成されている。ゲート絶縁膜GIは1対のソース／ドレイン領域SR／DRに挟まれる半導体基板SUBの表面上に形成されている。ゲート電極GEはゲート絶縁膜GI上に形成されている。それぞれのドレイン領域DRは、ビアVAを介して、共通の金属配線ALに接続されている。またそれぞれのランジスタにおいてソース領域SRとバックゲート領域NBG、PBGとは、ビアVAを介して共通の金属配線ALに接続されている。

40

【0107】

（実施の形態8）

図34を参照して、図中のI-I線に沿う部分はたとえば図1の概略断面図に示す実施の形態1のLDMOSTランジスタの構成を有する部分である。図34に示すように、平面視において直線状に形成されたドレイン領域DRおよびその周囲のn型ウェル領域NWLを取り囲むようにソース領域SR、p型バックゲート領域PBGおよびトレンチゲート電極TGEが形成されてもよい。

【0108】

図35を参照して、図中のI-I線に沿う部分はたとえば図1の概略断面図に示す実施の形態1のLDMOSTランジスタの構成を有する部分である。図35に示すように、平

50

面視において直線状に形成されたソース領域SR、p型バックゲート領域PBGおよびトレンチゲート電極TGEを取り囲むようにドレイン領域DRおよびその周囲のn型ウェル領域NWLが形成されてもよい。

【0109】

図36および図37を参照して、図35の直線上に形成されたトレンチゲート電極TGEの、平面視における延在方向に関する端部において、トレンチゲート電極TGEを構成する導電膜（たとえばDOPOS）がゲートトレンチTCH1内から外部に連なるように溢れたものが、半導体基板SUBの主表面S1上にパターン（パッド部PAP）として形成されてもよい。上記のパッド部PAPの上面に達するように、半導体基板SUBの主表面S1上の層間絶縁膜IIにはビアVAが形成されており、このビアVAを介して、パッド部PAPとたとえばその真上の金属配線ALとが電氣的に接続されている。このようにすれば、トレンチゲート電極TGEと外部の金属配線ALとの電氣的な接続がより容易になる。

10

【0110】

図38を参照して、図37の構成の製造方法としては、トレンチゲート電極TGEを形成する工程においてトレンチゲート電極TGEの平面視における端部と連なるように、半導体基板SUBの一方の主表面S1上にパッド部PAPが形成される。そのためにはゲートトレンチTCH1内からその外部領域である、半導体基板SUBの主表面S1上の一部の領域にまで連なるように、たとえばDOPOSなどの導電膜が形成されエッチバックされることが好ましい。そしてそのパッド部PAPの上面に接するようにビアVAが形成される。

20

【0111】

（実施の形態9）

図39を参照して、この実施の形態においては実施の形態1の図1のLDMOSTランジスタに対して、n型ドリフト領域NDRの主表面S2側（下側）に接する下側リサーフ領域が埋め込み絶縁層BXとなっている点において異なっている。

【0112】

埋め込み絶縁層BXは半導体基板SUB内に埋め込まれるように形成されており、その上側（主表面S1側）にはn型ドリフト領域NDRなどの半導体領域が形成されている。このことから本実施の形態の半導体基板SUBはいわゆるSOI（Silicon On Insulator）であるといえる。

30

【0113】

なお埋め込み絶縁層BXはたとえばシリコン酸化膜によりなり、その厚みが0.1μm以上2μm以下であることが好ましい。また半導体基板SUBの主表面S1から図の上下方向に延びるトレンチゲート電極TGE（ゲートトレンチTCH1）は、n型ドリフト領域NDRを貫通して埋め込み絶縁層BXに達するように形成されることが好ましい。

【0114】

本実施の形態においては埋め込み絶縁層BXが下側リサーフ領域として配置されるため、ダブルリサーフ領域DRRとしてのn型ドリフト領域NDR内に形成される2つの空乏層のうちの1つは、埋め込み絶縁層BXとn型ドリフト領域NDRとの間で形成される。

40

【0115】

本実施の形態においては、埋め込み絶縁層BXの存在により、n型ドレイン領域DRの周囲のn型ウェル領域NWLとその真下の埋め込み絶縁層BXとの間の電界強度が低減されるため、当該領域の電圧が低下し、当該領域において空乏層が広がりやすくなる。このことから当該領域において一層の高耐圧化を図ることができる。

【0116】

また本実施の形態においては、埋め込み絶縁層BXにより半導体基板SUBの主表面S1側の領域（LDMOSTランジスタの形成される側）と、埋め込み絶縁層BXより下側のp型の基板領域SBとが電氣的に分離される。このため当該LDMOSTランジスタをハイサイド回路に適用することができる。

50

【0117】

その他、実施の形態に記載された内容の一部を以下に記載する。

(1) 半導体装置は、横型の絶縁ゲート型電界効果トランジスタを有する半導体装置である。互いに対向する一方および他方の主表面を有する半導体基板と、半導体基板内に配置された下側リサーフ領域と、半導体基板内であって下側リサーフ領域の一方の主表面側に接するように形成された第1導電型の第1埋め込み領域と、半導体基板内であって第1埋め込み領域の一方の主表面側に接するように形成された第2導電型の上側リサーフ領域とを備える。半導体基板は、一方の主表面において、上側リサーフ領域に達するように形成された分離絶縁膜を有する。半導体基板内であって上側リサーフ領域の一方の主表面側に接し、かつ分離絶縁膜と隣接するように形成された第2導電型のボディ領域とを備える。半導体基板は、一方の主表面に、ボディ領域および上側リサーフ領域に隣接するように形成されたゲートトレンチを有する。さらにボディ領域および上側リサーフ領域とゲート絶縁膜とを介在して対向するようにゲートトレンチ内に形成された絶縁ゲート型電界効果トランジスタのゲート電極を備える。下側リサーフ領域は第2導電型の第2埋め込み領域である。第2埋め込み領域の他方の主表面側に接するように第1導電型の第3埋め込み領域が形成されている。半導体基板の一方の主表面から第3埋め込み領域を貫通するように形成される素子分離用トレンチをさらに備える。半導体基板には、素子分離用トレンチを挟んで絶縁ゲート型電界効果トランジスタと並ぶように、絶縁ゲート型電界効果トランジスタよりも低電圧条件下で用いる他のトランジスタを含む。

【0118】

(2) 半導体装置は、横型の絶縁ゲート型電界効果トランジスタを有する半導体装置である。互いに対向する一方および他方の主表面を有する半導体基板と、半導体基板内に配置された下側リサーフ領域と、半導体基板内であって下側リサーフ領域の一方の主表面側に接するように形成された第1導電型の第1埋め込み領域と、半導体基板内であって第1埋め込み領域の一方の主表面側に接するように形成された第2導電型の上側リサーフ領域とを備える。半導体基板は、一方の主表面において、上側リサーフ領域に達するように形成された分離絶縁膜を有する。半導体基板内であって上側リサーフ領域の一方の主表面側に接し、かつ分離絶縁膜と隣接するように形成された第2導電型のボディ領域とを備える。半導体基板は、一方の主表面に、ボディ領域および上側リサーフ領域に隣接するように形成されたゲートトレンチを有する。さらにボディ領域および上側リサーフ領域とゲート絶縁膜とを介在して対向するようにゲートトレンチ内に形成された絶縁ゲート型電界効果トランジスタのゲート電極を備える。半導体基板の一方の主表面に、ボディ領域に接するようにソース領域が形成されており、ゲート電極のソース領域側の縁部の上面にブロック絶縁膜が形成されている。半導体基板の一方の主表面に、ボディ領域に接するように、ソース領域と隣り合うようにバックゲート不純物領域が形成されている。ソース領域とバックゲート不純物領域との双方の上面を跨ぐようにシリサイド層が形成されている。シリサイド層の上面に達するようにビアが接続されている。

【0119】

(3) 半導体装置の製造方法は、横型の絶縁ゲート型電界効果トランジスタを有する半導体装置の製造方法である。まず互いに対向する一方および他方の主表面を有する半導体基板が準備される。半導体基板内に下側リサーフ領域と、下側リサーフ領域の一方の主表面側に接する第1導電型の第1埋め込み領域とが形成される。半導体基板の一方の主表面に、第1埋め込み領域の最下部よりも浅い領域に底部を形成するように分離絶縁膜が形成される。半導体基板内に第1埋め込み領域の一方の主表面側に接するように第2導電型の上側リサーフ領域が形成される。半導体基板内に上側リサーフ領域の一方の主表面側に接し、かつ分離絶縁膜と隣接するように第2導電型のボディ領域が形成される。半導体基板の一方の主表面に、ボディ領域および上側リサーフ領域に隣接するように、少なくとも第1埋め込み領域に達するゲートトレンチが形成される。ゲートトレンチ内に絶縁ゲート型電界効果トランジスタのゲート電極が形成される。上側リサーフ領域と、ボディ領域とは同一のパターンをマスクとして第2導電型の不純物を導入することにより形成される。ゲ

ート電極を形成する工程においてゲート電極の平面視における端部と連なるように、半導体基板の一方の主表面にパッド部が形成される。パッド部の上面に接するようにビアが接続される。

【0120】

(4) 半導体装置の製造方法は、横型の絶縁ゲート型電界効果トランジスタを有する半導体装置の製造方法である。まず互いに対向する一方および他方の主表面を有する半導体基板が準備される。半導体基板内に下側リサーフ領域と、下側リサーフ領域の一方の主表面側に接する第1導電型の第1埋め込み領域とが形成される。半導体基板の一方の主表面に、第1埋め込み領域の最下部よりも浅い領域に底部を形成するように分離絶縁膜が形成される。半導体基板内に第1埋め込み領域の一方の主表面側に接するように第2導電型の上側リサーフ領域が形成される。半導体基板内に上側リサーフ領域の一方の主表面側に接し、かつ分離絶縁膜と隣接するように第2導電型のボディ領域が形成される。半導体基板の一方の主表面に、ボディ領域および上側リサーフ領域に隣接するように、少なくとも第1埋め込み領域に達するゲートトレンチが形成される。ゲートトレンチ内に絶縁ゲート型電界効果トランジスタのゲート電極が形成される。上側リサーフ領域と、ボディ領域とは同一のパターンをマスクとして第2導電型の不純物を導入することにより形成される。下側リサーフ領域は第2導電型の第2埋め込み領域である。半導体基板の一方の主表面にドレイン領域およびドレイン電極を平面的に囲むウェル領域がさらに形成される。上側リサーフ領域および第2埋め込み領域は、ウェル領域と平面的に重なる領域に切欠き部を有するように形成される。第2埋め込み領域の他方の主表面側に接するように第1導電型の第3埋め込み領域が形成される。

10

20

【0121】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0122】

A L 金属配線、B X 埋め込み絶縁層、C C V 凹部、D R ドレイン領域、D R R ダブルリサーフ領域、G B L p型ボディ領域、G I ゲート絶縁膜、I I 層間絶縁膜、M S K マスクパターン、N B G n型バックゲート領域、N B L n型埋め込み領域、N D R n型ドリフト領域、N W L n型ウェル領域、O X ブロック絶縁膜、P A P パッド部、P B G p型バックゲート領域、P H R フォトレジストパターン、P W L p型ウェル領域、R S F 1, R S F 2 p型リサーフ領域、S B 基板領域、S C シリサイド層、S P R 分離絶縁膜、S R ソース領域、S U B 半導体基板、T C H 1 ゲートトレンチ、T C H 2 素子分離用トレンチ、T G E トレンチゲート電極、V A ビア。

30

图1

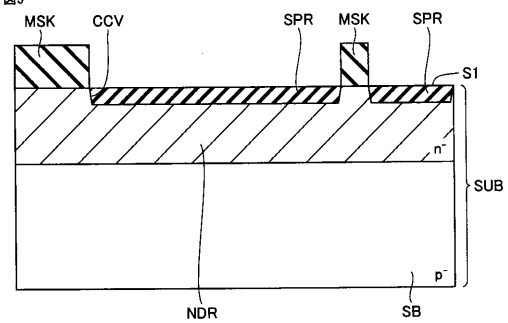


图6



图7



图8



图9



10



11



图12

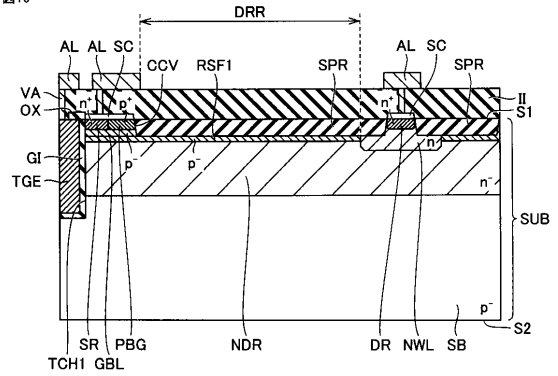


图13



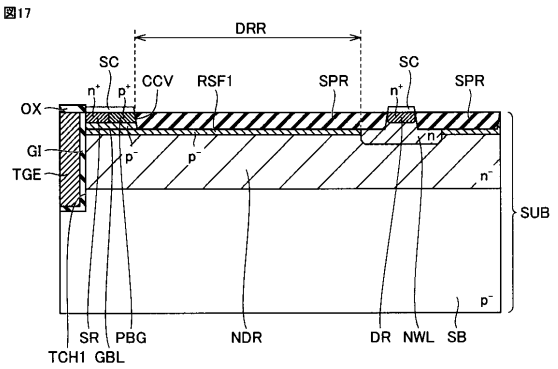
【 図 1 6 】

图16



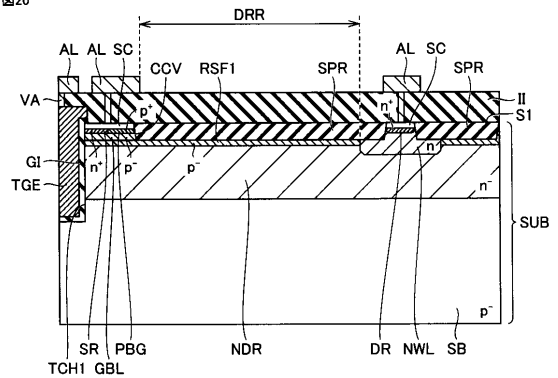
【图 17】

图 17



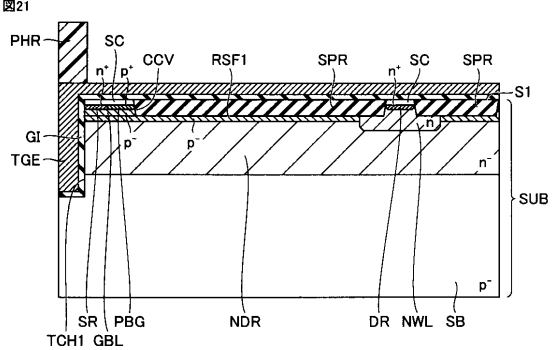
【图 20】

图 20

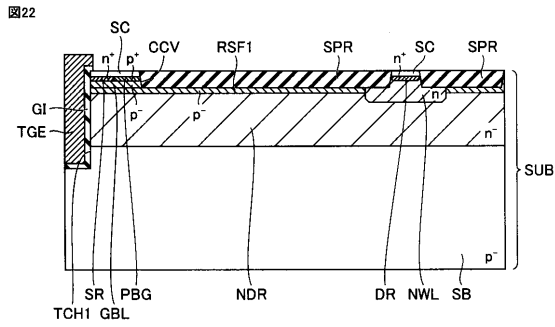


【図 2 1】

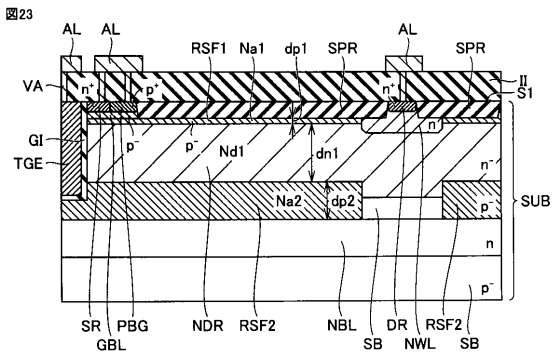
图21



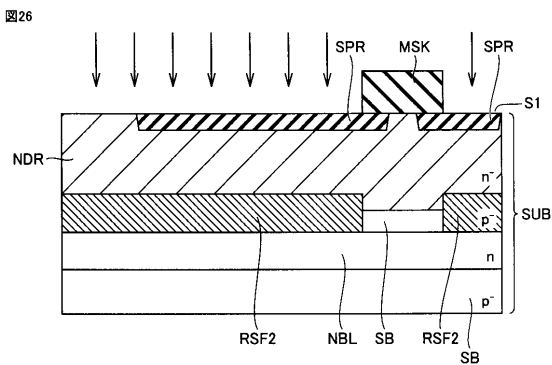
【図 22】



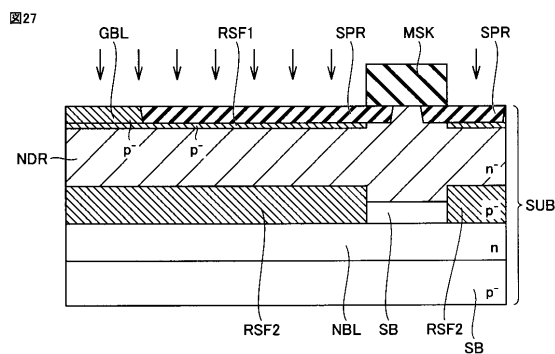
【図 23】



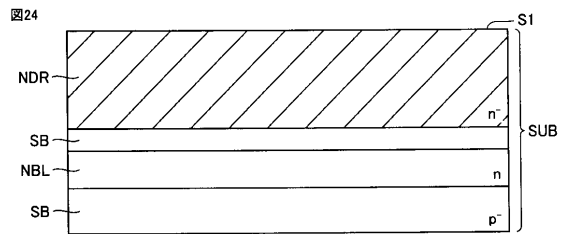
【図 26】



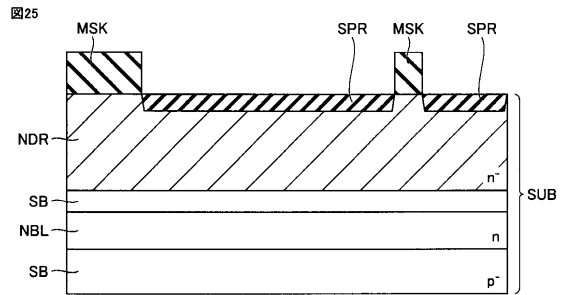
【図 27】



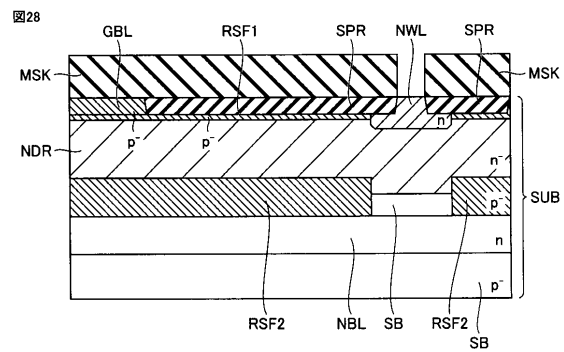
【図 24】



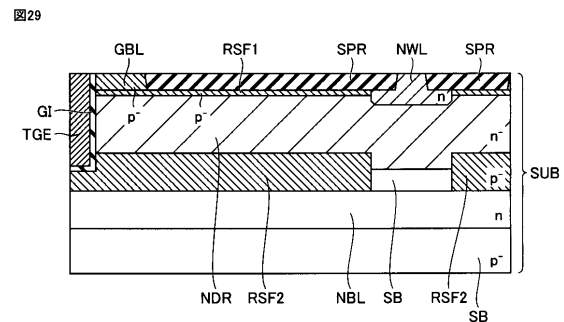
【図 25】



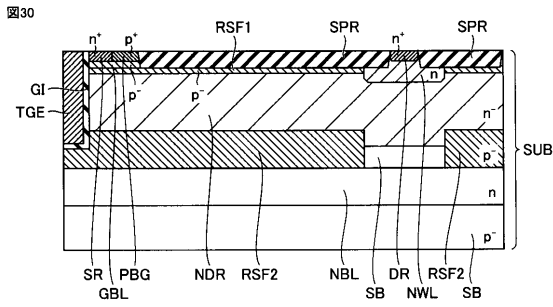
【図 28】



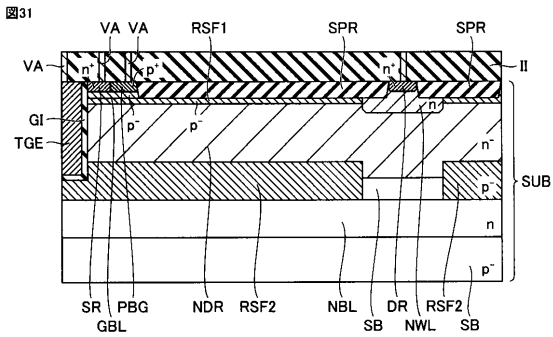
【図 29】



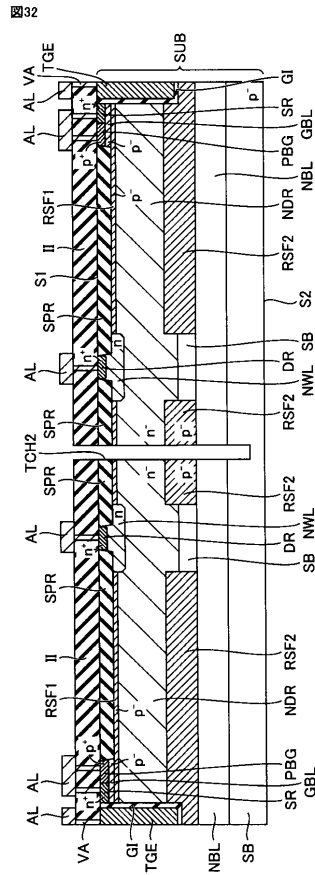
【図 30】



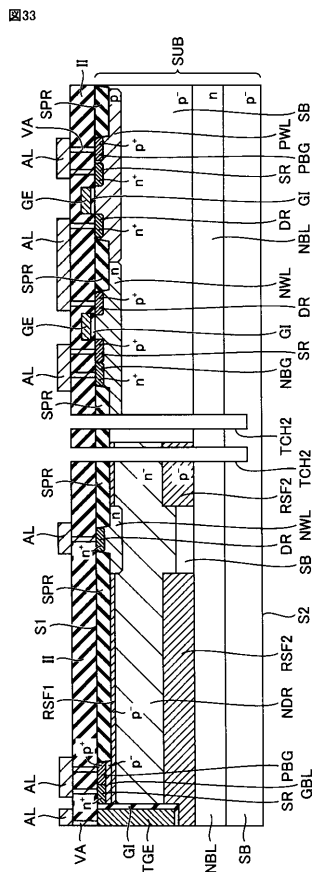
【図 31】



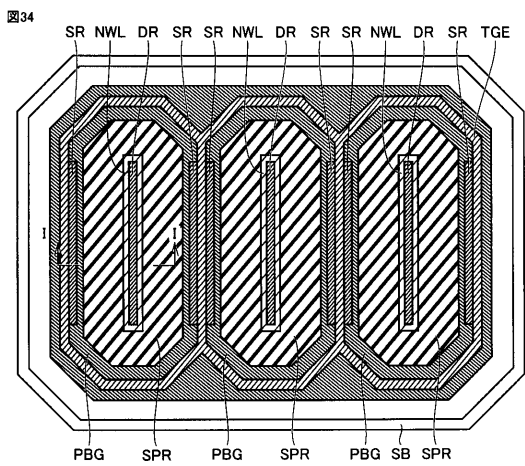
【図 32】



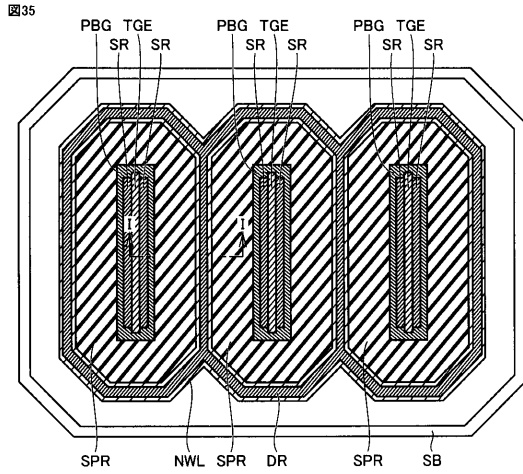
【図 33】



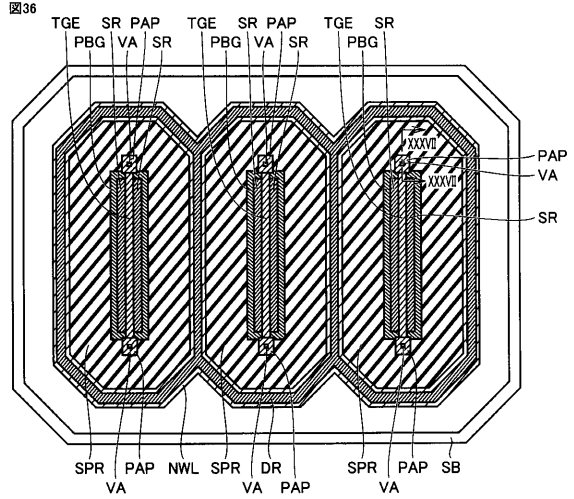
【図 34】



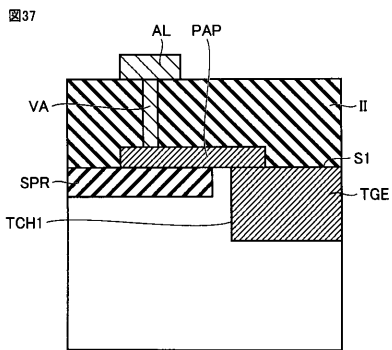
【図 35】



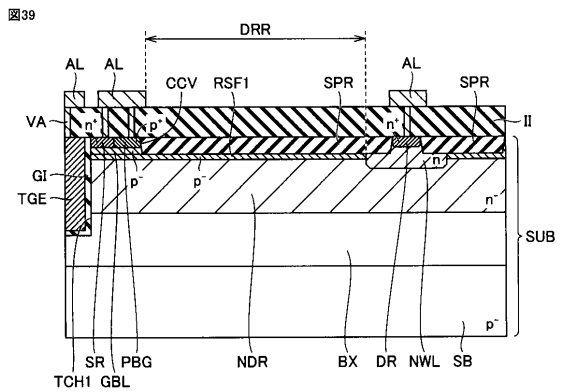
【図 36】



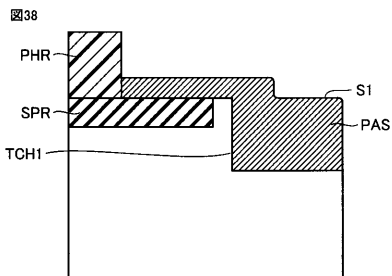
【図 37】



【図 39】



【図 38】



フロントページの続き

Fターム(参考) 5F140 AA25 AA40 AC21 BA01 BB06 BB13 BC06 BC17 BD05 BE03
BE07 BF01 BF04 BF42 BF43 BF54 BG45 BH04 BH14 BH18
BH30 BH35 BH47 BJ07 BJ11 BJ15 BJ27 BK13 CB01 CB04
CB08 CB10 CC03 CC12 CE07