

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7638663号
(P7638663)

(45)発行日 令和7年3月4日(2025.3.4)

(24)登録日 令和7年2月21日(2025.2.21)

(51)国際特許分類

F I

H 0 4 N 25/76 (2023.01)

H 0 4 N 25/78 (2023.01)

H 0 4 N 25/79 (2023.01)

H 0 4 N 25/76

H 0 4 N 25/78

H 0 4 N 25/79

請求項の数 7 外国語出願 (全12頁)

(21)出願番号	特願2020-182183(P2020-182183)	(73)特許権者	512092519
(22)出願日	令和2年10月30日(2020.10.30)		トリクセル
(65)公開番号	特開2021-72628(P2021-72628A)		フランス、エフ - 3 8 4 3 0 モワラン
(43)公開日	令和3年5月6日(2021.5.6)		、ゼット・イー・サントラルプ
審査請求日	令和5年5月24日(2023.5.24)	(74)代理人	110001173
(31)優先権主張番号	1912268		弁理士法人川口国際特許事務所
(32)優先日	令和1年10月31日(2019.10.31)	(72)発明者	マルタン・シオー
(33)優先権主張国・地域又は機関	フランス(FR)		フランス国、3 8 4 3 0・モアラン、ゼ
			ドゥ・イ・サントラルプ、トリクセル
		(72)発明者	ブリュノ・ボッセ
			フランス国、3 8 4 3 0・モアラン、ゼ
			ドゥ・イ・サントラルプ、トリクセル
		審査官	櫃本 研太郎

最終頁に続く

(54)【発明の名称】 相互に当接する基本センサを備える光センサ

(57)【特許請求の範囲】

【請求項 1】

相互に当接した複数の基本センサ（32、34、36、38）を含み、各基本センサが行に整列されたピクセルマトリクス（P；Q）を含み、各行の前記ピクセルは複数のタイプの導体（Col、Sel、Vdd、Vrst、Rst）に接続され、その列導体（Col）が前記センサの読取り回路（L）に接続される光センサにおいて、前記列導体（Col）の各々に接続された、前記導体とは別のコンポーネント群（40）を含み、前記コンポーネント群（40）は前記導体（Col）とのマッチングのためのインピーダンスを形成することと、各基本センサ（32、34、36、38）内の前記インピーダンスは同じ値を有することと、異なる基本センサのための前記インピーダンスは異なるインピーダンス値を有して、前記様々な基本センサのための前記様々な読取り回路（L）と前記対応する列導体（Col）との間のリンクインピーダンスのバランスをとることを特徴とする光センサ。

【請求項 2】

各行の前記ピクセル（P；Q）は、前記センサに電源供給する回路に接続される電源導体タイプ（Vrst、Vdd）の導体に接続されることと、前記電源導体タイプの導体の各々に接続された、前記導体とは別のコンポーネント群（56、58）を有し、前記コンポーネント群が前記導体とマッチングするためのインピーダンスを形成することと、各基本センサ内の前記インピーダンスは同じ値を有することと、異なる基本センサのための前記インピーダンスは異なるインピーダンス値を有して、前記様々な基本センサのための前

記様々な電源回路と前記対応する電源導体との間のリンクインピーダンスのバランスを取
ることを特徴とする、請求項 1 に記載の光センサ。

【請求項 3】

各行の前記ピクセル (P ; Q) は、前記センサを制御するための回路に接続される制御
導体タイプの導体 (S e l、R s t) に接続されることと、前記制御導体タイプの導体の
各々に接続された、前記導体 (S e l、R s t) とは別のコンポーネント群を含み、前記
コンポーネント群は前記導体とマッチングするためのインピーダンスを形成することと、
各基本センサ (3 2、3 4、3 6、3 8) 内の前記インピーダンスは同じ値を有すること
と、異なる基本センサ中の前記インピーダンスは異なるインピーダンス値を有して、前記
様々な基本センサのための前記様々な制御回路と前記対応する制御導体との間の前記リン
クインピーダンスのバランスをとることを特徴とする、請求項 1 又は 2 の何れか 1 項に記
載の光センサ。

10

【請求項 4】

2 つの別々の基本センサ (3 2、3 4、3 6、3 8) について、少なくとも 1 つのタイ
プの前記導体 (C o l、S e l、V d d、V R s t、R s t) は異なる長さを有すること
と、前記少なくとも 1 つのタイプの導体に関連付けられる前記コンポーネント群 (4 0、
5 6、5 8) の前記インピーダンス値は、それぞれの長さに基づいてマッチングされるこ
とを特徴とする、請求項 1 ~ 3 の何れか 1 項に記載の光センサ。

【請求項 5】

前記コンポーネント群 (4 0、5 6、5 8) は、前記導体 (C o l、S e l、V d d、
V R s t、R s t) 上で直列に接続される抵抗器 (4 2、6 0、6 4) と、前記導体と装
置 (4 6) のアースとの間に接続されたキャパシタンス (4 4、6 2、6 6) を含むこと
を特徴とする、請求項 1 ~ 4 の何れか 1 項に記載の光センサ。

20

【請求項 6】

各コンポーネント群 (4 0、5 6、5 8) は、前記対応する基本センサ (3 2、3 4、
3 6、3 8) の基板上の、前記ピクセルマトリクスと、前記関連する導体 (C o l、S e
l、V d d、V R s t、R s t) がそこに接続される前記回路との間に配置されることを
特徴とする、請求項 1 ~ 5 の何れか 1 項に記載の光センサ。

【請求項 7】

前記基本センサ (3 2、3 4、3 6、3 8) は各々、独立した基板 (3 2 b、3 4 b、
3 6 b、3 8 b) 上に形成されることを特徴とする、請求項 1 ~ 6 の何れか 1 項に記載の
光センサ。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特に半導体材料堆積技術により製造されるタイプの光ピクセルマトリクスを
含む感光性装置に関する。本発明は、電離放射線及び、特に医療分野での放射線画像を検
出するための X 線イメージング又は産業若しくは安全分野での非破壊試験のそのために
実施可能である。

【背景技術】

40

【0002】

電子光センサはフラットパネルの形態で製造される。これらは、基本電子回路の、いわ
ばコンポーネントのブロックのマトリクスを含む。基本電子回路は行に、より正確には行
と列に配置されて、マトリクスを形成する。基本電子回路はまた、イメージセンサではピ
クセルとも呼ばれる。ピクセルは例えば、それが受け取る光子の流れに基づいて電荷の流
れを供給する感光ゾーンから、及びこの電流を処理するための電子回路から形成される。
感光ゾーンは、例えばフォトダイオード、フォトレジスタ、又はフォトトランジスタ等の
光検出器を含む。ピクセルはまた、感光素子に加えて、ピクセル内の電子回路も含み、そ
の機能は、集電体の、制御の、又は処理のそれである。この回路は多くの場合、半導体コ
ンポーネント、例えばダイオード又はトランジスタから製造され、回路の開閉、光検出器

50

のリセット、増幅等の機能を提供できる。

【 0 0 0 3 】

光センサは、ピクセルを接続する導体をさらに含む。これらの導体は、行の中に延びて行ごとにピクセルを接続するか、列の中に延びて列ごとにピクセルを接続する。行及び／又は列の導体は、必要な分極、制御、及び各ピクセルが検出する情報のための出力チャネルを提供する。実際には、行又は列という用語は純粋に任意に基づく。これらの用語はもちろん、入れ替えられてもよい。

【 0 0 0 4 】

光センサは多くの場合、ガラス又はシリコン系基板への半導体材料の薄膜堆積技術によって製造される。電離放射線及び、特にX線を実装するイメージングにおいて、この種の放射を合焦させることの困難さが大型の光センサの製造につながっている。センサの寸法は多くの場合、基板の従来の寸法より大きい。例えば、直径200又は300mmの基板が一般的に見られる。それに対して、光センサは一般に長方形であり、その最大寸法は400mmを超える。大きい寸法を有するこれらのセンサを製造するために、複数の基板を相互に当接させることが既知の慣行である。シンチレータによって、センサが受け取るX光子の波長を光検出器が感受性を有する波長に変換できる、相互に当接するこのようなセンサを製造する方法は、例えば本願の出願人の名義で出願された国際公開第2008/142135 A1号パンフレットに記載されている。同特許には、各種の基本センサの物理的アラインメントが記載されており、各々がそれぞれの基板上に製造されている。同特許は、各種の基本センサ間で生じ得る電氣的差異には関係していない。他の特許出願、国際公開第02/41621 A2号パンフレットでは、出願人は各種の基本センサのピクセルの分極を別々に調整することに対して関心を示している。この調整により、隣接するピクセルの、前記ピクセルが飽和したときの出力レベルの差を限定できる。これは、各種のピクセルの出力レベルが基本センサごとに異なる可能性があるからである。国際公開第02/41621 A2号パンフレットにはまた、オフセット及びゲイン補正を適用して、各種のピクセルの、特にそれらが異なる基本センサに含まれる場合の応答曲線を適応できることが記載されている。これらの様々な調整は、ピクセルの各々の出力のレベルでは、及びピクセルマトリクスの読取りが低速であるときには有効である。しかしながら、行導体の長さにより、ピクセルマトリクスの駆動と読取りが中断される可能性がある。これは、マトリクスが駆動され、読み取られる速度が高くなると一層深刻となる。社内試験では、導体のインピーダンスは、特に導体が相互に当接する別々の基本センサに含まれる場合に、大きく異なる可能性があることがわかっている。導体のインピーダンスにおける厳しい公差を明示することが可能である。これらの厳しい公差は、センサの全体的製造コストを増大させる傾向がある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 文献 】 国際公開第2008/142135号

【 文献 】 国際公開第2002/41621号

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明は、各導体と並列又は直列に配置される特定のコンポーネントを追加して、マトリクスの外部から見たときに隣接する導体の全体的インピーダンスのバランスをとることによって、導体自体のインピーダンスの値に対する公差をなくすことを目指している。

【 課題を解決するための手段 】

【 0 0 0 7 】

このために、本発明の主題は、相互に当接する複数の基本センサを含む光センサであり、各基本センサは行に整列されたピクセルマトリクスを含み、各行のピクセルは複数の種類の導体に接続され、その列の導体はセンサの読取り回路に接続される。光センサはさら

10

20

30

40

50

に、列の導体の各々に接続された、検討中の導体とは別のコンポーネント群を含み、コンポーネント群は検討中の導体とのマッチングのためのインピーダンスを形成する。各基本センサ内のインピーダンスは同じ値を有し、異なる基本センサのインピーダンスは異なるインピーダンスを有して、様々な基本センサのための各種の読取り回路とそれに対応する列の導体との間のリンクインピーダンスのバランスをとる。

【 0 0 0 8 】

さらに、各行のピクセルは、電源導体タイプの導体に接続され、これらはセンサに電源供給するための回路に接続される。有利な態様として、光センサは、電源導体の各々に接続された、検討中の導体とは別のコンポーネント群を含み、コンポーネント群は、検討中の導体とのマッチングのためのインピーダンスを形成する。各基本センサ内のインピーダンスは同じ値を有し、異なる基本センサ内のインピーダンスは異なるインピーダンス値を有して、様々な基本センサのための様々な電源回路とそれに対応する電源導体との間のリンクインピーダンスのバランスをとる。

10

【 0 0 0 9 】

さらに、各行のピクセルはセンサを制御する回路に接続された制御導体タイプの導体に接続される。有利な態様として、光センサは、制御導体の各々に接続された、検討中の導体とは別のコンポーネント群を含み、コンポーネント群は検討中の導体とのマッチングのためのインピーダンスを形成する。各基本センサ内のインピーダンスは同じ値を有し、異なる基本センサ内のインピーダンスは、異なるインピーダンス値を有して、様々な基本センサのための様々な制御回路とそれに対応する制御導体との間のリンクインピーダンスのバランスをとる。

20

【 0 0 1 0 】

2つの別々の基本センサについて、少なくとも1つのタイプの導体は異なる長さを有することができ、この場合、少なくとも1つのタイプの導体に関連付けられるコンポーネント群のインピーダンス値は、それぞれの長さに基づいてマッチングされる。

【 0 0 1 1 】

コンポーネント群は、有利な態様として、検討中の導体上に直列に接続された抵抗器と、検討中の導体と装置のアースとの間に接続されたキャパシタンスを含む。

【 0 0 1 2 】

各コンポーネント群は、有利な態様として、対応する基本センサの基板上の、ピクセルマトリクスと関連の導体が接続されている回路との間に配置される。

30

【 0 0 1 3 】

基本センサは、有利な態様として、各々独立した基板上に形成される。

【 0 0 1 4 】

例として提供される1つの実施形態の詳細な説明を読めば、本発明はよりよく理解されまた別の利点も明らかとなり、この説明は下記のような添付の図面により示されている。

【図面の簡単な説明】

【 0 0 1 5 】

【図1】本発明によるセンサにおいて実装されてよい例示的なピクセルマトリクス1Tを概略的に示す。

40

【図2】本発明によるセンサにおいて実装されてよい例示的なピクセルマトリクス3Tを概略的に示す。

【図3】相互に当接する複数の基本センサから製造される例示的なセンサを概略的に示す。

【図4】基本センサの1つの一部をより詳しく示す。

【発明を実施するための形態】

【 0 0 1 6 】

明瞭にするために、異なる図面中、同じ要素には同じ参照符号を付してある。

【 0 0 1 7 】

下記の説明は、ピクセルと呼ばれる、各々が物理量に対する感受性を有する素子を含む複数の基本電子回路から形成されるマトリクスアレイ検出器に関して提供される。基本電

50

子回路は、説明されている例においては、光放射に対する感受性を有するピクセルである。本発明は、何れかの形態の物理量に対する感受性を有する他の検出器についても実施されてよいことは明らかであり、例えば圧力マップ又は温度マップを作成できる。

【 0 0 1 8 】

図 1 は、理解しやすくするために 2 行 × 2 列のマトリクス 1 0 を概略的に示す。4 つのピクセル P が形成され、各々が 1 つの行と 1 つの列の交差点にある。もちろん、実際のマトリクスアレイは一般に、これよりはるかに大きく、多数の行及び列を特徴とする。マトリクス 1 0 はマトリクスアレイ検出器に属し、デジタル化された画像を生成できるようにする。

【 0 0 1 9 】

各ピクセル P は、ここではフォトダイオード D で表される感光ゾーンと、図 1 の例では 1 つのトランジスタ T により形成される電子処理回路と、を含む。コンポーネント D 及び T の参照符号の後に 2 つの座標 (i , j) が続き、これらは i を行の階数とし、j を列の階数とすることができる。このピクセルはまた、1 T ピクセルと呼ばれ、これは、それが後述の機能を有する 1 つのトランジスタを持つからである。

【 0 0 2 0 】

一般的に、CMOS の略語で知られる相補型結晶シリコン半導体を実装するトランジスタを含むピクセルマトリクスを製造することが既知の慣行であり、CMOS は “ c o m p l e m e n t a r y m e t a l o x i d e s e m i c o n d u c t o r (相補型金属酸化膜半導体) ” を表す。本発明はこのタイプのトランジスタに限定されず、例えば、TFT の名前で知られる薄膜電界効果トランジスタを含むマトリクスについても実施されてよく、TFT は “ t h i n - f i l m t r a n s i s t o r (薄膜トランジスタ) ” を表す。TFT は、金属酸化膜に基づき、例えばアモルファス又は結晶インジウム、ガリウム、及び亜鉛酸化物に基づくトラトランジスタであり、これらは IGZO の略称で知られる。TFT 型トランジスタのその他の系統が実装されてもよく、これは例えば有機 TFT、アモルファスシリコン TFT、又は多結晶シリコン TFT である。

【 0 0 2 1 】

1 つの同じ列のピクセル P は列の導体 C o l に接続される。この導体により、そこに接続されたピクセルからの情報を収集できる。1 つの同じ行のピクセル P は、信号を搬送する行の導体 S e l に接続され、ピクセルの行の各々が制御可能となる。

【 0 0 2 2 】

画像捕捉フェーズでは、フォトダイオード D の各々により受け取られる照明によって、受け取った照明に応じて電荷がその上に蓄積されるそのカソードの電位が低下する。この画像捕捉フェーズには読取りフェーズが続き、その間にフォトダイオード D の電位が読み取られる。このために、トランジスタ T は、導体 S e l により搬送され、前記トランジスタのゲートに印加される行選択制御によってオンに切り替えられ、したがってスイッチとして機能する。様々なピクセルの行が逐次的に読み取られる。列導体 C o l は逐次的に使用されて、様々な列の中のピクセルからの情報を、前記情報が選択されたときに収集する。読取りフェーズはフォトダイオード D の電荷を排出し、新しい画像捕捉フェーズ前にそれをリセットできるようにする。

【 0 0 2 3 】

本発明はまた、特にトランジスタ T を、行選択信号によってオンに切り替えられる単純なダイオードに置き換えることによって、ピクセルがより単純である検出器において実装することも可能である。

【 0 0 2 4 】

図 2 は、同じく本発明による画像検出器の中に組み込むことのできる、Q で示されるピクセルマトリクス 2 0 の他の例を概略的に示す。各ピクセル Q の中には、フォトダイオード D と、この例では 3 つのトランジスタ T 1、T 2、及び T 3 により形成される電子処理回路がある。前述のように、フォトダイオード D の参照符号と 3 つのトランジスタの後に 2 つの座標 (i , j) が続き、これらは i を行の階数とし、j を列の階数とすることがで

10

20

30

40

50

きる。実際には、このタイプのピクセルはその他のコンポーネント、特に他のトランジスタを含むことができる。それゆえ、このピクセルは3 Tピクセルと呼ばれ、これはそれが少なくとも3つのトランジスタを有するからである。

【0025】

1つの同じ列の中のピクセルQは、列導体C o lの端にあるトランジスタT 5を共有する。1つの同じ行の中のピクセルQは、4つの行導体、S e l (i)、V d d、V R s t、及びR s t (i)に接続され、それによってピクセルの行の各々を制御できる。

【0026】

トランジスタT 1は、フォトダイオードDのカソードの電圧を導体V R s tにより搬送される電圧にリセットすることができる。当初、この電圧は一定のままであり、画像捕捉及び読取りフェーズでは変化しない。リセット動作中に電圧V R s tがダイオードDのカソードに印加され、その間に導体R s tにより搬送される制御信号はアクティブである。

【0027】

リセット動作後に始まる画像捕捉フェーズにおいて、ピクセルPに関して、ピクセルQのフォトダイオードDが受け取る照明によってそのカソードの電位が低下する。この画像捕捉フェーズの後に読取りフェーズが続く、その中でフォトダイオードDの電位が読み取られる。このようにするために、トランジスタT 3は、前記トランジスタのゲートに印加され、導体S e lにより搬送されるピクセル選択制御によってオンに切り替えられ、したがってスイッチとして機能する。3 TピクセルのトランジスタT 3は、図1に関して説明した1 TピクセルのトランジスタTと同じ機能的役割を果たす。

【0028】

トランジスタT 2は、フォロワとして機能し、導体V d dにより搬送される電圧により電源供給される。トランジスタT 5は、電流源として機能する。トランジスタT 2及びT 5はすると、電圧フォロワステージを形成し、これはフォトダイオードDのカソード上にある電圧をコピーし、トランジスタT 3がオンになると列導体C o l上でそれをあるオフセット内まで再生する。そのコピーを生成するために、トランジスタT 2はそのドレイン及びそのソースを通して流れる分極電流を必要とする。この電流は、トランジスタT 5により形成される電流発生器により与えられ、それは複数のピクセルに共通であっても、そうでなくてもよい。図の例では、トランジスタT 5はピクセルの列に共通である。マトリクス全体のために1つのトランジスタT 5のみを電流源として使用することも、それが各種の列へと、これらの列自体が読み取られる際に連続的に切り替えられるのであれば、可能である。列導体C o lは、トランジスタT 2を分極することと、対応する列内のピクセルから、前記ピクセルが信号S e lにより選択されたときに情報を収集することの両方のために使用される。代替的に、その2つの機能を分離するために、列導体C o lを分離することもできる。

【0029】

本発明は、その動作が異なるピクセルについても実施できる。一例として、本発明は4 Tピクセルのために実施できる。トランジスタT 1、T 2、及びT 3に加えて、4 TピクセルはフォトダイオードDのカソードとピクセルのノードを形成するトランジスタT 2のゲートとの間に配置された追加のトランジスタを含む。この追加のトランジスタは、フォトダイオードD内に蓄積される電荷をある選択された瞬間にピクセルのノードに伝送できるようにする。

【0030】

図1の例における1つの列導体と図2の例における複数の列導体は、1つの同じ列の中の各種のピクセルP又はQに接続される。図1及び2では図示されていない制御回路、一般にはシフトレジスタは、それが実装されると、導体S e l (i)及び導体R s t (i)により搬送される制御信号を生成し、対応する行導体に接続される。図2の変形型において、電源回路は、同じく図示されず、導体V d d及びV R s tにより搬送される電圧を生成するが、対応する行導体に接続される。導体V d d及びV R s tにより搬送される信号の電圧は一定であり、同じであってもよく、その目的のために1つのタイプの行導体を使

10

20

30

40

50

って、2つの信号を搬送することができ、このタイプの導体への電源供給は、1つの同じ電源回路により提供される。このタイプの共通導体はすると、ピクセルQの各々のトランジスタT1及びT2に接続される。導体Vdd及びVRstはまた、そこに印加される電圧が一定であるため、電源導体とも呼ばれる。制御回路及び、必要であれば電源回路は、行端に配置される。さらに、読取り回路は列導体C01の各々の端に配置される。

【0031】

行と列という用語は純粋に任意に基づくものであり、入れ替えることもできる。実際に、制御回路と電源回路は、マトリクスの1つの辺に配置でき、読取り回路はマトリクスの、制御回路と電源回路のある辺に垂直な辺に配置できる。各種の回路の接続を単純化するために、すべての回路、すなわち制御、電源、及び読取り回路をマトリクスの同じ辺に配置することも可能である。

10

【0032】

列導体C01に関連付けられる読取り回路によって、例えば、列導体上で収集された信号をデジタル化できる。各種の読取り回路はマルチプレクサを含むことができ、それによってピクセルの列全体から発せられる信号を集めることができる。行が読取り回路によって読み取られると、読取り動作を繰り返すための新しい列を選択することができる。

【0033】

図3は、4つの基本センサ32、34、36、及び38を含むセンサ30の例を概略的に示し、各々が独立した基板、それぞれ32b、34b、36b、及び38b上に形成される。基本センサ及びしたがって、それぞれの基板は同じ形状を有する。図の例において、基本センサ32、34、36、及び38は長方形であり、1つの辺に沿って相互に当接する。長方形の形状は、行と列が相互に関して垂直に延びるピクセルマトリクスに好適である。本発明を、基本センサのその他の多角形の形状についても実施できる。本発明は、基本センサの数に関係なく実施されてよい。基本センサ32、34、36、及び38の各々は、図1又は図2において説明したピクセルマトリクスを含む。これら4つの基本センサ32、34、36、及び38は、相互に当接してセンサ30を形成する。各センサはゾーン、それぞれ32a、34a、36a、及び38aを含み、その中に読取り回路及びトランジスタT5が配置される。ゾーン32a、34a、36a、及び38aは、何れのピクセルも含まない。ゾーン32a、34a、36a、及び38aは列の自由端、すなわち他の基本センサと接触していない端のレベルに位置付けられる。基本センサが相互に当接している場所では、ピクセルはできるだけ近付けられる。基本センサが相互に当接する場所で画像の分裂が一切起こらないようにするために、異なる基本センサのピクセルは1つの同じ基本センサの2つの隣接するピクセルを分離するステップと同じ間隔で離間される。様々な基本センサの導体は、基本センサが相互に当接している場所では相互に接続されない。換言すれば、基本センサが相互に当接している場所では、1つの基本センサを他の基本センサに接続する導体がない。基本センサ32、34、36、及び38の各々において、行導体はマトリクスの中の様々な行のピクセル間を通り抜ける。より正確には、導体Sel、Vdd、VRst、及びRstは、それぞれの基本センサの中のピクセルの行間を通り、導体C01は、それらのそれぞれの基本センサの中で、ピクセルの列間を通る。基本センサ32、34、36、及び38の各々は制御回路を含み、それによってそれ自体の導体Sel及びRstにより搬送される信号を生成できる。基本センサ32、34、36、及び38の各々はまた、電源回路も含み、それによってそれ自体の導体Vdd及びVRstにより搬送される信号を生成できる。制御回路と電源回路は、行の自由端に配置できる。代替的に、これらはゾーン32a、34a、36a、及び38aの中に配置できる。導体Sel、Vdd、VRst、及びRstはすると、導体C01と同様に列に配置される。同じことが列導体にも当てはまり、ピクセルを読み取ることができる。各基本センサは、それ自体の読取り回路を含む。様々な基本センサの列導体C01は、これらが相互から続いていても、相互に接続されない。後に導体の方向は区別されなくなり、本発明はこの向きがどのようであっても実施できる。他方で、様々なタイプの導体は区別される。

20

30

40

【0034】

50

図 4 は、基本センサの 1 つ、より詳しくは基本センサ 3 2 とそのゾーン 3 2 a をより詳細に示す。この詳細は、基本センサのすべてに当てはまる。図の部分の中には、同じ列導体 C o 1 に接続される 2 つのピクセル Q 1 及び Q 2 がある。図 4 に示される図を 1 T ピクセル P を実装するセンサにも容易に変換できる。ゾーン 3 2 a の中には電流源があり、これはトランジスタ T 5 及び、例えばアナログ - デジタル変換器 A D C を含み、それによってピクセルマトリクス Q の様々な行での様々な読取り動作中に導体 C o 1 上にある電圧をデジタル化できる読取り回路 L により表される。

【 0 0 3 5 】

図 4 には、列導体 C o 1 に接続されたコンポーネント群 4 0 が示され、これは導体 C o 1 から分離され、導体 C o 1 とのマッチングのためのインピーダンスを形成する。センサ 3 0 は、その列導体 C o 1 の各々について、コンポーネント群を含み、それが検討中の導体とのマッチングのためのインピーダンスを形成する。

10

【 0 0 3 6 】

1 つの同じ基本センサ 3 2、3 4、3 6、又は 3 8 の中で、様々な列導体 C o 1 に接続されたインピーダンスは同じ値を有する。1 つの基本センサと次の基本センサとの間で、インピーダンスは異なる値を有して、様々な基本センサのための様々な読取り回路とそれに対応する列導体 C o 1 との間のリンクインピーダンスとバランスをとる。

【 0 0 3 7 】

図 4 において、コンポーネント群 4 0 は抵抗器 4 2 とコンデンサ 4 4 を含む。抵抗器 4 2 は、読取り回路 L と、読取り回路 L に最も近いピクセル Q 2 との間に直列接続される。コンデンサ 4 4 は、抵抗器 4 2 の端子のうちの 1 つとセンサ 3 0 のアース 4 6 との間に接続される。この R C 回路は、例として提供される。コンポーネント群は、コンデンサを持たず、抵抗器だけを含むことができる。換言すれば、コンポーネント群 4 0 は 1 つのコンポーネントだけを含むことができる。また、インピーダンスマッチングにとっての必要性に応じて、群 4 0 にインダクタを追加することも可能である。

20

【 0 0 3 8 】

コンポーネントのタイプとそれらの大きさの選択により、様々な基本センサ 3 2、3 4、3 6、及び 3 8 の導体の長さの差の影響を補償できる。抵抗器 4 2 は、導体の抵抗の差を補償できる。コンデンサ 4 4 と、これに関連付けられる可能性のあるインダクタとの間で、読取りフェーズ中に、ピクセルのトランジスタ T 3 がオンに切り替えられた瞬間と読取り回路 L がこの信号を受信した瞬間との間で信号の設定時間において生じる可能性のある差を補償できる。

30

【 0 0 3 9 】

群 4 0 のコンポーネントは、それらがゾーン 3 2 a の第一の部分 4 8 の中で関連付けられる基本センサの基板上に直接製造できる。同じことが、読取り回路 L についても言え、これもまたゾーン 3 2 a の第二の部分 5 0 の中に製造できる。読取り回路 L の下流で、基本センサはゾーン 3 2 a の第三の部分 5 2 を含むことができ、それによってセンサ 3 0 をその周囲に接続できる。部分 5 2 の周囲で、センサ 3 0 はシーリングジョイント 5 4 を含むことができ、これによって、基板上に存在するコンポーネントのすべてが、それらが相互に当接した後に、漏れのない状態となることが確実となる。シーリングジョイント 5 4 が、図示されていないエントリウィンドウと基本センサ 3 2 ~ 3 8 の様々な基板との間に製造される。感光素子は、センサ 3 0 が感受性を有する放射に対して直接感受性を有することができる。X 線の分野では、エントリウィンドウと基本センサ 3 2 ~ 3 8 との間にシンチレータを配置することが一般的である。シンチレータは、X 線光子を受け取って感光素子が感受性を有する波長バンド内でより低いエネルギーを有する光子を再び伝送する。シンチレータは、ピクセルが存在するゾーンをカバーする。部分 4 8 及び 5 0 は、シンチレータの位置決め許容誤差ゾーンとして使用できる。

40

【 0 0 4 0 】

列導体 C o 1 に関連付けられるコンポーネント群 4 0 とは独立して、センサ 3 0 は他のコンポーネント群、それぞれ 5 6 及び 5 8 を含むことができ、これは電源導体 V d d 及び

50

ノ又は電源導体 V_{Rst} に関連付けられる。コンポーネント群 40 に関して、コンポーネント群 56 及び 58 は、それらが関連付けられる導体、 V_{dd} 又は V_{Rst} とは分離されて、それぞれの電源導体とマッチングするためのインピーダンスを形成する。図 4 に示される例では、コンポーネント群 56 は抵抗器 60 とコンデンサ 62 を含む。コンポーネント群 58 は、抵抗器 64 とコンデンサ 66 を含む。コンポーネント群 56 及び 58 は、それぞれ導体 V_{dd} 及び V_{Rst} に、コンポーネント群 40 が列導体 C_{ol} に接続されるものと同じ方法で接続される。

【0041】

電源導体 V_{Rst} に関して、ピクセルが制御導体 R_{st} により搬送される制御によってリセットされると、様々なピクセルのフォトダイオード D は導体 V_{Rst} を通じて放電され、したがって、この導体上に電圧低下をもたらす。これらの導体の、前記導体がある上に載っている基本センサに応じた長さの差は、異なる電圧低下をもたらす。その結果、様々なフォトダイオード D の放電は同じではなく、様々なピクセル間にオフセットの差をもたらす。様々な抵抗器 64 の値を、関係する導体 V_{Rst} がその上に載っている基本センサに基づいて適応させることによって、これらの差を補正することが可能である。さらに、ピクセルをリセットすると、導体 V_{Rst} 上に突入電流が発生し、それによって導体 V_{Rst} の長さに応じて変化する持続時間の瞬間的な電圧低下をもたらす。この突入電流の後に、導体は平衡状態に戻る。この平衡状態への回帰の持続時間もまた、導体 V_{Rst} の長さに依存する。コンデンサ 66 の、及びおそらくは関連するインダクタの値を適応させることによって、これらの持続時間のバランスをとることが可能である。

【0042】

様々なピクセルのトランジスタ T_2 に電源供給する電源導体 V_{dd} に関して、フォトダイオード D のカソード上に存在する電圧をできるだけ忠実にコピーするためには、この導体上に存在する電圧のバランスを様々な基本センサに基づいてできるだけよくとる必要がある。導体 V_{dd} 上の電圧の差は、様々な基本センサが相互に当接している場所の付近で最も顕著な影響を有する可能性があり、それが異なる基本センサに属する隣接するピクセルに関連する画像の中に目に見える差をもたらしかねない。基本センサが相互に当接する場所での閾値効果を制限するために様々な導体 V_{dd} の電圧のバランスをとることは、電圧の平均値については抵抗器 60 によって、又はこれらの電圧の設定時間についてはコンデンサ 62 及び、おそらくは関連するインダクタによって実現される。

【0043】

また、制御導体 S_{el} 及び R_{st} のインピーダンスのバランスを予測することも可能である。前述のように、これらのインピーダンスのバランスをとることは、対応する導体に接続され、ピクセルマトリクスと関連する制御回路との間に配置されるコンポーネント群によって実現される。図 4 に詰め込みすぎないようにするために、これらのコンポーネント群は図示されていない。これらは基本センサの各々の部分 48 の中にも配置できる。

【0044】

群 40、56、及び 58 の様々なコンポーネントは、問題の基本センサの基板上への金属層の堆積によって製造できる。その他の製造方法、例えば基板のドーピングと反対のドーピングが施されたゾーンの使用等によって特定の抵抗器内で得ることもできる。この方法は、英語の文献の中で $\langle \langle well\ resistor \rangle \rangle$ の名で知られた抵抗器の製造につながる。コンデンサは、そのドレインとソースが短絡しているトランジスタとして製造できる。

【符号の説明】

【0045】

30 センサ

32、34、36、38 基本センサ

32a、34a、36a、38a ゾーン

32b、34b、36b、38b 基板

40、56、58 コンポーネント群

4 2、6 0、6 4 抵抗器
4 4、6 2、6 6 コンデンサ
4 6 装置
5 4 シーリングジョイント
C o l、S e l、V d d、V R s t、R s t 導体
L 読取り回路
P、Q ピクセル
T 1、T 2、T 3、T 5 トランジスタ

【図面】

【図 1】

【図 2】

10

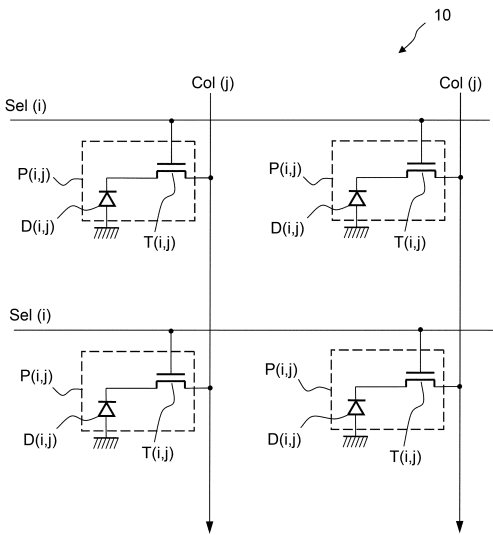


図 1

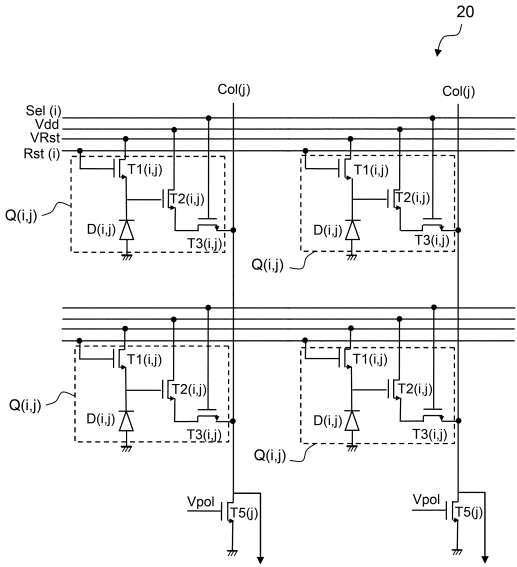


図 2

20

30

40

50

【 図 3 】

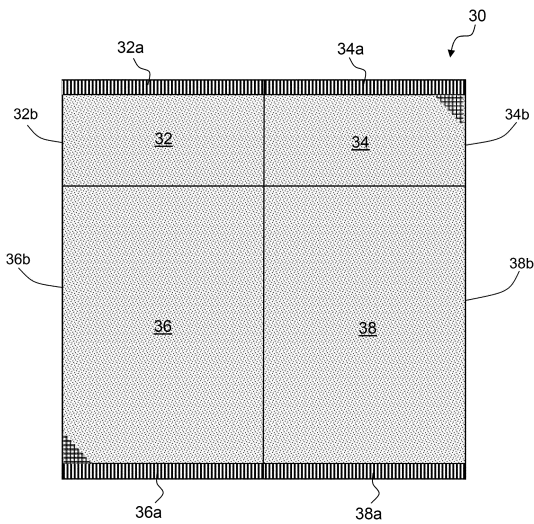


図 3

【 図 4 】

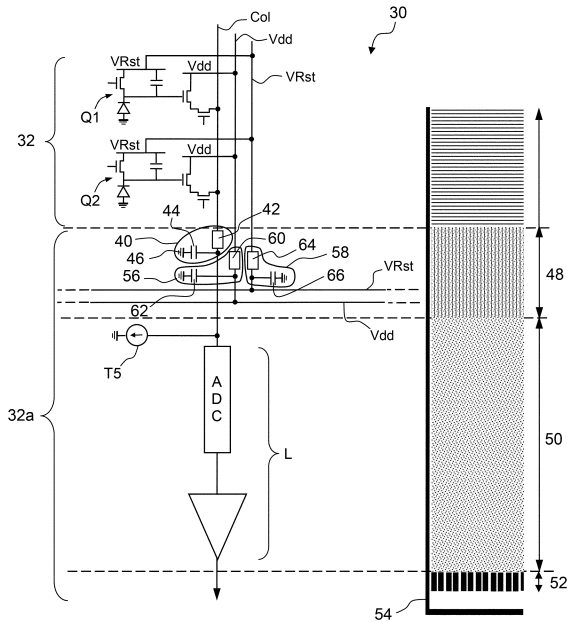


図 4

10

20

30

40

50

フロントページの続き

- (56)参考文献 特開平 0 9 - 1 3 5 0 1 3 (J P , A)
米国特許出願公開第 2 0 1 7 / 0 1 9 9 2 8 7 (U S , A 1)
特開 2 0 1 4 - 1 1 0 3 2 6 (J P , A)
国際公開第 2 0 1 2 / 1 6 0 7 7 5 (W O , A 1)
国際公開第 2 0 1 9 / 0 6 6 0 5 5 (W O , A 1)
国際公開第 2 0 1 2 / 0 2 0 7 0 9 (W O , A 1)
特開 2 0 1 0 - 0 5 7 0 0 4 (J P , A)
特開 2 0 1 9 - 1 2 5 7 9 1 (J P , A)
特開 2 0 0 9 - 2 2 5 3 0 1 (J P , A)
特開平 0 6 - 3 3 9 0 7 2 (J P , A)
特開平 0 6 - 1 5 2 8 5 6 (J P , A)

- (58)調査した分野 (Int.Cl. , D B 名)
H 0 4 N 5 / 3 0 - 5 / 3 3、2 3 / 1 1、
2 3 / 2 0 - 2 3 / 3 0、2 5 / 0 0、
2 5 / 2 0 - 2 5 / 6 1、
2 5 / 6 1 5 - 2 5 / 7 9
H 1 0 D 4 4 / 0 0 - 4 4 / 4 5
H 1 0 F 3 9 / 0 0 - 3 9 / 1 8、3 9 / 9 5
H 1 0 K 3 9 / 3 0 - 3 9 / 3 8