

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-106076

(P2006-106076A)

(43) 公開日 平成18年4月20日(2006.4.20)

(51) Int. Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	3K007
H01L 51/50 (2006.01)	H05B 33/14 A	5C094
H01L 29/786 (2006.01)	H01L 29/78 612Z	5F110
H01L 21/336 (2006.01)	H01L 29/78 616A	

審査請求 有 請求項の数 12 O L (全 19 頁)

(21) 出願番号 特願2004-288677 (P2004-288677)
 (22) 出願日 平成16年9月30日 (2004.9.30)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107076
 弁理士 藤網 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 江口 司
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 世良 博
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

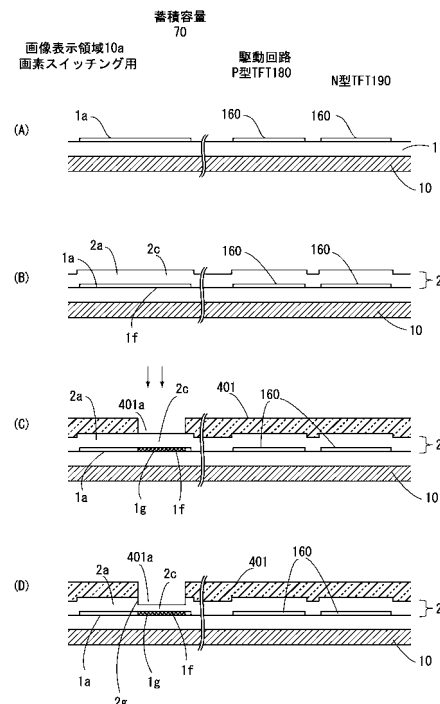
(54) 【発明の名称】 薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置、および電子機器

(57) 【要約】

【課題】 製造工程を増やすことなく、容量素子の誘電体膜の膜厚をTFTのゲート絶縁膜の膜厚よりも薄くすることができる薄膜半導体装置の製造方法、薄膜半導体装置、この電気光学装置、およびこの電子機器を提供すること。

【解決手段】 TFTアレイ基板10に蓄積容量70を構成する際、レジストマスク401の開口401aから半導体膜1aの延設部分1fに不純物を導入するとともに、このレジストマスク401の開口401aから誘電体膜2cの表面をエッチングする。このため、製造工程を増やすことなく、蓄積容量70の誘電体膜2cの膜厚をTFT30のゲート絶縁膜2aの膜厚よりも薄くすることができる。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

第 1 の半導体膜、ゲート絶縁膜、およびゲート電極が基板側からこの順に積層された薄膜トランジスタと、前記第 1 の半導体膜と同層の第 2 の半導体膜を導電化してなる下電極、前記ゲート絶縁膜と同層の誘電体膜、および前記ゲート電極と同層の上電極が前記基板側からこの順に積層された容量素子とを備えた薄膜半導体装置の製造方法において、

前記ゲート絶縁膜および前記誘電体膜を同時形成した以降、前記ゲート電極および前記上電極を形成する前に、

前記基板の表面側に形成したマスクの第 1 の開口から前記第 2 の半導体膜に不純物を導入して前記下電極を形成する下電極形成用不純物導入工程と、

前記マスクの前記第 1 の開口から前記誘電体膜の表面をエッチングする誘電体膜エッチング工程とを行うことを特徴とする薄膜半導体装置の製造方法。

10

【請求項 2】

請求項 1 において、前記マスクには、前記薄膜トランジスタのうち、前記不純物と同一の導電型の薄膜トランジスタの前記第 1 の半導体膜にソース・ドレイン領域の一部あるいは全部を形成するための第 2 の開口を形成し、

前記下電極形成用不純物導入工程では、前記第 1 の開口および前記第 2 の開口から前記第 2 の半導体膜および前記第 1 の半導体膜に不純物を導入し、

前記誘電体膜エッチング工程では、前記第 1 の開口および前記第 2 の開口から前記誘電体膜の表面および前記ゲート絶縁膜の表面をエッチングすることを特徴とする薄膜半導体装置の製造方法。

20

【請求項 3】

請求項 2 において、前記ソース・ドレイン領域は、前記ゲート電極にセルフアライン的に形成された低濃度ソース・ドレイン領域と、該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備え、

前記第 2 の開口は、前記高濃度ソース・ドレイン領域を形成すべき領域に形成されていることを特徴とする薄膜半導体装置の製造方法。

【請求項 4】

請求項 1 ないし 3 のいずれかにおいて、前記誘電体膜エッチング工程は、前記下電極形成用不純物導入工程の後、前記誘電体膜および前記マスクをエッチング除去可能なエッチャントを用いて行うことを特徴とする薄膜半導体装置の製造方法。

30

【請求項 5】

請求項 1 ないし 4 のいずれかに規定する方法で製造したことを特徴とする薄膜半導体装置。

【請求項 6】

第 1 の半導体膜、ゲート絶縁膜、およびゲート電極が基板側からこの順に積層された薄膜トランジスタと、前記第 1 の半導体膜と同層の第 2 の半導体膜を導電化してなる下電極、前記ゲート絶縁膜と同層の誘電体膜、および前記ゲート電極と同層の上電極が前記基板側からこの順に積層された容量素子とを備えた薄膜半導体装置において、

前記誘電体膜には、当該誘電体膜の膜厚を前記ゲート絶縁膜の膜厚より薄くする第 1 の凹部が形成され、

前記第 2 の半導体膜では、前記第 1 の凹部と平面的に重なる領域に不純物が導入されて前記下電極が形成されていることを特徴とする薄膜半導体装置。

40

【請求項 7】

請求項 6 において、前記薄膜トランジスタのうち、前記不純物と同一の導電型の薄膜トランジスタでは、前記ゲート絶縁膜に対して、ソース・ドレイン領域の一部あるいは全部と平面的に重なる領域の当該ゲート絶縁膜の膜厚を前記ゲート電極と平面的に重なる領域の前記ゲート絶縁膜の膜厚よりも薄くする第 2 の凹部が形成されていることを特徴とする薄膜半導体装置。

【請求項 8】

50

請求項 7 において、前記ソース・ドレイン領域は、前記ゲート電極にセルフアライン的に形成された低濃度ソース・ドレイン領域と、該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備え、

前記第 2 の凹部は、前記高濃度ソース・ドレイン領域と平面的に重なる領域に形成されていることを特徴とする薄膜半導体装置。

【請求項 9】

請求項 5 ないし 8 のいずれかに規定する薄膜半導体装置を電気光学装置用基板として用いた電気光学装置であって、前記電気光学装置用基板に電気光学物質が保持されていることを特徴とする電気光学装置。

【請求項 10】

請求項 9 において、前記電気光学物質は、前記電気光学装置用基板と、該電気光学装置用基板に対向配置された対向基板との間に保持された液晶であり、

前記薄膜トランジスタおよび前記容量素子は、マトリクス状に配置された複数の画素の各々に構成されていることを特徴とする電気光学装置。

【請求項 11】

請求項 9 において、前記電気光学物質は、前記電気光学装置用基板上に構成された有機エレクトロルミネッセンス材料であり、

前記薄膜トランジスタおよび前記容量素子は、マトリクス状に配置された複数の画素の各々に構成されていることを特徴とする電気光学装置。

【請求項 12】

請求項 9 ないし 11 のいずれかに規定する電気光学装置を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ（以下、TFTという）と容量素子が同一基板上に備えた薄膜半導体装置、その製造方法、当該薄膜半導体装置を電気光学装置用基板として用いた電気光学装置、およびこの電気光学装置を備えた電子機器に関するものである。さらに詳しくは、静電容量の高い容量素子の製造技術に関するものである。

【背景技術】

【0002】

TFTと容量素子を同一基板上に備えた薄膜半導体装置を構成する場合、TFTの半導体膜と同層の半導体膜を導電化して下電極を形成し、ゲート絶縁膜と同層の絶縁膜を用いて誘電体膜を形成し、ゲート電極と同層の導電膜を用いて上電極を形成すれば、少ない工程数でTFTと容量素子とを形成することができる。このような構造は、画素スイッチング用の非線形素子としてTFTを用いた液晶装置（電気光学装置）の素子基板や各種薄膜半導体装置で多用されている。

【0003】

しかしながら、容量素子では、誘電体膜の膜厚が薄ければ、大きな静電容量を得ることができる一方、TFTでは、ゲート絶縁膜が薄ければ、耐電圧が低下してしまう。そこで、容量素子の側において、ゲート絶縁膜と同時形成した絶縁膜を薄膜化して誘電体膜を形成した構造が提案されている（例えば、特許文献 1 参照）。

【特許文献 1】特開平 6 - 130413 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、容量素子の誘電体膜の膜厚とTFTのゲート絶縁膜の膜厚を相違させる場合には、容量素子の誘電体膜をエッチングして薄くするためのマスクを追加しなければならない。そのため、マスク形成工程およびマスク除去工程を各々、1工程ずつ増やす必要があり、生産性が低下するという問題点がある。

10

20

30

40

50

【0005】

以上の問題点に鑑みて、本発明の課題は、製造工程を増やすことなく、容量素子の誘電体膜の膜厚をTFTのゲート絶縁膜の膜厚よりも薄くすることのできる薄膜半導体装置の製造方法、薄膜半導体装置、この薄膜半導体装置を電気光学装置用基板として用いた電気光学装置、およびこの電気光学装置を備えた電子機器を提供することにある。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明では、第1の半導体膜、ゲート絶縁膜、およびゲート電極が基板側からこの順に積層されたTFTと、前記第1の半導体膜と同層の第2の半導体膜を導電化してなる下電極、前記ゲート絶縁膜と同層の誘電体膜、および前記ゲート電極と同層の上電極が前記基板側からこの順に積層された容量素子とを備えた薄膜半導体装置の製造方法において、前記ゲート絶縁膜および前記誘電体膜を同時形成した以降、前記ゲート電極および前記上電極を形成する前に、前記基板の表面側に形成した前記マスクの第1の開口から前記第2の半導体膜に不純物を導入して前記下電極を形成する下電極形成用不純物導入工程と、前記マスクの前記第1の開口から前記誘電体膜の表面をエッチングする誘電体膜エッチング工程とを行うことを特徴とする。

10

【0007】

かかる製造方法で製造した薄膜半導体装置では、前記誘電体膜には、当該誘電体膜の膜厚を前記ゲート絶縁膜の膜厚より薄くする第1の凹部が形成され、前記第2の半導体膜では、前記第1の凹部と平面的に重なる領域に不純物が導入されて前記下電極が形成されていることを特徴とする。

20

【0008】

本願明細書における同層とは薄膜の一部あるいは全体が基板上の同一の層間に同一形成された構造を意味する。

【0009】

本発明では、TFT側の第1の半導体膜と同層の第2の半導体膜を導電化してなる下電極、TFT側のゲート絶縁膜と同層の誘電体膜、およびTFT側のゲート電極と同層の上電極が基板側からこの順に積層されて容量素子が構成されており、かかる容量素子の下電極を製造するには、ゲート絶縁膜および誘電体膜を同時形成した以降、ゲート電極および上電極を形成する前にマスクの第1の開口から第2の半導体膜に不純物を導入する工程が必要である。本発明では、このマスクを利用して、その第1の開口から誘電体膜の表面をエッチングするため、1枚のマスクで下電極形成用不純物導入工程と誘電体膜エッチング工程と行うことができる。従って、本発明によれば、製造工程を増やすことなく、容量素子の誘電体膜の膜厚をTFTのゲート絶縁膜の膜厚よりも薄くすることができる。

30

【0010】

本発明において、前記マスクには、前記TFTのうち、前記不純物と同一の導電型のTFTの前記第1の半導体膜にソース・ドレイン領域の一部あるいは全部を形成するための第2の開口を形成し、前記下電極形成用不純物導入工程では、前記第1の開口および前記第2の開口から前記第2の半導体膜および前記第1の半導体膜に不純物を導入し、前記誘電体膜エッチング工程では、前記第1の開口および前記第2の開口から前記誘電体膜の表面および前記ゲート絶縁膜の表面をエッチングすることが好ましい。かかる製造方法で製造した薄膜半導体装置では、前記TFTのうち、前記不純物と同一の導電型のTFTでは、前記ゲート絶縁膜に対して、ソース・ドレイン領域の一部あるいは全部と平面的に重なる領域の当該ゲート絶縁膜の膜厚を前記ゲート電極と平面的に重なる領域の前記ゲート絶縁膜の膜厚よりも薄くする第2の凹部が形成されている。

40

【0011】

ここで、前記ソース・ドレイン領域が、前記ゲート電極にセルフアライン的に形成された低濃度ソース・ドレイン領域と、該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備えている場合には、前記第2の開口を、前記高濃度ソース・ドレイン領域を形成すべき領域に形成する。このように構成すると、下電極形成用不純物導入

50

工程で高濃度ソース・ドレイン領域を形成できるので、マスクの枚数が1枚減る。このため、マスク形成工程およびマスク除去工程を各々、1工程ずつ減らすことができるので、生産性が向上する。かかる製造方法で製造した薄膜半導体装置では、前記ソース・ドレイン領域は、前記ゲート電極にセルフアライン的に形成された低濃度ソース・ドレイン領域と、該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備え、前記第2の凹部は、前記高濃度ソース・ドレイン領域と平面的に重なる領域に形成されている。

【0012】

本発明において、前記誘電体膜エッチング工程は、前記下電極形成用不純物導入工程の後、前記誘電体膜および前記マスクをエッチング除去可能なエッチャントを用いて行うことが好ましい。このように構成すると、誘電体膜エッチング工程でマスクの除去もできるので、マスクの除去工程を省略でき、生産性がさらに向上する。

10

【0013】

本発明に係る薄膜半導体装置は、例えば、電気光学装置において、電気光学物質を保持する電気光学装置用基板として用いられる。ここで、前記電気光学物質は、例えば、前記電気光学装置用基板と、該電気光学装置用基板に対向配置された対向基板との間に保持された液晶であり、前記TFTおよび前記容量素子は、マトリクス状に配置された複数の画素の各々に構成されている。また、前記電気光学物質は、前記電気光学装置用基板上に構成された有機エレクトロルミネッセンス材料であってもよく、この場合も、前記TFTおよび前記容量素子は、マトリクス状に配置された複数の画素の各々に構成されることになる。

20

【0014】

本発明に係る電気光学装置は、携帯型コンピュータや携帯電話機などといった電子機器において表示部などを構成するのに用いられる。

【発明を実施するための最良の形態】

【0015】

図面を参照して、代表的な電気光学装置である液晶装置に本発明を適用した例を説明する。なお、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0016】

[実施の形態1]

(液晶装置の全体構成)

図1(A)、(B)はそれぞれ、液晶装置をその上に形成された各構成要素と共に対向基板の側から見た平面図、および対向基板を含めて示す図1(A)のH-H断面図である。

30

【0017】

図1(A)、(B)において、液晶装置100(電気光学装置)では、TFTアレイ基板10(薄膜半導体装置)と対向基板20とが、対向基板20の縁に沿うように塗布されたシール材107(図1(A)の右下がりの斜線領域)によって貼り合わされている。また、TFTアレイ基板10と対向基板20の間には、電気光学物質としての液晶50が保持されている。TFTアレイ基板10の外周側には、基板辺111の側でシール材107と一部重なるようにデータ線駆動回路101が形成され、基板辺113、114の側には走査線駆動回路104が形成されている。TFTアレイ基板10において対向基板20からの張り出し領域10cには多数の端子102が形成されている。TFTアレイ基板10において基板辺111と対向する基板辺112には、画像表示領域10aの両側に設けられた走査線駆動回路104同士をつなぐための複数の配線105が形成されている。また、対向基板20の4つのコーナー部には、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための基板間導通材106が形成され、この基板間導通材106は、エポキシ樹脂系の接着剤成分に銀粉や金メッキファイバーなどの導電粒子が配合されたものである。なお、シール材107は、光硬化樹脂や熱硬化性樹脂などからなる接着剤であ

40

50

り、両基板間の距離を所定値とするためのグラスファイバー、あるいはガラスビーズ等のギャップ材が配合されている。

【0018】

詳しくは後述するが、TFTアレイ基板10には、画素電極9aがマトリクス状に形成されている。これに対して、対向基板20には、シール材107の内側領域に遮光性材料からなる周辺見切り用の遮光膜108が形成されている。さらに、対向基板20において、TFTアレイ基板10に形成されている画素電極9aの縦横の境界領域と対向する領域には、ブラックマトリクス、あるいはブラックストライプなどと称せられる遮光膜23が形成され、その上層側には、ITO膜からなる対向電極21が形成されている。

【0019】

このように構成した液晶装置100については、後述するように、モバイルコンピュータ、携帯電話機、液晶テレビなどといった電子機器のカラー表示装置として用いる場合には、対向基板20において各画素電極9aに対向する領域にRGBのカラーフィルタ(図示せず)などを形成する。

【0020】

(液晶装置100の構成および動作)

図2は、液晶装置の電氣的構成を示すブロック図である。図2に示すように、駆動回路内蔵型のTFTアレイ基板10では、互いに交差する複数のデータ線6aと、複数の走査線3aとが交差する部分に対応して複数の画素100aがマトリクス状に構成されている。複数の画素100aの各々には、画素電極9a、および画素電極9aを制御するための画素スイッチング用のTFT30が形成されており、画素信号を供給するデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画素信号S1、S2・・・Snは、この順に線順次に供給する。また、TFT30のゲートには走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2・・・Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのオン状態とすることにより、データ線6aから供給される画素信号S1、S2・・・Snを各画素に所定のタイミングで書き込む。このようにして画素電極9aを介して液晶に書き込まれた所定レベルの画素信号S1、S2、・・・Snは、図1(B)に示す対向基板20の対向電極21との間で一定期間保持される。

【0021】

ここで、TFTアレイ基板10には、保持された画素信号がリークするのを防ぐことを目的に、画素電極9aと対向電極21との間に形成される液晶容量と並列に蓄積容量70(容量素子)が付加されている。この蓄積容量70によって、画素電極9aの電圧は、例えば、ソース電圧が印加された時間よりも3桁も長い時間だけ保持される。これにより、電荷の保持特性は改善され、コントラスト比の高い表示を行うことのできる液晶装置100が実現できる。なお、蓄積容量70については、本形態のように、容量線3bとの間に形成する場合の他、前段の走査線3aとの間に形成する場合もある。

【0022】

(TFTアレイ基板の構成)

図3は、TFTアレイ基板において相隣接する画素の平面図である。図4は、図3のA-A線に相当する位置での断面図である。

【0023】

図3において、TFTアレイ基板10上には、複数の透明なITO(Indium Tin Oxide)膜からなる画素電極9aがマトリクス状に形成され、これら画素電極9aに対して画素スイッチング用のTFT30がそれぞれ接続している。また、画素電極9aの縦横の境界に沿って、データ線6a、走査線3a、および容量線3bが形成され、TFT30は、データ線6aおよび走査線3aに対して接続している。すなわち、データ線6aは、コンタクトホールを介してTFT30の高濃度ソース領域1dに電氣的に接続し、走査線3aは、その突出部分がTFT30のゲート電極を構成している。蓄積容量7

10

20

30

40

50

0 は、画素スイッチング用の T F T 3 0 を形成するための半導体膜 1 a の延設部分 1 f を導電化したものを下電極 1 g とし、この下電極 1 g に重なる容量線 3 b の矩形部分を上電極 3 c (上電極) としている。

【0024】

図 4 に示すように、T F T アレイ基板 1 0 では、その基体として透明基板 1 0 b が用いられ、この透明基板 1 0 b の表面には、厚さが 3 0 0 n m ~ 5 0 0 n m のシリコン酸化膜 (絶縁膜) からなる下地保護膜 1 1 が形成され、この下地保護膜 1 1 の表面には、厚さが 3 0 n m ~ 1 0 0 n m の島状の半導体膜 1 a が形成されている。半導体膜 1 a の表面には、厚さが約 5 0 ~ 1 5 0 n m のシリコン酸化膜などの絶縁膜 2 からなるゲート絶縁膜 2 a が形成され、このゲート絶縁膜 2 a の表面に、厚さが 3 0 0 n m ~ 8 0 0 n m の走査線 3 a が形成されている。半導体膜 1 a のうち、走査線 3 a に対してゲート絶縁膜 2 a を介して対峙する領域がチャネル領域 1 a (能動層) になっている。このチャネル領域 1 a に対して一方側には、低濃度ソース領域 1 b および高濃度ソース領域 1 d を備えるソース領域が形成され、他方側には低濃度ドレイン領域 1 c および高濃度ドレイン領域 1 e を備えるドレイン領域が形成されている。

10

【0025】

画素スイッチング用の T F T 3 0 の表面側には、厚さが 3 0 0 n m ~ 8 0 0 n m のシリコン酸化膜からなる層間絶縁膜 4 が形成され、この層間絶縁膜 4 の表面には、厚さが 1 0 0 n m ~ 3 0 0 n m のシリコン窒化膜からなる層間絶縁膜 5 が形成されている。層間絶縁膜 4 の表面には、厚さが 3 0 0 n m ~ 8 0 0 n m のデータ線 6 a が形成され、このデータ線 6 a は、層間絶縁膜 4 に形成されたコンタクトホールを介して高濃度ソース領域 1 d に電氣的に接続している。層間絶縁膜 4 の表面にはデータ線 6 a と同時形成されたドレイン電極 6 b が形成され、このドレイン電極 6 b は、層間絶縁膜 4 に形成されたコンタクトホールを介して高濃度ドレイン領域 1 e に電氣的に接続している。

20

【0026】

層間絶縁膜 5 の上層には、透光性の感光性樹脂からなる凹凸形成層 1 3 a が所定のパターンで形成されている。凹凸形成層 1 3 a の表面には、透光性の感光性樹脂からなる上層絶縁膜 7 a が形成され、この上層絶縁膜 7 a の表面には、アルミニウム膜などによって、反射モードでの画像表示を可能とする光反射膜 8 a が形成されている。光反射膜 8 a の表面には、凹凸形成層 1 3 a の凹凸が反映されて凹凸パターン 8 g が形成され、この凹凸パターン 8 g は、エッジのない、なだらかな形状になっている。光反射膜 8 a の上層には画素電極 9 a が形成されている。画素電極 9 a は、光反射膜 8 a の表面に直接、積層されてもよい。また、画素電極 9 a は、上層絶縁膜 7 a、凹凸形成層 1 3 a、層間絶縁膜 5 に形成されたコンタクトホールを介してドレイン電極 6 b に電氣的に接続している。画素電極 9 a の表面側にはポリイミド膜からなる配向膜 1 2 が形成されている。この配向膜 1 2 は、ポリイミド膜に対してラビング処理が施された膜である。なお、図 3 には、凹凸形成層 1 3 a の平面形状については、六角形で表してあるが、その形状については、円形や八角形など、種々の形状のものを採用することができる。

30

【0027】

光反射膜 8 a には、画素電極 9 a と平面的に重なる領域の一部に、透過モードでの画像表示を可能とする矩形の光透過窓 8 d が形成されこの光透過窓 8 d に相当する部分には、I T O からなる画素電極 9 a は存在するが、光反射膜 8 a は存在しない。

40

【0028】

高濃度ドレイン領域 1 e からの延設部分 1 f (下電極 1 g) に対しては、ゲート絶縁膜 2 a と同時形成された絶縁膜 (誘電体膜 2 b) を介して容量線 3 b の矩形部分が上電極 3 c として対向することにより、蓄積容量 7 0 が構成されている。

【0029】

なお、T F T 3 0 は、好ましくは上述のように L D D 構造をもつが、低濃度ソース領域 1 b、および低濃度ドレイン領域 1 c に相当する領域に不純物イオンの打ち込みを行わないオフセット構造を有していてもよい。また、T F T 3 0 は、ゲート電極 (走査線 3 a の

50

一部)をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度のソースおよびドレイン領域を形成したセルフアライン型のTFTであってもよい。

【0030】

また、本形態では、TFT30のゲート電極(走査線3a)をソース-ドレイン領域の間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート(ダブルゲート)、あるいはトリプルゲート以上でTFT30を構成すれば、チャネルとソース-ドレイン領域の接合部でのリーク電流を防止でき、オフ時の電流を低減することが出来る。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、さらにオフ電流を低減でき、安定したスイッチング素子を得ることができる。

10

【0031】

(蓄積容量70の詳細な構成)

図3および図4に示すように、本形態では、蓄積容量70の誘電体膜2cには、誘電体膜2cの膜厚をゲート絶縁膜2aの膜厚より薄くする凹部2g(第1の凹部)が形成され、半導体膜の延設部分1fでは、凹部2gと平面的に重なる領域に不純物が導入されて下電極1gが形成されている。

【0032】

このように構成したTFTアレイ基板10では、TFT30と蓄積容量70とにおいて双方の構成要素を同層としてあるので、製造方法を後述するように、TFT30と蓄積容量70を少ない工程数で形成することができる。ここで、蓄積容量70の誘電体膜2cは、TFT30のゲート絶縁膜2aと同層であるが、誘電体膜2cは、凹部2gの形成により、薄くなっているため、TFT30の耐電圧を低下させることなく、蓄積容量70の静電容量を向上することができる。

20

【0033】

(対向基板20の構成)

対向基板20では、TFTアレイ基板10に形成されている画素電極9aの縦横の境界領域と対向する領域にブラックマトリクス、あるいはブラックストライプなどと称せられる遮光膜23が形成され、その上層側には、ITO膜からなる対向電極21が形成されている。また、対向電極21の上層側には、ポリイミド膜からなる配向膜22が形成され、この配向膜22は、ポリイミド膜に対してラビング処理が施された膜である。

30

【0034】

(駆動回路の構成)

再び図1(A)において、本形態の液晶装置100では、TFTアレイ基板10の表面側のうち、画像表示領域10aの周辺領域を利用してデータ線駆動回路101および走査線駆動回路104などの周辺回路が形成されている。データ線駆動回路101および走査線駆動回路104は、基本的には、図5に示すNチャネル型のTFTとPチャネル型のTFTとによって構成されている。

【0035】

図5は、走査線駆動回路104およびデータ線駆動回路101等の周辺回路を構成するTFTの構成を示す断面図である。図5において、周辺回路を構成するTFTは、Pチャネル型のTFT180とNチャネル型のTFT190とからなる相補型TFTとして構成されている。これらの駆動回路用のTFT180、190を構成する半導体膜160は、透明基板10bの下地保護膜11の表面に島状に形成されている。TFT180、190には、高電位線171と低電位線172がコンタクトホール163、164を介して、半導体膜160のソース領域に電氣的にそれぞれ接続されている。また、入力配線166は、共通のゲート電極165にそれぞれ接続されており、出力配線167は、コンタクトホール168、169を介して、半導体膜160のドレイン領域に電氣的にそれぞれ接続されている。

40

【0036】

50

このような周辺回路領域も、画像表示領域 10 a と同様なプロセスを経て形成されるため、周辺回路領域にも、層間絶縁膜 4、5 および絶縁膜 2 (ゲート絶縁膜) が形成されている。また、駆動回路用の N 型の TFT 190 も、画素スイッチング用の TFT 30 と同様、LDD 構造を有しており、チャンネル形成領域 191 の両側には、高濃度ソース領域 192 および低濃度ソース領域 193 からなるソース領域と、高濃度ドレイン領域 194 および低濃度ドレイン領域 195 からなるドレイン領域とを備えている。駆動回路用の P 型の TFT 180 も、N 型の TFT 190 と同様、LDD 構造としてもよいが、本形態では、セルフアライン構造を有しており、チャンネル形成領域 181 の両側には、高濃度のソース領域 182 と高濃度のドレイン領域 184 とを備えている。

【0037】

(TFT アレイ基板の製造方法)

図 6 および図 7 はいずれも、本形態の TFT アレイ基板 10 の製造方法を示す工程断面図である。なお、図 6 および図 7 はいずれも、図 4 および図 5 に対応する断面に相当する。

【0038】

まず、図 6 (A) に示すように、超音波洗浄等により清浄化したガラス製等の透明基板 10 b を準備した後、その表面に下地保護膜 11 を形成し、次に、島状の半導体膜 1 a、160 を形成する。かかる半導体膜 1 a、160 を形成するには、例えば、基板温度が 150 ~ 450 の温度条件下で、下地保護膜 11 の表面に、アモルファスのシリコン膜からなる半導体膜をプラズマ CVD 法により 30 nm ~ 100 nm の厚さに形成した後、半導体膜に対してレーザー光を照射してレーザーアニールを施した後、半導体膜をフォトリソグラフィ技術を用いてパターンニングする。

【0039】

次に、図 6 (B) に示すように、350 以下の温度条件下で、透明基板 10 b の全面に厚さが 50 nm ~ 150 nm のシリコン酸化膜などの絶縁膜 2 (ゲート絶縁膜 2 a および誘電体膜 2 c) を形成する。このときの原料ガスは、たとえば TEOS と酸素ガスとの混合ガスを用いることができる。ここで形成する絶縁膜 2 a は、シリコン酸化膜に代えてシリコン窒化膜であってもよい。

【0040】

次に、図 6 (C) に示すように、絶縁膜 2 の表面にレジストマスク 401 を形成した後、このレジストマスク 401 の開口 401 a (第 1 の開口) を介して半導体膜 1 a の延設部分 1 f に、高濃度 N 型の不純物イオン (リンイオン) を約 $0.1 \times 10^{15} / \text{cm}^2$ ~ 約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、蓄積容量 70 を構成するための下電極 1 g を形成する (下電極形成用不純物導入工程)。

【0041】

次に、図 6 (D) に示すように、レジストマスク 401 の開口 401 a を介して、誘電体膜 2 c の表面をエッチングし、誘電体膜 2 c に凹部 2 g を形成する (誘電体膜エッチング工程)。しかる後にレジストマスク 401 を除去する。なお、図 6 (C) に示す下電極形成用不純物導入工程と、図 6 (D) に示す誘電体膜エッチング工程とはその順序を入れ替えてもよい。

【0042】

次に、図 7 (E) に示すように、スパッタ法などにより、透明基板 10 b の全面にアルミニウム膜、タンタル膜、モリブデン膜、またはこれらの金属のいずれかを主成分とする合金膜からなる導電膜 3 を 300 nm ~ 800 nm の厚さに形成した後、フォトリソグラフィ技術を用いてレジストマスク 403 を形成し、このレジストマスク 403 を介して導電膜 3 をドライエッチングする。その結果、図 7 (F) に示すように、走査線 3 a、ゲート電極 165、および容量線 3 b (蓄積容量 70 の上電極 3 c) が形成される。このようにして蓄積容量 70 を形成する。しかる後にレジストマスク 403 を除去する。

【0043】

次に、図 7 (G) に示すように、P チャンネル型の TFT 180 を形成するための半導体

10

20

30

40

50

膜 160 をレジストマスク 411 で覆った状態で、画素スイッチング用の T F T 30 を構成する半導体膜 1a と、駆動回路用の N チャネル型の T F T 190 を構成する半導体膜 160 とに対して、走査線 3a やゲート電極 165 をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ~ 約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度 N 型の不純物イオン（リンイオン）を打ち込んで、走査線 3a およびゲート電極 165 に対して自己整合的に低濃度ソース領域 1b、193、および低濃度ドレイン領域 1c、195 を形成する。ここで、走査線 3a やゲート電極 165 の真下に位置しているため、不純物イオンが導入されなかった部分は半導体膜 1a、160 のままのチャンネル領域 1a、191 となる。しかる後にレジストマスク 411 を除去する。

【0044】

次に、図 7 (H) に示すように、走査線 3a およびゲート電極 66 より幅が広く、かつ、P チャネル型の T F T 180 を形成するための半導体膜 160 を覆うレジストマスク 412 を形成し、この状態で、高濃度 N 型の不純物イオン（リンイオン）を約 $0.1 \times 10^{15} / \text{cm}^2$ ~ 約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度ソース領域 1d、192、およびドレイン領域 1e、194 を形成する。しかる後にレジストマスク 412 を除去する。

【0045】

次に、図 7 (I) に示すように、N チャネル型の T F T 30、190 を形成するための半導体膜 1a、160 をレジストマスク 413 で覆った状態で、駆動回路用の P チャネル型の駆動回路用の T F T 180 を構成する半導体膜 160 に対して、ゲート電極 165 をマスクとして、高濃度 P 型の不純物イオン（ボロンイオン）を約 $0.1 \times 10^{15} / \text{cm}^2$ ~ 約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度ソース領域 182、およびドレイン領域 184 を形成する。しかる後にレジストマスク 413 を除去する。

【0046】

それ以降は、図 4 および図 5 に示すように、透明基板 10b の表面全体に、シリコン酸化膜などからなる層間絶縁膜 4 を形成した後、層間絶縁膜 4 にコンタクトホール 163、164、168、169 などそれぞれ形成し、しかる後に、アルミニウム膜、タンタル膜、モリブデン膜などのデータ線 6a およびドレイン電極 6b を形成するなど、複数の工程を行って図 4 および図 5 に示す構造の T F T アレイ基板 10 とするが、かかる工程については周知の工程を利用できるので、その説明を省略する。

【0047】

以上説明したように、本形態では、T F T 30 側の半導体膜 1a（第 1 の半導体膜）からの延設部分 1f（第 2 の半導体膜）を導電化してなる下電極 1g、T F T 30 側のゲート絶縁膜 2a と同層の誘電体膜 2c、および T F T 30 側のゲート電極 3a と同層の上電極 3c によって蓄積容量 70 を構成するので、蓄積容量 70 の下電極 1g を製造するには、ゲート絶縁膜 2a および誘電体膜 2c を同時形成した以降、ゲート電極 3a および上電極 3c を形成する前に、レジストマスク 401 の開口 401a から半導体膜 1a の延設部分 1f に不純物を導入する工程が必要である。本形態では、このレジストマスク 401 をそのまま利用して、その開口 401a から誘電体膜 2c の表面をエッチングして誘電体膜 2c を薄くするため、1枚のマスクで下電極形成用不純物導入工程と誘電体膜エッチング工程と行うことができる。従って、本形態によれば、製造工程を増やすことなく、蓄積容量 70 の誘電体膜 2c の膜厚を T F T 30 のゲート絶縁膜 2a の膜厚よりも薄くすることができる。

【0048】

[実施の形態 2]

(T F T アレイ基板の構成)

図 8 は、本発明の実施の形態 2 に係る電気光学装置の T F T アレイ基板を図 3 の A - A 線に相当する位置での断面を示す説明図である。図 9 は、本形態の電気光学装置の T F T アレイ基板において、走査線駆動回路およびデータ線駆動回路等の周辺回路を構成する T F T の構成を示す断面図である。なお、本形態の電気光学装置は、その基本的な構成が

10

20

30

40

50

実施の形態 1 と同様であるため、共通する部分には同一の符号を付してそれらの説明を省略する。

【0049】

図 8 に示すように、本形態でも、蓄積容量 70 では、誘電体膜 2 c には、誘電体膜 2 c の膜厚をゲート絶縁膜 2 a の膜厚より薄くする凹部 2 g (第 1 の凹部) が形成され、半導体膜の延設部分 1 f では、凹部 2 g と平面的に重なる領域に不純物が導入されて下電極 1 g が形成されている。ここで、凹部 2 g は、TFT30 の高濃度ドレイン領域 1 e まで延びており、TFT30 の高濃度ドレイン領域 1 e と下電極 1 g は完全に繋がった状態にある。

【0050】

このように構成した TFT アレイ基板 10 では、TFT30 と蓄積容量 70 とにおいて双方の構成要素を同層としてあるので、製造方法を後述するように、TFT30 と蓄積容量 70 を少ない工程数で形成することができる。また、蓄積容量 70 の誘電体膜 2 c は、TFT30 のゲート絶縁膜 2 a と同層であるが、誘電体膜 2 c は、凹部 2 g の形成により、薄くなっているため、TFT30 の耐電圧を低下させることなく、蓄積容量 70 の静電容量を向上することができる。

【0051】

ここで、下電極 1 g に導入された不純物と同一の N 型の TFT30 では、ゲート絶縁膜 2 a に対して、ソース・ドレイン領域の一部あるいは全部と平面的に重なる領域のゲート絶縁膜 2 a の膜厚をゲート電極 3 a と平面的に重なる領域のゲート絶縁膜 2 a の膜厚よりも薄くする凹部 2 h、2 i (第 2 の凹部) が形成されている。本形態において、凹部 2 h、2 i は、ソース・ドレイン領域のうち、高濃度ソース領域 1 d および高濃度ドレイン領域 1 e と平面的に重なる領域に形成されている。従って、ゲート電極 3 a と平面的に重なるゲート絶縁膜 2 a は厚いままであり、低濃度ソース領域 1 b および低濃度ドレイン領域 1 c と平面的に重なる領域のゲート絶縁膜 2 a も厚いままである。

【0052】

また、図 9 に示すように、駆動回路などの周辺回路においても、下電極 1 g に導入された不純物と同一の N 型の TFT190 では、ゲート絶縁膜 2 a に対して、ソース・ドレイン領域の一部あるいは全部と平面的に重なる領域のゲート絶縁膜 2 a の膜厚をゲート電極 165 と平面的に重なる領域のゲート絶縁膜 2 a の膜厚よりも薄くする凹部 2 k、2 j 第 2 の凹部が形成されている。本形態において、凹部 2 k、2 j は、ソース・ドレイン領域のうち、高濃度ソース領域 192 および高濃度ドレイン領域 194 と平面的に重なる領域に形成されている。従って、ゲート電極 165 と平面的に重なるゲート絶縁膜 2 a は厚いままであり、低濃度ソース領域 193 および低濃度ドレイン領域 195 と平面的に重なる領域のゲート絶縁膜 2 a も厚いままである。

【0053】

(TFT アレイ基板の製造方法)

図 10 および図 11 はいずれも、本形態の TFT アレイ基板 10 の製造方法を示す工程断面図である。なお、図 10 および図 11 はいずれも、図 8 および図 9 に対応する断面に相当する。

【0054】

まず、図 10 (A) に示すように、超音波洗浄等により清浄化したガラス製の透明基板 10 b を準備した後、その表面に下地保護膜 11 を形成し、次に、島状の半導体膜 1 a、160 を形成する。かかる半導体膜 1 a、160 を形成するには、例えば、基板温度が 150 ~ 450 の温度条件下で、下地保護膜 11 の表面に、アモルファスのシリコン膜からなる半導体膜をプラズマ CVD 法により 30 nm ~ 100 nm の厚さに形成した後、半導体膜に対してレーザ光を照射してレーザアニールを施した後、半導体膜をフォトリソグラフィ技術を用いてパターンニングする。

【0055】

次に、図 10 (B) に示すように、350 以下の温度条件下で、透明基板 10 b の全

10

20

30

40

50

面に厚さが50nm~150nmのシリコン酸化膜などの絶縁膜2(ゲート絶縁膜2aおよび誘電体膜2c)を形成する。このときの原料ガスは、たとえばTEOSと酸素ガスとの混合ガスを用いることができる。ここで形成する絶縁膜2aは、シリコン酸化膜に代えてシリコン窒化膜であってもよい。

【0056】

次に、図10(C)に示すように、絶縁膜2の表面にレジストマスク402を形成した後、このレジストマスク402の開口402(第1の開口)を介して半導体膜1aの延設部分1fに、高濃度N型の不純物イオン(リンイオン)を約 $0.1 \times 10^{15} / \text{cm}^2$ ~約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、蓄積容量70を構成するための下電極1gを形成する(下電極形成用不純物導入工程)。

10

【0057】

また、下電極形成用不純物導入工程で用いたレジストマスク402には、TF T 30、の半導体膜1a、190にソース・ドレイン領域の一部あるいは全部を形成するための開口402b(第2の開口)も形成されている。本形態では、高濃度ソース領域1dおよび高濃度ドレイン領域1eを形成すべき領域に開口402bが形成されている。また、高濃度ソース領域192および高濃度ドレイン領域194を形成すべき領域にも開口402bが形成されている。従って、下電極形成用不純物導入工程では、レジストマスク402の開口402(第1の開口)を介して半導体膜1a、190に高濃度N型の不純物イオン(リンイオン)が打ち込まれる結果、高濃度ソース領域1d、192および高濃度ドレイン領域1e、194が形成される。

20

【0058】

次に、図10(D)に示すように、レジストマスク402の開口402aを介して、誘電体膜2cの表面をエッチングして薄くし、誘電体膜2cに凹部2g(第1の凹部)を形成する(誘電体膜エッチング工程)。

【0059】

また、誘電体膜エッチング工程では、レジストマスク402の開口402bを介してゲート絶縁膜2aもエッチングされるので、ゲート絶縁膜2aにも凹部2h、2i、2k、2j(第2の凹部)が形成される。但し、凹部2h、2i、2k、2jは、ゲート電極3a、165から外れているので、TF T 30、190の耐電圧を低下させることはない。

【0060】

しかる後にレジストマスク402を除去する。なお、図10(C)に示す下電極形成用不純物導入工程と、図10(D)に示す誘電体膜エッチング工程とはその順序を入れ替えてもよい。

30

【0061】

次に、図11(E)に示すように、スパッタ法などにより、透明基板10bの全面にアルミニウム膜、タンタル膜、モリブデン膜、またはこれらの金属のいずれかを主成分とする合金膜からなる導電膜3を300nm~800nmの厚さに形成した後、フォトリソグラフィ技術を用いてレジストマスク403を形成し、このレジストマスク403を介して導電膜3をドライエッチングする。その結果、図11(F)に示すように、走査線3a、ゲート電極165、および容量線3b(蓄積容量70の上電極3c)が形成される。このようにして蓄積容量70を形成する。

40

【0062】

次に、図11(G)に示すように、Pチャネル型のTF T 180を形成するための半導体膜160をレジストマスク411で覆った状態で、画素スイッチング用のTF T 30を構成する半導体膜1aと、駆動回路用のNチャネル型のTF T 190を構成する半導体膜160とに対して、走査線3aやゲート電極165をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ~約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度N型の不純物イオン(リンイオン)を打ち込んで、走査線3aおよびゲート電極165に対して自己整合的に低濃度ソース領域1b、193、および低濃度ドレイン領域1c、195を形成する。ここで、走査線3aやゲート電極165の真下に位置しているため、不純物イオンが導入されなかった

50

部分は半導体膜 1 a、160 のままのチャネル領域 1 a、191 となる。その結果、TFT30、190 が形成される。

【0063】

次に、図 11 (H) に示すように、Nチャネル型の TFT30、190 を形成するための半導体膜 1 a、160 をレジストマスク 413 で覆った状態で、駆動回路用の Pチャネル型の駆動回路用の TFT180 を構成する半導体膜 160 に対して、ゲート電極 165 をマスクとして、高濃度 P 型の不純物イオン (ボロンイオン) を約 $0.1 \times 10^{15} / \text{cm}^2$ ~ 約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度ソース領域 182、およびドレイン領域 184 を形成する。その結果、TFT180 が形成される。

【0064】

それ以降は、図 8 および図 9 に示すように、透明基板 10 b の表面全体に、シリコン酸化膜などからなる層間絶縁膜 4 を形成した後、層間絶縁膜 4 にコンタクトホール 163、164、168、169 などそれぞれ形成し、しかる後に、アルミニウム膜、タンタル膜、モリブデン膜などのデータ線 6 a およびドレイン電極 6 b を形成するなど、複数の工程を行って図 4 および図 5 に示す構造の TFT アレイ基板 10 とするが、かかる工程については周知の工程を利用できるので、その説明を省略する。

【0065】

以上説明したように、本形態では、TFT30 側の半導体膜 1 a (第 1 の半導体膜) からの延設部分 1 f (第 2 の半導体膜) を導電化してなる下電極 1 g、TFT30 側のゲート絶縁膜 2 a と同層の誘電体膜 2 c、および TFT30 側のゲート電極 3 a と同層の上電極 3 c によって蓄積容量 70 を構成するので、蓄積容量 70 の下電極 1 g を製造するには、ゲート絶縁膜 2 a および誘電体膜 2 c を同時形成した以降、ゲート電極 3 a および上電極 3 c を形成する前に、レジストマスク 402 の開口 402 a から半導体膜 1 a の延設部分 1 f に N 型の不純物を導入する工程が必要である。本形態では、このレジストマスク 402 をそのまま利用して、その開口 402 a から誘電体膜 2 c の表面をエッチングするため、1 枚のマスクで下電極形成用不純物導入工程と誘電体膜エッチング工程と行うことができる。従って、本形態によれば、製造工程を増やすことなく、蓄積容量 70 の誘電体膜 2 c の膜厚を TFT30 のゲート絶縁膜 2 a の膜厚よりも薄くすることができる。

【0066】

また、本形態では、下電極形成用不純物導入工程で用いたレジストマスク 402 に開口 402 b を形成したため、下電極形成用不純物導入工程で TFT30、190 の高濃度ソース領域 1 d、192 および高濃度ドレイン領域 1 e、194 を形成できるので、マスクの枚数をさらに 1 枚減らすことができる。このため、マスク形成工程およびマスク除去工程を各々、1 工程ずつ、さらに減らすことができるので、生産性が向上する。

【0067】

[その他の実施の形態]

上記形態 1、2 では、下電極形成用不純物導入工程で用いたレジストマスク 401、402 を別工程で除去していたが、下電極形成用不純物導入工程の後、誘電体膜エッチング工程を行う際、誘電体膜 2 c およびレジストマスク 401、402 をエッチング除去可能なエッチャント、例えば、酸素およびフッ素を含んだエッチングガス (エッチャント) を用いてドライエッチングを行えば、誘電体膜エッチング工程でレジストマスク 401、402 の一部もしくは完全な除去もできるので、レジストマスク 401、402 の除去工程を簡略する事ができ、生産性がさらに向上する。

【0068】

また、上記形態 1、2 において、ゲート絶縁膜 2 a および誘電体膜 2 c を構成する絶縁膜 2 が 1 層の例であったが、シリコン酸化膜とシリコン窒化膜との積層膜などを用いてもよい。この場合、誘電体膜 2 c の一部の領域において 2 つの絶縁膜のうち的一方を完全に除去して、膜厚の薄い第 1 領域 201 c を形成してもよい。

【0069】

さらに、薄膜半導体装置としては、液晶装置の電気光学装置用基板の他、以下に説明す

10

20

30

40

50

る有機EL表示装置、さらには電気永動型の表示装置などといった電気光学装置に本発明を適用してもよい。

【0070】

図12に示す有機EL表示装置500pは、有機半導体膜に駆動電流が流れることによって発光するEL素子をTFTで駆動制御する表示装置であり、このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、バックライトを必要とせず、また、視野角依存性が少ないなどの利点がある。ここに示す電気光学装置500pでは、複数の走査線563pと、この走査線563pの延設方向に対して交差する方向に延設された複数のデータ線564と、これらのデータ線564に並列する複数の共通給電線505と、データ線564と走査線563pとの交差点に対応する画素515pとが構成され、画素515pは、画像表示領域100にマトリクス状に配置されている。データ線564に対しては、シフトレジスタ、レベルシフト、ビデオライン、アナログスイッチを備えるデータ線駆動回路551pが構成されている。走査線563pに対しては、シフトレジスタおよびレベルシフトを備える走査線駆動回路554pが構成されている。また、画素515pの各々には、走査線563pを介して走査信号がゲート電極に供給されるスイッチング用TFT509と、このスイッチング用TFT509を介してデータ線564から供給される画像信号を保持する保持容量533pと、この保持容量533pによって保持された画像信号がゲート電極に供給されるカレントTFT510と、カレントTFT510を介して共通給電線505に電氣的に接続したときに共通給電線505から駆動電流が流れ込む発光素子513とが構成されている。発光素子513は、画素電極の上層側には、正孔注入層、有機EL材料層としての有機半導体膜、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極が積層された構成になっており、対向電極は、データ線564などを跨いで複数の画素515pにわたって形成されている。

【0071】

このような有機EL表示装置500pも、TFTと容量素子が同一基板上に形成された薄膜半導体装置であるので、本発明を適用してもよい。

【0072】

[液晶装置の電子機器への適用]

本発明を適用した液晶装置100などの電気光学装置は、各種の電子機器の表示部として用いることができるが、その一例を図13(A)、(B)を参照して説明する。

【0073】

図13(A)は、本発明に係る電子機器の一実施形態であるモバイル型のパーソナルコンピュータを示している。ここに示すパーソナルコンピュータ80は、キーボード81を備えた本体部82と、液晶表示ユニット83とを有する。液晶表示ユニット83は、前述した液晶装置100を含んで構成される。

【0074】

図13(B)は、本発明に係る電子機器の他の実施形態である携帯電話機を示している。ここに示す携帯電話機90は、複数の操作ボタン91と、前述した液晶装置100からなる表示部とを有している。

【図面の簡単な説明】

【0075】

【図1】(A)、(B)はそれぞれ、本発明の実施の形態1に係る液晶装置をその上に形成された各構成要素と共に対向基板の側から見た平面図、および対向基板を含めて示す図1(A)のH-H断面図である。

【図2】液晶装置の電氣的構成を示すブロック図である。

【図3】図1に示す液晶装置のTFTアレイ基板において相隣接する画素の平面図である。

【図4】図3のA-A線に相当する位置での断面図である。

【図5】図1に示す液晶装置において周辺回路を構成するTFTの構成を示す断面図である。

10

20

30

40

50

【図6】本発明の実施の形態1に係るTFTアレイ基板の製造方法を示す工程断面図である。

【図7】本発明の実施の形態1に係るTFTアレイ基板の製造方法を示す工程断面図である。

【図8】本発明の実施の形態2に係る液晶装置のTFTアレイ基板を図3のA-A線に相当する位置での切断したときの断面図である。

【図9】図8に示す液晶装置において周辺回路を構成するTFTの構成を示す断面図である。

【図10】本発明の実施の形態2に係るTFTアレイ基板の製造方法を示す工程断面図である。

【図11】本発明の実施の形態2に係るTFTアレイ基板の製造方法を示す工程断面図である。

【図12】有機EL表示装置の電気的構成を示すブロック図である。

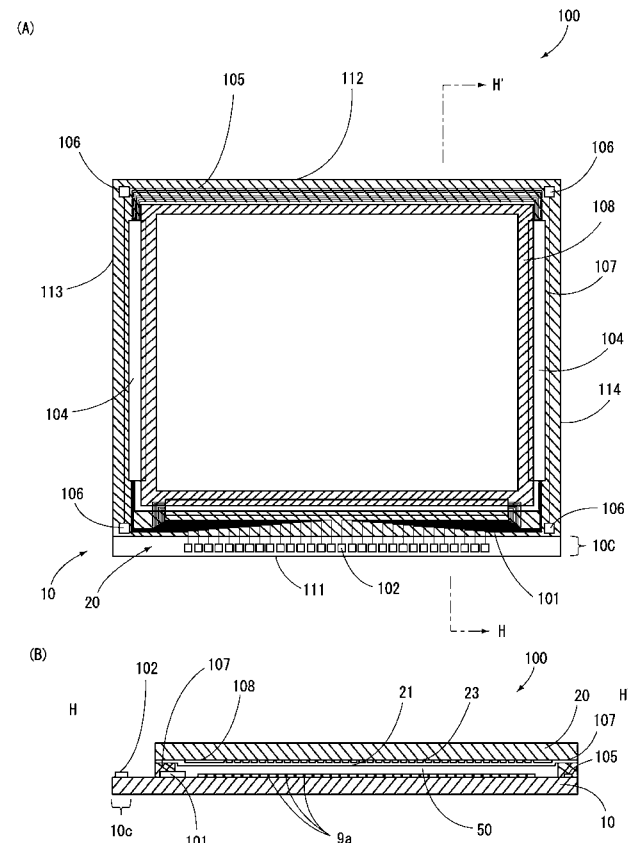
【図13】(A)、(B)はそれぞれ、本発明に係る電気光学装置を用いたモバイル型のパーソナルコンピュータを示す説明図、および携帯電話機の説明図である。

【符号の説明】

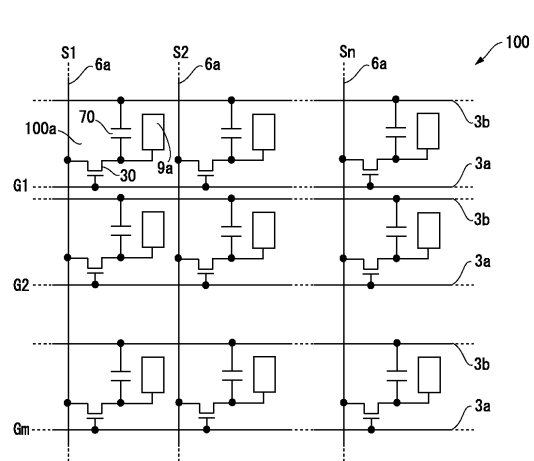
【0076】

1 a、1 g、1 6 0 半導体膜、1 f 半導体膜の延設部分、1 g 蓄積容量の下電極、
 2 a ゲート絶縁膜、2 c 蓄積容量の誘電体膜、2 g 誘電体膜に形成した凹部（第1
 の凹部）、2 h、2 i、2 j、2 k ゲート絶縁膜に形成した凹部（第2の凹部）、3 a
 走査線、3 b 容量線、3 c 蓄積容量の上電極、6 a データ線、1 0 TFTアレイ
 基板（薄膜半導体装置）、3 0 画素スイッチング用のTFT、7 0 蓄積容量（容量
 素子）、1 0 0 液晶装置（電気光学装置）、4 0 1、4 0 2 レジストマスク、4 0 1
 a、4 0 2 a、4 0 2 b レジストマスクの開口

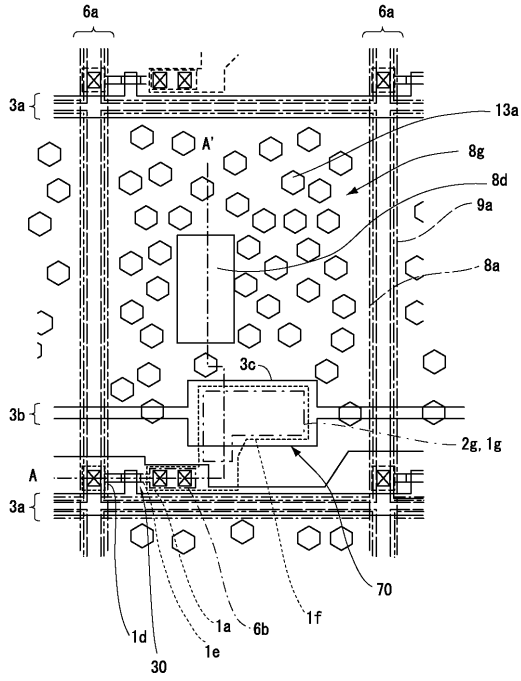
【図1】



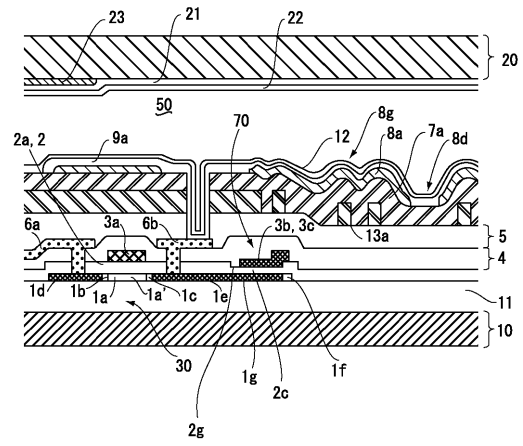
【図2】



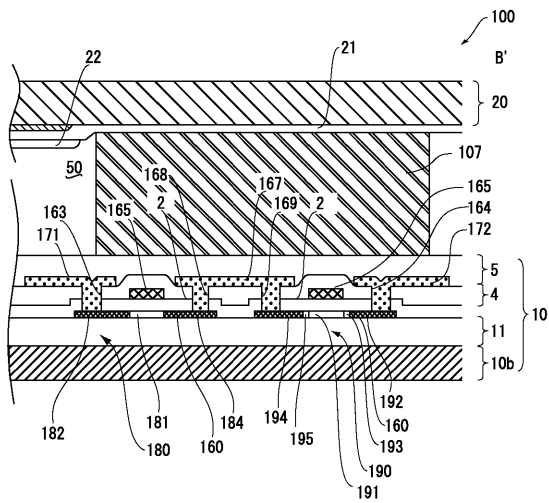
【 図 3 】



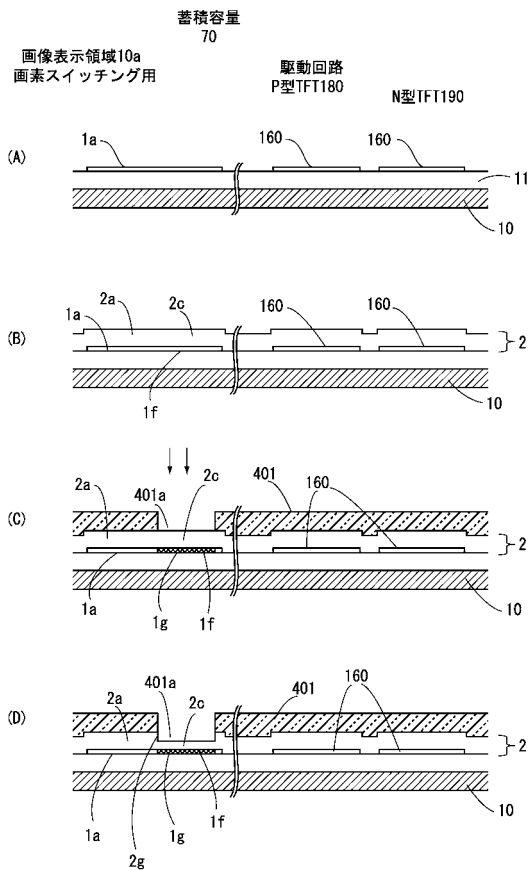
【 図 4 】



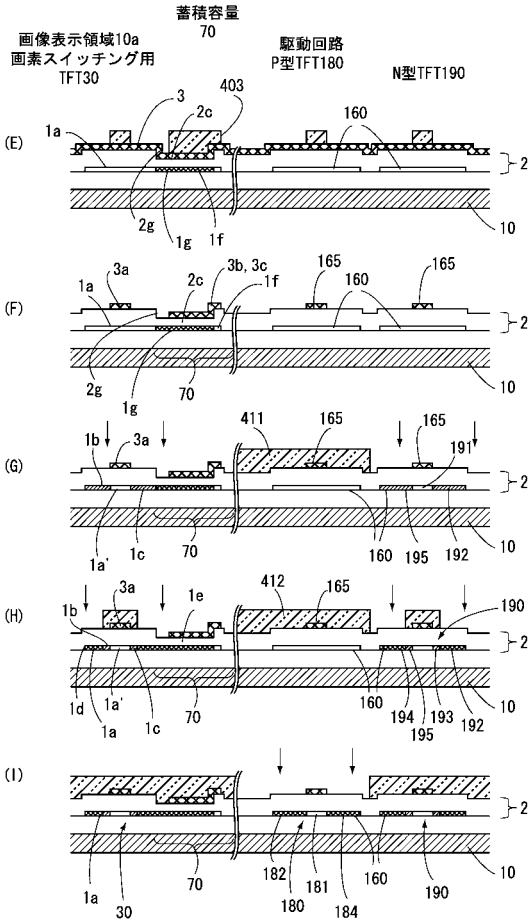
【 図 5 】



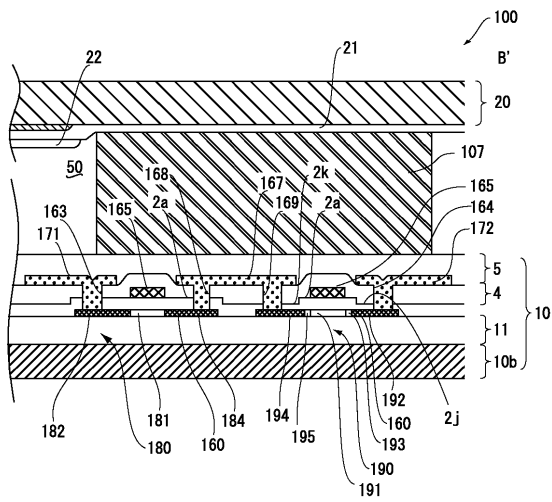
【 図 6 】



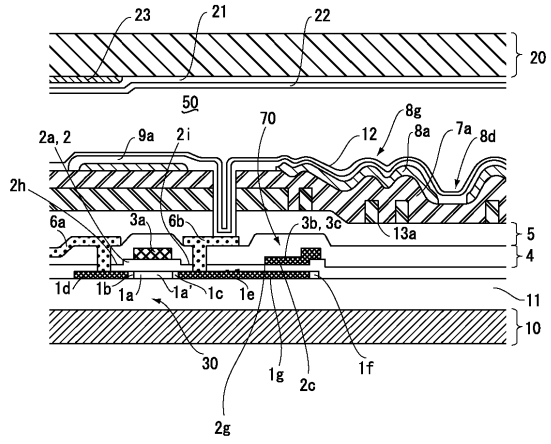
【 図 7 】



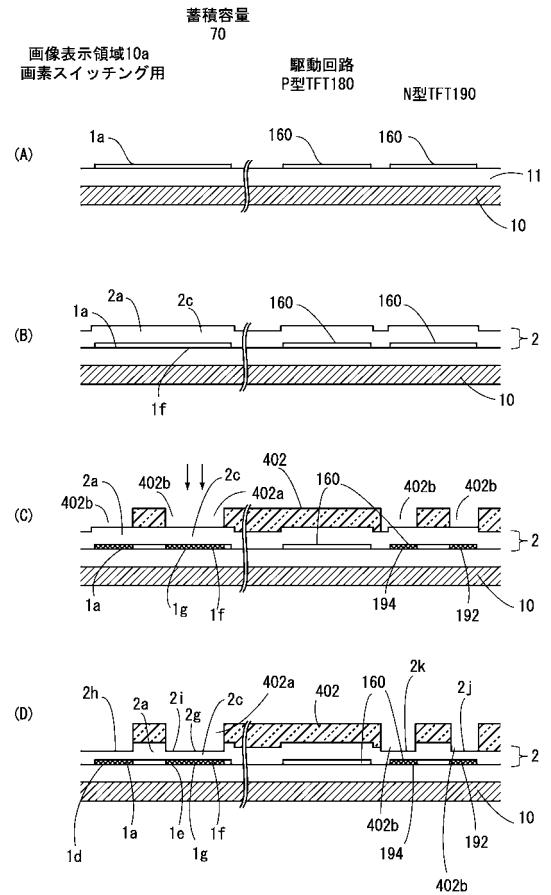
【 図 9 】



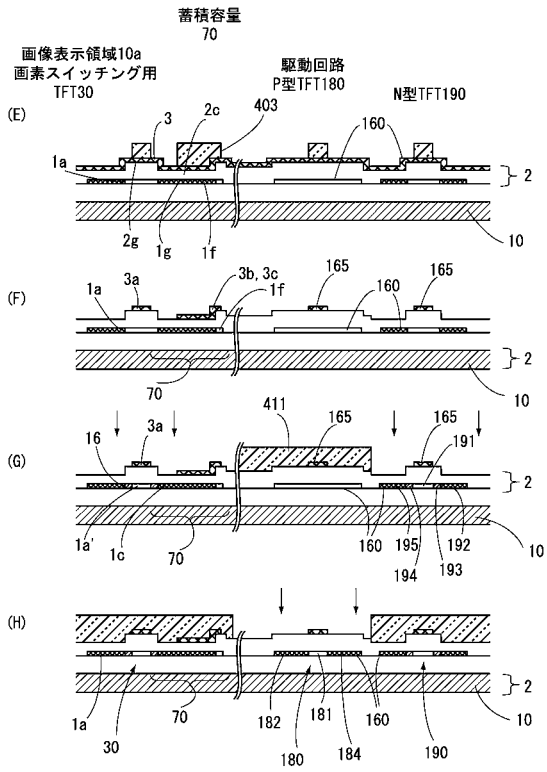
【 図 8 】



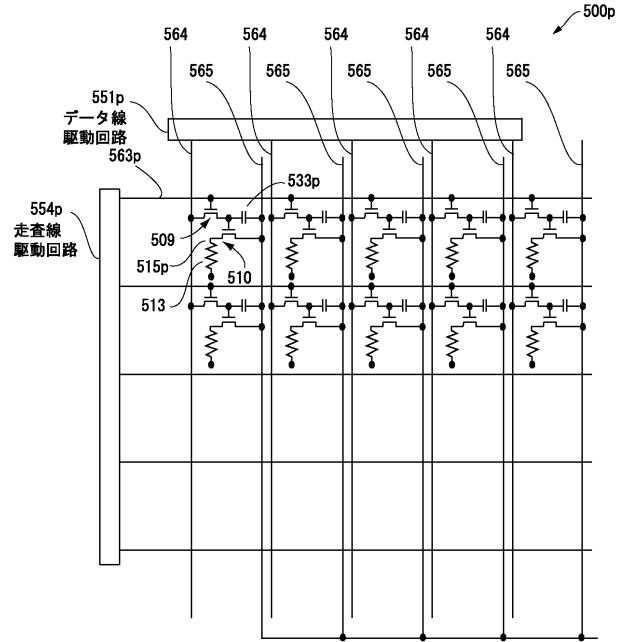
【 図 10 】



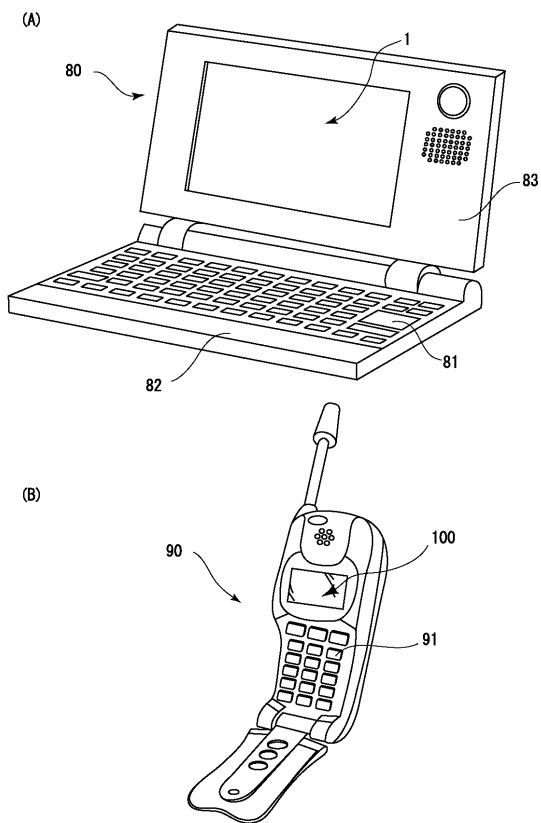
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

F ターム(参考) 2H092 GA13 GA24 GA29 GA36 GA59 HA04 HA05 JA25 JA28 JA34
JA35 JA37 JA41 JA46 JB07 JB22 JB31 JB57 JB62 JB66
JB69 KA04 KA05 KA12 KA22 MA05 MA08 MA13 MA17 MA19
MA27 MA30 MA37 NA21 NA25 NA27 NA29
3K007 BA06 DB03 FA00 GA00
5C094 AA43 AA53 BA03 BA27 BA43 CA19 DA09 DA13 DB01 FB14
FB19
5F110 AA16 BB02 BB04 CC02 DD02 DD13 DD25 EE03 EE04 EE06
EE27 EE44 FF02 FF03 FF09 FF29 GG02 GG13 GG25 GG45
HJ01 HJ04 HJ13 HL03 HL04 HM14 HM15 NN03 NN04 NN05
NN23 NN24 NN27 NN71 NN72 NN73 PP03 QQ04 QQ11