

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-4518

(P2009-4518A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 V	2 H O 9 2
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 6 U	4 M 1 0 4
HO 1 L 29/417 (2006.01)	HO 1 L 21/28 3 0 1 R	5 F 1 1 0
GO 2 F 1/1343 (2006.01)	HO 1 L 29/50 M	
GO 2 F 1/1362 (2006.01)	GO 2 F 1/1343	

審査請求 未請求 請求項の数 5 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2007-163093 (P2007-163093)  
 (22) 出願日 平成19年6月20日 (2007.6.20)

(71) 出願人 000001199  
 株式会社神戸製鋼所  
 兵庫県神戸市中央区脇浜町二丁目10番26号  
 (74) 代理人 100075409  
 弁理士 植木 久一  
 (74) 代理人 100115082  
 弁理士 菅河 忠志  
 (74) 代理人 100125184  
 弁理士 二口 治  
 (74) 代理人 100125243  
 弁理士 伊藤 浩彰  
 (72) 発明者 日野 綾  
 神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内  
 最終頁に続く

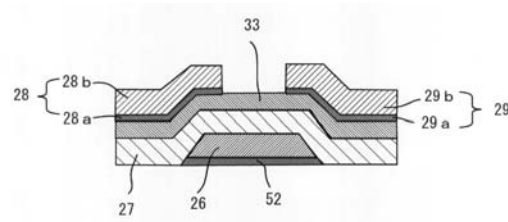
(54) 【発明の名称】 薄膜トランジスタ基板、および表示デバイス

(57) 【要約】

【課題】 バリアメタル層を省略しても優れたTFT特性を發揮し得、ソース・ドレイン電極をTFTの半導体層に直接かつ確実に接続することができる技術を提供する。

【解決手段】 薄膜トランジスタの半導体層33と、ソース・ドレイン電極28, 29とを有する薄膜トランジスタ基板において、ソース・ドレイン電極28, 29は、酸素を含有する酸素含有層28a, 29aと、純CuまたはCu合金の薄膜28b, 29bとからなっている。酸素含有層を構成する酸素の一部若しくは全部は、薄膜トランジスタの半導体層33のSiと結合している。また、純CuまたはCu合金の薄膜28b, 29bは、酸素含有層28a, 29aを介して薄膜トランジスタの半導体層33と接続している。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

薄膜トランジスタの半導体層と、ソース - ドレイン電極とを有する薄膜トランジスタ基板において、

前記ソース - ドレイン電極は、酸素を含有する酸素含有層と、純 Cu または Cu 合金の薄膜とからなり、

前記酸素含有層を構成する酸素の一部若しくは全部は、前記薄膜トランジスタの前記半導体層の Si と結合しており、

前記純 Cu または Cu 合金の薄膜は、前記酸素含有層を介して前記薄膜トランジスタの前記半導体層と接続していることを特徴とする薄膜トランジスタ基板。

10

## 【請求項 2】

前記酸素含有層を構成する酸素原子数 ( $[O]$ ) と Si 原子数 ( $[Si]$ ) との比 ( $[O]/[Si]$ ) の最大値は、0.3 以上 2.0 以下の範囲内である請求項 1 に記載の薄膜トランジスタ基板。

## 【請求項 3】

前記酸素含有層の厚さは、0.17 nm 以上 3 nm 以下の範囲内である請求項 2 に記載の薄膜トランジスタ基板。

## 【請求項 4】

前記薄膜トランジスタの前記半導体層は、アモルファスシリコンまたは多結晶シリコンからなる請求項 1 ~ 3 のいずれかに記載の薄膜トランジスタ基板。

20

## 【請求項 5】

請求項 4 に記載の薄膜トランジスタ基板を備えた表示デバイス。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶ディスプレイ、半導体、光学部品などに使用される薄膜トランジスタ基板、および表示デバイスに関し、特に、ソース - ドレイン電極を薄膜トランジスタの半導体層と直接接続することが可能な新規な薄膜トランジスタ基板に関するものである。

## 【背景技術】

## 【0002】

小型の携帯電話から、30 インチを超す大型テレビに至るまで様々な分野に用いられている液晶ディスプレイは、画素の駆動方法によって、単純マトリクス型液晶ディスプレイとアクティブマトリクス型液晶ディスプレイに分けられる。このうちスイッチング素子として薄膜トランジスタ (Thin Film Transistor、以下、TFT と呼ぶ。) を有するアクティブマトリクス型液晶ディスプレイは、高精度の画質を実現でき、高速の動画にも対応できるため、汎用されている。

30

## 【0003】

図 1 を参照しながら、アクティブマトリクス型液晶ディスプレイに適用される代表的な液晶ディスプレイの構成および動作原理を説明する。ここでは、活性半導体層として水素アモルファスシリコンを用いた TFT 基板 (以下、アモルファスシリコン TFT 基板と呼ぶ場合がある。) の例を説明する。

40

## 【0004】

図 1 に示すように、液晶ディスプレイ 100 は、TFT 基板 1 と、TFT 基板 1 に対向して配置された対向基板 2 と、TFT 基板 1 と対向基板 2 との間に配置され、光変調層として機能する液晶層 3 とを備えている。TFT 基板 1 は、絶縁性のガラス基板 1a 上に配置された TFT 4、透明画素電極 5、走査線や信号線を含む配線部 6 を有している。透明画素電極 5 は酸化インジウム ( $In_2O_3$ ) 中に酸化錫 ( $SnO$ ) を 10 質量% 程度含む酸化インジウム錫 (ITO) 膜などから形成されている。TFT 基板 1 は、TAB テープ 12 を介して連結されたドライバ回路 13 および制御回路 14 によって駆動される。

## 【0005】

50

対向基板 2 は、T F T 基板 1 側に絶縁性のガラス基板 1 b の全面に形成された共通電極 7 と、透明画素電極 5 に対向する位置に配置されたカラーフィルタ 8 と、T F T 基板 1 上の T F T 4 および配線部 6 に対向する位置に配置された遮光膜 9 とを有している。対向基板 2 は、液晶層 3 に含まれる液晶分子（不図示）を所定の向きに配向させるための配向膜 1 1 を更に有している。

【0006】

T F T 基板 1 および対向基板 2 の外側（液晶層 3 側とは反対側）には、それぞれ、偏光板 1 0 a、1 0 b が配置されている。

【0007】

液晶パネル 1 0 0 では、対向基板 2 と透明画素電極 5 との間に形成される電界によって液晶層 3 における液晶分子の配向が制御され、液晶層 3 を通過する光が変調される。これにより、対向基板 2 を透過する光の透過量が制御され、画像として表示される。

10

【0008】

次に、図 2 を参照しながら液晶パネルに好適に用いられる従来のアモルファスシリコン T F T 基板の構成および動作原理を詳しく説明する。図 2 は図 1 中、A の要部拡大図である。

【0009】

図 2 では、ガラス基板（不図示）上に走査線（ゲート配線）2 5 が形成されており、走査線 2 5 の一部は T F T のオン・オフを制御するゲート電極 2 6 として機能する。ゲート電極 2 6 を覆うようにしてゲート絶縁膜（Si 窒化膜）2 7 が形成されている。ゲート絶縁膜 2 7 を介して走査線 2 5 と交差するように信号線（ソース・ドレイン配線）3 4 が形成され、信号線 3 4 の一部は、T F T のソース電極 2 8 として機能する。ゲート絶縁膜 2 7 上に、アモルファスシリコンチャンネル層（活性半導体層）3 3、信号線（ソース・ドレイン配線）3 4、層間絶縁 Si 窒化膜（保護膜）3 0 が順次形成されている。このタイプは一般にボトムゲート型とも呼ばれる。

20

【0010】

アモルファスシリコンチャンネル層 3 3 は、P（リン）がドーブされたドーブト層（n 層）と、P がドーブされていないイントリンシック層（i 層、ノンドーピング層とも呼ばれる）とからなる。ゲート絶縁膜 2 7 上の画素領域には、例えば  $In_2O_3$  中に SnO を含む I T O 膜によって形成された透明画素電極 5 が配置されている。T F T のドレイン電極 2 9 は、透明画素電極 5 に直接コンタクトして電氣的に接続される。

30

【0011】

走査線 2 5 を介してゲート電極 2 6 にゲート電圧が供給されると、T F T 4 はオン状態となり、予め信号線 3 4 に供給された駆動電圧により、ソース電極 2 8 から、ドレイン電極 2 9 を介して透明画素電極 5 へ電流が流れる。そして、透明画素電極 5 に所定レベルの駆動電圧が供給されると、図 1 で説明したように、透明画素電極 5 と対向電極 2 との間に電位差が生じる結果、液晶層 3 に含まれる液晶分子が配向して光変調が行われる。

【0012】

T F T 基板 1 において、ソース・ドレイン電極に電氣的に接続されるソース・ドレイン配線 3 4、ゲート電極 2 6 に電氣的に接続される走査線 2 5 は、従来、加工が容易であるなどの理由により、Al - Nd などの Al 合金（以下、これらを Al 系合金と呼ぶ。）の薄膜から形成されている。ところが、液晶ディスプレイの大型化に伴い、配線の R C 遅延（配線を伝わる電気信号が遅れる現象）などの問題が顕在化しており、より低い電気抵抗率を有する配線材料へのニーズが高まっている。そこで、Al - 2 . 0 a t % Nd などの Al 系合金に比べて電気抵抗率が低い Cu が注目されている。

40

【0013】

純 Cu などを配線に使用するときには、ソース・ドレイン配線 3 4、ゲート電極 2 6、および走査線 2 5 の下部には、それぞれ、図 2 に示すように、Mo、Cr、Ti、W などの高融点金属からなるバリアメタル層 5 1、5 2、5 3 が形成されている。特許文献 1 ~ 6 には、このようなバリアメタル層を有するソース・ドレイン電極などの技術が記載され

50

ており、代表的には例えば、厚さ約50nmのMo層(下部バリアメタル層)、厚さ約250nmの純CuやCu合金が順次形成された二層構造の積層配線が挙げられる。

【0014】

ここで、図2に示すように、アモルファスシリコンチャンネル層33と純CuやCu合金からなるソース・ドレイン配線34との間に下部バリアメタル層53を介在させる主な理由は、純Cuなどの薄膜とアモルファスシリコンチャンネル層との界面(以下、単に界面と呼ぶ場合がある。)において、SiとCuとが相互に拡散するのを防止するためである。

【0015】

つまり、純Cu薄膜やCu合金薄膜をアモルファスシリコンチャンネル層と直接接合した状態で、TFTの後工程において、シンタリングやアニールなどの熱処理を行うと、純CuやCu合金のCuがアモルファスシリコン中に拡散したり、アモルファスシリコンのSiがCu中に拡散したり、界面にて、CuとSiの反応層を形成したりする。その結果、アモルファスシリコンの半導体性能が著しく劣化し、オン電流が低下したり、TFTのスイッチングのオフ時に流れるリーク電流(オフ電流)が上昇したり、TFTのスイッチング速度が低下したり、エッチング不良を生じたりするといった不良を招く。そのため所望のTFT特性を得ることができないばかりか、TFTを作製することが困難であるといった問題を生じる。下部バリアメタル層53は、このようなCuとSiとの相互拡散を抑制するのに有効である。

【0016】

また、配線材料として純CuやCu合金を使用する場合、アモルファスシリコンチャンネル層33から配線が浮き上がり、断線するなどの不良が生じる。これは、Cuとアモルファスシリコンチャンネル層との密着性が悪いためである。そのため、アモルファスシリコンチャンネル層33と純CuやCu合金との間に下部バリアメタル層53を介在させて密着性を高めている。

【0017】

しかし、上記のように下部のバリアメタル層53を形成するためには、純CuやCu合金の配線形成用の成膜装置に加え、バリアメタル層形成用の成膜装置が別途必要になる。具体的には、バリアメタル層形成用の成膜チャンバーをそれぞれ余分に装備した成膜装置(代表的には、複数の成膜チャンバーがトランスファーチャンバーに接続されたクラスタツール)を用いなければならない。液晶ディスプレイの大量生産に伴って低コスト化が進むにつれて、バリアメタル層の形成にともなう製造コストの上昇や生産性の低下は軽視できなくなっている。

【0018】

このように、下部バリアメタル層を形成するためには、ゲート電極やソース電極・ドレイン電極の形成に必要な成膜チャンバーに加えて、バリアメタル層形成用の成膜チャンバーを余分に装備しなければならず、製造コストの上昇や生産性の低下を招く。

【0019】

そのため、バリアメタル層の形成を省略でき、ソース・ドレイン電極をアモルファスシリコンチャンネル層などの半導体層と直接接合し得る配線材料が切望されている。例えば、特許文献7～特許文献11には、純CuやCu合金ではないが、純AlまたはAl合金を配線材料として用いた場合におけるバリアメタル層の省略技術が開示されている。

【0020】

上記では、液晶ディスプレイを代表的に取り上げて説明したが、前述した課題は液晶ディスプレイに限定されず、アモルファスシリコンTFT基板に共通して見られる。また、上記課題は、TFTの半導体層として、アモルファスシリコンのほか、多結晶シリコンを用いたTFT基板においても見られる。

【特許文献1】特開平7-66423号公報

【特許文献2】特開2001-196371号公報

【特許文献3】特開2002-353222号公報

【特許文献4】特開2004-133422号公報

10

20

30

40

50

- 【特許文献5】特開2004-212940号公報
- 【特許文献6】特開2005-166757号公報
- 【特許文献7】特開平11-337976号公報
- 【特許文献8】特開平11-283934号公報
- 【特許文献9】特開平11-284195号公報
- 【特許文献10】特開2004-214606号公報
- 【特許文献11】特開2003-273109号公報

【発明の開示】

【発明が解決しようとする課題】

【0021】

10

本発明は上記のような事情に着目してなされたものであって、その目的は、ソース・ドレイン電極とTFTの半導体層との間に通常設けられるバリアメタル層を省略しても優れたTFT特性を発揮し得、ソース・ドレイン配線をTFTの半導体層に直接かつ確実に接続することができる技術を提供することにある。

【課題を解決するための手段】

【0022】

20

上記課題を解決することのできた本発明の薄膜トランジスタ基板は、薄膜トランジスタの半導体層と、ソース・ドレイン電極とを有する薄膜トランジスタ基板において、前記ソース・ドレイン電極は、酸素を含有する酸素含有層と、純CuまたはCu合金の薄膜とからなり、前記酸素含有層を構成する酸素の一部若しくは全部は、前記薄膜トランジスタの前記半導体層のSiと結合しており、前記純CuまたはCu合金の薄膜は、前記酸素含有層を介して前記薄膜トランジスタの半導体層と接続していることに要旨を有している。

【0023】

好ましい実施形態において、前記酸素含有層を構成する酸素原子数([O])とSi原子数([Si])との比([O]/[Si])の最大値は、0.3以上2.0以下の範囲内である。

【0024】

好ましい実施形態において、前記[O]/[Si]の最大値が0.3以上2.0以下の範囲である酸素含有層の厚さは、0.17nm以上3nm以下の範囲内である。

【0025】

30

好ましい実施形態において、前記薄膜トランジスタの前記半導体層は、アモルファスシリコンまたは多結晶シリコンからなる。

【0026】

本発明の表示デバイスは、上記の薄膜トランジスタ基板を備えている。

【発明の効果】

【0027】

本発明の薄膜トランジスタ基板は、上記の構成を有しているため、従来のようにソース・ドレイン電極とTFTの半導体層との間にバリアメタル層を形成しなくても、優れたTFT特性が得られる。

【0028】

40

本発明に用いられるソース・ドレイン電極用配線材料としては、純Cuや、合金成分として、Ni, Zn, Mg, Mn, Pt, Pd, Ir, Ge, Nb, Cr, および希土類元素からなる群(グループX)から選択される少なくとも一種の元素を含有するCu-X合金を用いることができる。

【0029】

本発明の薄膜トランジスタ基板を用いれば、生産性に優れ、安価で且つ高性能の表示デバイスが得られる。

【発明を実施するための最良の形態】

【0030】

50

本発明者は、TFTの半導体層に直接接続可能なソース・ドレイン電極を備えた新規な

薄膜トランジスタ基板提供するため、検討してきた。詳細には、従来のように、ソース・ドレイン電極と半導体層との間にバリアメタル層を介在させなくても優れたTFT特性を発揮し得る薄膜トランジスタ基板を提供するため、検討を行った。

#### 【0031】

その結果、ソース・ドレイン電極用の配線材料として、酸素を含有する酸素含有層と、純CuまたはCu合金の薄膜（以下、Cu系薄膜と呼ぶ場合がある。）とからなる材料を用い、上記酸素含有層を構成する酸素の一部若しくは全部が、薄膜トランジスタの半導体層のSiと結合するような構成（半導体層側からみれば、Si半導体層の表層の少なくとも一部が酸化されている）とすれば、所期の目的が達成されることを見出し、本発明を完成した。これにより、Cu系薄膜は、酸素含有層を介してTFTの半導体層と直接接続されるようになる。

10

#### 【0032】

本明細書において、「ソース・ドレイン電極」は、ソース・ドレイン電極自体と、ソース・ドレイン配線の両方を含んでいる。すなわち、本発明のソース・ドレイン電極は、ソース・ドレイン電極とソース・ドレイン配線とが一体に形成されたものであり、ソース・ドレイン配線はソース・ドレイン電極領域に接している。

#### 【0033】

（本発明に用いられるソース・ドレイン電極）

本発明に用いられるソース・ドレイン電極28、29は、図7に示すように、酸素含有層28a、29aと、Cu系薄膜28b、29bとからなる。酸素含有層28a、29aは、TFTの半導体層33を覆うように形成されており、例えば、酸素含有層の酸素原子(O)の一部または全部は、半導体層のSiと結合した状態で存在している。酸素含有層を構成するOは、半導体層を構成するSiよりもCuとの密着性に優れており、パターニング後の電極の剥離が生じない。更に、酸素含有層28a、29aは、Cu系薄膜28b、29bとTFTの半導体層33との界面におけるCuとSiとの相互拡散を防止するためのバリア（拡散バリア）として作用する。

20

#### 【0034】

本発明によれば、後記する実施例で実証するように、従来のようにMoなどのバリアメタル層を形成しなくても、優れたTFT特性が得られる。また、酸素含有層は、後で詳しく説明するように、半導体層を形成した後であって、Cu系薄膜を形成する前に、例えば、プラズマ法などによって簡便に作製できるため、従来のように、バリアメタル層形成用の特別な成膜装置は不要である。

30

#### 【0035】

本発明を特徴付ける酸素含有層の詳細は、以下のとおりである。

#### 【0036】

酸素含有層の酸素原子(O)の一部または全部は、半導体層のSiと結合し、主に、Si酸化物(SiO<sub>x</sub>)となっている。Si酸化物は、例えば、Si半導体層の表面を酸化することによって得られる。

#### 【0037】

上記の酸素含有層(Si酸化物)はCu系薄膜との密着性に優れており、アモルファスシリコン(a-Si)よりもCu系薄膜との密着性が強い。Si酸化膜は、バリアメタル層に用いられている代表的な高融点金属(Moなど)に比べて密着性の程度は若干劣るものの、液晶ディスプレイなどの製造においては、以下に記載のように、実用上何ら問題のないレベルにあることを確認した。

40

#### 【0038】

密着性の程度の確認は、従来例である純Cuと純Moの積層膜（酸素含有層を有しないアモルファスシリコン層の上部に純Mo膜を例えば50nm形成した後に、同一チャンパー内にて、純Mo膜の上部に純Cu膜を例えば250nm形成した積層膜）、純Cu膜（酸素含有層なし、後記する比較例1）、および酸素含有層(Si酸化物)を有する純Cu膜（後記する実施例2）を用い、フォトリソグラフィ法にて純Cuと純Moの積層膜、

50

および純Cu膜をパターンニングし、膜の状態を確認した。

【0039】

その結果、従来例では、基板表面に残渣は発生しなかったものの、純Mo膜と純Cu膜のエッチングレートの差により、純Mo線幅と純Cu線幅が異なり、配線の断面形状に段差が生じた。比較例1では、配線断面形状に段差は生じなかったものの、基板全面にエッチング残渣が生じていることが確認された。これに対し、実施例2では、配線形状が良好で、かつエッチング残渣も発生していないことが確認された。

【0040】

更に、上記の各パターンを室温にて保管し、パターン状態の観察を行った。その結果、比較例1では数日間の放置後に基板全面にてパターンが剥がれ落ちたのに対し、従来例および実施例2では、数ヶ月間保管してもパターン剥がれが全く生じなかった。

10

【0041】

その結果、酸素含有層を有する純Cu膜を用いれば、酸素含有層を有しない従来の純Cu膜に比べ、アモルファスシリコン層との密着性に優れていることが確認された。

【0042】

上記の酸素含有層は、以下の要件を更に満足していることが好ましい。

【0043】

酸素含有層を構成する酸素原子数([O])とSi原子数([Si])との比([O]/[Si]、以下、便宜上、P値と呼ぶ場合がある。)の最大値は、0.3以上2.0以下の範囲内であることが好ましい。これにより、TFT特性を劣化させることなく、酸素含有層によるバリア作用を有効に発揮させることができる。P値の最大値は、0.4以上がより好ましく、0.5以上が更に好ましく、0.7以上が更に好ましい。

20

【0044】

P値の好ましい下限(0.3)は、アモルファスシリコン層の表面酸化による拡散抑制が可能な「O/Si」から設定したものである。一方、P値の好ましい上限(2.0)は、SiO<sub>2</sub>形成時における「O/Si」の最大値がほぼ2.0であると考え、設定したものである。

【0045】

P値の最大値は、酸素含有層(後述する。)の形成工程において、例えば、プラズマ照射時間を概ね1秒間から10分間の範囲内に制御することによって調節することができる。

30

【0046】

P値は、酸素含有層の深さ方向の元素(OおよびSi)をRBS法(Rutherford Backscattering Spectrometry, ラザフォード後方散乱分光法)によって分析することによって算出される。

【0047】

酸素含有層の厚さは、0.17nm以上3nm以下の範囲内であることが好ましい。上記厚さの下限(0.17nm)は、おおむね、SiO<sub>2</sub>のSi-O結合の原子間距離に相当する。上記の厚さは、P値が0.3以上を満足する層の厚さを意味し、P値が0.3未満の層の厚さは除外している。

40

【0048】

前述したように、酸素含有層は、Cu系薄膜とTFTの半導体層との界面におけるCuとSiとの相互拡散を防止するためのバリア層として有用であり、TFTの半導体層表面に、ほぼ、SiO<sub>x</sub>の1原子層程度形成されていれば優れたバリア性を発揮するが、酸素含有層が厚くなりすぎるとCu系薄膜と半導体層界面での電圧降下が生じ、オン電流が低下するなど、TFT特性が劣化する。酸素含有層の厚さを上記範囲内に制御することにより、酸素含有層の形成によるCu系薄膜と半導体層界面での電気抵抗の上昇を、TFT特性に悪影響を及ぼさない範囲内に抑えられる。酸素含有層の厚さは3nm以下であることがより好ましく、2.7nm以下が更に好ましい。

【0049】

50

酸素含有層の厚さは、種々の物理分析手法によって求めることができる。例えば、前述したRBS法のほか、XPS(X線光電子分光分析)法、SIMS(二次イオン質量分析)法、GD-OES(高周波グロー放電発光分光分析)法などを利用することができる。

【0050】

酸素含有層は、例えば、半導体層の上部に酸化処理を行うことによって形成される。これらの処理方法は特に限定されず、例えば、(i)プラズマを用いる方法、(ii)加熱による方法などの方法を採用することができる。

【0051】

上記(i)のようにプラズマを用いる場合、例えば、酸素ガスを用いて酸素含有層を形成すればよい。プラズマ処理に用いられる酸素ガスは、Arなどの不活性ガスで希釈してもよい。酸素含有プラズマ源から酸素を供給する場合、酸素イオンを用いたイオン注入法を利用することもできる。

10

【0052】

また、上記(ii)のように加熱を行う場合、酸素ガス雰囲気中でSi半導体層を加熱すればよく、これにより、酸素含有層が得られる。加熱処理に用いられる酸素ガスは、Arなどの不活性ガスで希釈してもよい。

【0053】

上記方法のほか、例えば、ソース-ドレイン電極の形成過程で、Si半導体層の表面に存在する酸素原子がCu系薄膜などに拡散し、酸素含有層を形成することもあり得るが、このような自然拡散法を利用することもできる。

20

【0054】

以下、上記(i)~(ii)について、詳細に説明する。

【0055】

(i)プラズマ酸化法

プラズマ酸化法は、プラズマを利用するものであり、後述する実施形態および実施例1に示すように、酸素含有ガスを用いることが好ましい。酸素含有ガスとしては、 $O_2$ 、 $H_2O$ 、 $N_2O$ などのガスが挙げられる。これらは、単独で、もしくは二種以上の混合ガスとして使用される。具体的には、酸素を含有するプラズマ源の近傍にTFEの半導体層を設置することが好ましい。ここで、プラズマ源と半導体層との距離は、プラズマの種類や、プラズマ発生条件[パワー(投入電力)、圧力、温度、照射時間、ガス組成など]などに依りて適宜適切な範囲に設定すればよいが、おおむね、数十cmの範囲であることが好ましい。このようなプラズマ近傍には、高エネルギーの酸素原子が存在しており、これにより、半導体層表面に所望の酸素含有層を容易に形成することができる。

30

【0056】

酸素含有プラズマ源などから酸素を供給する場合、イオン注入法を利用することもできる。イオン注入法によれば、電界によって加速されたイオンは、長距離を移動できるため、プラズマ源と半導体層との距離を任意に設定することが可能である。イオン注入法は、プラズマ近傍に設置された半導体層に負の高電圧パルスを印加することにより、半導体層の表面全体にイオンを注入することが好ましい。あるいは、専用のイオン注入装置を用いてイオン注入を行ってもよい。

40

【0057】

また、処理温度は300以上であることが好ましい。処理温度が300未満の場合、酸化反応の進行が遅く、拡散バリアとして有効に作用し得る酸素含有層の形成に長時間を要し、より良好なTFE特性を得ることが難しくなる。ただし、温度が高くなり過ぎると、処理対象である半導体層の変質や半導体層への損傷を招くため、おおむね、360以下であることが好ましい。

【0058】

また、圧力に関しては、55Pa以上の圧力で行うことが好ましい。圧力が55Pa未満の場合、酸化反応の進行が遅く、拡散バリアとして有効に作用し得る酸素含有層の形成に長時間を要する。圧力を高くすれば酸化反応の進行が短時間で進み、半導体層へのダメ

50

ージが少なく、良好なバリア性を示す酸素含有層を形成することができ、TFT特性が向上する。上記の観点からすれば、圧力は高いほど良く、例えば、60 Pa以上であることがより好ましく、66 Pa以上であることが更に好ましい。なお、圧力の上限は、使用する装置の性能などに依存するために一義的に決定し難いが、プラズマを安定して供給するという観点からすれば、おおむね、400 Pa以下であることが好ましく、266 Pa以下であることがより好ましい。

【0059】

プラズマ照射時間は、5分以下とすることが好ましい。プラズマ照射時間が5分超の場合、アモルファスシリコン層の表面に形成された酸素含有層による電圧降下が無視できなくなり、TFT特性が低下する。プラズマ照射時間は、3分以下であることがより好ましく、1分以下であることが一層好ましい。プラズマ照射時間の下限に関しては、アモルファスシリコン層の表面に一層程度の酸素含有層が形成されていれば本発明の効果は充分発揮されると考えられることを勘案すれば、少なくとも、アモルファスシリコン層の表面に酸素含有層が一層程度形成される時間以上とすれば良い。プラズマ照射時間は、1秒以上であることが好ましく、5秒以上であることがより好ましい。後記する実施例では、プラズマ照射時間が5秒程度で十分な拡散バリア特性が得られることを確認している。

10

【0060】

また、投入電力は、50 W以上とすることが好ましい。投入電力が50 W未満の場合、酸化反応の進行が遅く、適切な[O]/[Si]比の酸素含有層を形成しにくく、拡散バリアとして有効に作用し得る酸素含有層の形成に長時間を要するなど、TFT特性が低下する。上記の観点からすれば、投入電力は高いほど良く、例えば、60 W以上であることがより好ましく、75 W以上であることが更に好ましい。

20

【0061】

ガス組成は、前述した酸素含有ガス(O<sub>2</sub>、H<sub>2</sub>O、N<sub>2</sub>Oなど)のみであっても良いが、酸素含有ガスをArなどの不活性ガスで希釈してもよい。

【0062】

(ii) 熱酸化法

熱酸化法は、酸化皮膜のつきまわりが良いなどの理由によって汎用されている。具体的には、例えば、酸素ガス雰囲気下で、400 以下の温度で加熱することが好ましい。加熱温度が高いと、半導体層への損傷が大きくなり、一方、加熱温度が低い場合、所望の酸素含有層を十分形成できない恐れがある。加熱温度は、200 以上380 以下に制御することがより好ましく、250 以上350 以下に制御することがさらに好ましい。上記の加熱処理は、前述したプラズマ酸化法と併用してもよく、これにより、酸素含有層の形成を更に促進することができる。

30

【0063】

このように、酸素含有層は、好ましくは、前述した(i)~(ii)の方法によって形成されるが、更に、製造工程の簡略化や処理時間の短縮などの観点から、酸素含有層の形成に用いる装置やチャンバー、温度やガス組成を、以下のように制御して行うことが好ましい。

【0064】

まず、装置は、製造工程の簡略化のため、半導体層形成装置と同じ装置で行うことが好ましい。これにより、装置間もしくは装置内で、処理対象のワークが余分に移動する必要がなくなる。

40

【0065】

また、温度に関しては、半導体層の成膜温度と実質的に同じ温度で行うことが好ましく、これにより、温度変動に必要な調節時間を省略することができる。

【0066】

あるいは、ガス組成は、前述した酸素含有ガスを、Arなどの不活性ガスで希釈して用いてもよい。

【0067】

50

以上、酸素含有層を形成する方法について、詳述した。

【0068】

このようにしてTFTの半導体層上に酸素含有層を形成した後、例えば、スパッタリング法によってCu系薄膜を形成すると、所望のソース・ドレイン電極が得られる。本発明に用いられるソース・ドレイン電極は、単一のスパッタリングターゲット及び単一のスパッタリングガスを用いて形成できるため、前述した特許文献11のように、スパッタリングガスの組成を変化させる必要はない。そのため、本発明によれば従来よりも工程の簡略化を更に図ることができる。

【0069】

本発明に用いられるソース・ドレイン電極は、TFTの半導体層とCu系薄膜との間に、TFTの半導体層を覆うように上記の酸素含有層を設けたところに特徴がある。従って、例えば、半導体層の種類は特に限定されず、TFT特性に悪影響を及ぼさない限り、ソース・ドレイン電極に通常使用されるものを用いることができる。

10

【0070】

半導体層は、代表的には、アモルファスシリコン（好ましくは水素化アモルファスシリコン）または多結晶シリコンなどが挙げられる。

【0071】

また、ソース・ドレイン電極用の配線材料としては、従来汎用されている純Cuをそのまま用いることもできる。

【0072】

あるいは、ソース・ドレイン電極用の配線材料として、Ni, Zn, Mg, Mn, Pt, Pd, Ir, Ge, Nb, Cr, および希土類元素からなる群（グループX）から選択される少なくとも一種の元素を含有するCu-X合金を用いても良い。

20

【0073】

このようなソース・ドレイン電極を備えた薄膜トランジスタ基板を用いれば、従来のように、Cu系薄膜とTFTの半導体層との間に下部バリアメタル層を介在させることが不要になり、当該Cu系薄膜を酸素含有層を介して半導体層と接合することができる。後記する実施例に示すように、純CuやCu合金の薄膜を用いて試作されたTFTは、Crなどのバリアメタル層を介在させた従来例の場合と同レベル以上のTFT特性を実現できることが確認された。従って、本発明によれば、バリアメタル層の省略によって製造工程を簡略化することができ、製造コストを低減できる。

30

【0074】

以下、図面を参照しながら、本発明に係るTFTモジュールの好ましい実施形態を説明する。以下では、アモルファスシリコンTFT基板を備えた液晶ディスプレイを代表的に挙げて説明するが、本発明はこれに限定されず、前・後記の趣旨に適合し得る範囲で適当に変更を加えて実施することも可能であり、それらはいずれも本発明の技術的範囲に包含される。本発明に用いられるソース・ドレイン電極は、例えば、外部への信号入出力のために使用されるTAB（タブ）接続電極にも同様に適用できることを実験により確認している。

40

【0075】

（実施形態1）

図3は、本発明に係るアモルファスシリコンTFT基板の実施形態を説明する概略断面図である。図3では、従来のTFT基板を示す前述した図2と同じ番号を付している。本実施形態によれば、以下に詳述するように、酸素を含有する層（酸素含有層）の形成が確認されている。

【0076】

図3において、ソース電極28およびドレイン電極29に電氣的に接続されるソース・ドレイン配線34は、酸素含有層と純CuまたはCu合金薄膜（例えば、Cu-0.5原子% Mn合金、Cu-0.34原子% Ni合金、Cu-1.3原子% Zn合金、Cu-1.0原子% Mg合金）とからなり、酸素含有層は、アモルファスシリコンチャンネル層33

50

を覆うように形成されている。ソース - ドレイン配線 3 4 の構成は、後述する図 4 ( e ) および図 4 ( f ) に示している。

【 0 0 7 7 】

図 2 と図 3 とを対比すると明らかなように、従来の T F T 基板では、図 2 に示すように、ソース - ドレイン電極の下に、M o などの下部バリアメタル層 5 3 が形成されているのに対し、図 3 に示す本発明の T F T モジュールでは、下部バリアメタル層 5 3 を省略することができる。

【 0 0 7 8 】

本実施形態によれば、従来のように下部バリアメタル層を介在させることなく、酸素含有層を介して C u 系薄膜をアモルファスシリコンチャンネル層と直接接続することができ、従来の T F T 基板と同程度以上の良好な T F T 特性を実現できる（後記する実施例を参照）。

10

【 0 0 7 9 】

次に、図 4 を参照しながら、図 3 に示す、本実施形態に係る T F T 基板の製造方法を説明する。図 4 には図 3 と同じ参照符号を付している。

【 0 0 8 0 】

まず、図 4 ( a ) に示すように、ガラス基板 1 a 上に、スパッタリングなどの方法を用いて、厚さ 5 0 n m 程度の純 M o 薄膜 5 2 および厚さ 2 0 0 n m 程度の C u 合金薄膜 6 1（例えば、C u - 0 . 5 原子 % M n 合金、C u - 0 . 3 4 原子 % N i 合金、C u - 1 . 3 原子 % Z n 合金、C u - 1 . 0 原子 % M g 合金）を順次積層する。スパッタリングの成膜温度は室温とした。この積層薄膜上に、図 4 ( b ) に示すように、フォトリソグラフィによってレジスト 6 2 をパターニングした後、レジスト 6 2 をマスクとして純 M o 薄膜 5 2 および C u 合金薄膜 6 1 の積層膜をエッチングすることにより、ゲート電極 2 6 を形成する（図 4 ( c )）。このとき、後に成膜されるゲート絶縁膜 2 7 のカバレッジ性が良くなるように、上記積層薄膜の周縁を約 3 0 ° ~ 6 0 ° のテーパ状にエッチングしておくのがよい。

20

【 0 0 8 1 】

次いで、図 4 ( d ) に示すように、例えばプラズマ C V D 法などの方法を用いて、厚さ約 3 0 0 n m 程度の S i 窒化膜（ゲート絶縁膜）2 7 を形成する。プラズマ C V D 法の成膜温度は、約 3 5 0 ° とした。続いて、例えば、プラズマ C V D 法などの方法を用いて、S i 窒化膜（ゲート絶縁膜）2 7 の上に、厚さ 2 0 0 n m 程度のアンドーフト水素化アモルファスシリコン膜（a - S i - H）5 5 および厚さ約 8 0 n m のリンをドーピングした n + 型水素化アモルファスシリコン膜（n + a - S i - H）5 6 を順次積層する。n + 型水素化アモルファスシリコン膜は、S i H <sub>4</sub>、P H <sub>3</sub> を原料としたプラズマ C V D を行うことによって形成される。

30

【 0 0 8 2 】

次に、S i 窒化膜の形成に用いたのと同じプラズマ C V D 装置内にて、図 4 ( e ) に示すように、上記のようにして得られた n + 型水素化アモルファスシリコン膜（n + a - S i - H）5 6 の上に酸素含有層 6 0 を形成する。具体的には、チャンバー内に基板を保持したまま、アモルファスシリコン膜の成膜に用いた原料ガスを排除した。次いで、チャンバー内に、キャリアガスとして酸素のみを供給してプラズマを発生させ、n + 型水素化アモルファスシリコン膜 5 6 の表面を 3 0 秒間処理し、酸素含有層を形成した。高周波（R F）パワー密度は 0 . 1 4 W / c m <sup>2</sup>、成膜温度は 3 2 0 °、ガス圧力は 1 3 3 P a とした。

40

【 0 0 8 3 】

後記する実施例 1 は、上記の条件で実験を行なったときの T F T 特性などを調べたものである。上記のようにして形成された酸素含有層表面を R B S 法及び X P S 法で分析した結果、上記層には酸素原子が含まれており、R B S 法による分析結果から、酸素原子と S i 原子との比（P 値）は 0 . 3 を超える酸素含有層が約 2 . 5 n m 形成されていることが確認された。

50

## 【0084】

なお、本実施形態では、プラズマ酸化法によって酸素含有層60を形成したが、これに限定されず、前述した(ii)の熱酸化法を採用しても、所望の酸素含有層が得られることを実験によって確認している。

## 【0085】

次いで、図4(f)に示すように、酸素含有層60の上に、スパッタリングなどの方法を用いて、厚さ300nm程度のCu合金薄膜63(例えば、Cu-0.5原子%Mn合金、Cu-0.34原子%Ni合金、Cu-1.3原子%Zn合金、Cu-1.0原子%Mg合金膜)を形成する。スパッタリングの成膜温度は室温とした。次に、フォトリソグラフィによってレジストをパターンニングした後、レジストをマスクとしてCu合金薄膜63(例えば、Cu-0.5原子%Mn合金、Cu-0.34原子%Ni合金、Cu-1.3原子%Zn合金、Cu-1.0原子%Mg合金膜)をエッチングすることにより、ソース電極28と、ドレイン電極29とが形成される(図4(f))。更に、ソース電極28及びドレイン電極29をマスクとして、 $n^+$ 型水素化アモルファスシリコン膜56をドライエッチングして除去する(図4(g))。

10

## 【0086】

次に、例えばプラズマ窒化装置などを用いて厚さ300nm程度のSi窒化膜(保護膜)を形成する(不図示)。このときの成膜は、約250で行った。次に、Si窒化膜30上にレジストをパターンニングし、ドライエッチングなどを行うことによってコンタクトホール57を形成する。

20

## 【0087】

次に、例えばアミン系などの剥離液を用いてレジスト(不図示)を剥離する。最後に、厚さ50nm程度のITO(酸化インジウムに10質量%の酸化スズを添加)膜を成膜する。次いで、ウェットエッチングによるパターンニングを行って透明画素電極5を形成すると、TFTが完成する。

## 【0088】

本実施形態によれば、アモルファスシリコンチャンネル層が酸素含有層を介してCu系薄膜(例えば純CuやCu-0.5原子%Mn合金、Cu-0.34原子%Ni合金、Cu-1.3原子%Zn合金、Cu-1.0原子%Mg合金薄膜)と接続されたTFT基板が得られる。

30

## 【0089】

上記では、透明画素電極5として、ITO膜を用いたが、IZO膜を用いてもよい。また、活性半導体層としてアモルファスシリコンの代わりに多結晶シリコンを用いてもよい。

## 【0090】

このようにして得られるTFT基板を使用し、例えば、以下に記載の方法によって、前述した図1に示す液晶ディスプレイを作成する。

## 【0091】

まず、上記のようにして作成したTFT基板1の表面に、例えばポリイミドを塗布し、乾燥してからラビング処理を行って配向膜を形成する。

40

## 【0092】

一方、対向基板2は、ガラス基板上に、例えばCrをマトリックス状にパターンニングすることによって遮光膜9を形成する。次に、遮光膜9の間隙に、樹脂製の赤、緑、青のカラーフィルタ8を形成する。遮光膜9とカラーフィルタ8上に、ITO膜のような透明導電性膜を共通電極7として配置することによって対向電極を形成する。そして、対向電極の最上層に例えばポリイミドを塗布し、乾燥した後、ラビング処理を行って配向膜11を形成する。

## 【0093】

次いで、TFT基板1と対向基板2の配向膜11が形成されている面と夫々対向するように配置し、樹脂製などのシール材16により、液晶の封入口を除いてTFT基板1と対

50

向基板 2 とを貼り合わせる。このとき、TFT 基板 1 と対向基板 2 との間には、スペーサー 15 を介在させるなどして 2 枚の基板間のギャップを略一定に保つ。

【0094】

このようにして得られる空セルを真空中に起き、封入口を液晶に浸した状態で徐々に大気圧に戻していくことにより、空セルに液晶分子を含む液晶材料を注入して液晶層を形成し、封入口を封止する。最後に、空セルの外側の両面に偏光板 10 を貼り付けて液晶パネルを完成させる。

【0095】

次に、図 1 に示したように、液晶ディスプレイを駆動するドライバ回路 13 を液晶パネルに電氣的に接続し、液晶ディスプレイの側部あるいは裏面部に配置する。そして、液晶ディスプレイの表示面となる開口を含む保持フレーム 23 と、面光源をなすバックライト 22 と導光板 20 と保持フレーム 23 によって液晶ディスプレイを保持し、液晶ディスプレイを完成させる。

10

【0096】

本発明の表示デバイスは、前述したソース - ドレイン電極を備えているため、格段に優れた性能と信頼性を実現することが可能である。なお、本発明の表示デバイスは、上記のソース - ドレイン電極を備えていれば良く、その他の表示デバイスの構成は特に限定されず、表示デバイスの分野において公知のあらゆる構成を採用することができる。

【実施例】

【0097】

20

(実施例 1 ~ 2、比較例 1)

以下の実施例 1 ~ 2 では、酸素含有層を有する Cu 合金薄膜のソース - ドレイン電極を用いれば、バリアメタル層を省略しても、半導体層への Cu の拡散が抑制され、良好な TFT 特性が得られることを調べる目的で、種々の実験を行った。実施例 1 および実施例 2 では、前述した実施形態 1 と同様のプラズマ酸化法を用いて酸素含有層を形成した。具体的な実験条件および評価方法は以下の通りである。

【0098】

(ソース - ドレイン電極)

実施例 1 では、ソース - ドレイン電極用の配線材料として、前述した実施形態 1 に記載の Cu - 0.5 原子% Mn を用いた。

30

【0099】

実施例 2 では、前述した実施形態 1 において、Cu - 0.5 原子% Mn の代わりに純 Cu を用いた。

【0100】

比較例 1 では純 Cu を用いたが、酸素プラズマ処理は行わなかった。

【0101】

その結果、実施例 1 および実施例 2 では、いずれも、酸素を含む酸素含有層が約 2.7 nm 形成されており、且つ、当該酸素含有層を RBS 分析した結果、酸素原子と Si 原子との比 (P 値) は 0.3 を超えることが確認された。

これに対し、比較例 1 では、酸素含有層の形成は見られなかった。

40

【0102】

(実験に供した TFT)

ここでは、TFT 特性を簡易的に調べるため、実施形態 1 の図 4 (g) に示す TFT に対し、種々の熱処理 (150 で 30 分間、200 で 30 分間、250 で 30 分間、300 で 30 分間) を行ったものを実験に供した。この熱処理条件は、TFT 基板の製造工程で、熱履歴が最も高温となる Si 窒化膜 (保護膜) の成膜工程の熱履歴を想定して設定されたものである。本実施例に供した TFT は、現実の TFT 基板のように種々の成膜工程が施されて完成されたものではないが、上記のアニールを行った TFT は、実際の TFT 基板の TFT 特性をほぼ反映していると考えられる。

【0103】

50

( S i と C u との相互拡散の評価 )

実施例 1、実施例 2、比較例 1 のそれぞれについて、実施形態 1 の図 4 ( g ) に示す T F T を作製し、アモルファスシリコンチャンネル層との界面を観察し、アモルファスシリコン中の S i と C u との相互拡散の有無を調べた。

詳細には、T F T 作製直後の各試料、及び T F T に対して酸素雰囲気中にて 3 5 0 で 3 0 分間熱処理した各試料のそれぞれについて G D - O E S 法による分析を行い、深さ方向の元素濃度を調査した。G D - O E S 分析は、成膜完了後の試料の膜表面 ( 上層 ) から、高周波スパッタによって膜を削りながら膜を分析する手法である。G D - O E S の分析条件は以下の通りである。

ガス圧力 3 0 0 P a、電力 2 0 W、周波数 5 0 0 H z、  
デューティー比 0 . 1 2 5

10

【 0 1 0 4 】

( S i と C u との相互拡散の評価結果 )

成膜後の各試料における G D - O E S 分析の結果を図 5 と図 6 に示す。詳細には、図 5 に比較例 1 ( 純 C u のみ ) の結果を、図 6 に実施例 1 の結果を、それぞれ示す。

【 0 1 0 5 】

まず、図 5 ( 比較例 ) を参照する。

【 0 1 0 6 】

図 5 ( a ) は、T F T 作製直後の試料の結果を、図 5 ( b ) は 3 5 0 で 3 0 分間熱処理した試料の結果を示している。横軸はスパッタリング時間 ( 秒 ) であり、表面から深さ方向の距離を間接的に意味しており、縦軸は C u 原子、O 原子、S i 原子、N 原子の相対強度である。

20

【 0 1 0 7 】

図 5 ( a ) と図 5 ( b ) とを対比すると明らかなように、酸素含有層を有していない比較例 1 では、熱処理により、試料中の C u 原子がアモルファスシリコン ( a - S i ) 側に拡散することが分かる。

【 0 1 0 8 】

次に、図 6 ( 本発明例 ) を参照する。

【 0 1 0 9 】

図 6 ( a ) と図 6 ( b ) とを対比すると明らかなように、酸素含有層を含有する実施例 1 ( C u - 0 . 5 原子 % M n 合金 ) では、熱処理を行っても、試料中の C u 原子はアモルファスシリコン ( a - S i ) 側に拡散しておらず、a - S i 内部への C u 原子の拡散が抑制されていることが分かる。

30

【 0 1 1 0 】

上記と同様の傾向は、酸素含有層を含有する実施例 2 ( 純 C u ) を用いた場合にもみられた ( 図には示さず ) 。

【 0 1 1 1 】

上記は、C u - M n 合金を用いたときの結果であるが、M n 以外の C u - X 合金 ( X = N i , Z n , M g , P t , P d , I r , G e , N b , C r , および希土類元素の少なくとも一種 ) を用いたときも、図 6 と同様の結果が得られることを、実験により確認している。

40

【 0 1 1 2 】

( 実施例 3 )

本実施例では、前述した実施例 2 ( 純 C u を使用 ) において、プラズマ酸化法を、表 1 に示す種々の条件 ( 条件 1 ~ 条件 7 ) 下で行なって酸素含有層を形成したこと以外は、実施例 1 と同様にして T F T を作製し、この T F T に対し、実施例 1 と同様にして種々の熱処理を行なった。比較のため、熱処理を行なわなかったものも用意した。いずれの条件下でも、キャリアガスとして酸素を用いた。

【 0 1 1 3 】

表 1 に示すプラズマ酸化処理条件 1 ~ 7 のうち、条件 1、2、4、5、7 は本発明で規

50

定する範囲に設定された例であり、特に、条件2は圧力がより高く、条件5はパワーがより高く、いずれも本発明で規定する好ましい範囲に設定された例である。これに対し、条件3は圧力が38 Paと低く、条件6は時間が600秒と長く、いずれも、本発明で規定する範囲を外れる例である。

【0114】

次に、上記のTFETを用い、TFETのドレイン電流 - ゲート電圧のスイッチング特性を調べた。スイッチング特性を調べることにより、SiとCuの相互拡散を間接的に評価することができる。ここでは、TFETのスイッチングのオフ時に流れるリーク電流（ゲート電圧に負電圧を印加したときのドレイン電流値、オフ電流）と、TFETのスイッチングのオン時に流れるオン電流とを、以下のようにして測定した。

10

【0115】

ゲート長(L)300 μm、ゲート幅(W)20 μmのTFETを用い、ドレイン電流およびゲート電圧を測定した。測定時のドレイン電圧は10 Vとした。オフ電流はゲート電圧(-3 V)を印加したときのドレイン電流と定義し、オン電流はゲート電圧が20 Vとなるとききのドレイン電流と定義した。

【0116】

このようにして測定される各TFET特性は、従来例のTFET特性を基準値として以下のように評価した。従来例として、純Cuの薄膜と純Moのバリアメタル層とからなるソース - ドレイン電極を用いて上記と同様にしてTFETを作製し、TFET特性を測定した。従来例のオン電流は約 $1 \times 10^{-6}$  A (μAオーダー)であり、従来例のオフ電流は $1 \times 10^{-11}$  A以下(pAオーダー)であった。この値を基準値とし、オフ電流が上記基準値の1桁の増加の範囲内( $1 \times 10^{-11}$  A以下)に含まれるものを良好(○)、上記範囲を超えるものを不良(x)とした。また、オン電流が熱処理条件により上記基準値( $1 \times 10^{-6}$  A)以上となるものを良好(○)、上記範囲よりもオン電流が小さくなるものを不良(x)とした。更に、総合評価として、オン電流、オフ電流とも良好なものを(○)、どちらか一方が良好で他方が不良なものを(○)、いずれも不良なものを(x)とした。本実施例では、総合評価が または のものを合格としている。

20

【0117】

これらの結果を表2にまとめて示す。

【0118】

更に、表1に示す条件2、条件3、および条件4の方法でTFETを作製したときにおける、酸素含有層のP値および厚さを測定した。これらは、神戸製鋼所製高分解能RBS分析装置「HRBS500」を用いて測定した(表2には示さず)。なお、酸素含有層の厚さは、P値が0.3以上を満足する層の厚さである。

30

【0119】

【表1】

条件	加熱温度(°C)	圧力(Pa)	パワー(W)	時間(秒)
1	320	67	50	60
2	320	133	100	60
3	320	38	100	60
4	320	67	100	300
5	320	67	200	60
6	320	67	100	600
7	360	67	100	60

40

50

【 0 1 2 0 】

【 表 2 】

条件	No.	熱処理	オン電流		オフ電流		総合 評価
			測定値(μA)	評価	測定値(pA)	評価	
1	1	なし	0.91	○	0.69	×	△
	2	150°C	0.88		1.03		
	3	200°C	0.95		1.77		
	4	250°C	1.08		1.73		
	5	300°C	0.57		44.58		
2	6	なし	0.73	○	0.53	○	○
	7	150°C	0.70		0.40		
	8	200°C	0.78		1.17		
	9	250°C	1.05		2.33		
	10	300°C	0.83		1.26		
4	11	なし	0.07	×	0.23	○	△
	12	150°C	0.09		0.11		
	13	200°C	0.13		0.68		
	14	250°C	0.06		2.11		
	15	300°C	0		2.12		
5	16	なし	0.79	○	0.48	○	○
	17	150°C	1.07		0.87		
	18	200°C	1.10		1.11		
	19	250°C	1.25		2.03		
	20	300°C	1.05		7.39		
6	21	なし	0.62	×	0.17	×	×
	22	150°C	0.79		0.73		
	23	200°C	0.99		2.27		
	24	250°C	0.96		2.48		
	25	300°C	0.69		13.17		
7	26	なし	0.06	×	0.37	○	△
	27	150°C	0.06		0.21		
	28	200°C	0.02		0.38		
	29	250°C	0.06		1.49		
	30	300°C	0.01		2.12		

10

20

30

40

【 0 1 2 1 】

表 2 より、以下のように考察することができる。

【 0 1 2 2 】

まず、表 2 の No. 6 ~ 10 (条件 2) および No. 16 ~ 20 (条件 5) は、本発明

50

の好ましい条件 2 および条件 5 でプラズマ酸化を行った例であり、熱処理を行なった場合でも、従来例とほぼ同程度の良好な T F T 特性が得られた。なお、条件 2 でプラズマ酸化を行ったときの P 値は 2 . 0、酸素含有層の厚さは 2 . 7 n m であり、所望の拡散抑制効果を有する酸素含有層が得られている。

【 0 1 2 3 】

これに対し、条件 1、4、7 は、それぞれ、パワーが若干低め、プラズマ照射時間が若干長め、加熱温度が若干高めに設定されているため、前述した条件 2、5 に比較すると、以下に示すように、T F T 特性が若干劣っている。

【 0 1 2 4 】

詳細には、表 2 の N o . 1 ~ 5 ( 条件 1 ) は、パワーが若干低めの条件 1 でプラズマ酸化を行ったため、酸化反応の進行が遅かったことが影響し、T F T 特性 ( オフ電流 ) は、条件 2 および 5 を用いた場合に比べて、やや劣っている。

10

【 0 1 2 5 】

表 2 の N o . 1 1 ~ 1 5 ( 条件 4 ) は、プラズマ照射時間が若干長めの条件 4 でプラズマ酸化を行なった例であり、P 値は 2 . 0 であったが、酸素含有層の厚さは 5 . 0 n m と、条件 2 でプラズマ酸化を行なった場合に比べてやや厚くなった。そのため、拡散抑制効果は見られるが、酸素含有層が厚くなりすぎたため、界面の電気的な抵抗が大きく、オン電流が若干低下した。

【 0 1 2 6 】

表 2 の N o . 2 6 ~ 3 0 ( 条件 7 ) は、加熱温度が若干高めの条件 7 でプラズマ酸化を行なった例であり、T F T 特性 ( オン電流 ) が条件 2、5 に比較するとやや劣っている。

20

【 0 1 2 7 】

これに対し、圧力が本発明の好ましい範囲を下回る条件 3 でプラズマ酸化を行った場合、圧力が低すぎて十分な酸化反応が進まず、パターンニング中に剥離が生じたため、T F T 特性を測定できなかった。なお、パターンニング前に測定した P 値は 0 . 2 5 であり、本発明の好ましい範囲を満たさなかった。

【 0 1 2 8 】

表 2 の N o . 2 1 ~ 2 5 ( 条件 6 ) は、プラズマ照射時間が 6 0 0 秒と長すぎる条件でプラズマ酸化を行なったため、T F T 特性が劣っている。

【 0 1 2 9 】

これらの結果より、本発明の好ましい範囲を満足するプラズマ酸化条件下で作製したソース - ドレイン電極を用いれば、バリアメタル層を省略しても、アモルファスシリコンチャンネル層と C u 系薄膜との界面における S i と C u との相互拡散を有効に防止できる結果、良好な T F T 特性を実現できることが確認された。

30

【 0 1 3 0 】

( 実施例 4 )

本実施例では、前述した実施例 2 において、純 C u の代わりに、表 3 に記載の C u - X 合金 ( X = N i、Z n、M n、M g ) を使用したソース - ドレイン電極を用いたこと、および以下に示す条件で酸素プラズマ処理を行なったこと以外は、実施例 1 と同様にして T F T を作製し、この T F T に対し、実施例 1 と同様にして種々の熱処理を行なった。比較のため、熱処理を行なわなかったものも用意した。更に、参考のため、純 C u を使用したソース - ドレイン電極についても、上記と同様の実験を行なった。

40

【 0 1 3 1 】

プラズマ条件

温度 : 3 2 0、圧力 : 1 3 3 P a、投入電力 : 1 0 0 W、照射時間 : 6 0 秒、

キャリアガス : 酸素

【 0 1 3 2 】

次に、上記の T F T を用い、実施例 3 と同様にして、T F T のドレイン電流 - ゲート電圧のスイッチング特性を調べ、T F T 特性を評価した。

【 0 1 3 3 】

50

これらの結果を表3にまとめて示す。

【0134】

【表3】

ソースドレイン電極	熱処理	オン電流		オフ電流		総合 評価
		測定値( $\mu$ A)	評価	測定値(pA)	評価	
純Cu	なし	0.73	○	0.53	○	○
	150°C	0.70		0.40		
	200°C	0.78		1.17		
	250°C	1.05		2.33		
	300°C	0.83		1.26		
Cu-0.34原子%Ni	なし	0.72	○	1.14	○	○
	150°C	0.78		1.33		
	200°C	1.01		2.56		
	250°C	1.05		0.38		
	300°C	0.97		1.49		
Cu-1.3原子%Zn	なし	0.76	○	2.12	○	○
	150°C	0.82		0.87		
	200°C	0.88		1.11		
	250°C	1.03		2.11		
	300°C	0.92		2.12		
Cu-0.5原子%Mn	なし	0.70	○	0.48	○	○
	150°C	0.84		0.87		
	200°C	0.93		1.71		
	250°C	1.12		2.03		
	300°C	0.96		1.26		
Cu-1.0原子%Mg	なし	0.88	○	0.23	○	○
	150°C	0.73		2.11		
	200°C	0.85		0.68		
	250°C	1.08		1.47		
	300°C	0.95		1.73		

10

20

30

40

【0135】

表3より、Cu系合金として、Cu-Zn合金、Cu-Mn合金、Cu-Mg合金を用いても、純Cu合金およびCu-Ni合金と用いたときと同様、優れたTFT特性が得られることが確認された。

【図面の簡単な説明】

【0136】

【図1】図1は、アモルファスシリコンTFT基板が適用される代表的な液晶ディスプレイ

50

イの構成を示す概略断面拡大説明図である。

【図 2】図 2 は、従来の代表的なアモルファスシリコン T F T 基板の構成を示す概略断面説明図である。

【図 3】図 3 は、本発明の実施形態に係る T F T 基板の構成を示す概略断面説明図である。

【図 4】図 4 は、図 3 に示す T F T 基板の製造工程の一部を示す工程図である。

【図 5】図 5 は、比較例 1 について、G D - O E S 分析を行った結果を示す図である。

【図 6】図 6 は、実施例 1 について、G D - O E S 分析を行った結果を示す図である。

【図 7】図 7 は、本発明に用いられるソース - ドレイン電極の構成を模式的に示す概略図である。

10

【符号の説明】

【 0 1 3 7 】

- 1 T F T 基板
- 1 a、1 b ガラス基板
- 2 対向基板
- 3 液晶層
- 4 薄膜トランジスタ ( T F T )
- 5 透明画素電極
- 6 配線部
- 7 共通電極
- 8 カラーフィルタ
- 9 遮光膜
- 1 0 a、1 0 b 偏光板
- 1 1 配向膜
- 1 2 T A B テープ
- 1 3 ドライバ回路
- 1 4 制御回路
- 1 5 スペーサー
- 1 6 シール材
- 1 7 保護膜
- 1 8 拡散板
- 1 9 プリズムシート
- 2 0 導光板
- 2 1 反射板
- 2 2 バックライト
- 2 3 保持フレーム
- 2 4 プリント基板
- 2 5 走査線
- 2 6 ゲート電極
- 2 7 ゲート絶縁膜 ( S i 窒化膜 )
- 2 8 ソース電極
- 2 9 ドレイン電極
- 2 8 a、2 9 a 酸素含有層
- 2 8 b、2 9 b C u 系薄膜
- 3 0 層間絶縁 S i 窒化膜 ( 保護膜 )
- 3 1 フォトレジスト
- 3 2 コンタクトホール
- 3 3 アモルファスシリコンチャンネル層 ( 活性半導体層 )
- 3 4 信号線 ( ソース - ドレイン配線 )
- 5 1、5 2、5 3 バリアメタル層

20

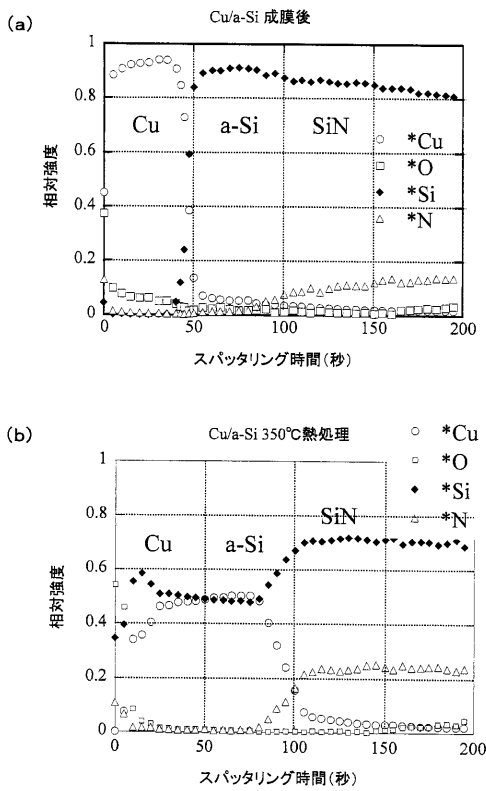
30

40

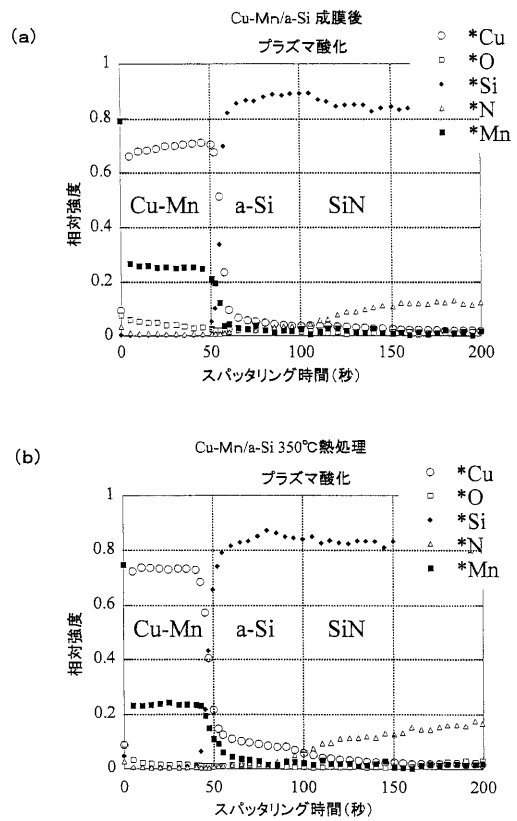
50

- 5 5 アンドーフト水素化アモルファスシリコン膜 ( a - S i - H )
- 5 6 n + 型水素化アモルファスシリコン膜 ( n + a - S i - H )
- 6 0 酸素含有層
- 6 1 C u 合金薄膜
- 6 2 レジスト
- 6 3 C u 合金薄膜
- 1 0 0 液晶ディスプレイ

【 図 5 】

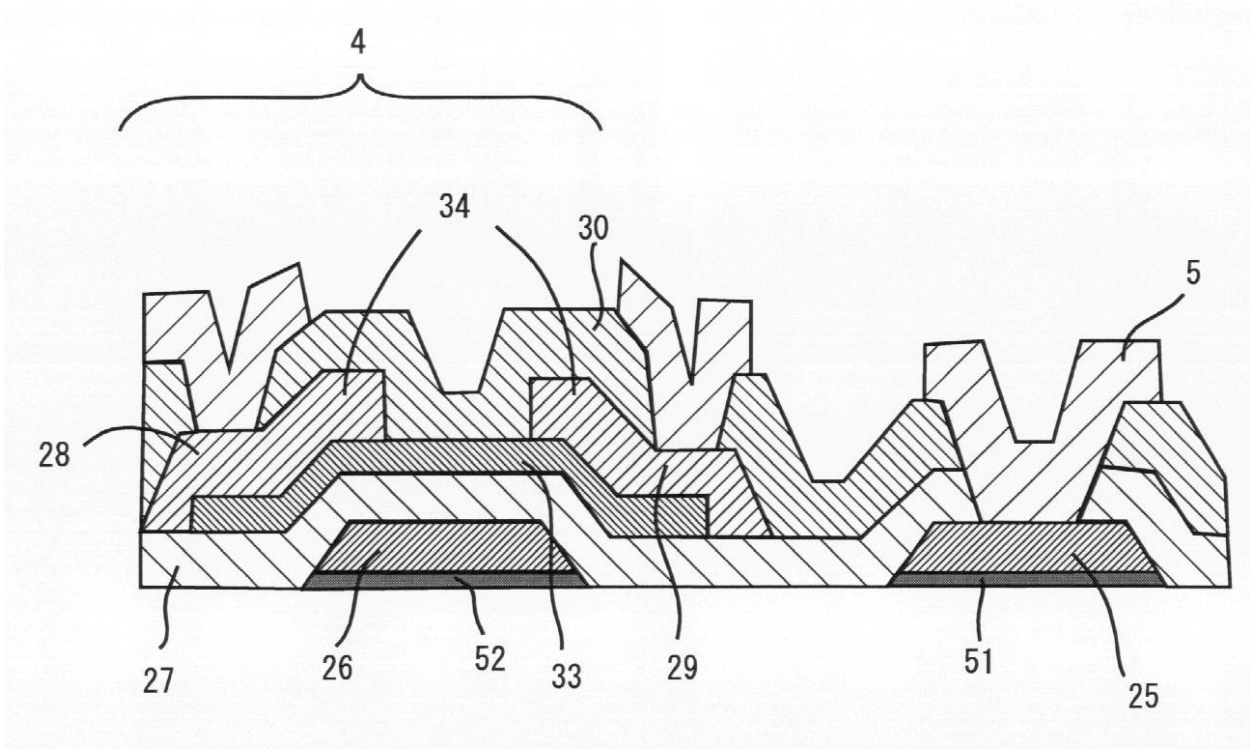


【 図 6 】

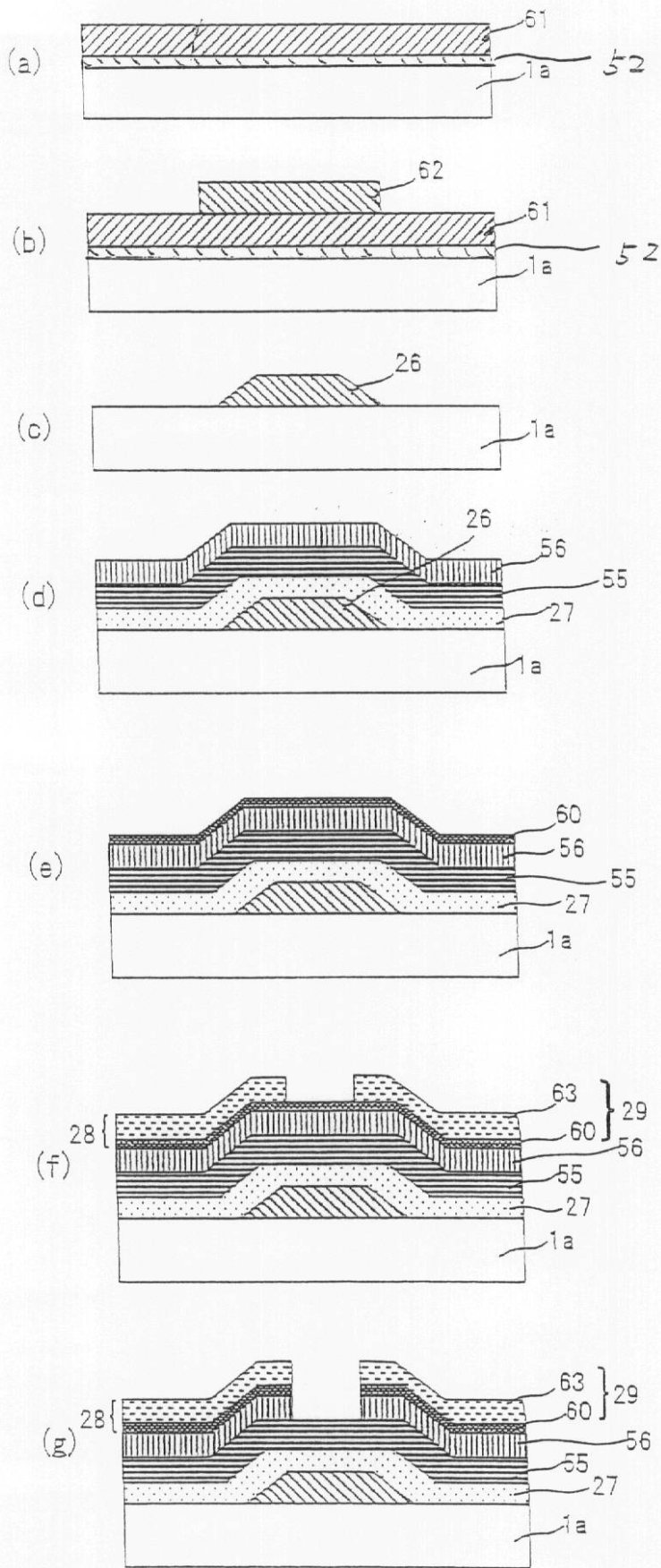




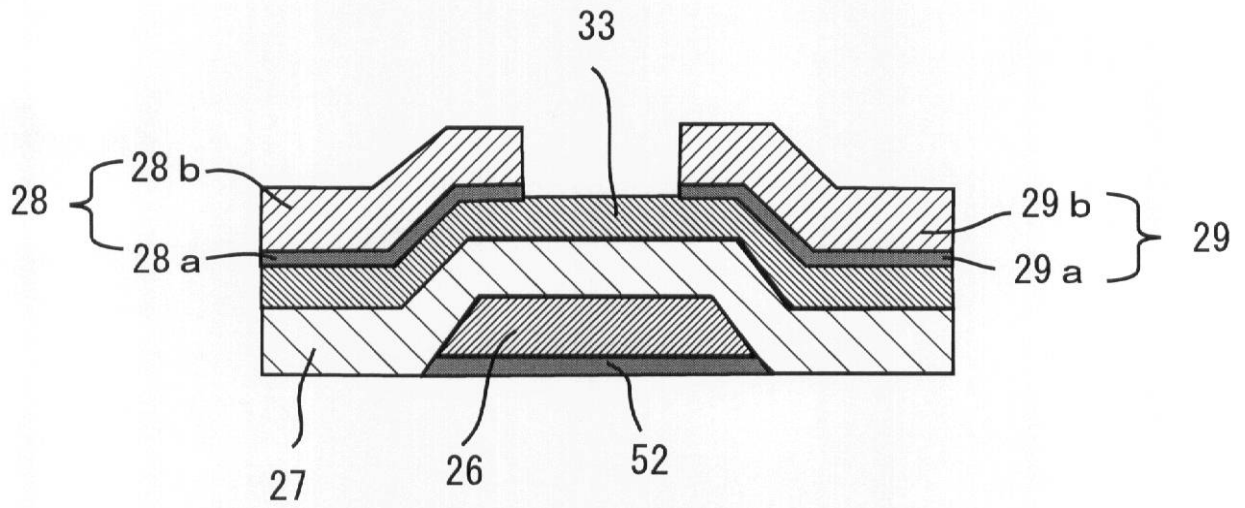
【 図 3 】



【 図 4 】



【 図 7 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/1362

(72)発明者 後藤 裕史

神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内

Fターム(参考) 2H092 GA12 GA17 JA24 JA27 JA36 JA40 JA41 JA44 KA06 KA09  
4M104 AA09 BB04 BB16 CC01 FF13 GG09 GG10 GG14 HH04 HH08  
5F110 AA03 AA16 BB01 CC07 DD02 EE04 EE06 EE14 EE23 EE44  
FF03 FF30 GG02 GG13 GG15 GG24 GG28 GG29 GG33 GG35  
GG45 HK01 HK02 HK06 HK09 HK18 HK22 HK25 HK31 HK33  
HK35 NN02 NN24