

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale

WO 2012/160071 A1

(43) Date de la publication internationale
29 novembre 2012 (29.11.2012)

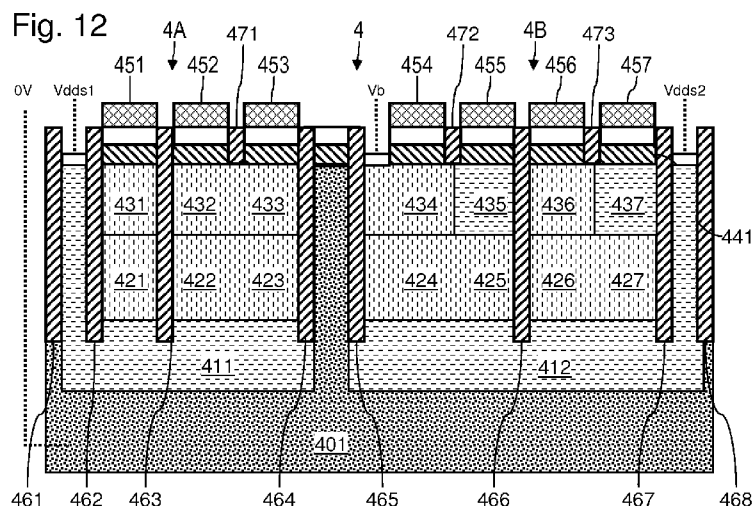
WIPO | PCT

- (51) Classification internationale des brevets :
H01L 27/12 (2006.01) G06F 17/50 (2006.01)
- (21) Numéro de la demande internationale :
PCT/EP2012/059519
- (22) Date de dépôt international :
22 mai 2012 (22.05.2012)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :
1154520 24 mai 2011 (24.05.2011) FR
1158545 26 septembre 2011 (26.09.2011) FR
- (71) Déposant (pour tous les États désignés sauf US) : COMMISSARIAT À L'ÉNERGIE ATOMIQUE ET AUX ÉNERGIES ALTERNATIVES [FR/FR]; Bâtiment le Ponnant D, 25 rue Leblanc, F-75015 Paris (FR).
- (72) Inventeurs; et
- (75) Inventeurs/Déposants (pour US seulement) : NOEL, Jean-Philippe [FR/FR]; Résidence Tempologis 6, 90 rue Louis Néel, F-38330 Montbonnot-Saint-Martin (FR). GI-RAUD, Bastien [FR/FR]; 40 quai de France, F-38000 Grenoble (FR). THOMAS, Olivier [FR/FR]; Les Faures, F-38420 Revel (FR).
- (74) Mandataires : GUERIN, Jean-Philippe et al.; 324 rue Garibaldi, F-69007 Lyon (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,

[Suite sur la page suivante]

(54) Title : SELF-CONTAINED INTEGRATED CIRCUIT INCLUDING ADJACENT CELLS OF DIFFERENT TYPES

(54) Titre : CIRCUIT INTEGRE REALISE EN SOI COMPRENANT DES CELLULES ADJACENTES DE DIFFERENTS TYPES



(57) Abstract : The invention relates to an integrated circuit (2) including a stack consisting of a semiconductor substrate (201) having a first type of doping (P), an embedded UTBOX insulating layer (203), and a semiconductor layer, wherein said integrated circuit includes: first and second electronic components; first and second floor plans placed under the embedded insulating layer vertically perpendicular, respectively, to the first and second electronic components; and first and second casings, having the first doping type, placed under the first and second floor plans, respectively. The first and second casings are separated from the semiconductor substrate by means of a deep casing having a second type of doping. The first and second casings are separated from each other by means of a side casing. The integrated circuit includes a polarization circuit making it possible to apply separate voltages to the first and second casings.

(57) Abrégé :

[Suite sur la page suivante]



WO 2012/160071 A1

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :
— avec rapport de recherche internationale (Art. 21(3))

L'invention concerne un circuit intégré (2) comprenant un empilement d'un substrat semi-conducteur (201) d'un premier type de dopage (P), d'une couche isolante enterrée (203) UTBOX et d'une couche semi-conductrice, et comprenant : des premier et deuxième composants électroniques : des premier et deuxième plans de masse disposés sous la couche isolante enterrée à l'aplomb respectivement des premier et deuxième composants électroniques; des premier et deuxième caissons du premier type de dopage disposés respectivement sous les premier et deuxième plans de masse. Les premier et deuxième caissons sont séparés du substrat semi-conducteur par un caisson profond d'un second type de dopage; Les premier et deuxième caissons sont séparés l'un de l'autre par un caisson latéral; Le circuit intégré comprend un circuit de polarisation permettant d'appliquer des tensions distinctes aux premier et deuxième caissons.

CIRCUIT INTEGRE REALISE EN SOI COMPRENANT DES CELLULES ADJACENTES DE DIFFERENTS TYPES

L'invention concerne les circuits intégrés, et en particulier les circuits
5 intégrés réalisés sur un substrat de type silicium sur isolant (SOI). La
technologie SOI consiste à séparer une fine couche de silicium (quelques
nanomètres) sur un substrat en silicium par une couche d'isolant relativement
épaisse (quelques dizaines de nanomètres en règle générale).

Les circuits intégrés réalisés en technologie SOI présentent un certain
10 nombre d'avantages. De tels circuits présentent généralement une plus faible
consommation électrique pour des performances équivalentes. De tels circuits
induisent également des capacités parasites plus faibles, qui permettent
d'améliorer la vitesse de commutation. De plus, le phénomène de
15 déclenchement parasite (latchup en langue anglaise) rencontré par les
transistors MOS en technologie Bulk peut être évité. De tels circuits s'avèrent
donc particulièrement adaptés pour des applications de type SoC ou MEMS. On
constate également que les circuits intégrés SOI sont moins sensibles aux effets
des radiations ionisantes et s'avèrent ainsi plus fiables dans des applications où
20 de telles radiations peuvent induire des problèmes de fonctionnement,
notamment dans des applications spatiales. Les circuits intégrés SOI peuvent
notamment comprendre des mémoires vives de type SRAM ou des portes
logiques.

La réduction de la consommation statique de portes logiques tout en
augmentant leur vitesse de basculement fait l'objet de nombreuses recherches.
25 Certains circuits intégrés en cours de développement intègrent à la fois des
portes logiques à faible consommation et des portes logiques à vitesse de
basculement élevée. Pour générer ces deux types de portes logiques sur un
même circuit intégré, on rabaisse la tension de seuil de certains transistors des
portes logiques à accès rapide, et on augmente la tension seuil d'autres
30 transistors des portes logiques à faible consommation. En technologie Bulk, la
modulation du niveau de tension de seuil de transistors de même type est
effectuée en différenciant le niveau de dopage de leur canal. Cependant, en
technologie FDSOI (pour Fully Depleted Silicium On Insulator en langue
anglaise, désignant du silicium totalement déserté sur isolant), le dopage du
35 canal est quasiment nul (10^{15} cm^{-3}). Ainsi, le niveau de dopage du canal des
transistors ne peut donc pas présenter de variations importantes, ce qui
empêche de différencier les tensions de seuil par ce biais. Une solution
proposée dans certaines études pour réaliser des transistors de même type à
tensions de seuil distinctes est d'intégrer différents matériaux de grille pour ces
40 transistors. Cependant, la réalisation pratique d'un tel circuit intégré s'avère
techniquement délicate et économiquement prohibitive.

Afin de disposer de tensions de seuil distinctes pour différents transistors en technologie FDSOI, il est également connu d'utiliser un plan de masse polarisé disposé entre une couche d'oxyde isolante mince et le substrat de silicium. En jouant sur le dopage des plans de masse et sur leur polarisation, on peut définir une gamme de tensions de seuil pour les différents transistors. On pourra ainsi disposer de transistors à faible tension de seuil dits LVT, de transistors à haute tension de seuil dits HVT et de transistors à tension de seuil moyenne dits SVT.

Pour certaines fonctions du circuit, il est possible de réunir dans une même zone des transistors d'un même type, par exemple des transistors LVT ou des transistors HVT. Cependant, certaines fonctions du circuit nécessitent d'accoler des transistors de types différents, avec des plans de masse présentant des polarisations différentes. La conception de telles fonctions du circuit s'avère alors relativement délicate, car des contraintes de conception supplémentaires doivent être prises en compte. Les figures 1a à 1c fournissent un exemple de couples de transistors de différents types, respectivement HVT, SVT et LVT.

La figure 1a représente un exemple d'un couple de transistors nMOS 1nH et pMOS 1pH de type HVT. Les transistors 1nH et 1pH sont réalisés en technologie SOI. Les transistors 1nH et 1pH sont réalisés sur une couche de substrat de silicium 101H. Les transistors 1nH et 1pH comprennent des couches isolantes enterrées respectives 103nH et 103pH, séparées de la couche de substrat 101H par l'intermédiaire de plans de masse respectifs 102nH et 102pH et de caissons 112nH et 112pH. Les couches isolantes 103nH et 103pH sont surmontées par une couche active de silicium. La couche active de silicium du transistor 1nH comporte une source, un canal 104nH et un drain. La couche active de silicium du transistor 1pH comporte une source, un canal 104pH et un drain. Les plans de masse 102nH et 102pH permettent d'améliorer le contrôle électrostatique du transistor en limitant la pénétration des champs électriques générés par le drain et la source sous le canal 104nH ou 104pH. La réduction du couplage électrostatique latéral réduit les effets canaux courts et limite l'effet de déplétion par le drain DIBL. Les canaux 104nH et 104pH sont recouverts respectivement par des couches d'oxyde de grille 105nH et 105pH. Les oxydes de grille 105nH et 105pH sont surmontés par des empilements de grille respectifs comprenant des couches métalliques 108nH et 108pH et des couches de polysilicium 111nH et 111pH. Les empilements sont délimités latéralement par des espaceurs 110nH et 110pH. Des tranchées d'isolation 106H, 107H et 109H sont placées autour des transistors 1nH et 1pH.

Pour obtenir des transistors de type HVT, les plans de masse présentent une épaisseur dite ultra-fine, typiquement comprise entre 10 et 100nm. Le plan de masse 102nH présente un dopage de type P et une polarisation à la masse,

et le plan de masse 102pH présente un dopage de type N et une polarisation à Vdd. Les caissons 112nH et 112pH présentent des dopages respectifs de type P et de type N. La polarisation des plans de masse 102nH et 102pH se fait par l'intermédiaire des caissons 112nH et 112pH respectivement.

5 La figure 1b représente un exemple d'un couple de transistors nMOS 1nS et pMOS 1pS de type SVT. Les transistors 1nS et 1pS présentent sensiblement la même structure que les transistors 1nH et 1pH : ils sont réalisés sur une couche de substrat de silicium 101S, comprennent des couches isolantes enterrées respectives 103nS et 103pS, séparées de la couche de substrat 101H
10 par l'intermédiaire de plans de masse respectifs 102nS et 102pS et de caissons 112nS et 112pS. Les couches isolantes 103nS et 103pS sont surmontées par une couche active de silicium. La couche active de silicium du transistor 1nS comporte une source, un canal 104nS et un drain. La couche active de silicium
15 du transistor 1pS comporte une source, un canal 104pS et un drain. Les canaux 104nS et 104pS sont recouverts respectivement par des couches d'oxyde de grille 105nS et 105pS. Les oxydes de grille 105nS et 105pS sont surmontés par des empilements de grille respectifs comprenant des couches métalliques 108nS et 108pS et des couches de polysilicium 111nS et 111pS. Les empilements sont délimités latéralement par des espaceurs 110nS et 110pS.
20 Des tranchées d'isolation 106S, 107S et 109S sont placées autour des transistors 1nS et 1pS.

Pour obtenir des transistors de type SVT, les plans de masse présentent une épaisseur ultra-fine. Le plan de masse 102nS présente un dopage de type N et une polarisation à la masse, et le plan de masse 102pS présente un
25 dopage de type P et une polarisation à Vdd. Les caissons 112nS et 112pS présentent des dopages respectifs de type P et de type N. La polarisation des plans de masse 102nS et 102pS se fait par l'intermédiaire des caissons 112nS et 112pS respectivement.

La figure 1c représente un exemple d'un couple de transistors nMOS 1nL et pMOS 1pL de type LVT. Les transistors 1nL et 1pL présentent sensiblement la même structure que les transistors 1nH et 1pH : ils sont réalisés sur une
30 couche de substrat de silicium 101L, comprennent des couches isolantes enterrées respectives 103nL et 103pL, séparées de la couche de substrat 101H par l'intermédiaire de plans de masse respectifs 102nL et 102pL et de caissons 112nL et 112pL. Les couches isolantes 103nL et 103pL sont surmontées par une couche active de silicium. La couche active de silicium du transistor 1nL comporte une source, un canal 104nL et un drain. La couche active de silicium
35 du transistor 1pL comporte une source, un canal 104pL et un drain. Les canaux 104nL et 104pL sont recouverts respectivement par des couches d'oxyde de grille 105nL et 105pL. Les oxydes de grille 105nL et 105pL sont surmontés par des empilements de grille respectifs comprenant des couches métalliques
40

108nL et 108pL et des couches de polysilicium 111nL et 111pL. Les empilements sont délimités latéralement par des espaceurs 110nL et 110pL. Des tranchées d'isolation 106L, 107L et 109L sont placées autour des transistors 1nL et 1pL.

5 Pour obtenir des transistors de type LVT, les plans de masse présentent une épaisseur ultra-fine. Le plan de masse 102nL présente un dopage de type N et une polarisation à Vdd, et le plan de masse 102pL présente un dopage de type P et une polarisation à la masse. Les caissons 112nL et 112pL présentent des dopages respectifs de type N et de type P. La polarisation des plans de
10 masse 102nL et 102pL se fait par l'intermédiaire des caissons 112nL et 112pL respectivement.

Si des couples de transistors HVT et SVT peuvent être accolés sur une même rangée ou sur des rangées adjacentes, un couple de transistors LVT ne peut par contre pas être adjacent à un couple de transistors HVT ou SVT. En
15 effet, il peut être nécessaire de modifier les polarisations des plans de masse par rapport à la masse ou à Vdd. Du fait de ces polarisations et du dopage des plans de masse, des courts-circuits entre des caissons ou des jonctions P-N polarisées en direct peuvent être générées.

Il existe donc un besoin pour des conceptions de circuits intégrés de type
20 FDSOI dans lesquels des cellules adjacentes présentent des caissons de même dopage à polarisations distinctes pour obtenir des tensions de seuil distinctes.

Par ailleurs, de façon générale, l'invention vise à favoriser la conception de circuits intégrés présentant des tensions de seuil distinctes.

25 Certaines publications ont proposé des évolutions de structures des circuits intégrés FDSOI. Un problème pratique qui se pose avec toute évolution technologique portant sur de tels circuits est que les outils de conception existant peuvent s'avérer incompatibles ou nécessiter d'importants développements informatiques.

30 Ainsi, dans l'industrie, les concepteurs de circuits électroniques des fabricants de semi-conducteurs utilisent la conception assistée par ordinateur (CAO). Les grands circuits sont en effet trop complexes pour être conçus à la main et nécessitent des outils informatiques adéquats, notamment pour éviter les risques d'erreurs de conception.

35 La CAO utilise une spécification fonctionnelle en entrée. Cette spécification fonctionnelle décrit le fonctionnement voulu du circuit, ainsi que des contraintes non fonctionnelles (surface, coût, consommation...). La CAO fournit une représentation sous forme d'un fichier informatique en sortie (généralement au format GDSII ou, plus récemment, OASIS). Ce fichier
40 informatique définit les dessins des masques du circuit intégré à réaliser, de sorte que ces masques puissent être fabriqués. Les masques réalisés servent

alors à la fabrication du circuit dans les unités de fabrication de semi-conducteurs pendant des étapes de photolithographie. La CAO est divisée en plusieurs étapes.

En partant de la spécification fonctionnelle du circuit, on définit le concept et l'architecture globale du circuit intégré lors d'une première étape. On modélise ainsi à très haut niveau le système complet (matériel et logiciel) afin de valider en termes de performance l'architecture choisie par rapport aux besoins de l'application. L'architecture du circuit intégré est généralement conçue en langage Verilog, VHDL, SPICE ou autres.

On réalise ensuite une étape d'optimisation (appelée floorplanning en langue anglaise). Durant cette étape, on crée une carte des emplacements des portes logiques sur la puce, les sources et les mises à la masse, les entrées/sorties, et les circuits macros (composants complexes comme les processeurs, DSP, mémoires, etc.).

On réalise ensuite une synthèse logique du circuit. Dans cette étape, on modélise le circuit au niveau transfert de registre (pour Register Transfer Level (RTL) en langue anglaise). Cette modélisation revient à décrire l'implémentation du circuit intégré sous forme d'éléments séquentiels et de combinaisons logiques entre les différentes entrées/sorties des éléments séquentiels et des entrées/sorties primaires du circuit intégré. La modélisation fournit un réseau composé de portes logiques et d'éléments rudimentaires. Cette modélisation est généralement codée avec un langage dédié tel que le Verilog ou le VHDL. La modélisation RTL est automatiquement synthétisable en portes logiques combinatoires (portes ET, OU, multiplexeur, etc.) et séquentielles (bascules D synchrones, etc.) issues d'une bibliothèque de cellules standard (standard cell library en langue anglaise). L'emplacement des éléments n'est pas encore spécifié à ce stade et se présente sous forme de liste d'éléments nécessaires pour réaliser les fonctions désirées.

On réalise ensuite une synthèse de comportement du circuit, également appelé synthèse de haut niveau ou synthèse algorithmique. On simule alors le comportement temporel du modèle RTL généré. On détermine chaque signal d'interconnexion en fonction de stimuli d'entrée décrits (généralement dans le même langage que le modèle RTL). Si le circuit à simuler contient un processeur, on définit un programme exécutable correspondant sous forme d'un contenu binaire de mémoire. La mémoire contenant le code programme et les données (FLASH ou SRAM par exemple) peut aussi être modélisée avec un même langage, mais à un niveau d'abstraction plus élevé que le RTL.

La synthèse algorithmique n'est pas forcément suffisante pour garantir l'absence d'erreur de conception pour les raisons suivantes car :

-la génération des stimuli est faite par le concepteur et ne permet pas de réaliser des tests fonctionnels exhaustifs pour des questions de temps ;

-les simulateurs logiques sont relativement lents. Pour un circuit complexe, plusieurs jours de simulation peuvent être nécessaires, ce qui limite le nombre de simulations réalisables.

5 Lors d'une étape de synthèse logique, on transforme le modèle RTL du circuit en une description au niveau des portes logiques (génération de la gate netlist en langue anglaise). On dispose à cet effet d'une bibliothèque de portes logiques disponibles. Cette bibliothèque rassemble généralement plusieurs centaines d'éléments logiques (comme des portes ET, OU, bascules, etc.).
10 Cette bibliothèque dépend de la finesse de gravure du circuit (par exemple 32 nm ou 22 nm) et des règles de dessin des cellules en fonction du procédé de fabrication du fabricant.

L'utilisateur doit également fournir des contraintes de synthèse logique, telles que la fréquence de fonctionnement du circuit, ses conditions (gamme de
15 tension d'alimentation, gamme de température, dispersion des délais de traversée des portes liées au procédé de fabrication), les contraintes de temps de départ et d'arrivée sur les entrées primaires et secondaires du circuit, le modèle de charge lié aux fils d'interconnexion qui relieront les portes ou la taille maximale du circuit sur le substrat en silicium.

20 Les outils de synthèse travaillent généralement sur des circuits intégrés numériques synchrones dont les éléments séquentiels sont cadencés par une seule horloge. Éventuellement, il peut y avoir plusieurs domaines d'horloge, regroupant un ensemble d'éléments séquentiels et combinatoires. L'outil de synthèse logique d'un circuit synchrone procède généralement en plusieurs
25 étapes :

-transformation du modèle RTL en éléments logiques combinatoires et séquentiels génériques (indépendamment de la bibliothèque cible) suivant des algorithmes mathématiques ;

-remplacement des éléments logiques génériques par ceux issus de la
30 bibliothèque cible. Pour cela, il choisit les éléments logiques respectant les contraintes de temps et d'espace données par l'utilisateur. Des calculs d'analyse de délais sont alors réalisés sur tous les chemins logiques du circuit afin de s'assurer qu'ils respectent les contraintes de temps (fréquence de fonctionnement du circuit). Si les résultats ne sont pas concluants, l'outil essaye
35 d'utiliser d'autres portes disponibles dans la bibliothèque pour arriver au résultat souhaité. Il est ainsi courant dans une bibliothèque d'avoir de nombreuses portes réalisant la même fonction logique mais avec des tailles et des sortances différentes ;

-lorsque les contraintes de temps sont remplies, l'outil de synthèse
40 dispose de certaines marges de temps sur certains chemins. Il peut alors optimiser la conception du circuit en remplaçant certaines portes par d'autres

moins gourmandes en consommation et en taille de silicium tout en continuant à respecter les contraintes de temps.

La synthèse logique fournit un fichier informatique représentant l'instanciation des portes de la bibliothèque cible et leur interconnexion et
5 représentant le circuit intégré (gate netlist). Il existe différents formats de ce type de représentation, notamment le format Verilog, le format VHDL ou le format EDIF.

La synthèse logique est suivie d'une étape de placement/routage (place
and route en langue anglaise). Durant cette étape, les différents composants du
10 circuit intégré définis dans la gate netlist sont automatiquement placés et connectés en fonction du problème à résoudre. Le placement/routage est un problème d'optimisation difficile qui nécessite des techniques métaheuristiques.

La synthèse logique peut nécessiter une longue et fastidieuse redéfinition des nouveaux composants. Le placement/routage peut s'avérer particulièrement
15 sensible à la redéfinition de nouveaux composants.

L'invention vise à résoudre un ou plusieurs de ces inconvénients. L'invention porte ainsi sur un circuit intégré comprenant un empilement d'un substrat semi-conducteur d'un premier type de dopage, d'une couche isolante
20 enterrée de type UTBOX et d'une couche semi-conductrice, et comprenant :

- des premier et deuxième composants électroniques formés dans et/ou sur ladite couche semi-conductrice :

- des premier et deuxième plans de masse disposés sous la couche isolante enterrée à l'aplomb respectivement des premier et deuxième
25 composants électroniques ;

- des premier et deuxième caissons du premier type de dopage disposés respectivement sous les premier et deuxième plans de masse.

Les premier et deuxième caissons sont séparés du substrat semi-conducteur par un caisson profond d'un second type de dopage ;

30 Les premier et deuxième caissons sont séparés l'un de l'autre par un caisson latéral présentant le deuxième type de dopage et/ou par un bloc constitué d'un matériau isolant ;

Le circuit intégré comprend un circuit de polarisation permettant d'appliquer des tensions distinctes aux premier et deuxième caissons par
35 l'intermédiaire desdits premier et deuxième caissons.

Selon une variante, les premier et deuxième caissons sont séparés l'un de l'autre par un bloc constitué d'un matériau isolant.

Selon encore une variante, ledit bloc s'étend jusqu'au caisson profondément enterré.

40 Selon une autre variante, ledit bloc s'étend jusqu'aux premier et deuxième caissons mais pas jusqu'au caisson profondément enterré, et ledit bloc

surplombe le caisson latéral présentant le deuxième type de dopage et séparant les premier et deuxième caissons.

5 Selon encore une autre variante, les premier et deuxième caissons sont séparés l'un de l'autre par un caisson latéral présentant le deuxième type de dopage.

10 Selon une variante, un bloc de matériau isolant sépare les premier et deuxième composants électroniques au niveau de la couche semi-conductrice, ledit bloc de matériau isolant étant formé à l'aplomb dudit caisson latéral, le caisson latéral s'étendant de la couche isolante enterrée jusqu'au caisson profondément enterré.

15 Selon une autre variante, ledit premier composant électronique est un premier transistor de type FDSOI et ledit deuxième composant électronique est un deuxième transistor de type FDSOI, un parmi le premier ou le deuxième transistor étant de type nMOS, l'autre parmi le premier ou le deuxième transistor étant de type pMOS.

Selon encore une variante, le circuit intégré comprend :

-un troisième transistor formé dans et/ou sur ladite couche semi-conductrice et du même type que le deuxième transistor ;

20 -un troisième plan de masse disposé sous la couche isolante enterrée à l'aplomb du troisième composant électronique ;

-un troisième caisson du premier type de dopage disposé sous le troisième plan de masse dans la continuité du deuxième caisson.

Selon encore une autre variante, le troisième plan de masse est d'un type opposé au deuxième plan de masse.

25 Selon une variante, le troisième plan de masse est du même type que le deuxième plan de masse.

Selon une autre variante, un bloc de matériau isolant sépare les deuxième et troisième transistors au niveau de la couche semi-conductrice.

30 Selon encore une variante, ledit bloc de matériau isolant n'atteint pas les deuxième et troisième caissons.

Selon encore une autre variante, le premier plan de masse présente le deuxième type de dopage et est séparé de la bande latérale par une bande latérale additionnelle présentant le premier type de dopage.

35 Selon une variante, ledit bloc de matériau isolant atteint les deuxième et troisième caissons mais n'atteint pas le caisson profondément enterré.

Selon encore une variante, les premier et deuxième composants électroniques sont des premier et deuxième transistors appartenant à une cellule mémoire SRAM.

40 Selon une autre variante, la couche isolante enterrée présente une épaisseur inférieure à 50nm et dans lequel la largeur de la grille desdits transistors est inférieure à 50nm.

D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est faite ci-après, à titre indicatif et nullement limitatif, en référence aux dessins annexés, dans lesquels :

- 5 -les figures 1a à 1c sont des vues en coupe de couples de transistors FDSOI de différents types selon l'art antérieur ;
-la figure 2 est une vue en coupe d'un circuit intégré selon un premier mode de réalisation de l'invention ;
-la figure 3 est une vue en coupe d'un circuit intégré selon un deuxième
10 mode de réalisation de l'invention ;
-les figures 4a, 4b, 5a, 5b, 6a, 6b, 7a et 7b sont des représentations schématiques de cellules standards selon le premier mode de réalisation pour une bibliothèque d'un logiciel de placement/routage pour une conception du circuit intégré assistée par ordinateur ;
15 -la figure 8 est un exemple d'une portion d'un circuit selon l'invention conçu avec les cellules standards ;
-la figure 9 est un autre exemple d'une portion d'un circuit selon l'invention conçu avec d'autres types de cellules standards ;
-la figure 10 est un autre exemple d'une portion d'un circuit conçu selon
20 l'invention avec des cellules standards ;
-la figure 11 est un diagramme illustrant la largeur de déplétion dans un caisson en fonction de sa profondeur et de sa tension de polarisation ;
-les figures 12 à 15 sont différentes vues en coupe de variantes de circuits intégrés selon l'invention ;
25 -la figure 16 illustre schématiquement une vue en coupe de dessus d'un circuit intégré 4 au niveau des caissons ;
-la figure 17 est une vue en coupe schématique au niveau des caissons d'un premier exemple d'une zone d'intégration ;
-la figure 18 est une vue en coupe schématique au niveau des caissons
30 d'un deuxième exemple d'une zone d'intégration ;
-la figure 19 illustre le schéma d'une cellule mémoire de type 6T avec des polarisations selon l'invention.

De façon générale, l'invention vise à favoriser la conception de circuits
35 intégrés présentant des tensions de seuil distinctes.

L'invention propose d'une part un circuit intégré présentant deux cellules adjacentes. La première cellule comprend un transistor nMOS et un transistor pMOS de type FDSOI. La deuxième cellule comprend un transistor nMOS et un
40 transistor pMOS de type FDSOI. Ces transistors présentent des plans de masses et des caissons respectifs séparant une couche isolante enterrée ultra-

mince (appelée Ultra-Thin Burried OXide (UTBOX) en langue anglaise) du substrat semi-conducteur.

Les plans de masse des transistors d'une même cellule présentant des dopages respectifs P et N. Les caissons des transistors d'une même cellule
5 présentent des dopages respectifs P et N. Un circuit de polarisation est configuré pour appliquer des tensions distinctes auxdits caissons dopés P.

Le caisson dopé P d'un desdits transistors de la deuxième cellule est séparé de la première cellule et du substrat semi-conducteur par un caisson de séparation profondément enterré dopé N.

10 Avec une structure simple et des règles de conception nécessitant un minimum d'adaptation des outils de conception assistée par ordinateur existants, l'invention permet d'accoler des transistors de types très différents, ces transistors présentant des polarisations et des dopages distincts de leur plan de masse pour obtenir des seuils de tension distincts afin de répondre à
15 différentes contraintes de conception.

La figure 2 est une vue en coupe transversale de deux cellules disposées dans des rangées adjacentes r_i et r_{i+1} d'un circuit intégré 2 selon un premier mode de réalisation de l'invention. La direction longitudinale définira par la suite
20 la direction d'extension des rangées et la direction transversale définira la direction dans le plan du substrat perpendiculaire à la direction longitudinale. Le circuit intégré comprend des première et deuxième cellules à transistors FDSOI.

La première cellule 2H comprend un transistor nMOS 2nH accolé à un transistor pMOS 2pH. Les transistors de la première cellule sont d'un premier
25 type, typiquement de type HVT c'est-à-dire à haute tension de seuil.

La deuxième cellule 2L comprend un transistor nMOS 2nL accolé à un transistor pMOS 2pL. Les transistors de la deuxième cellule sont d'un second type, typiquement de type LVT c'est-à-dire à basse tension de seuil.

Les transistors nMOS des différentes cellules d'une même rangée sont alignés. Les transistors pMOS de différentes cellules d'une même rangée sont également alignés.
30

Les transistors des première et deuxième cellules comprennent de façon connue en soi une couche d'isolant enterrée 203 réalisée à l'aplomb d'un substrat de silicium 201 de type P et surmontée par une couche active de silicium. La
35 couche active des transistors présente une structure connue en soi qui n'est représentée que de façon schématique dans un but de simplification. Les structures de couches actives détaillées en référence aux figures 1a, 1b et 1c pourront par exemple être utilisées. La couche active de silicium de chaque transistor comporte une source, un canal et un drain. Les transistors sont
40 réalisés en technologie FDSOI et le dopage du canal est donc quasiment nul et sensiblement égal au dopage du substrat 201. Le substrat 201 présente par

exemple un dopage de $3 \cdot 10^{15} \text{cm}^{-3}$. Le canal d'un transistor est recouvert par une couche d'oxyde de grille. L'oxyde de grille est surmonté par un empilement de grille comprenant une couche métallique (présentant typiquement une largeur inférieure à 50nm) et une couche de polysilicium. L'empilement est
5 délimité latéralement par des espaceurs. Les transistors sont séparés par des tranchées d'isolation 206, 207 et 209.

Les transistors 2nH et 2pL comportent des plans de masse 202nH et 202pL et des caissons 212nH et 212pL à dopage de type P disposés à l'aplomb de la couche d'isolant enterrée 203. Les transistors 2pH et 2nL comportent des
10 plans de masse 202pH et 202nL et des caissons 212pH et 212nL à dopage de type N disposés à l'aplomb de la couche d'isolant enterrée 203. Les plans de masse 202nH, 202pH, 202pL et 202nL sont ménagés respectivement sur les caissons 212nH, 212pH, 212pL et 212nL. Les plans de masse 202nH, 202pH, 202pL et 202nL s'étendent en profondeur jusqu'à un niveau intermédiaire des
15 tranchées d'isolation 206, 207 et 209. Les caissons 212nH, 212pH, 212pL et 212nL s'étendent depuis les plans de masse 202nH, 202pH, 202pL et 202nL jusqu'en dessous des tranchées d'isolation 206, 207 et 209. Les plans de masse et les caissons peuvent présenter un dopage de 10^{18}cm^{-3} . Les caissons 212pL et 212pH sont adjacents. Les caissons sont polarisés par des connexions non
20 illustrées. Chaque plan de masse permet d'améliorer le contrôle électrostatique de son transistor en limitant la pénétration des champs électriques générés par le drain et la source sous le canal. La réduction du couplage électrostatique latéral réduit les effets canaux courts et limite l'effet de déplétion par le drain DIBL.

Un circuit de polarisation non illustré est configuré pour pouvoir appliquer une tension de masse sur les plans de masse 202nH, 202pL par l'intermédiaire des caissons 212nH et 212pL respectivement. Le circuit de polarisation est également configuré pour pouvoir appliquer une tension Vdd sur les plans de
25 masse 202pH, 202nL, par l'intermédiaire des caissons 212pH et 212nL respectivement.
30

Afin de permettre une modulation de la tension de seuil des transistors en jouant sur les polarisations et le dopage des plans de masse, la couche d'isolant 203 enterrée est du type UTBOX, ce type de couche présentant typiquement une épaisseur inférieure à 50 nm. La couche d'isolant 203 peut, par exemple,
35 être réalisée en oxyde de silicium.

Avec une couche d'isolant enterrée de type UTBOX, les polarisations et les dopages des plans de masse mentionnés, les transistors 2nH et 2pH présentent des tensions de seuil relevées et les transistors 2nL et 2pL présentent des tensions de seuil abaissées.

Dans l'exemple illustré à la figure 2, les plans de masse des cellules sont soumis à une polarisation FBB (pour Forward Back Biasing en langue anglaise). Le circuit de polarisation des plans de masse est ainsi configuré pour moduler les tensions appliquées aux plans de masse par rapport à la tension de masse ou la tension Vdd. Dans l'exemple, la polarisation des plans de masse 202nH et 202nL est ainsi augmentée d'une tension ΔV et la polarisation des plans de masse 202pH et 202pL est réduite d'une tension ΔV . Les polarisations suivantes sont ainsi appliquées :

202nH : $0+\Delta V$

10 202pH : $V_{dd}-\Delta V$

202pL : $0-\Delta V$

202nL : $V_{dd}+\Delta V$

Ainsi, les caissons dopés P des deux cellules sont polarisés avec des tensions distinctes. En fonction de la valeur de ΔV , les caissons 212nH et 212pL risqueraient de se retrouver en court-circuit par l'intermédiaire du substrat 201.

Afin d'éviter un tel court-circuit, un des transistors à caisson dopé P est séparé du substrat 201 par l'intermédiaire d'un caisson profondément enterré (pour deep Well en langue anglaise) à dopage de type N. Dans l'exemple illustré figure 2, le caisson profondément enterré à dopage de type N 222L est disposé à l'aplomb du caisson 212pL. Le caisson profondément enterré à dopage de type N 222L sépare également le caisson 212pL de la cellule adjacente 2H, pour ainsi éliminer les risques de court-circuit ou de jonction P-N en direct avec la cellule 2H. Le caisson profondément enterré à dopage de type N 222L comporte une partie 213L formant une bande saillante transversalement en direction de la cellule adjacente par rapport au caisson 212pL. Aux extrémités longitudinales de la cellule 2L, la bande 213L s'étend transversalement (par exemple dans une cellule de transition), de sorte que le caisson 212pL est entouré par le caisson 212nL et le caisson 222L dopé N. Un exemple de dimensionnement de la largeur de cette partie 213L sera détaillé par la suite. Le caisson profondément enterré 222L peut par exemple être implanté jusqu'à une profondeur supérieure à 200nm, typiquement de l'ordre de 500nm, sous la couche 203. L'utilisation d'un caisson profondément enterré 222L permet de réaliser une isolation du plan de masse 202pL par rapport à la cellule adjacente jusqu'à une très grande profondeur.

Le caisson 212pH est en outre séparé du caisson 212pL par l'intermédiaire d'une bande 213H à dopage de type P (formée par un caisson enterré dopé P) s'étendant longitudinalement. Cette bande 213H est en saillie transversalement par rapport au caisson 212pH et est accolée à la bande 213L. Aux extrémités longitudinales de la cellule 2H, la bande 213H s'étend transversalement (par exemple dans une cellule de transition), de sorte que le caisson 212 pH est entouré d'un caisson dopé P.

Le circuit de polarisation peut également être configuré pour appliquer les polarisations suivantes aux plans de masse (FBB sur la cellule 2H et la cellule 2L) :

- 5 202nH : $0+\Delta V$
- 202pH : $V_{dd}-\Delta V$
- 202pL : $0+\Delta V$
- 202nL : $V_{dd}-\Delta V$

Pour éviter de réaliser des jonctions P-N polarisées en direct entre les
10 caissons, on utilise une valeur de ΔV maximale de $V_{dd}/2$. Ainsi, avec une telle polarisation, la différence de potentiel d'une jonction P-N est au maximum de $-2*V_{dd}$. La largeur minimale W_{min} des bandes 213L et 213H permettant d'éviter une polarisation en direct d'une jonction P-N sera définie par le grade du masque utilisé pour l'implantation des caissons. Ce grade de masque est
15 généralement défini par un compromis entre la finesse de gravure et le coût. Pour le nœud technologique 32nm, la largeur minimale autorisée par le manuel de règles de dessin (pour Design Rule Manuel (DRM) en langue anglaise) est de 270nm. Néanmoins, cette valeur peut être inférieure avec un procédé d'implantation optimisé pour la technologie FDSOI.

20 Avec une valeur de V_{dd} de 0,9V, pour une taille de noeud technologique de 22 nm et un dopage du caisson enterré de 10^{18} cm^{-3} , des simulations numériques montrent que des bandes 213H et 213L d'une largeur de 2 pas de piste (track pitch en langue anglaise), soit 80nm, s'avèrent suffisantes. Pour des rangées présentant initialement une largeur de 12 pas de piste, les rangées
25 réalisées avec des cellules selon l'invention présentent une augmentation de surface du substrat limitée à environ 14%. Une largeur des bandes 213H et 213L supérieure à 10% de la largeur de la rangée pourra s'avérer satisfaisante dans la plupart des cas pour éviter que les bandes 213H et 213L soient complètement déplétées.

30 Des simulations montrent que l'implantation du caisson enterré avec un dopage de 10^{18} cm^{-3} peut être aisément être réalisé jusqu'à 700nm pour cette taille de nœud technologique. La figure 11 représente la largeur de déplétion W_{dep} en fonction de la profondeur $D_n W_d$ du caisson enterré pour différentes valeurs de la tension V_{dd} . Ce graphique montre qu'une largeur des bandes
35 213H et 213L de 2 pas de piste s'avère suffisante pour une implantation du caisson enterré jusqu'à 650 nm sous la couche d'oxyde, pour ces différentes valeurs de polarisation, et pour éviter que ces bandes 213H et 213L soient complètement déplétées.

40 Même si la largeur des bandes 213H et 213L est inférieure à ces préconisations, cela est sans impact sur le fonctionnement : en effet, si ces

bandes sont complètement déplétées, elles se comportent comme un prolongement en profondeur des tranchées d'isolation.

Les plans de masse, les caissons et les caissons profondément enterrés pourront être réalisés lors d'étapes différentes du procédé de fabrication.

- 5 L'implantation des caissons favorisera une homogénéité des charges. L'implantation des plans de masse favorisera le dopage à l'interface avec la couche d'isolant enterrée.

10 La figure 3 est une vue en coupe transversale de deux cellules disposées dans des rangées adjacentes r_i et r_{i+1} d'un circuit intégré 3 selon un deuxième mode de réalisation de l'invention. Le circuit intégré 3 comprend des première et deuxième cellules à transistors FDSOI.

15 La première cellule 3H comprend un transistor nMOS 3nH accolé à un transistor pMOS 3pH. Les transistors de la première cellule sont d'un premier type, typiquement de type HVT c'est-à-dire à haute tension de seuil.

La deuxième cellule 3L comprend un transistor nMOS 3nL accolé à un transistor pMOS 3pL. Les transistors de la deuxième cellule sont d'un second type, typiquement de type LVT c'est-à-dire à basse tension de seuil.

20 Les transistors des première et deuxième cellules comprennent de façon connue en soi une couche d'isolant enterrée 303 réalisée à l'aplomb d'un substrat de silicium 301 de type P et surmontée par une couche active de silicium. La couche active des transistors présente une structure connue en soi qui n'est représentée que de façon schématique dans un but de simplification. La couche active de silicium de chaque transistor comporte une source, un canal et un drain.

25 Les transistors 3nH et 3pL comportent des plans de masse 302nH et 302pL et des caissons 312nH et 312pL à dopage de type P disposés à l'aplomb de la couche d'isolant enterrée 303. Les transistors 3pH et 3nL comportent des plans de masse 302pH et 302nL et des caissons 312pH et 312nL à dopage de type N disposés à l'aplomb de la couche d'isolant enterrée 303. Les plans de masse 302nH, 302pH, 302pL et 302nL sont ménagés respectivement sur les caissons 312nH, 312pH, 312pL et 312nL. Les plans de masse 302nH, 302pH, 302pL et 302nL s'étendent en profondeur jusqu'à un niveau intermédiaire des tranchées d'isolation 306, 307 et 309. Les caissons 312nH, 312pH, 312pL et 312nL s'étendent depuis les plans de masse 302nH, 302pH, 302pL et 302nL jusqu'en dessous des tranchées d'isolation 306, 307 et 309. Les plans de masse sont polarisés par des connexions non illustrées. Un circuit de polarisation non illustré est configuré pour pouvoir appliquer une tension de masse sur les plans de masse 302nH et 302pL par l'intermédiaire des caissons 312nH et 312pL respectivement, et pouvoir appliquer une tension V_{dd} sur les plans de masse

302pH et 302nL, par l'intermédiaire des caissons 312pH et 312nL respectivement. La couche d'isolant enterrée 303 est du type UTBOX.

Avec une couche d'isolant enterrée de type UTBOX, les polarisations et les dopages des plans de masse mentionnés, les transistors 3nH et 3pH
5 présentent des tensions de seuil relevées et les transistors 3nL et 3pL présentent des tensions de seuil abaissées.

Dans l'exemple illustré à la figure 3, les plans de masse des cellules sont soumis à une polarisation RBB (pour Reverse Back Biasing en langue anglaise).
10 Ainsi, la polarisation des plans de masse 302nH et 302nL est réduite d'une tension ΔV et la polarisation des plans de masse 302pH et 302pL est augmentée d'une tension ΔV . Les polarisations suivantes sont ainsi appliquées :

302nH : $0 - \Delta V$

302pH : $V_{dd} + \Delta V$

15 302pL : $0 + \Delta V$

302nL : $V_{dd} - \Delta V$

Ainsi, les plans de masse dopés P des deux cellules sont polarisés avec des tensions distinctes. En fonction de la valeur de ΔV , les caissons 312nH et 312pL risqueraient de se retrouver en court-circuit par l'intermédiaire du substrat
20 301.

Dans l'exemple illustré figure 3, un caisson à dopage de type N 322H est disposé à l'aplomb du caisson 312nH. Le caisson profondément enterré 322H sépare également le caisson 312nH de la cellule adjacente 3L, pour ainsi éliminer les risques de court-circuit ou de jonction P-N en direct avec cette
25 cellule 3L. Le caisson profondément enterré 322H comporte une partie 313H formant une bande saillante transversalement en direction de la cellule 3L par rapport au caisson 312nH. Aux extrémités longitudinales de la cellule 3H, la bande 313H s'étend transversalement.

Le caisson 312nL est en outre séparé du caisson 312nH par
30 l'intermédiaire d'une bande 313L à dopage de type P (formée par un caisson enterré dopé P) s'étendant longitudinalement. Cette bande 313L est en saillie transversalement par rapport au caisson 312nL et est accolée à la bande 313H. Aux extrémités longitudinales de la cellule 3L, la bande 313L s'étend transversalement.

35

En fonction de la configuration du circuit intégré, le circuit de polarisation peut mettre en œuvre des polarisations de type FBB ou RBB soit dynamiquement pour modifier les tensions de seuil en fonction du contexte de fonctionnement du circuit, soit statiquement suite à une étape de configuration
40 initiale du circuit intégré réalisée durant son processus de fabrication.

Les figures 4a, 4b, 5a, 5b, 6a, 6b, 7a et 7b sont des représentations schématiques de cellules standards destinées à générer la topologie d'un circuit intégré selon l'invention par une application de placement/routage d'un système de conception assistée par ordinateur. Ces cellules standards peuvent être
5 incluses dans la bibliothèque de l'application pour générer une topologie du circuit intégré avec des cellules selon le premier mode de réalisation. Dans un souci de lisibilité, les cellules standards sont illustrées par leurs vues en coupe schématique au niveau des caissons.

La cellule standard A (Figure 4a) correspond à la cellule 2H illustrée à la
10 figure 2. La cellule standard FA (Figure 4b) correspond à une cellule de transition destinée à être placée à une extrémité longitudinale d'une cellule standard A pour la séparer d'une cellule standard B adjacente de la même rangée. La cellule standard A' (Figure 5a) est une version symétrique de la cellule standard A. Les cellules standards A et A' sont disposées dans des
15 rangées adjacentes afin de pouvoir partager des connectiques d'alimentation. La cellule standard FA' (Figure 5b) correspond à une cellule de transition destinée à être placée à une extrémité longitudinale d'une cellule standard A' pour la séparer d'une cellule standard B' adjacente de la même rangée. Les cellules de transition comportent des connexions de polarisation des plans de
20 masse des transistors des cellules standard.

La cellule standard B (Figure 6a) correspond à une cellule du type 2L décrite précédemment. La cellule standard FB (Figure 6b) correspond à une cellule de transition destinée à être placée à une extrémité longitudinale d'une cellule standard B pour la séparer d'une cellule standard A adjacente de la
25 même rangée. La cellule standard B' (Figure 7a) est une version symétrique de la cellule standard B et correspond à la cellule 2L illustrée à la figure 2. Les cellules standards B et B' sont disposées dans des rangées adjacentes afin de pouvoir partager des connectiques d'alimentation. La cellule standard FB' (Figure 7b) correspond à une cellule de transition destinée à être placée à une
30 extrémité longitudinale d'une cellule standard B' pour la séparer d'une cellule standard A' adjacente de la même rangée.

Une bibliothèque comprenant de telles cellules standards conformes à l'invention peut aisément être mise en oeuvre par une application de placement/routage afin de définir la topologie du circuit intégré. L'application de
35 placement/routage pourra ainsi utiliser ces cellules standards en faisant varier leur longueur (direction longitudinale de la rangée) lors de leur insertion dans la topologie du circuit intégré, ces cellules standards présentant une même largeur. Une application de placement/routage existante peut aisément être modifiée pour prendre en compte les règles de positionnement de ces nouvelles
40 cellules standards.

La figure 8 fournit un exemple de topologie d'un circuit intégré établie avec de telles cellules standards. Pour générer cette topologie, l'application de placement/routage va typiquement utiliser la largeur de ces cellules standards pour définir la largeur des rangées dans lesquelles ces cellules standards vont être disposées. Du fait des isolations obtenues par les caissons profondément enterrés de type N de ces cellules, des courants de court-circuit entre plans de masse sont évités à la fois entre des rangées adjacentes et entre des cellules adjacentes d'une même rangée. Ainsi, comme illustré à la figure 8, les cellules des différentes rangées ne sont pas nécessairement alignées en colonnes.

La figure 9 fournit un autre exemple de typologie d'un circuit intégré avec d'autres types de cellules standards. Les cellules standards présentent la même largeur que des cellules standards selon l'état de la technique. Les cellules standards A et B (ainsi que A' et B') incluent des transistors. Ces cellules standards sont isolées les unes des autres uniquement au niveau de leurs extrémités longitudinales, par l'intermédiaire de cellules de transition FAB et FBA (ou FAB' et FBA'). Une cellule standard A ou A' n'est ainsi pas séparée par un caisson enterré d'une cellule standard B ou B' d'une rangée adjacente. À cet effet, les cellules B et B' sont alignées en colonnes. De même, les cellules A et A' sont alignées en colonnes. Les cellules standards d'une même colonne présentent ainsi une même longueur. Ainsi, on évite un court-circuit entre plans de masse dopés P en utilisant simplement les cellules de transition FAB, FBA, FAB' et FBA'. Une telle topologie permet de réaliser un circuit intégré selon l'invention avec une surface de silicium sensiblement équivalente à celle d'un circuit intégré selon l'état de la technique.

La figure 10 illustre de façon schématique la disposition de cellules standards dans une topologie de circuit intégré. Des cellules de répétition Wt (pour Well Tap en langue anglaise) sont disposées à intervalles réguliers dans les rangées par l'application de placement/routage de façon connue en soi. L'application de placement/routage dispose des cellules standards A, A', B et B' entre ces cellules de répétitions Wt et intercale des cellules de transition FAB, FAB', FBA et FBA' entre des cellules standards A et B ou entre des cellules standards A' et B'.

Différents procédés de génération d'une topologie de circuits intégrés selon l'invention peuvent être envisagés, afin de définir la géométrie des masques utilisés durant le processus de fabrication. Les étapes préalables au placement/ routage sont connues en soi et ne seront pas davantage détaillées.

Selon une première variante, l'application de placement/routage peut de façon connue en soi définir un plan d'implantation (floorplan en langue anglaise), puis ajouter les rails d'alimentation. L'application de placement/routage peut alors positionner des cellules standards intégrant des bandes saillantes

transversalement 213L ou 213H, telles qu'illustrées aux figures 4a, 5a, 6a et 7a. L'application de placement/routage peut ensuite positionner des cellules de transition telles qu'illustrées aux figures 4b, 5b, 6b et 7b entre les cellules standard. L'application de placement/routage peut ensuite disposer les cellules
5 de répétition à intervalles réguliers. L'arbre d'horloge peut ensuite être réalisé, avant de définir le routage, puis un remplissage d'interstices entre cellules standards par des cellules de remplissage. Cette variante permet avantageusement à l'application de placement/routage de générer la topologie en utilisant des règles usuelles de positionnement de cellules standard.

10 Selon une deuxième variante, l'application de placement/routage peut définir un plan d'implantation, puis ajouter les rails d'alimentation. L'application de placement/routage peut alors positionner des cellules standards dépourvues de bandes 213L ou 213H (ou 313L, 313H) saillantes transversalement, telles que des cellules standards illustrées à la figure 9. L'application de
15 placement/routage peut ensuite positionner des cellules de transition correspondantes entre les cellules standard. L'application de placement/routage peut ensuite disposer les cellules de répétition à intervalles réguliers. L'arbre d'horloge peut ensuite être réalisé. Le routage peut ensuite être défini, suivi d'un remplissage d'interstices entre cellules standards par des cellules de
20 remplissage. L'application de placement/routage intercale ensuite deux bandes de séparation transversale dopées respectivement N et P entre certaines rangées adjacentes.

Cette variante permet avantageusement à l'application de placement/routage de placer au préalable des cellules standard selon l'invention
25 présentant une même largeur que des cellules standard selon l'état de la technique, avant de disposer des bandes de séparation transversale seulement lorsque cela est nécessaire.

Dans la plupart des cas, la zone du circuit intégré incluant des cellules de
30 différents types (c'est-à-dire présentant des caissons dopés P polarisés de façon distincte) présentera une proportion de cellules d'un premier type très majoritaire par rapport à la proportion de cellules d'un deuxième type.

Dans ce cas, l'application de placement/routage pourra par exemple
35 placer au préalable les cellules du deuxième type (minoritaires), puis placer l'ensemble des cellules du premier type (majoritaires). Le processus de placement pourra ainsi être accéléré, la plupart des cellules du premier type n'étant pas adjacentes à des cellules du deuxième type et ayant ainsi moins de contraintes de placement.

Bien entendu, l'application de placement/routage pourra également placer
40 au préalable les cellules du premier type, puis modifier le placement de ces cellules pour introduire les cellules minoritaires du deuxième type.

Dans la conception du circuit intégré, les cellules minoritaires pourront par exemple être sélectionnées lorsque des contraintes de temps localisées apparaissent durant la synthèse logique du circuit intégré.

5 Les exemples illustrés aux figures 12 à 15 visent d'autre part à faciliter l'intégration de différents composants, tout en bénéficiant d'une grande aptitude à moduler les tensions de seuil des différents composants. Afin de favoriser leur intégration, les composants dans chacun de ces modes de réalisation disposent de plans de masse ménagés dans des caissons respectifs à dopage d'un
10 premier type. Ce type de dopage est identique à celui du substrat semi-conducteur. Ces caissons sont séparés du substrat semi-conducteur par des caissons respectifs profondément enterrés à dopage d'un deuxième type, opposé au premier type. Les caissons à dopage du premier type sont séparés par un matériau isolant. Ainsi, au moins deux de ces composants peuvent
15 disposer de plans de masse présentant des polarisations distinctes, sans nécessiter une importante polarisation négative du substrat semi-conducteur en vue d'éviter des jonctions p-n conductrices en direct.

De plus, ces exemples sont particulièrement adaptés aux procédés de génération de topologie largement répandus pour la technologie Bulk. Dans ces
20 exemples, on peut notamment utiliser les mêmes bibliothèques de cellules standard que pour la technologie Bulk. Au moment de la génération des masques, il suffit de réaliser des changements mineurs pour convertir les masques Bulk en des masques adaptés pour la technologie FDSOI.

25 La figure 12 illustre un circuit intégré 4 incluant d'une part une zone 4A comportant des cellules mémoires de type SRAM et d'autre part une zone 4B comportant des portes logiques. La zone 4A comporte notamment des transistors comportant chacun un empilement de grille 451 (correspondant à un pMOS), 452 ou 453 (correspondant à des nMOS). La zone 4B comporte
30 notamment des transistors comportant chacun un empilement de grille 454, 455 (correspondant à des nMOS), 456 ou 457 (correspondant à des pMOS). Les transistors des zones 4A et 4B sont ménagés à l'aplomb d'une couche isolante enterrée ultra-mince 441. Les empilements de grille 451 à 457 sont ménagés à l'aplomb de plans de masse respectifs 431 à 437. Dans cet exemple, les plans
35 de masse 431 à 434 et 436 comportent un dopage de type P et les plans de masse 435 et 437 comportent un dopage de type N. Les plans de masse 431 à 437 sont ménagés sur des caissons respectifs 421 à 427.

Les caissons 421 à 427 comportent un dopage d'un même type, en l'occurrence de type P. Les caissons 421 à 423 sont ménagés sur un caisson
40 profondément enterré 411 de type opposé aux caissons 421 à 423, en l'occurrence de type N. Les caissons 424 à 427 sont ménagés sur un caisson

profondément enterré 412 de type opposé aux caissons 424 à 427, en l'occurrence de type N. Les caissons 411 et 412 sont ménagés dans le substrat semi-conducteur 401 de même type que les caissons 421 à 427, c'est-à-dire de type P. Les caissons 411 et 412 sont séparés l'un de l'autre par le substrat semi-conducteur 401. Les caissons profondément enterrés 411 et 412 peuvent ainsi être polarisés de façon distincte. Les plans de masse de la zone 4A peuvent par exemple être polarisés à des tensions différentes des plans de masse de la zone 4B.

Une jonction de type N s'étend entre un plot de contact et le caisson profondément enterré 411. Cette jonction est ménagée entre deux tranchées d'isolation 461 et 462. Le plan de masse 431 et le caisson 421 sont ménagés entre des tranchées d'isolation 462 et 463 qui s'étendent depuis la couche d'isolation 441 jusqu'au caisson profondément enterré 411. Les plans de masse 432 et 433, ainsi que les caissons 422 et 423 sont ménagés entre la tranchée d'isolation 463 et la tranchée d'isolation 464 qui s'étend depuis la couche d'isolation 441 jusqu'au caisson profondément enterré 411. La polarisation du plan de masse 431 et du caisson 421 d'une part, et des plans de masse 432,433 et des caissons 422,423 d'autre part peut ainsi être dissociée.

Une jonction de type N s'étend entre un plot de contact et le caisson profondément enterré 412. Cette jonction est ménagée entre deux tranchées d'isolation 467 et 468. Les plans de masse 436 et 437 et les caissons 426 et 427 sont ménagés entre la tranchée d'isolation 467 et une tranchée d'isolation 466 qui s'étend depuis la couche d'isolation 441 jusqu'au caisson profondément enterré 412. Les plans de masse 434 et 435 et les caissons 424 et 425 sont ménagés entre la tranchée d'isolation 466 et une tranchée d'isolation 465 qui s'étend depuis la couche d'isolation 441 jusqu'au caisson profondément enterré 412. La polarisation des plans de masse 436, 437 et des caissons 426,427 d'une part et des plans de masse 434,435 et des caissons 424,425 d'autre part peut ainsi être dissociée.

Les empilements 452 et 453 sont séparés par une tranchée d'isolation 471 s'étendant jusqu'aux plans de masse 432 et 433. Les plans de masse 432 et 433 peuvent ainsi partager une même polarisation. Les empilements 454 et 455 sont séparés par une tranchée d'isolation 472 s'étendant jusqu'aux plans de masse 434 et 435. Les plans de masse 434 et 435 peuvent ainsi partager une même polarisation. Les empilements 456 et 457 sont séparés par une tranchée d'isolation 473 s'étendant jusqu'aux plans de masse 436 et 437. Les plans de masse 436 et 437 peuvent ainsi partager une même polarisation.

Le caisson profondément enterré 411 est polarisé à une tension V_{dds1} par l'intermédiaire d'une jonction de type N et d'un plot de contact. Le caisson profondément enterré 412 est polarisé à une tension V_{dds2} par l'intermédiaire d'une jonction de type N et d'un plot de contact. Le plan de masse 434 (et donc

le plan de masse 435) est polarisé à une tension V_b par l'intermédiaire d'un plot de contact. La polarisation des plans de masse 431 à 433 et 436, 437 n'est pas illustrée mais peut-être distincte de la polarisation V_b .

Avec un tel circuit intégré 4 :

5 -l'ensemble des transistors sont réalisés à l'aplomb de caissons d'un même type (P), ce qui facilite le processus de fabrication ;

-du fait de l'utilisation de tranchées d'isolation profondes (qui s'étendent jusqu'aux caissons profondément enterrés) des polarisations distinctes peuvent être appliquées sur certains plans de masse adjacents, typiquement pour des
10 transistors de types différents ;

-du fait de l'utilisation de tranchées d'isolation peu profondes (qui s'étendent seulement jusqu'aux plan de masse) des polarisations identiques peuvent être appliquées sur certains plans de masse adjacents par l'intermédiaire d'un plot de contact commun, typiquement pour des transistors
15 de même type ;

-du fait de l'utilisation des caissons profondément enterrés 411 et 412, il n'est pas nécessaire d'appliquer une tension fortement négative sur le substrat 401 pour éviter des jonctions conductrices en direct. Il est suffisant de s'assurer que la tension appliquée sur les caissons profondément enterrés 411 et 412 est
20 supérieure à la tension maximale pouvant être appliquée sur les différents plans de masse. Une polarisation à la masse s'avère par exemple possible, et ce pour l'ensemble du circuit intégré 4 (ce qui rend la conception du circuit encore plus proche d'une conception de type Bulk) ;

-les deux types de tranchées d'isolation distincts peuvent être obtenus au
25 moyen de seulement deux masques de gravure ;

-l'isolation entre les caissons profondément enterrés 411 et 412 permet d'appliquer des polarisations différentes sur ceux-ci, afin de mieux isoler les cellules mémoires des portes logiques.

Avec des valeurs suffisamment élevées des tensions de polarisation
30 V_{dd1} et V_{dd2} , on dispose d'une grande plage possible de variations des tensions de polarisation des plans de masse 431 à 437.

La figure 13 illustre un circuit intégré 4 selon une variante du circuit intégré de la figure 12. Cette variante diffère de la précédente par les
35 caractéristiques suivantes :

-les tranchées d'isolation 461 à 468 s'étendent en profondeur jusqu'aux caissons 421 à 427, sans atteindre les caissons profondément enterrés 411 et 412 ;

-le caisson 421 et le caisson 422 sont séparés latéralement par une
40 bande de semi-conducteur de type N. Le caisson 425 et le caisson 426 sont séparés latéralement par une bande de semi-conducteur de type N. Le caisson

423 et le caisson 424 sont séparés latéralement du substrat 401 par l'intermédiaire de bandes de semi-conducteurs respectives de type N.

Les bandes de semi-conducteurs de type N assurant une séparation latérale sont typiquement des résidus de l'étape d'implantation des caissons profondément enterrés 411 et 412, ce qui permet d'éviter l'utilisation de masques de gravures spécifiques. Ces bandes de séparations latérales présentent une largeur suffisante pour éviter la formation de courts-circuits intempestifs.

10 Pour les exemples des figures 12 et 13, le procédé de génération automatisé de la topologie des masques de gravure peut être le suivant : on réalise initialement un modèle de synthèse logique du circuit intégré 4 à partir d'une bibliothèque de cellules standard de la technologie Bulk. Les rangées de transistors adjacentes comportent alors une alternance de caissons de type N et
15 de caissons de type P. Le modèle de synthèse logique est ensuite transformé pour intégrer une couche isolante ultra-fine enterrée et des plans de masse. Des tranchées d'isolation peu profondes sont placées longitudinalement entre les transistors d'une même rangée. Des tranchées d'isolation profondes sont alors disposées entre les rangées à caisson de type N et les rangées à caisson de
20 type P. Les caissons de type N sont ensuite systématiquement remplacés par des caissons de type P. Ces variantes peuvent ainsi être conçues avec des outils de conception connus en technologie Bulk, en utilisant des algorithmes de conversion particulièrement simples.

25 La figure 14 illustre un circuit intégré 4 selon encore une variante du circuit intégré de la figure 12. Cette variante diffère de celle de la figure 12 par les caractéristiques suivantes :

-les tranchées d'isolation 461 à 468 s'étendent en profondeur jusqu'aux caissons 421 à 427, sans atteindre les caissons profondément enterrés 411 et
30 412 ;

-les tranchées d'isolation 471 à 473 s'étendent en profondeur jusqu'aux caissons 421 à 427, sans atteindre les caissons profondément enterrés 411 et 412 ;

-le caisson 421 et le caisson 422 sont séparés latéralement par une
35 bande de semi-conducteur de type N. Le caisson 425 et le caisson 426 sont séparés latéralement par une bande de semi-conducteur de type N. Le caisson 423 et le caisson 424 sont séparés latéralement du substrat 401 par l'intermédiaire de bandes de semi-conducteurs respectives de type N.

Les bandes de semi-conducteurs de type N assurant une séparation
40 latérale sont typiquement des résidus de l'étape d'implantation des caissons profondément enterrés 411 et 412, ce qui permet d'éviter l'utilisation de

masques de gravures spécifiques. Ces bandes de séparations latérales présentent une largeur suffisante pour éviter la formation de courts-circuits intempestifs.

5 Pour l'exemple de la figure 14, le procédé de génération automatisé de la topologie des masques de gravure peut être le suivant : on réalise initialement un modèle de synthèse logique du circuit intégré 4 à partir d'une bibliothèque de cellules standard de la technologie Bulk. Les rangées de transistors adjacentes comportent alors une alternance de caissons de type N et de caissons de type
10 P. Le modèle de synthèse logique est ensuite transformé pour intégrer une couche isolante ultra-fine enterrée et des plans de masse. Des tranchées d'isolation profondes sont placées longitudinalement entre les transistors d'une même rangée. Des tranchées d'isolation profondes sont ensuite disposées entre les rangées à caisson de type N et les rangées à caisson de type P. Les
15 caissons de type N sont ensuite systématiquement remplacés par des caissons de type P.

La figure 15 illustre un circuit intégré 4 selon une autre variante du circuit intégré de la figure 12. Cette variante diffère de celle de la figure 12 par les
20 caractéristiques suivantes :

-les tranchées d'isolation 461 à 468 s'étendent en profondeur jusqu'aux plans de masse 431 à 437, sans atteindre les caissons 421 à 427 ;

-le caisson 421 et le plan de masse 431 sont séparés latéralement du caisson 422 et du plan de masse 432 par une bande 481 de semi-conducteur
25 de type N. Le caisson 425 et le plan de masse 435 sont séparés latéralement du caisson 426 et du plan de masse 436 par une bande 484 de semi-conducteur de type N.

-le caisson 423 et le plan de masse 433 sont séparés latéralement du substrat 401 par l'intermédiaire d'une bande 482 semi-conductrice de type N. Le
30 caisson 424 et le plan de masse 434 sont séparés latéralement du substrat 401 par l'intermédiaire d'une bande 483 semi-conductrice de type N ;

-le plan de masse 435 est séparé latéralement de la bande 484 par l'intermédiaire d'une bande latérale 491 de type P (réalisée dans la même
couche que le plan de masse 434). Le plan de masse 437 est séparé
35 latéralement de la jonction 414 par l'intermédiaire d'une bande latérale 492 de type P (réalisée dans la même couche que le plan de masse 436).

Les bandes de séparations latérales 481, 484, 491 et 492 présentent une largeur suffisante pour éviter la formation de courts-circuits intempestifs.

40 Pour l'exemple de la figure 15, le procédé de génération automatisé de la topologie des masques de gravure peut être le suivant : on réalise initialement

un modèle de synthèse logique du circuit intégré 4 à partir d'une bibliothèque de cellules standard de la technologie Bulk. Les rangées de transistors adjacentes comportent alors une alternance de caissons de type N et de caissons de type P. Le modèle de synthèse logique est ensuite transformé pour intégrer une

5 couche isolante ultra-fine enterrée et des plans de masse. Des tranchées d'isolation peu profondes sont placées longitudinalement entre les transistors d'une même rangée et des tranchées d'isolation peu profondes sont disposées entre les rangées à caisson de type N et les rangées à caisson de type P. On place des séparateurs latéraux dopés N pour chaque rangée. On place un

10 séparateur latéral de type P pour chaque plan de masse dopé N. Les caissons de type N sont ensuite systématiquement remplacés par des caissons de type P.

Dans les exemples des figures 12 à 15, avec une polarisation des

15 caissons profondément enterrés à une tension V_{dds} , on peut moduler les tensions de polarisation des plans de masse des transistors de la façon suivante :

Pour un nMOS :

-en polarisation FBB, V_b est supérieur à 0. On polarise le plan de masse

20 à $V_b=0 +\Delta V$, avec $\Delta V \leq V_{dds}$;

-en polarisation RBB, V_b est inférieur à 0. On polarise le plan de masse à $V_b=0 -\Delta V$, avec $\Delta V \leq |V_{bd}|-V_{dds}$, V_{bd} étant la tension de claquage en inverse de la jonction p-n ;

Pour un pMOS :

-en polarisation FBB, V_b est inférieur à V_{dd} . On polarise le plan de

25 masse à $V_b=V_{dd} -\Delta V$, avec $\Delta V \leq |V_{bd}|-V_{dds} +V_{dd}$;

-en polarisation RBB, V_b est supérieur à V_{dd} . On polarise le plan de masse à $V_b=V_{dd} +\Delta V$, avec $\Delta V \leq V_{dds}-V_{dd}$.

30 La figure 16 illustre schématiquement une vue en coupe de dessus d'un circuit intégré 4 au niveau des caissons, ce circuit intégré étant réalisé selon la variante illustrée à la figure 12. Dans cet exemple, le circuit intégré 4 comporte une première zone 4A de cellules mémoire, une première zone 4B de portes logiques, une deuxième zone 4C de cellules mémoire et une deuxième zone 4D

35 de portes logiques.

Le substrat 401 est polarisé à la masse. Les caissons profondément enterrés des zones 4A à 4D sont polarisés respectivement à V_{dds1} , V_{dds2} , V_{dds3} et V_{dds4} .

40 La figure 17 est une vue en coupe schématique de la zone 4D au niveau des caissons. On distingue une zone 42 dopée P et formant les caissons de rangées r_1 à r_6 de transistors. On distingue les jonctions 414 à dopage N et

destinées à polariser un caisson profondément enterré à dopage de type N. On distingue une zone 46 formant des tranchées d'isolation profonde, isolant les jonctions 414 du substrat 401 et isolant les rangées de transistors adjacentes jusqu'au caisson profondément enterré. Chaque rangée contient des transistors d'un même type, isolés par des tranchées d'isolation peu profondes. Les rangées adjacentes forment une alternance de transistors nMOS et pMOS. Les plots de contact 415 avec les plans de masse, bien que présents à un niveau supérieur, sont illustrés en pointillés sur cette figure dans un souci de compréhension.

La figure 18 est une vue en coupe schématique de la zone 4B au niveau des caissons. On distingue une zone 42 dopée P et formant les caissons de rangées r1 à r6 de transistors. On distingue les jonctions 414 à dopage N et destinées à polariser un caisson profondément enterré à dopage de type N. On distingue une zone 46 formant des tranchées d'isolation profonde, isolant les jonctions 414 du substrat 401 et isolant les rangées de transistors adjacentes jusqu'au caisson profondément enterré.

Chaque rangée contient des transistors d'un même type, isolés par des tranchées d'isolation peu profondes. Les rangées adjacentes forment une alternance de transistors nMOS et pMOS.

Dans les rangées adjacentes r2 et r3, des transistors sont isolés du reste des transistors. Ces transistors comportent notamment des caissons 428 et 429 dopés P et séparés du reste de la zone 42 dopée P par l'intermédiaire de la zone 46 de tranchée d'isolation profonde. Ces caissons 428 et 429 comportent une polarisation spécifique, distincte de celle de la zone 42. Les caissons 428 et 429 sont ainsi polarisés par l'intermédiaire de plots de contact 416. Ainsi, des transistors à tensions de seuil spécifiques peuvent être réalisés à l'aplomb des caissons 428 et 429.

Pour la zone 4B de l'exemple de la figure 18, le procédé de génération automatisé de la topologie des masques de gravure peut être le suivant : on réalise initialement un modèle de synthèse logique du circuit intégré 4 à partir d'une bibliothèque de cellules standard de la technologie Bulk. Les rangées de transistors adjacentes comportent alors une alternance de caissons de type N et de caissons de type P. Le modèle de synthèse logique est ensuite transformé pour intégrer une couche isolante ultra-fine enterrée et des plans de masse.

Des tranchées d'isolation peu profondes sont placées longitudinalement entre les transistors d'une même rangée. Des tranchées d'isolation profondes sont alors disposées entre les rangées à caisson de type N et les rangées à caisson de type P. Des tranchées d'isolation profondes sont ensuite disposées autour des zones spécifiques (définies par les caissons 428 et 429). Les caissons de type N sont ensuite systématiquement remplacés par des caissons de type P.

Les structures illustrées aux figures 12 à 15 sont avantageusement mises en œuvre pour des cellules mémoires SRAM. Ces structures permettent en effet d'assurer une polarisation différente des plans de masse des différents transistors de la cellule mémoire.

Pour l'exemple d'une cellule mémoire SRAM de type 6T telle qu'illustrée à la figure 19 :

-en mode lecture, on cherche à augmenter la tension de seuil des transistors nMOS et à abaisser la tension de seuil des transistors pMOS. A cet effet, on peut réaliser une polarisation V_{Bn} de type RBB sur les plans de masse des transistors nMOS de la cellule, en passant d'une polarisation à la masse à une polarisation à $-V_{dd}$. On réalise une polarisation V_{Bp} de type FBB sur les plans de masse des transistors pMOS de la cellule, en passant d'une polarisation à V_{dd} à une polarisation à la masse ;

-en mode lecture, on cherche à augmenter la tension de seuil des transistors pMOS et à abaisser la tension de seuil des transistors nMOS. A cet effet, on peut réaliser une polarisation V_{Bn} de type FBB sur les plans de masse des transistors nMOS de la cellule, en passant d'une polarisation à la masse à une polarisation à $+V_{dd}$. On réalise une polarisation V_{Bp} de type RBB sur les plans de masse des transistors pMOS de la cellule, en passant d'une polarisation à V_{dd} à une polarisation à $2*V_{dd}$.

Bien que l'invention ait été décrite avec des transistors à métaux de grille présentant des travaux de sortie identiques, les tensions de seuil de ces transistors peuvent également être modifiées en formant des grilles avec des métaux présentant des travaux de sortie distincts.

Bien que les différentes couches illustrées dans les exemples (plans de masse, caissons, caissons profondément implantés) sont illustrées comme nettement dissociées des zones présentant de mêmes types de dopage dans des couches distinctes peuvent bien entendu provenir d'une même étape du processus de fabrication, dans la mesure où le processus de fabrication permet notamment de réaliser des couches présentant des caractéristiques distinctives. Entre autres, le procédé doit permettre de réaliser les plans de masse présentant, sur une épaisseur donnée, une concentration en éléments dopants suffisamment élevée pour permettre d'avoir un effet sur la tension de seuil des transistors disposés à l'aplomb. Habituellement, la concentration du dopage dans les plans de masse est supérieure à la concentration du dopage dans les caissons, par exemple au moins cinq fois supérieure.

Dans les exemples décrits, les cellules adjacentes sont respectivement du type NMOS et PMOS. On peut également envisager l'application de l'invention à des cellules adjacentes de type NMOS, ou à des cellules adjacentes de type PMOS.

REVENDICATIONS

1. Circuit intégré (2) comprenant un empilement d'un substrat semi-conducteur (201) d'un premier type de dopage (P), d'une couche isolante enterrée (203) de type UTBOX et d'une couche semi-conductrice, et comprenant :
 - des premier et deuxième composants électroniques formés dans et/ou sur ladite couche semi-conductrice ;
 - des premier et deuxième plans de masse disposés sous la couche isolante enterrée à l'aplomb respectivement des premier et deuxième composants électroniques ;
 - des premier et deuxième caissons du premier type de dopage disposés respectivement sous les premier et deuxième plans de masse ;Caractérisé en ce que les premier et deuxième caissons sont séparés du substrat semi-conducteur par un caisson profond d'un second type de dopage ;
Et caractérisé en ce que les premier et deuxième caissons sont séparés l'un de l'autre par un caisson latéral présentant le deuxième type de dopage et/ou par un bloc constitué d'un matériau isolant ;
Et caractérisé en ce qu'il comprend un circuit de polarisation permettant d'appliquer des tensions distinctes aux premier et deuxième caissons par l'intermédiaire desdits premier et deuxième caissons.
2. Circuit intégré selon la revendication 1, dans lequel les premier et deuxième caissons sont séparés l'un de l'autre par un bloc constitué d'un matériau isolant.
3. Circuit intégré selon la revendication 2, dans lequel ledit bloc s'étend jusqu'au caisson profondément enterré.
4. Circuit intégré selon la revendication 2, dans lequel ledit bloc s'étend jusqu'aux premier et deuxième caissons mais pas jusqu'au caisson profondément enterré, et dans lequel ledit bloc surplombe le caisson latéral présentant le deuxième type de dopage et séparant les premier et deuxième caissons.
5. Circuit intégré selon la revendication 1, dans lequel les premier et deuxième caissons sont séparés l'un de l'autre par un caisson latéral présentant le deuxième type de dopage.
6. Circuit intégré selon la revendication 5, dans lequel un bloc de matériau isolant sépare les premier et deuxième composants électroniques au niveau de la couche semi-conductrice, ledit bloc de matériau isolant étant formé à

l'aplomb dudit caisson latéral, le caisson latéral s'étendant de la couche isolante enterrée jusqu'au caisson profondément enterré.

- 5 7. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel ledit premier composant électronique est un premier transistor de type FDSOI et dans lequel ledit deuxième composant électronique est un deuxième transistor de type FDSOI, un parmi le premier ou le deuxième transistor étant de type nMOS, l'autre parmi le premier ou le deuxième transistor étant de type pMOS.
- 10 8. Circuit intégré selon la revendication 7, comprenant :
-un troisième transistor formé dans et/ou sur ladite couche semi-conductrice et du même type que le deuxième transistor ;
-un troisième plan de masse disposé sous la couche isolante enterrée à
15 l'aplomb du troisième composant électronique ;
-un troisième caisson du premier type de dopage disposé sous le troisième plan de masse dans la continuité du deuxième caisson.
- 20 9. Circuit intégré selon la revendication 8, dans lequel le troisième plan de masse est d'un type opposé au deuxième plan de masse.
10. Circuit intégré selon la revendication 8, dans lequel le troisième plan de masse est du même type que le deuxième plan de masse.
- 25 11. Circuit intégré selon la revendication 9 ou 10, dans lequel un bloc de matériau isolant sépare les deuxième et troisième transistors au niveau de la couche semi-conductrice.
- 30 12. Circuit intégré selon la revendication 11, dans lequel ledit bloc de matériau isolant n'atteint pas les deuxième et troisième caissons.
- 35 13. Circuit intégré selon les revendications 5 et 12, dans lequel le premier plan de masse présente le deuxième type de dopage et est séparé de la bande latérale par une bande latérale additionnelle présentant le premier type de dopage.
- 40 14. Circuit intégré selon la revendication 11, dans lequel ledit bloc de matériau isolant atteint les deuxième et troisième caissons mais n'atteint pas le caisson profondément enterré.

15. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel les premier et deuxième composants électroniques sont des premier et deuxième transistors appartenant à une cellule mémoire SRAM.
- 5 16. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel la couche isolante enterrée (203) présente une épaisseur inférieure à 50nm et dans lequel la largeur de la grille desdits transistors est inférieure à 50nm.

Fig. 1a

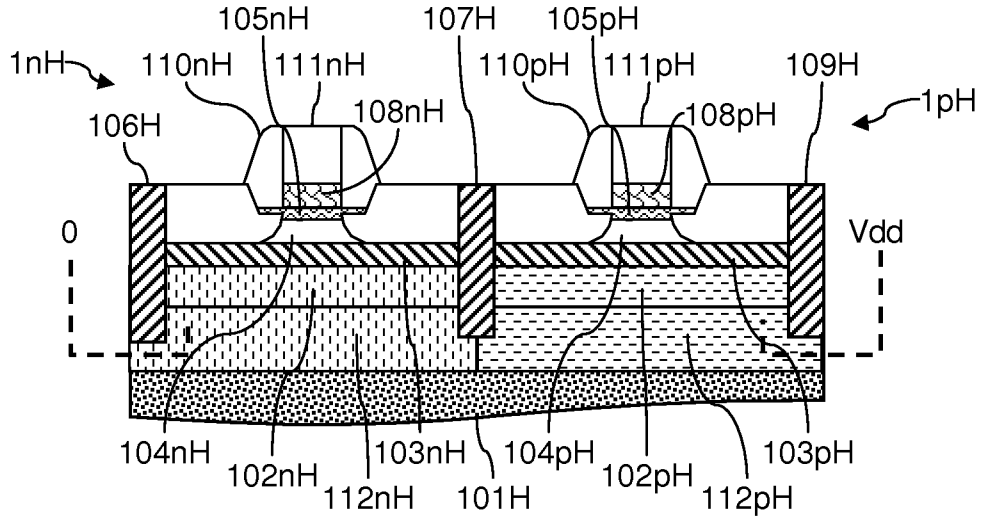


Fig. 1b

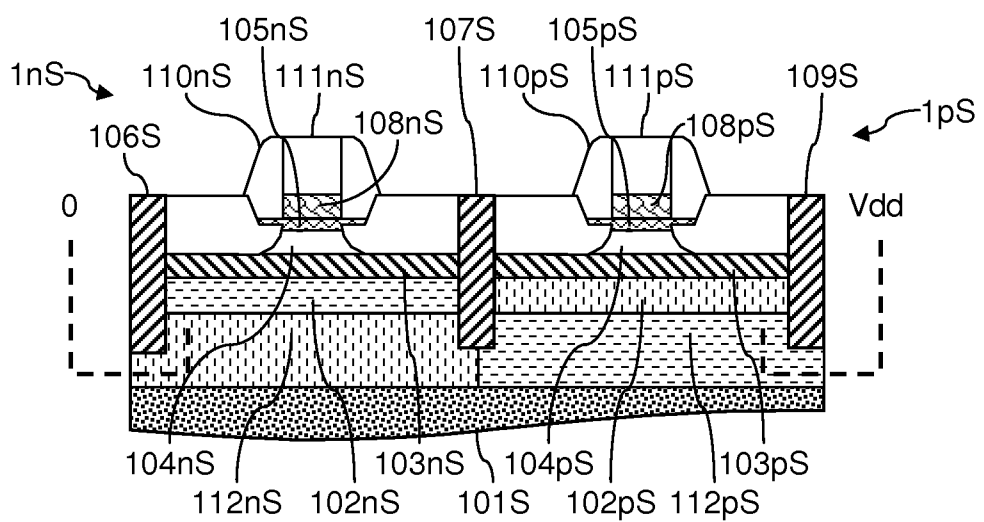


Fig. 1c

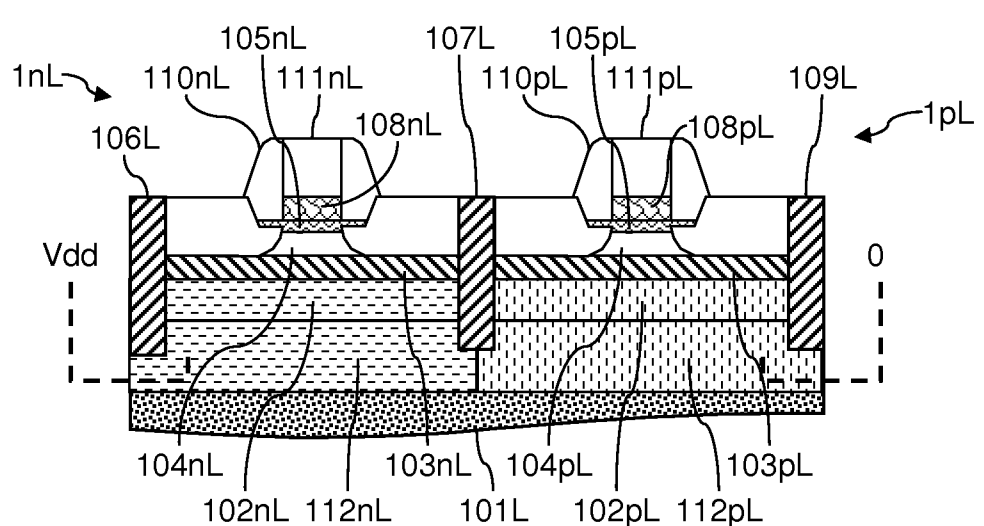


Fig. 2

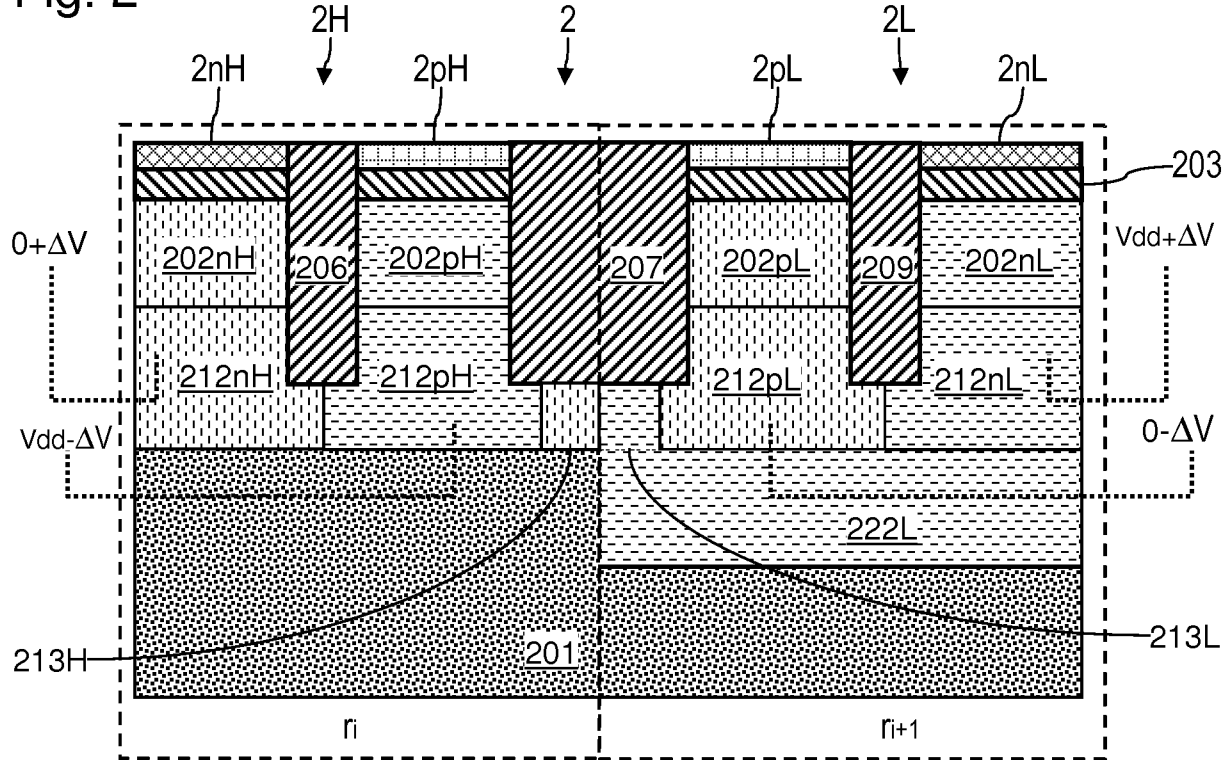
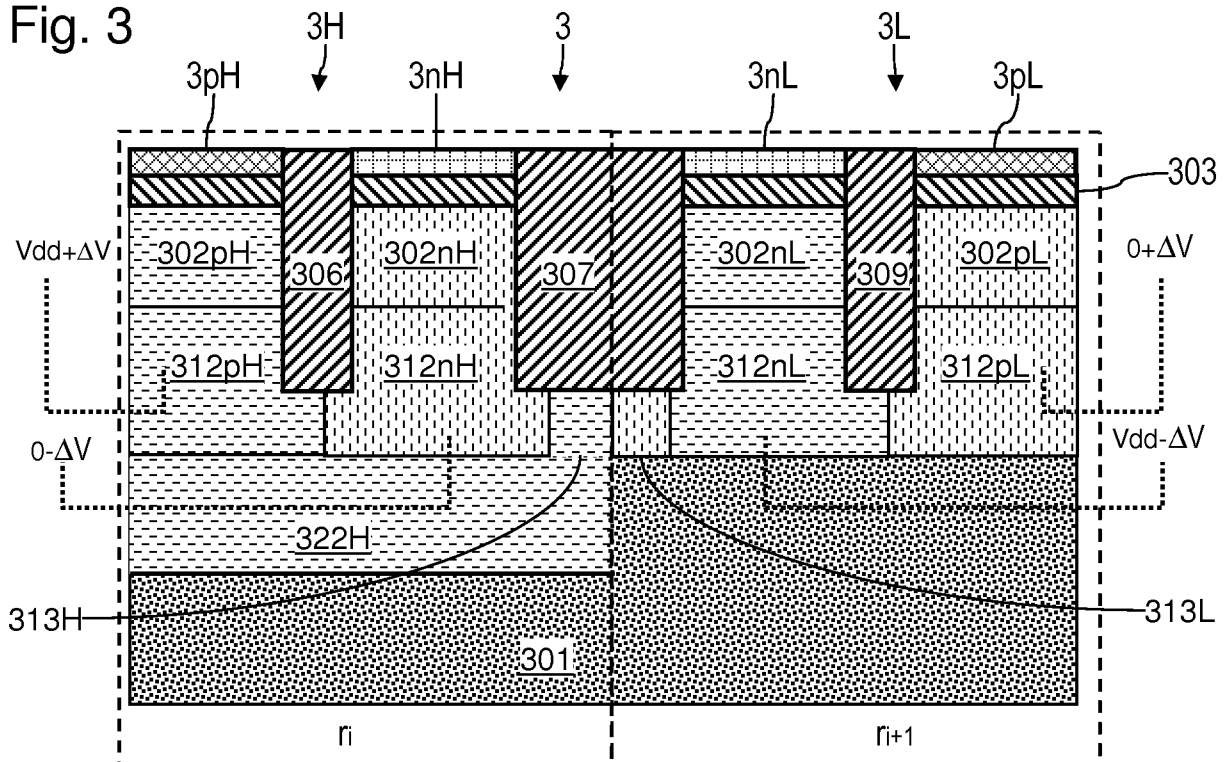


Fig. 3



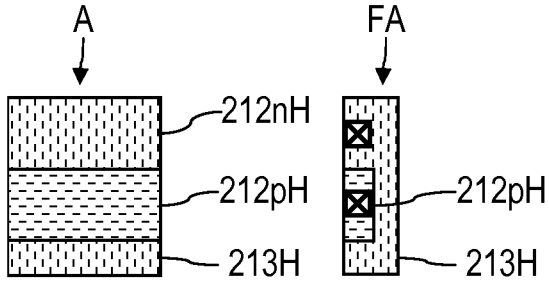


Fig. 4a

Fig. 4b

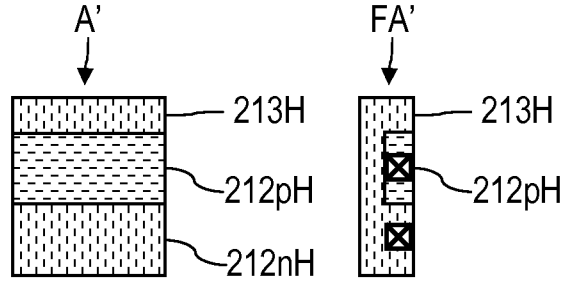


Fig. 5a

Fig. 5b

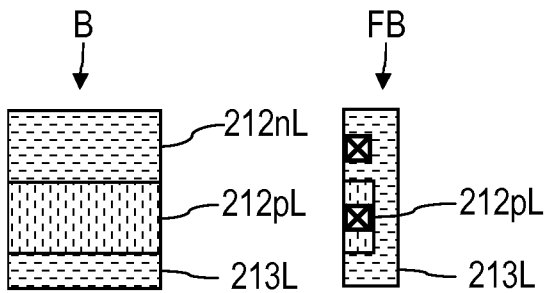


Fig. 6a

Fig. 6b

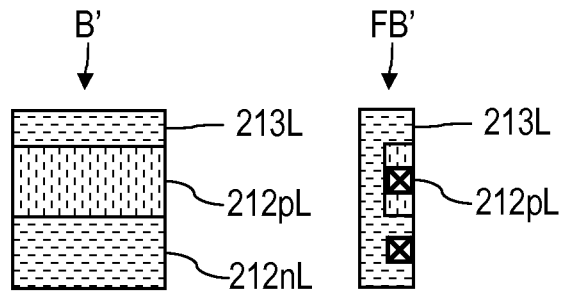


Fig. 7a

Fig. 7b

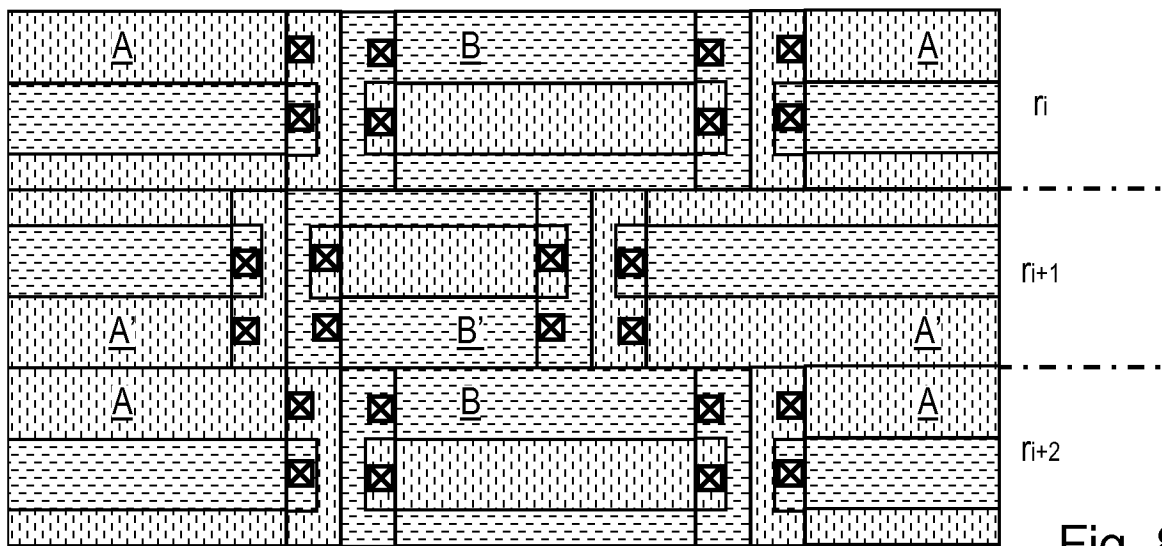


Fig. 8

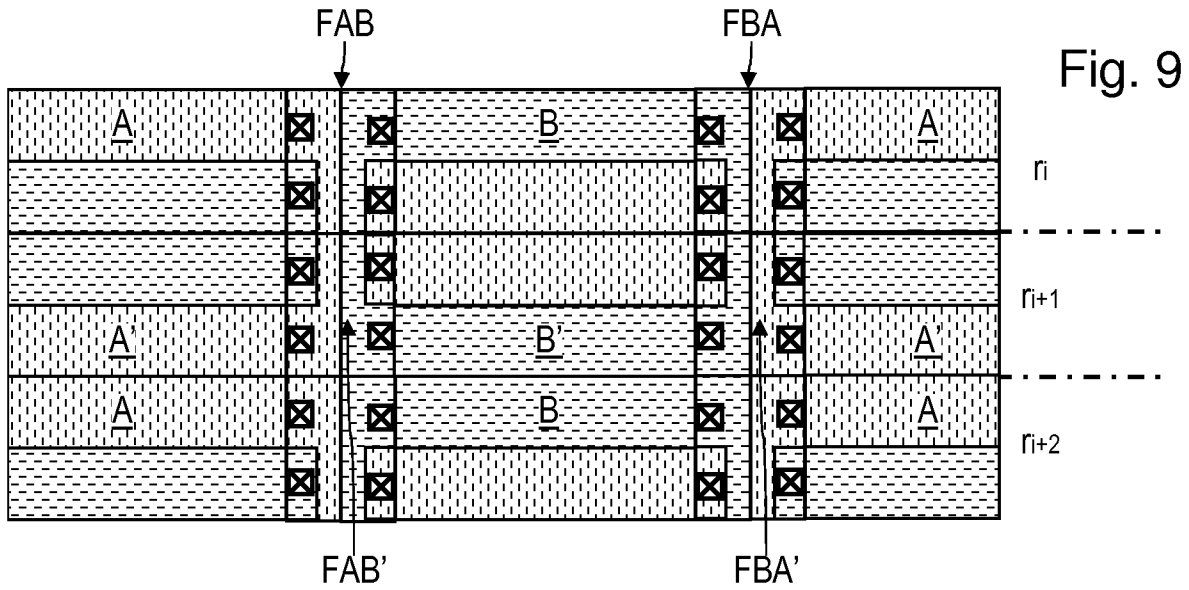


Fig. 9

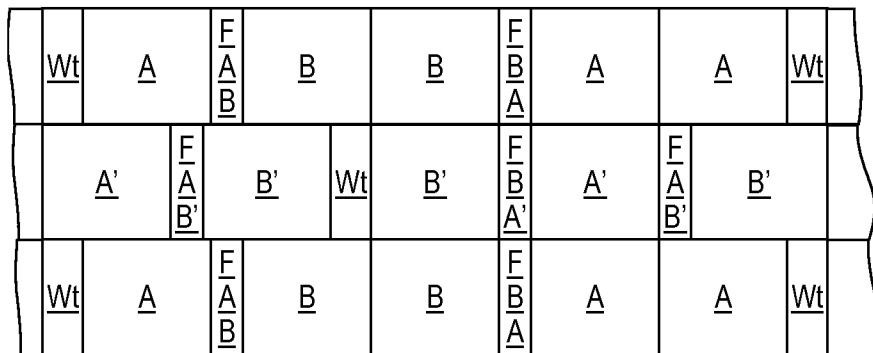


Fig. 10

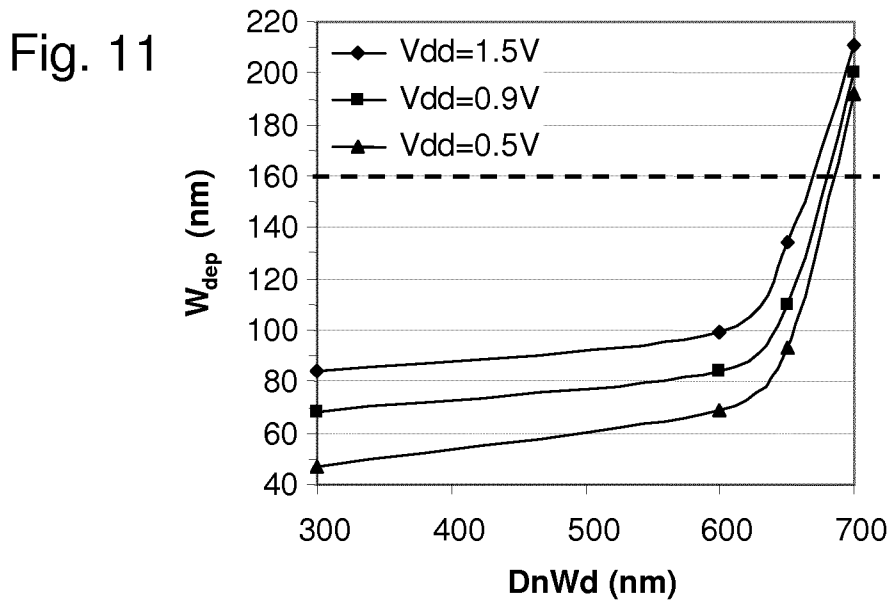


Fig. 11

Fig. 12

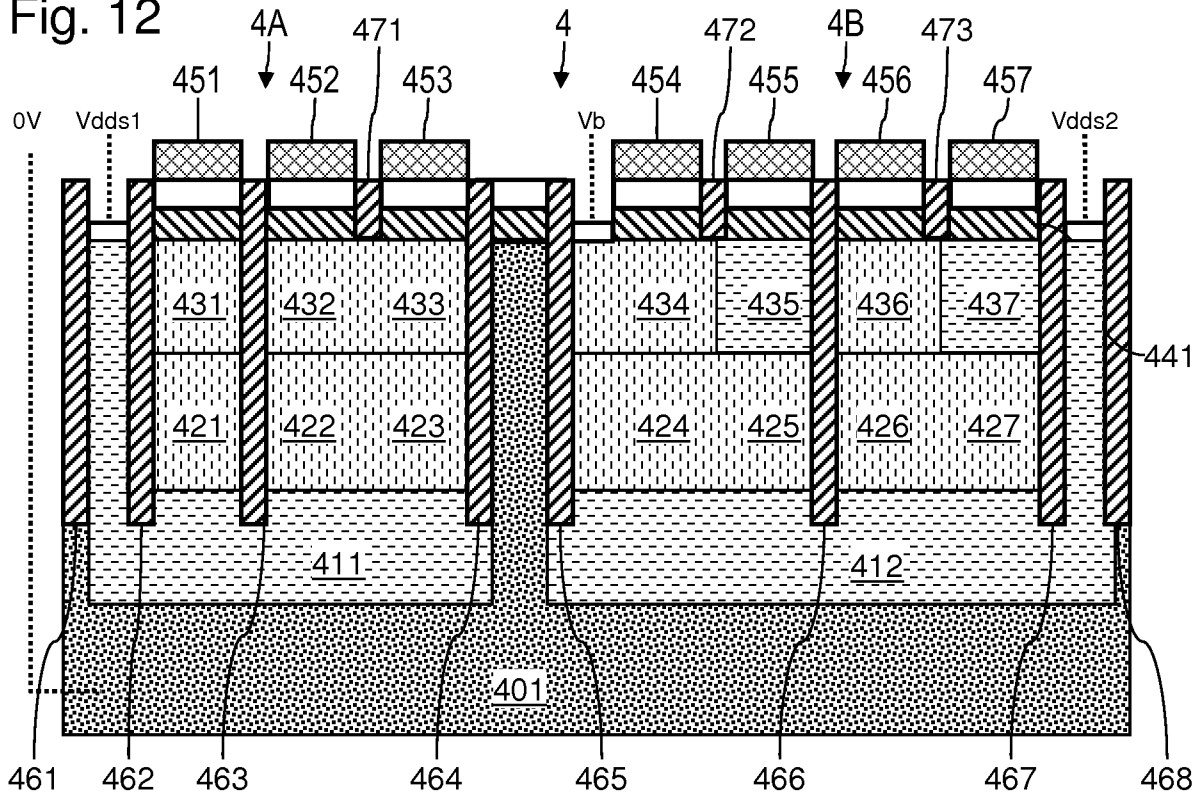


Fig. 13

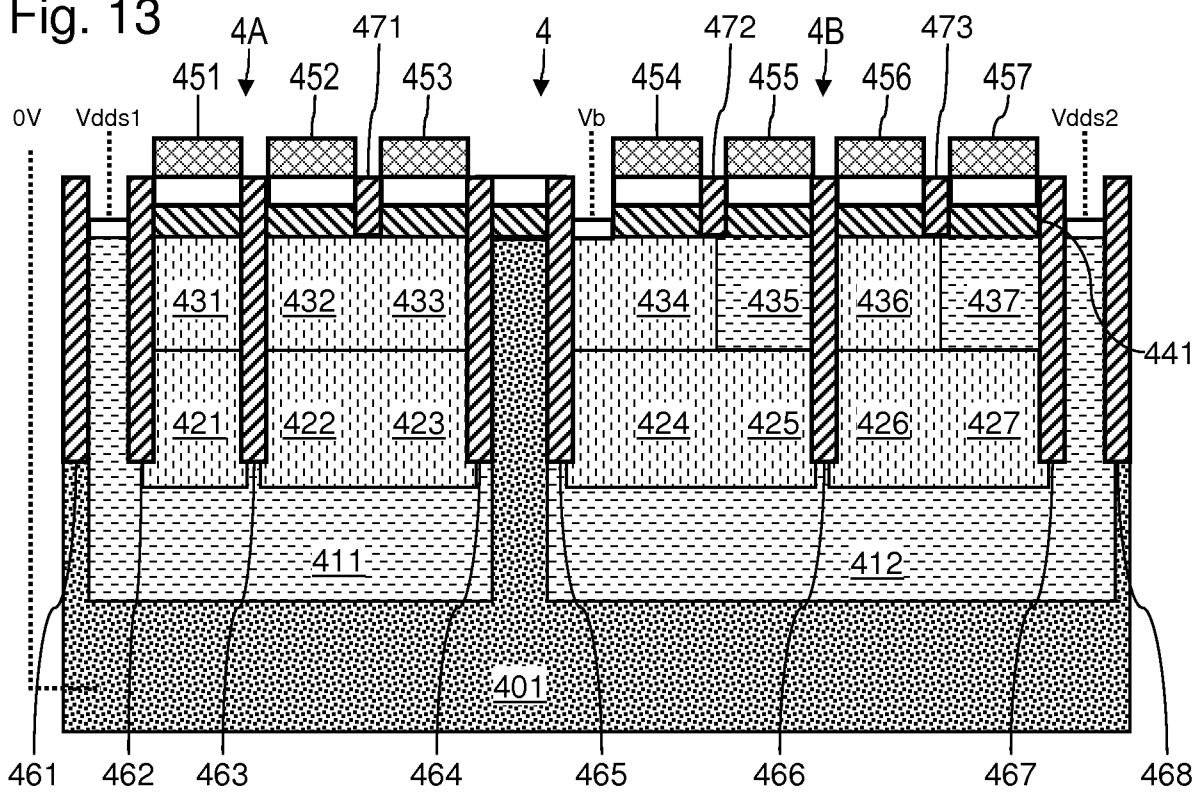


Fig. 14

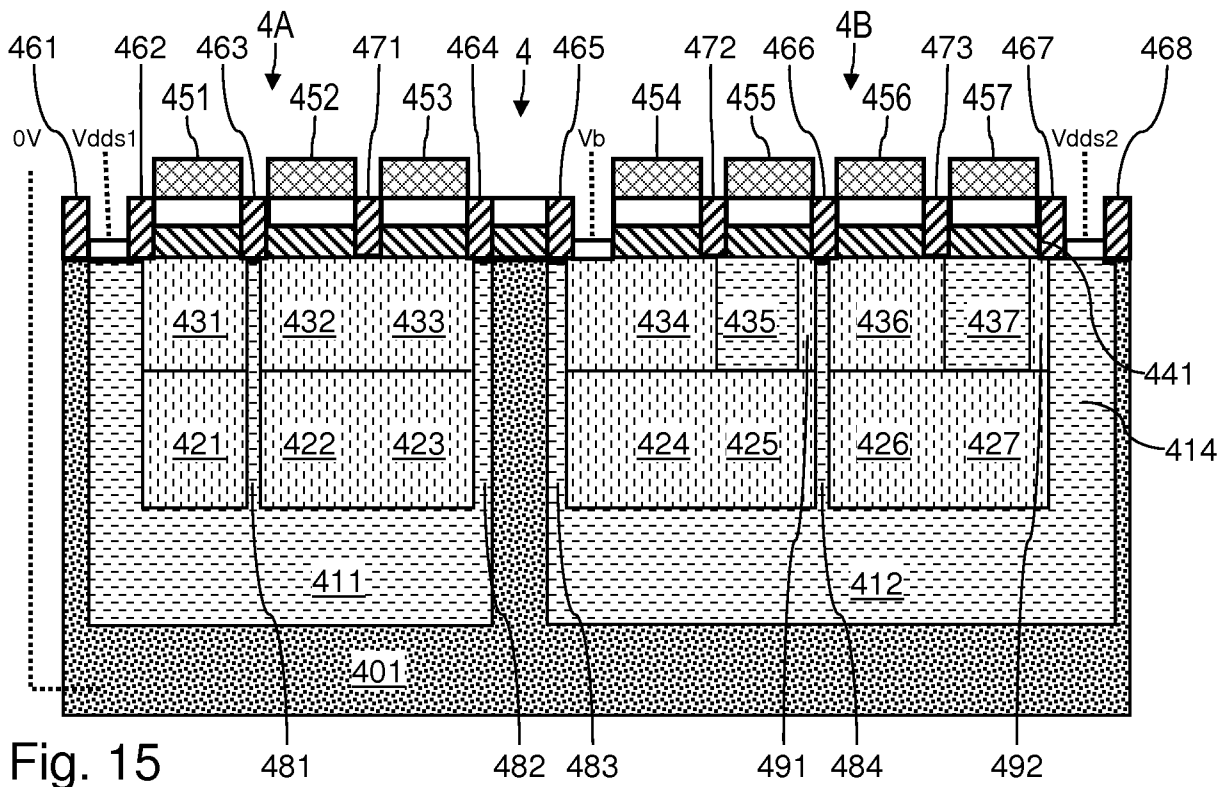
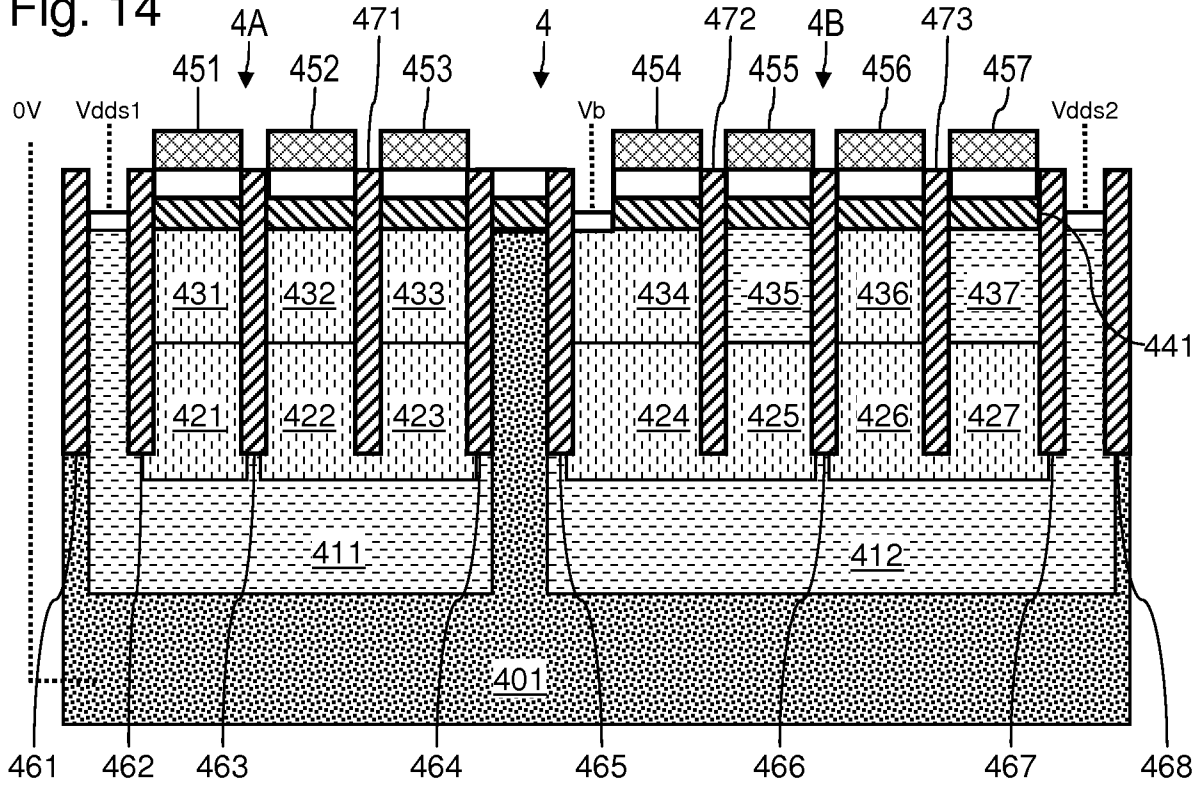


Fig. 15

Fig. 16

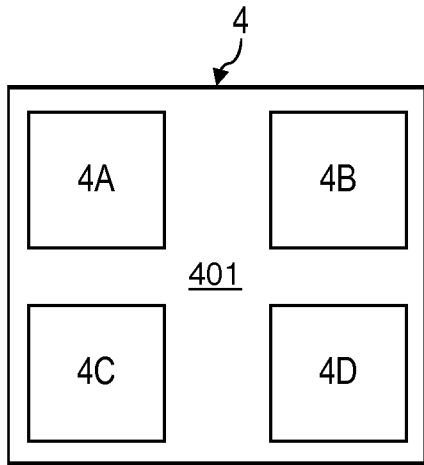


Fig. 17

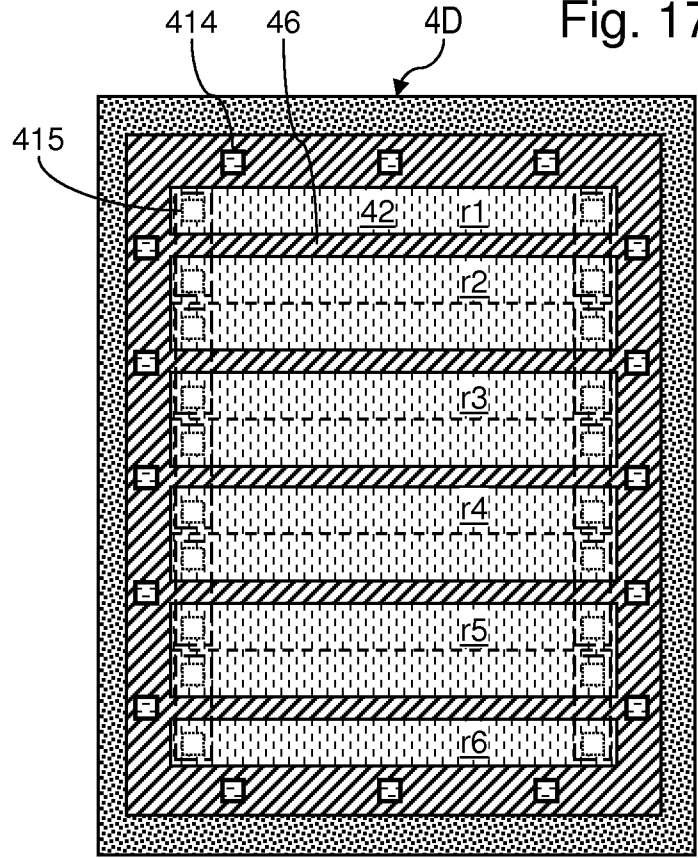


Fig. 18

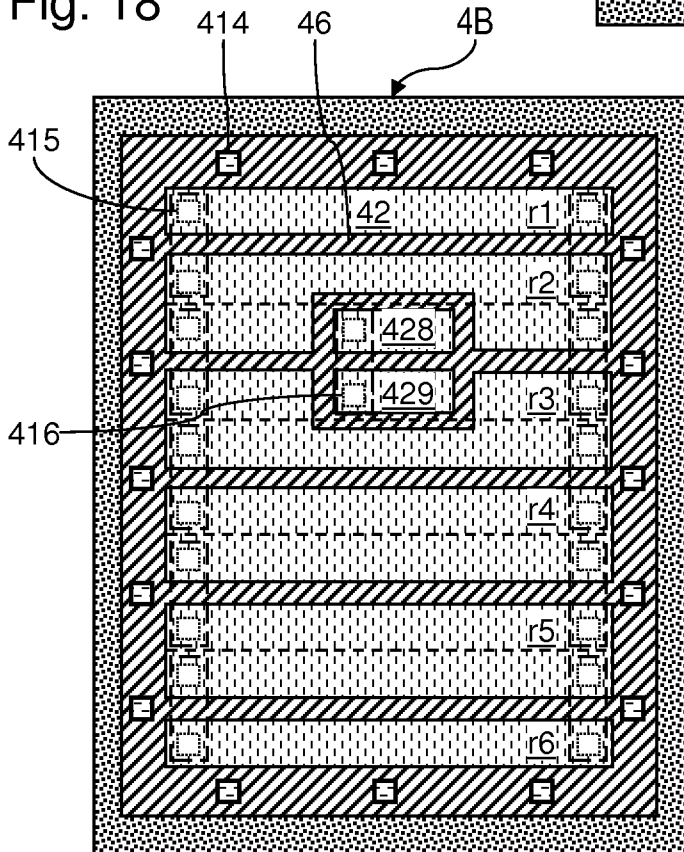
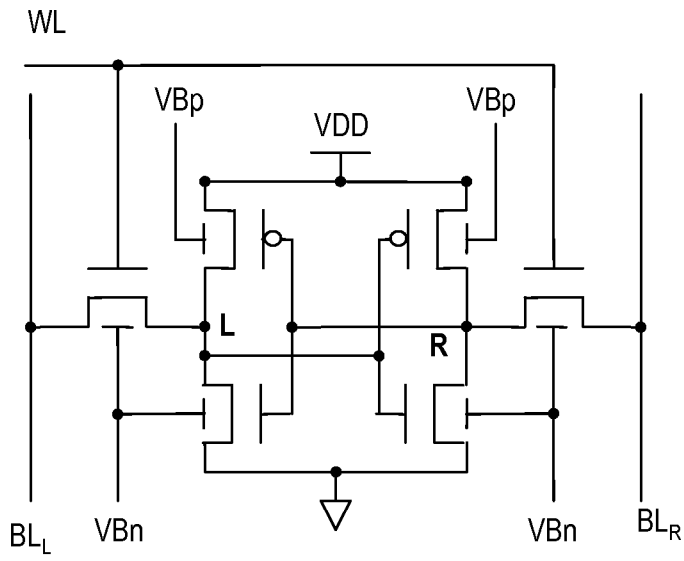


Fig. 19



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/059519

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L27/12 G06F17/50
ADD.
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
H01L G06F
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	O. THOMAS ET AL: "32nm and beyond Multi- $\langle T \rangle$ Ultra-Thin Body and BOX FDSOI: From device to circuit", PROCEEDINGS OF 2010 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1 May 2010 (2010-05-01), pages 1703-1706, XP055011534, DOI: 10.1109/ISCAS.2010.5537517 ISBN: 978-1-42-445308-5 the whole document	1-16
A	US 6 072 217 A (BURR JAMES B [US]) 6 June 2000 (2000-06-06) abstract column 7, line 6 - column 8, line 47 figures 7,8 ----- -/--	1-16

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search 20 June 2012	Date of mailing of the international search report 27/06/2012
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Morena, Enrico

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/059519

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7 112 997 B1 (LIANG MINCHANG [US] ET AL) 26 September 2006 (2006-09-26) abstract column 7, line 51 - column 11, line 54 figures 8,9,10-14	1-16
A	----- US 6 063 686 A (MASUDA HIROO [JP] ET AL) 16 May 2000 (2000-05-16) abstract column 15, line 51 - column 16, line 12 figures 20,21	1-16
X	----- US 2007/063284 A1 (KAWAHARA TAKAYUKI [JP] ET AL) 22 March 2007 (2007-03-22) abstract figures 12A-14 paragraphs [0013] - [0016], [0082] - [0084]	1-16
A	----- J-P NOEL ET AL: "UT2B-FDSOI device architecture dedicated to low power design techniques", SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 2010 PROCEEDINGS OF THE EUROPEAN, IEEE, PISCATAWAY, NJ, USA, 14 September 2010 (2010-09-14), pages 210-213, XP031787588, ISBN: 978-1-4244-6658-0 the whole document	1-16
X,P	----- JEAN-PHILIPPE NOEL ET AL: "Multi- \$V_{T}\$ UTBB FDSOI Device Architectures for Low-Power CMOS Circuit", IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 58, no. 8, 1 August 2011 (2011-08-01), pages 2473-2482, XP011336322, ISSN: 0018-9383, DOI: 10.1109/TED.2011.2155658 the whole document	1-16
A	----- US 2006/027877 A1 (INABA SATOSHI [JP]) 9 February 2006 (2006-02-09) abstract figures 1-7 paragraphs [0031] - [0035], [0044] - [0051], [0057] - [0062]	1-16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2012/059519

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6072217	A	06-06-2000	NONE

US 7112997	B1	26-09-2006	US 7112997 B1 26-09-2006
			US 2006279333 A1 14-12-2006

US 6063686	A	16-05-2000	NONE

US 2007063284	A1	22-03-2007	CN 1909231 A 07-02-2007
			CN 101901815 A 01-12-2010
			JP 4800700 B2 26-10-2011
			JP 2007042730 A 15-02-2007
			US 2007063284 A1 22-03-2007
			US 2010201429 A1 12-08-2010
			US 2010327356 A1 30-12-2010
			US 2011181319 A1 28-07-2011

US 2006027877	A1	09-02-2006	JP 4664631 B2 06-04-2011
			JP 2006049628 A 16-02-2006
			US 2006027877 A1 09-02-2006

<p>A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L27/12 G06F17/50 ADD.</p>		
<p>Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB</p>		
<p>B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE</p>		
<p>Documentation minimale consultée (système de classification suivi des symboles de classement) H01L G06F</p>		
<p>Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche</p>		
<p>Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data</p>		
<p>C. DOCUMENTS CONSIDERES COMME PERTINENTS</p>		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>O. THOMAS ET AL: "32nm and beyond Multi-V<inf>T</inf> Ultra-Thin Body and BOX FDSOI: From device to circuit", PROCEEDINGS OF 2010 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1 mai 2010 (2010-05-01), pages 1703-1706, XP055011534, DOI: 10.1109/ISCAS.2010.5537517 ISBN: 978-1-42-445308-5 le document en entier</p>	1-16
A	<p>US 6 072 217 A (BURR JAMES B [US]) 6 juin 2000 (2000-06-06) abrégé colonne 7, ligne 6 - colonne 8, ligne 47 figures 7,8</p>	1-16
<p><input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents</p>		
<p><input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe</p>		
<p>* Catégories spéciales de documents cités:</p>		
<p>"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent</p> <p>"E" document antérieur, mais publié à la date de dépôt international ou après cette date</p> <p>"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)</p> <p>"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens</p> <p>"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée</p>	<p>"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention</p> <p>"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément</p> <p>"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier</p> <p>"&" document qui fait partie de la même famille de brevets</p>	
<p>Date à laquelle la recherche internationale a été effectivement achevée</p> <p>20 juin 2012</p>		<p>Date d'expédition du présent rapport de recherche internationale</p> <p>27/06/2012</p>
<p>Nom et adresse postale de l'administration chargée de la recherche internationale</p> <p>Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016</p>		<p>Fonctionnaire autorisé</p> <p>Morena, Enrico</p>

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 7 112 997 B1 (LIANG MINCHANG [US] ET AL) 26 septembre 2006 (2006-09-26) abrégé colonne 7, ligne 51 - colonne 11, ligne 54 figures 8,9,10-14 -----	1-16
A	US 6 063 686 A (MASUDA HIROO [JP] ET AL) 16 mai 2000 (2000-05-16) abrégé colonne 15, ligne 51 - colonne 16, ligne 12 figures 20,21 -----	1-16
X	US 2007/063284 A1 (KAWAHARA TAKAYUKI [JP] ET AL) 22 mars 2007 (2007-03-22) abrégé figures 12A-14 alinéas [0013] - [0016], [0082] - [0084] -----	1-16
A	J-P NOEL ET AL: "UT2B-FDSOI device architecture dedicated to low power design techniques", SOLID-STATE DEVICE RESEARCH CONFERENCE (ESSDERC), 2010 PROCEEDINGS OF THE EUROPEAN, IEEE, PISCATAWAY, NJ, USA, 14 septembre 2010 (2010-09-14), pages 210-213, XP031787588, ISBN: 978-1-4244-6658-0 le document en entier -----	1-16
X,P	JEAN-PHILIPPE NOEL ET AL: "Multi- \$V_{T}\$ UTBB FDSOI Device Architectures for Low-Power CMOS Circuit", IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 58, no. 8, 1 août 2011 (2011-08-01), pages 2473-2482, XP011336322, ISSN: 0018-9383, DOI: 10.1109/TED.2011.2155658 le document en entier -----	1-16
A	US 2006/027877 A1 (INABA SATOSHI [JP]) 9 février 2006 (2006-02-09) abrégé figures 1-7 alinéas [0031] - [0035], [0044] - [0051], [0057] - [0062] -----	1-16

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2012/059519

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6072217	A	06-06-2000	AUCUN	
US 7112997	B1	26-09-2006	US 7112997 B1 US 2006279333 A1	26-09-2006 14-12-2006
US 6063686	A	16-05-2000	AUCUN	
US 2007063284	A1	22-03-2007	CN 1909231 A CN 101901815 A JP 4800700 B2 JP 2007042730 A US 2007063284 A1 US 2010201429 A1 US 2010327356 A1 US 2011181319 A1	07-02-2007 01-12-2010 26-10-2011 15-02-2007 22-03-2007 12-08-2010 30-12-2010 28-07-2011
US 2006027877	A1	09-02-2006	JP 4664631 B2 JP 2006049628 A US 2006027877 A1	06-04-2011 16-02-2006 09-02-2006