



(12) 发明专利

(10) 授权公告号 CN 101847661 B

(45) 授权公告日 2015. 02. 25

(21) 申请号 201010149895. 7

(22) 申请日 2010. 03. 26

(30) 优先权数据

2009-077386 2009. 03. 26 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 坂田淳一郎 岸田英幸 大原宏树

佐佐木俊成 山崎舜平

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 21/34(2006. 01)

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

(56) 对比文件

US 2007/0072439 A1, 2007. 03. 29,

JP 特开平 6-32617 A, 1994. 02. 08,

JP 特开 2004-247716 A, 2004. 09. 02, 全文.

US 2005/0041166 A1, 2005. 02. 24, 全文.

审查员 罗慧晶

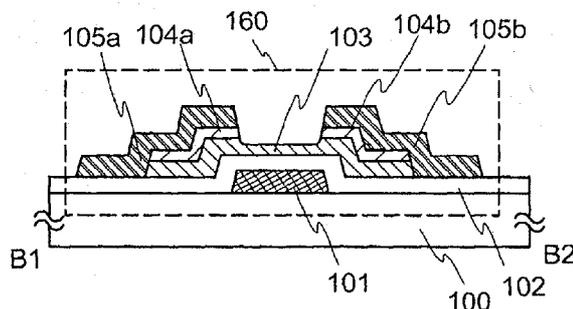
权利要求书1页 说明书49页 附图31页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明涉及半导体装置及其制造方法。本发明的一种方式的目的之一在于提供具备使用氧化物半导体层并具有优良的电特性的薄膜晶体管的半导体装置。半导体装置,包括:绝缘表面上的栅电极;包含氧化硅的氧化物半导体层;栅电极和氧化物半导体层之间的绝缘层;包含氧化硅的氧化物半导体层与源电极层及漏电极层之间的源区及漏区,其中,源区及漏区使用退化的氧化物半导体材料或氮氧化物材料。



1. 一种半导体装置的制造方法,包括如下步骤:

在绝缘表面上形成栅电极;

在所述栅电极上形成绝缘层;

通过使用包含 2.5wt% 以上且 20wt% 以下的氧化硅的第一氧化物半导体靶材的溅射法在所述绝缘层上形成包含氧化硅的氧化物半导体层;以及

在包含氮的气氛下使用第二氧化物半导体靶材在所述包含氧化硅的氧化物半导体层上形成氧氮化物层以形成源区及漏区。

2. 根据权利要求 1 所述的半导体装置的制造方法,还包括如下步骤:在形成所述氧氮化物层后,去除重叠于所述栅电极的所述氧氮化物层的一部分,以使所述包含氧化硅的氧化物半导体层的一部分露出。

3. 根据权利要求 1 所述的半导体装置的制造方法,其中,所述半导体装置是选自由电子书、电视装置、游戏机以及电话机构成的组中的一种。

4. 一种半导体装置的制造方法,包括如下步骤:

通过使用包含 2.5wt% 以上且 20wt% 以下的氧化硅的第一氧化物半导体靶材的溅射法在绝缘表面上形成氧化物半导体层;

在包含氮的气氛下通过使用第二氧化物半导体靶材的溅射法在所述包含氧化硅的氧化物半导体层上形成氧氮化物层以形成源区及漏区;

形成覆盖所述氧氮化物层的绝缘层;以及

在所述绝缘层上形成栅电极。

5. 根据权利要求 4 所述的半导体装置的制造方法,其中,所述半导体装置是选自由电子书、电视装置、游戏机以及电话机构成的组中的一种。

## 半导体装置及其制造方法

### 技术领域

[0001] 本发明涉及一种具有由薄膜晶体管（以下，称为 TFT）构成的电路的半导体装置及其制造方法。例如，本发明涉及一种电子设备，其中安装有以液晶显示面板为代表的电光装置、具有有机发光元件的发光显示装置作为部件。

[0002] 注意，在本说明书中，半导体装置是指通过利用半导体特性而能够发挥其功能的所有装置，并且电光装置、半导体电路以及电子设备都是半导体装置。

### 背景技术

[0003] 金属氧化物的种类繁多且其用途广泛。氧化铟是较普遍的材料并且用于液晶显示器等所需要的透明电极材料。

[0004] 在金属氧化物中存在呈现半导体特性的金属氧化物。呈现半导体特性的金属氧化物是化合物半导体的一种。化合物半导体是指两种以上的原子结合而成的半导体。通常，金属氧化物成为绝缘体。但是，已知根据构成金属氧化物的元素的组合，而成为半导体。

[0005] 例如，已知在金属氧化物中，氧化铟、氧化锡、氧化铟、氧化锌等呈现半导体特性。已公开将由这种金属氧化物构成的透明半导体层用作沟道形成区的薄膜晶体管（专利文件 1 至 4、非专利文件 1）。

[0006] 另外，已知金属氧化物不仅有一元氧化物而且还有多元氧化物。例如，具有同系化合物 (homologous compound) 的  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$ : 自然数) 为公知的材料（非专利文件 2 至 4）。

[0007] 并且，已经确认可以将像上述那样的 In-Ga-Zn 类氧化物应用于薄膜晶体管的沟道层（专利文件 5、非专利文件 5 及 6）。

[0008] 此外，通过使用氧化物半导体制造薄膜晶体管，并且将该薄膜晶体管应用于电子器件、光器件的技术受到关注。例如，专利文件 6 及专利文件 7 公开作为氧化物半导体膜使用氧化锌、In-Ga-Zn-O 类氧化物半导体来制造薄膜晶体管，并且将该薄膜晶体管用于图像显示装置的开关元件等的技术。

[0009] [专利文件 1] 日本专利申请公开昭 60-198861 号公报

[0010] [专利文件 2] 日本专利申请公开平 8-264794 号公报

[0011] [专利文件 3] 日本 PCT 国际申请翻译平 11-505377 号公报

[0012] [专利文件 4] 日本专利申请公开 2000-150900 号公报

[0013] [专利文件 5] 日本专利申请公开 2004-103957 号公报

[0014] [专利文件 6] 日本专利申请公开 2007-123861 号公报

[0015] [专利文件 7] 日本专利申请公开 2007-096055 号公报

[0016] [非专利文献 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor" (透明铁电薄膜晶体管), Appl. Phys. Lett., 17 June 1996, Vol. 68p. 3650-3652

[0017] [非专利文献 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the  $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$  System at  $1350^\circ\text{C}$ " ( $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$  类在  $1350^\circ\text{C}$  时的相位关系), *J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[0018] [非专利文献 3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m = 3, 4, \text{ and } 5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m = 7, 8, 9, \text{ and } 16$ ) in the  $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$  System" (同系物的合成和单晶数据,  $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$  类的  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m = 3, 4, \text{ and } 5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m = 7, 8, 9, \text{ and } 16$ )), *J. Solid State Chem.*, 1995, Vol. 116, p. 170-178

[0019] [非专利文献 4] 中村真佐樹、君塚昇、毛利尚彦、磯部光正, "ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$  ( $m$ : 自然数) とその同型化合物の合成および結晶構造" (同系物、钢铁锌氧化物 ( $\text{InFeO}_3(\text{ZnO})_m$ ) ( $m$  为自然数) 及其同型化合物的合成以及结晶结构), *固体物理 (SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, p. 317-327

[0020] [非专利文献 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" (由单晶透明氧化物半导体制造的薄膜晶体管), *SCIENCE*, 2003, Vol. 300, p. 1269-1272

[0021] [非专利文献 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors" (室温下的使用非晶氧化物半导体的透明柔性薄膜晶体管的制造), *NATURE*, 2004, Vol. 432p. 488-492

## 发明内容

[0022] 本发明的一种方式的目的之一在于提供具备使用氧化物半导体层并具有优良的电特性的薄膜晶体管的半导体装置。

[0023] 实现如下薄膜晶体管: 为了实现非晶氧化物半导体层, 而使用包含氧化硅或氧氮化硅的氧化物半导体层。通过典型地使用包含 2.5wt% 以上且 20wt% 以下的氧化硅, 优选使用包含 7.5wt% 以上且 12.5wt% 以下的氧化硅的氧化物半导体靶材进行成膜, 使氧化物半导体层含有阻挡晶化的氧化硅 ( $\text{SiO}_x$ ), 实现以其栅电压为尽量近于 0V 的正阈值电压形成沟道的薄膜晶体管。

[0024] 本说明书所公开的本发明的一种方式是在半导体装置, 包括: 绝缘表面上的栅电极; 包含氧化硅的氧化物半导体层; 栅电极和氧化物半导体层之间的绝缘层; 包含氧化硅的氧化物半导体层和源电极层及漏电极层之间的源区及漏区, 其中, 源区及漏区使用退化 (degenerate) 的氧化物半导体材料或氧氮化物材料。

[0025] 作为包含氧化硅的氧化物半导体层, 采用 Zn-O 类氧化物半导体、In-Ga-Zn-O 类氧化物半导体、In-Sn-Zn-O 类氧化物半导体、Ga-Sn-Zn-O 类氧化物半导体、In-Zn-O 类氧化物半导体、Sn-Zn-O 类氧化物半导体、In-Sn-O 类氧化物半导体或者 Ga-Zn-O 类氧化物半导体。

[0026] 此外, 为了降低与由电阻低的金属材料构成的源电极层及漏电极层的接触电阻, 而在源电极层及漏电极层和上述包含氧化硅的氧化物半导体层之间形成源区及漏区。

[0027] 此外,为了形成欧姆接触,而在氧化物半导体层和源电极层(或漏电极层)之间意图性地设置其载流子浓度高于氧化物半导体层的源区及漏区(缓冲层)。注意,源区及漏区具有n型导电型,而也可以被称为 $n^+$ 区。此外,在将源区及漏区称为 $n^+$ 区( $N^+$ 型区)的情况下,相对于该 $n^+$ 区而可以将用作沟道形成区的氧化物半导体层称为i型区(I型区)。通过设置源区及漏区,形成NI结,可以实现具备如下薄膜晶体管的半导体装置:具有 $5\mu\text{m}$ 以下的短沟道长度以及高电场效应迁移率。

[0028] 此外,作为源区及漏区(也称为 $N^+$ 型区、 $n^+$ 层或者缓冲层),优选使用退化的氧化物半导体。此外,退化的氧化物半导体优选具有透光性。作为氧化物半导体层,使用Zn-O类氧化物半导体、In-Ga-Zn-O类氧化物半导体、In-Zn-O类氧化物半导体、Sn-Zn-O类氧化物半导体、In-Sn-O类氧化物半导体、Al-Zn-O类氧化物半导体、或者Ga-Zn-O类氧化物半导体。此外,源区及漏区也可以使用包含氮的Zn-O类非单晶膜,即Zn-O-N类非单晶膜(也称为ZnON膜)、或者包含氮的In-Ga-Zn-O类非单晶膜,即In-Ga-Zn-O-N类非单晶膜(也称为IGZON膜)。此外,源区及漏区也可以使用Ga-Zn-O类非单晶膜、或者包含氮的Ga-Zn-O类非单晶膜,即Ga-Zn-O-N类非单晶膜。此外,作为源区及漏区也可以使用Al-Zn-O类非单晶膜、或者包含氮的Al-Zn-O类非单晶膜,即Al-Zn-O-N类非单晶膜。注意,Ga-Zn-O类氧化物半导体或者Ga-Zn-O-N类氧化物半导体所包含的镓优选为1wt%以上且10wt%以下,并且Al-Zn-O类氧化物半导体或者Al-Zn-O-N类氧化物半导体所包含的铝优选为1wt%以上且10wt%以下。此外,也可以使用包含氮的Zn-O-N类非单晶膜、包含氮的Sn-Zn-O-N类非单晶膜。

[0029] 源电极层及漏电极层使用选自Al、Cr、Ta、Ti、Mo、W中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。此外,也可以使用氧化铟锡、包含氧化硅的氧化铟锡、包含铝的氧化锌(AZO:Aluminium doped Zinc Oxide)或者包含镓的氧化锌(GZO:Gallium doped Zinc Oxide)。

[0030] 注意,包含氧化硅的氧化物半导体层通过使用包含2.5wt%以上且20wt%以下的氧化硅的氧化物半导体靶材的溅射法来形成。

[0031] 特别地,在氧化物半导体层和源电极层(或者漏电极层)之间意图性地设置其载流子浓度高于氧化物半导体层的源区及漏区(缓冲层)的情况下,有如下可能性:缓冲层也由于在形成等离子体时发生的电荷充电(electric charge)而受到损伤,因此电阻变大,从而不能发挥作为缓冲层的功能。

[0032] 此外,还有如下问题:氧化物半导体层与水分、氢离子、 $\text{OH}^-$ (也写为OH基)等起反应,而其特性变化,或者其可靠性降低。

[0033] 于是,在形成平坦性良好的树脂层作为覆盖氧化物半导体层的第一保护绝缘膜之后,通过利用溅射法、等离子体CVD法以低功率条件在树脂层上形成第二保护绝缘膜。如此,通过层叠不同的保护绝缘膜,可以实现对氧化物半导体层的等离子体损伤少且密封性能非常高,并且具有长期可靠性的半导体装置。

[0034] 再者,氧化物半导体层的上方由第二栅电极覆盖,该第二栅电极具有阻挡水分、氢离子、 $\text{OH}^-$ 等的功能。此外,在使用具有遮光性的导电膜作为第二栅电极的情况下,有如下效果:该第二栅电极防止因氧化物半导体的光感度导致的薄膜晶体管的电特性的变动而得到稳定化。

[0035] 此外,用来实现上述结构的本发明的一种方式半导体装置的制造方法,包括如下步骤:在绝缘表面上形成栅电极;在栅电极上形成绝缘层;通过使用包含 2.5wt%以上且 20wt%以下的氧化硅的第一氧化物半导体靶材的溅射法在绝缘层上形成包含氧化硅的氧化物半导体层;在包含氮的气氛下通过使用第二氧化物半导体靶材的溅射法在包含氧化硅的氧化物半导体层上形成氧氮化物层。

[0036] 此外,在上述制造方法中,在形成氧氮化物层之后,去除重叠于栅电极的氧氮化物层的一部分,使包含氧化硅的氧化物半导体层的一部分露出,以制造沟道蚀刻型薄膜晶体管。

[0037] 此外,不局限于沟道蚀刻型薄膜晶体管,而可以制造底栅型薄膜晶体管、底接触型薄膜晶体管或者顶栅型薄膜晶体管。

[0038] 本发明的一种方式顶栅型薄膜晶体管的制造方法,包括如下步骤:通过使用包含 2.5wt%以上且 20wt%以下的氧化硅的第一氧化物半导体靶材的溅射法在绝缘表面上形成氧化物半导体层;在包含氮的气氛下通过使用第二氧化物半导体靶材的溅射法在包含氧化硅的氧化物半导体层上形成氧氮化物层;形成覆盖氧氮化物层的绝缘层;在绝缘层上形成栅电极。

[0039] 在上述各制造方法中,氧氮化物层是为了降低与由电阻低的金属材料构成的源电极层及漏电极层的接触电阻而设置在源电极层及漏电极层与上述包含氧化硅的氧化物半导体层之间的源区及漏区。

[0040] 此外,氧化物半导体层在形成该氧化物半导体层后的过程中形成等离子体时包含等离子体中的离子,具体地说,氢基等的情况下有可能其暴露于等离子体的表面受到损伤。另外,氧化物半导体层也有可能在形成该氧化物半导体层后的过程中形成等离子体时由于电荷充电而受到损伤。

[0041] 特别地,在氧化物半导体层和源电极层(或者漏电极层)之间意图性地设置其载流子浓度高于氧化物半导体层的缓冲层(源区及漏区)的情况下,有如下可能性:缓冲层也由于在形成等离子体时发生的电荷充电而受到损伤,因此电阻变大,从而不能发挥作为缓冲层的功能。

[0042] 此外,还有如下可能性:氧化物半导体层与水分、氢离子、OH<sup>-</sup>等起反应,而其特性变化,或者其可靠性降低。

[0043] 于是,在形成平坦性良好的树脂层作为覆盖氧化物半导体层的第一保护绝缘膜之后,通过利用溅射法、等离子体 CVD 法以低功率条件在树脂层上形成第二保护绝缘膜。如此,通过层叠不同的保护绝缘膜,可以实现对氧化物半导体层的等离子体损伤少且密封性能非常高,并且具有长期可靠性的半导体装置。

[0044] 再者,氧化物半导体层的上方由第二栅电极覆盖,该第二栅电极具有阻挡水分、氢离子、OH<sup>-</sup>等的功能。此外,在使用具有遮光性的导电膜作为第二栅电极的情况下,有如下效果:该第二栅电极防止因氧化物半导体的光敏感度导致的薄膜晶体管的电特性的变动而得到稳定化。

[0045] 此外,优选在玻璃衬底等绝缘表面上形成基底膜,例如设置氮化硅膜、或者氮氧化硅膜。在此情况下,当进行选择性的蚀刻以使第一栅电极具有所希望的俯视形状时,这些膜能够用作防止玻璃衬底受到蚀刻的蚀刻停止层。此外,基底膜具有阻挡水分、氢离子、OH<sup>-</sup>等

的功能。如此,通过以围绕氧化物半导体层的上下及周围的方式设置具有阻挡水分、氢离子、OH<sup>-</sup> 等的功能的膜,可以实现密封性能非常高,并且具有长期可靠性的半导体装置。

[0046] 在本说明书中,上、下、侧等表示方向的用语是指以将器件配置在衬底表面上的情况为标准的方向。

[0047] 本发明实现具备使用包含氧化硅的氧化物半导体层并且具有优良的电特性的薄膜晶体管的半导体装置。

#### 附图说明

- [0048] 图 1A 至 1C 是示出本发明的一种方式截面图及俯视图；
- [0049] 图 2A 和 2B 是示出本发明的一种方式截面图及俯视图；
- [0050] 图 3 是示出本发明的一种方式截面图；
- [0051] 图 4 是示出本发明的一种方式俯视图；
- [0052] 图 5A1 至 5B2 是示出本发明的一种方式截面图及俯视图；
- [0053] 图 6 是示出本发明的一种方式俯视图；
- [0054] 图 7 是示出 ZnO 的单晶结构的模型图；
- [0055] 图 8A 至 8E 是示出各模型的径向分布函数  $g(r)$  的图表；
- [0056] 图 9A 至 9D 是示出各模型的径向分布函数  $g(r)$  的图表；
- [0057] 图 10A 至 10E 是示出各模型的 XRD 分析模拟结果的图表；
- [0058] 图 11A 至 11D 是示出各模型的 XRD 分析模拟结果的图表；
- [0059] 图 12A 至 12E 是示出本发明的一种方式工序截面图；
- [0060] 图 13A 和 13B 是示出本发明的一种方式截面图及俯视图；
- [0061] 图 14A 和 14B 是示出本发明的一种方式截面图及俯视图；
- [0062] 图 15A 和 15B 是示出本发明的一种方式截面图及俯视图；
- [0063] 图 16A 和 16B 是示出本发明的一种方式截面图及俯视图；
- [0064] 图 17A 和 17B 是示出本发明的一种方式半导体装置的方框图；
- [0065] 图 18 是说明本发明的一种方式信号线驱动电路的结构图；
- [0066] 图 19 是说明本发明的一种方式信号线驱动电路的工作的时序图；
- [0067] 图 20 是说明本发明的一种方式信号线驱动电路的工作的时序图；
- [0068] 图 21 是说明本发明的一种方式移位寄存器的结构的一例的图；
- [0069] 图 22 是说明图 21 所示的触发器的连接结构的图；
- [0070] 图 23 是说明本发明的一种方式半导体装置的像素等效电路的图；
- [0071] 图 24A 至 24C 是说明本发明的一种方式半导体装置的截面图；
- [0072] 图 25A 和 25B 是说明本发明的一种方式半导体装置的俯视图及截面图；
- [0073] 图 26A1 至 26B 是说明本发明的一种方式半导体装置的俯视图及截面图；
- [0074] 图 27 是说明本发明的一种方式半导体装置的截面图；
- [0075] 图 28A 和 28B 是说明本发明的一种方式半导体装置的截面图及电子设备的外观图；
- [0076] 图 29A 和 29B 是示出本发明的一种方式电子设备的图；
- [0077] 图 30A 和 30B 是示出本发明的一种方式电子设备的图；

- [0078] 图 31A 和 31B 是示出本发明的一种方式的截面图；  
[0079] 图 32A 至 32D 是示出本发明的一种方式的截面图；  
[0080] 图 33A 和 33B 是示出本发明的一种方式的截面图；  
[0081] 图 34A 和 34B 是示出本发明的一种方式的截面图；  
[0082] 图 35A 至 35D 是示出本发明的一种方式的截面图；  
[0083] 图 36A 至 36D 是示出本发明的一种方式的截面图。

### 具体实施方式

[0084] 下面,参照附图详细说明本发明的实施方式。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是本发明不局限于以下说明,而其方式及详细内容可以被变换为各种各样的形式。此外,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

#### [0085] 实施方式 1

[0086] 在本实施方式中,参照图 1A 至 1C 而说明使用包含氧化硅的氧化物半导体层的薄膜晶体管的一例。

[0087] 图 1A 所示的薄膜晶体管 160 是底栅型的一种,并是称为沟道蚀刻型的结构的截面图的一例。此外,图 1B 是薄膜晶体管的俯视图的一例,并且以图中的虚线 B1-B2 切断的截面图相当于图 1A。

[0088] 在图 1A 所示的薄膜晶体管 160 中,在衬底 100 上设置有栅电极层 101,在栅电极层 101 上设置有栅极绝缘层 102,在栅极绝缘层 102 上设置有重叠于栅电极层 101 的包含氧化硅的氧化物半导体层 103。此外,还设置与包含氧化硅的氧化物半导体层 103 的一部分重叠的源电极层及漏电极层 105a、源电极层及漏电极层 105b,并且在包含氧化硅的氧化物半导体层 103 的一部分与源电极层及漏电极层 105a、105b 之间具有源区及漏区 104a、104b。注意,如图 1C 所示,也可以在衬底 100 上设置用作基底绝缘膜的绝缘膜 107。绝缘膜 107 也可以由氮化硅膜、氧氮化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜等的单层或叠层形成。

[0089] 栅电极层 101 可以通过使用:铝、铜、钼、钛、铬、钽、钨、钽、铟等金属材料;以这些金属材料为成分的合金材料;或者以这些金属材料为成分的氮化物的单层或叠层来形成。虽然优选使用铝或铜等低电阻导电材料形成,但是该低电阻导电材料有耐热性低或容易腐蚀的问题,因此优选与耐热导电材料组合而使用。作为耐热导电材料,使用钼、钛、铬、钽、钨、钽、铟等。

[0090] 例如,作为栅电极层 101 的叠层结构,优选采用在铝层上层叠有钼层的双层结构、在铜层上层叠有钼层的双层结构、在铜层上层叠有氮化钛层或氮化钽层的双层结构、层叠有氮化钛层和钼层的双层结构。作为三层的叠层结构,优选采用层叠有钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、氮化钛层或钛层的叠层结构。

[0091] 栅极绝缘层 102 通过利用等离子体 CVD 法或溅射法来形成。栅极绝缘层 102 可以通过利用 CVD 法或溅射法等并且使用氧化硅层、氮化硅层、氧氮化硅层或者氮氧化硅层的单层或叠层来形成。另外,作为栅极绝缘层 102,也可以通过使用有机硅烷气体的 CVD 法形成氧化硅层。栅极绝缘层 102 可以为单层或者层叠两层以上而成的叠层。例如,通过使

用氮化硅膜、或者氮氧化硅膜形成接触于衬底 100 的栅极绝缘层,提高衬底 100 和栅极绝缘层的紧密力,并且,在作为衬底 100 而使用玻璃衬底的情况下,可以防止来自衬底的杂质扩散到半导体层中,并且还可以防止栅电极层的氧化。就是说,在可以防止薄膜剥离 (film peeling) 的同时,可以提高后面形成的晶体管的电特性。

[0092] 作为包含氧化硅的氧化物半导体层 103,可以使用 Zn-O 类非单晶膜、In-Ga-Zn-O 类非单晶膜、In-Sn-Zn-O 类、Ga-Sn-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、In-Sn-O 类、Ga-Zn-O 类氧化物半导体。

[0093] 包含氧化硅的氧化物半导体层 103 通过使用包含 2.5wt% 以上且 20wt% 以下、优选为 7.5wt% 以上且 12.5wt% 以下的氧化硅的氧化物半导体靶材来形成。在本实施方式中,包含氧化硅的氧化物半导体层 103 通过使用包含 10wt% 的氧化硅的氧化物半导体靶材 (ZnO) 的溅射法来形成。

[0094] 此外,作为源区及漏区 104a、源区及漏区 104b,优选使用退化的氧化物半导体。退化的氧化物半导体优选具有透光性。另外,使用不包含氧化硅的氧化物半导体层,例如,Zn-O 类氧化物半导体、In-Ga-Zn-O 类氧化物半导体、In-Zn-O 类氧化物半导体、Sn-Zn-O 类氧化物半导体、In-Sn-O 类氧化物半导体、Al-Zn-O 类氧化物半导体、或者 Ga-Zn-O 类氧化物半导体。此外,源区及漏区 104a、源区及漏区 104b 也可以使用:包含氮的 Zn-O 类非单晶膜,即 Zn-O-N 类非单晶膜(也称为 ZnON 膜);包含氮的 In-Ga-Zn-O 类非单晶膜,即 In-Ga-Zn-O-N 类非单晶膜(也称为 IGZON 膜)。此外,源区及漏区 104a、源区及漏区 104b 也可以使用 Ga-Zn-O 类非单晶膜、或者包含氮的 Ga-Zn-O 类非单晶膜,即 Ga-Zn-O-N 类非单晶膜。此外,源区及漏区 104a、源区及漏区 104b 也可以使用 Al-Zn-O 类非单晶膜、或者包含氮的 Al-Zn-O 类非单晶膜,即 Al-Zn-O-N 类非单晶膜。注意,Al-Zn-O 类氧化物半导体或者 Al-Zn-O-N 类氧化物半导体所包含的铝优选为 1wt% 以上且 10wt% 以下,并且 Ga-Zn-O 类氧化物半导体或者 Ga-Zn-O-N 类氧化物半导体所包含的镓优选为 1wt% 以上且 10wt% 以下。此外,也可以使用包含氮的 Zn-O-N 类非单晶膜、包含氮的 Sn-Zn-O-N 类非单晶膜。

[0095] 在本实施方式中,作为源区及漏区 104a、源区及漏区 104b,使用如下材料:在包含氮气体的气氛下通过使用包含 Zn(锌)的氧化物半导体靶材 (ZnO) 的溅射法来形成包含锌的氧氮化物膜后进行加热处理而得到的氧氮化物材料。

[0096] 源区及漏区 104a、源区及漏区 104b 不包含 Si,此处与包含氧化硅的氧化物半导体层 103 大不相同。此外,至于源区及漏区 104a、源区及漏区 104b 具有如下情况:在当形成源区及漏区 104a、源区及漏区 104b 之后进行加热处理时包含晶粒;刚在形成源区及漏区 104a、源区及漏区 104b 之后包含晶粒。另一方面,至于包含氧化硅的氧化物半导体层 103,通过使该氧化物半导体层 103 包含氧化硅来提高膜的晶化温度,所以例如即使在使源区及漏区 104a、源区及漏区 104b 的一部分晶化的温度下进行加热处理,也可以使包含氧化硅的氧化物半导体层 103 维持非晶状态。注意,源区及漏区 104a、源区及漏区 104b 也被写为  $n^+$  区、缓冲层。

[0097] 此外,为了形成欧姆接触,而在氧化物半导体层和源电极层(或漏电极层)之间意图性地设置其载流子浓度高于氧化物半导体层的源区及漏区(缓冲层)。注意,源区及漏区具有 n 型导电型,而也可以被称为  $n^+$  区。此外,在将源区及漏区称为  $n^+$  区( $N^+$  型区)的情况下,相对于该  $n^+$  区而可以将用作沟道形成区的氧化物半导体层称为 i 型区(I 型区)。通

过设置源区及漏区,形成NI结,可以实现具备如下薄膜晶体管的半导体装置:具有 $5\mu\text{m}$ 以下的短沟道长度以及高电场效应迁移率。

[0098] 源电极层及漏电极层 105a、105b 使用选自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。此外,也可以使用氧化铟锡(ITO:Indium Tin Oxide)、包含氧化硅的氧化铟锡、包含铝的氧化锌(AZO:Aluminium doped ZincOxide)或者包含镓的氧化锌(GZO:Gallium doped Zinc Oxide)。通过对氧化锌添加少量(例如为几 wt%)的  $\text{Al}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$  等成为三价离子的元素,可以谋求实现低电阻化。

[0099] 通过设置源区及漏区 104a、源区及漏区 104b,降低与由电阻低的金属材料构成的源电极层及漏电极层 105a、105b 的接触电阻。从而,通过设置源区及漏区 104a、源区及漏区 104b,可以实现电特性优良的薄膜晶体管 160。

[0100] 此外,也可以形成接触于包含氧化硅的氧化物半导体层 103 以及源电极层及漏电极层 105a、105b 并且覆盖它们的保护绝缘层。另外,保护绝缘层可以使用利用溅射法等而得到的氮化硅膜、氧化硅膜或氧氮化硅膜等的单层或这些的叠层。

[0101] 虽然在本实施方式中说明使用包含氧化硅的氧化物半导体层的薄膜晶体管的一例,但是也可以使用包含氧氮化硅的氧化物半导体层。

[0102] 实施方式 2

[0103] 在本实施方式中,参照图 2A 和 2B 而说明栅电极的宽度与实施方式 1 不同的薄膜晶体管的一例。

[0104] 图 2A 所示的薄膜晶体管 170 是底栅型的一种,并是称为沟道蚀刻型的结构的截面图的一例。此外,图 2B 是薄膜晶体管的俯视图的一例,并且以图中的虚线 C1-C2 切断的截面图相当于图 2A。

[0105] 在图 2A 所示的薄膜晶体管 170 中,在衬底 100 上设置有栅电极层 101,在栅电极层 101 上设置有栅极绝缘层 102,在栅极绝缘层 102 上设置有氧化物半导体层 103,在氧化物半导体层 103 上设置有源电极层及漏电极层 105a、105b。另外,在包含氧化硅的氧化物半导体层 103 的一部分与源电极层及漏电极层 105a、源电极层及漏电极层 105b 之间具有源区及漏区 104a、源区及漏区 104b。另外,也可以形成覆盖氧化物半导体层 103、源电极层及漏电极层 105a、源电极层及漏电极层 105b 的保护绝缘层。

[0106] 在本实施方式中,在栅极绝缘层 102 上层叠包含氧化硅的氧化物半导体层 103(也称为第一氧化物半导体层),并且在其上层叠第二氧化物半导体层(或氧氮化物层)。注意,在包含氧化硅的氧化物半导体层 103 中的用作沟道的区域上不形成第二氧化物半导体层,因为通过蚀刻去除该区域上的第二氧化物半导体层。注意,第二氧化物半导体层(或氧氮化物层)用作缓冲层、 $n^+$  区、源区及漏区。在图 2A 中,将第二氧化物半导体层图示为源区及漏区 104a、104b。

[0107] 另外,在本实施方式中,使用以 2.5wt% 以上且 20wt% 以下的比率,优选以 7.5wt% 以上且 12.5wt% 以下的比率包含氧化硅( $\text{SiO}_2$ )的包含 Zn(锌)的氧化物半导体靶材来形成包含氧化硅的氧化物半导体层 103。通过使氧化物半导体包含氧化硅,容易使所形成的氧化物半导体非晶化。另外,在对氧化物半导体膜进行热处理的情况下,可以抑制该氧化物半导体膜的晶化。

[0108] 利用经典分子动力学模拟检查当使包含 Zn(锌)的氧化物半导体,所谓 ZnO 包含

SiO<sub>2</sub> 时产生怎样的结构变化。在经典分子动力学法中,通过对成为原子间相互作用的特征的经验势进行定义,来对作用于各原子的力量进行评价。通过对各原子应用经典力学法则(classical dynamic law),并且以数值的方式解答牛顿运动方程,可以决定论性地追踪各原子的运动(时间演化(time evolution))。

[0109] 以下说明计算模型和计算条件。另外,在本计算中使用 Born-Mayer-Huggins 势。

[0110] 计算模型是 896 个原子的 ZnO 单晶结构(参照图 7)。在该结构中,将 Zn 取代为 Si 及 O。考虑到各原子的电荷(Zn :+2, O :-2, Si :+4),而由两个 Si 和一个 O 取代三个 Zn。取代量由下面的算式定义,并且制造以取代量为 2.5wt%、4.9wt%、7.6wt%、10.0wt%、12.5wt%、15.0wt%、20.0wt% 的结构。将由 Si 及 O 取代 Zn 的结构称为 ZnO 取代结构。

[0111] [算式 1]

[0112]

$$Xwt\% = \frac{\text{由 Zn 取代的 Si 或 O 的质量}}{\text{mass of Si or O with whi ch Zn is replaced ( g)}} \times 100$$

$$\text{mass of a structure after replacemen t of Zn with Si or O ( g)}$$

$$\text{由 Si 或 O 取代 Zn 后的结构的质量}$$

[0113] 通过在 350℃ 的温度下,以一定的压力(1atm),进行 400psec 间(时步长度为 0.2fsec×200 万步(step))的经典分子动力学模拟,来进行结构缓和。并且,求出这些八个结构的径向分布函数 g(r)。注意,径向分布函数 g(r) 是指表示在离一个原子距离 r 的位置上存在其他原子的概率密度的函数。随着原子之间的相关性减弱, g(r) 逐渐接近 1。

[0114] 图 8A 至 8E 及图 9A 至 9D 分别表示通过对上述八个计算模型进行 400psec 间的经典分子动力学模拟而得到的各计算模型的径向分布函数 g(r)。

[0115] 当在图 8A 至 8E 及图 9A 至 9D 中比较各计算模型的径向分布函数 g(r) 时,可以知道如下事实:在单晶模型(参照图 8A)中,并且在取代量为 2.5wt% 至 7.6wt% (参照图 8B 至 8D) 中,也在长距离中具有峰值,并且具有长程序列。还可以知道如下事实:当取代量为 10wt% 以上(参照图 8E 及图 9A 至 9D) 时,在 0.6nm 以上时没有峰值,而没有长程序列。据此,可以认为当取代量为 10wt% 以上时成为非晶化。

[0116] 接着,图 10A 至 10E 及图 11A 至 11D 示出对通过对八个计算模型进行 400psec 间的经典分子动力学模拟而得到的各计算模型的最终结构进行 XRD 分析模拟而得到的结果。注意,用于计算的 X 射线的波长为 0.154138nm(Cu Kα)。图 10A 示出 ZnO 单晶结构的结果。

[0117] 当在图 10A 至 10E 及图 11A 至 11D 中比较各计算模型的 XRD 分析模拟的结果时,可以认为:与 ZnO 单晶结构相比,取代量从 2.5wt% (参照图 10B) 越增加,峰值的强度越减弱。据此,可以认为:在取代量为 2.5wt% 时,开始单晶结构的整体上的崩溃,并且开始非晶化。此外,可以认为:在取代量为 7.6wt% 以下(参照图 10C、图 10D) 时有峰值,并且在取代量为 10wt% 以上(参照图 10E 及图 11A 至 11D) 时峰值很宽。据此,可以认为:在取代量为 10wt% 以上时大体上完全非晶化。

[0118] 上述计算结果表示:通过使 ZnO 包含 SiO<sub>2</sub>,容易产生 ZnO 的非晶化。实际上,通过溅射法而得到的包含 SiO<sub>2</sub> 的 ZnO 薄膜在刚成膜之后是非晶半导体膜。根据这些计算结果,可以知道如下事实:通过包含 SiO<sub>2</sub>,即使进行热处理也阻碍 ZnO 的晶化,而可以维持非晶结

构。

[0119] 此外,作为包含氧化硅的氧化物半导体层 103,除了 Zn-O 类非单晶膜以外,还可以使用 In-Ga-Zn-O 类非单晶膜、In-Sn-Zn-O 类、Ga-Sn-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、In-Sn-O 类、Ga-Zn-O 类氧化物半导体。

[0120] 此外,作为源区及漏区 104a、104b,优选使用退化的氧化物半导体。退化的氧化物半导体优选具有透光性。另外,作为源区及漏区 104a、104b,也可以使用不包含氧化硅的氧化物半导体层,例如,Zn-O 类氧化物半导体、In-Ga-Zn-O 类氧化物半导体、In-Zn-O 类氧化物半导体、Sn-Zn-O 类氧化物半导体、In-Sn-O 类氧化物半导体、Al-Zn-O 类氧化物半导体、或者 Ga-Zn-O 类氧化物半导体。此外,源区及漏区 104a、104b 也可以使用包含氮的 In-Ga-Zn-O 类非单晶膜,即 In-Ga-Zn-O-N 类非单晶膜(也称为 IGZON 膜)。此外,作为源区及漏区 104a、104b,也可以使用 Ga-Zn-O 类非单晶膜、或者包含氮的 Ga-Zn-O 类非单晶膜,即 Ga-Zn-O-N 类非单晶膜。此外,作为源区及漏区 104a、104b,也可以使用 Al-Zn-O 类非单晶膜、或者包含氮的 Al-Zn-O 类非单晶膜,即 Al-Zn-O-N 类非单晶膜。注意,Al-Zn-O 类氧化物半导体或者 Al-Zn-O-N 类氧化物半导体所包含的铝优选为 1wt% 以上且 10wt% 以下,并且 Ga-Zn-O 类氧化物半导体或者 Ga-Zn-O-N 类氧化物半导体所包含的镓优选为 1wt% 以上且 10wt% 以下。此外,也可以使用包含氮的 Zn-O-N 类非单晶膜、包含氮的 Sn-Zn-O-N 类非单晶膜。

[0121] 在本实施方式中,作为源区及漏区 104a、104b,使用如下材料:在包含氮气体的气氛下通过使用包含 Zn(锌)的氧化物半导体靶材(ZnO)的溅射法来形成 Zn-O-N 类非单晶膜后进行加热处理而得到的氮氧化物材料。

[0122] 此外,源电极层及漏电极层 105a、105b 使用选自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。此外,也可以使用氧化铟锡(ITO:Indium Tin Oxide)、包含氧化硅( $\text{SiO}_x$ )的氧化铟锡、包含铝的氧化锌(AZO:Aluminiumdoped Zinc Oxide)或者包含镓的氧化锌(GZO:Gallium doped ZincOxide)。

[0123] 另外,参照图 3 而以下说明将上述薄膜晶体管 170 用作像素部的开关元件来制造显示装置的例子。

[0124] 首先,在具有绝缘表面的衬底 100 上设置栅电极层 101。作为具有绝缘表面的衬底 100,使用玻璃衬底。作为栅电极层 101 的材料,可以使用钼、钛、铬、钽、钨、铝、铜、钽、铟等金属材料或以这些金属材料为主要成分的合金材料,并且以单层或叠层形成栅电极层 101。注意,当形成栅电极层 101 时,也形成像素部的电容布线 108 及端子部的第一端子 121。注意,也可以在衬底 100 上设置用作基底绝缘膜的绝缘膜。绝缘膜也可以通过使用氮化硅膜、氧氮化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜等的单层或叠层来形成。

[0125] 例如,作为栅电极层 101 的双层的叠层结构,优选采用:在铝层上层叠有钼层的双层叠层结构;在铜层上层叠有钼层的双层结构;在铜层上层叠有氮化钛层或氮化钽层的双层结构;或者层叠有氮化钛层和钼层的双层结构。另外,也有在包含 Ca 的铜层上层叠有成为阻挡层的包含 Ca 的氧化铜层的叠层;在包含 Mg 的铜层上层叠有成为阻挡层的包含 Mg 的氧化铜层的叠层。另外,作为三层的叠层结构,优选采用层叠有钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、氮化钛层或钛层的结构。

[0126] 接着,形成覆盖栅电极层 101 上的栅极绝缘层 102。使用溅射法、PCVD 法等以 50nm

至 400nm 的膜厚度形成栅极绝缘层 102。

[0127] 例如,作为栅极绝缘层 102,通过溅射法形成 100nm 厚的氧化硅膜。当然,栅极绝缘层 102 不局限于氧化硅膜,也可以使用氧氮化硅膜、氮化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氧化钽膜等其他绝缘膜的单层或叠层形成栅极绝缘层 102。在采用叠层的情况下,例如通过 PCVD 法形成氮化硅膜,并且在其上通过溅射法形成氧化硅膜,即可。另外,在作为栅极绝缘层 102 使用氧氮化硅膜或氮化硅膜等的情况下,可以防止来自玻璃衬底的杂质,例如钠等扩散并侵入到之后形成在其上方的氧化物半导体。

[0128] 接着,在栅极绝缘层 102 上形成包含氧化硅的氧化物半导体膜。在此,使用以 10wt% 的比率包含氧化硅 ( $\text{SiO}_2$ ) 的包含 Zn (锌) 的氧化物半导体靶材来进行成膜。通过使氧化物半导体包含氧化硅,容易使所形成的氧化物半导体非晶化。另外,通过使氧化物半导体膜包含氧化硅,在形成氧化物半导体膜之后的过程中进行热处理的情况下,可以防止氧化物半导体膜的晶化。

[0129] 接着,在包含氧化硅的氧化物半导体膜上通过溅射法形成不包含氧化硅的氧氮化物膜。在此,在包含氮气体的气氛下通过使用包含 Zn (锌) 的氧化物半导体靶材 ( $\text{ZnO}$ ) 的溅射法来形成 Zn-O-N 类非单晶膜。

[0130] 作为溅射法,有作为溅射电源而使用高频电源的 RF 溅射法、DC 溅射法、以及以脉冲方式施加偏压的脉冲 DC 溅射法。

[0131] 此外,还有可以设置多个其材料彼此不同的靶材的多元溅射装置。多元溅射装置既可以在同一反应室中层叠形成不同材料的膜,又可以在同一反应室中使多种材料同时放电而进行成膜。

[0132] 此外,有如下溅射装置:在反应室内具备磁铁机构并且用于磁控管溅射法;不使用辉光放电而使用利用微波来产生的等离子体并且用于 ECR 溅射法。

[0133] 此外,作为使用溅射法的成膜方法,还有:当进行成膜时使靶材物质与溅射气体成分起化学反应而形成其化合物薄膜的反应溅射法;当进行成膜时对衬底也施加电压的偏压溅射法。

[0134] 接着,进行光刻工序,形成抗蚀剂掩模,对 Zn-O-N 类非单晶膜(氧氮化物膜)选择性地蚀刻,并且使用同一掩模对包含氧化硅的 Zn-O 类非单晶膜(氧化物半导体膜)选择性地蚀刻。在蚀刻之后去除抗蚀剂掩模。

[0135] 接着,通过进行光刻工序,重新形成抗蚀剂掩模,通过蚀刻去除不需要的部分(栅极绝缘层的一部分)来形成到达与栅电极层相同材料的布线、电极层的接触孔。设置该接触孔,以直接连接到在之后形成的导电膜。例如,当在驱动电路部中形成其栅电极层直接接触于源电极层或漏电极层的薄膜晶体管、电连接到端子部的栅极布线的端子时,形成接触孔。另外,虽然在此示出通过进行光刻工序来形成用于直接连接到在之后形成的导电膜的接触孔的例子,但是不特别局限于此,也可以之后在与用来连接到像素电极的接触孔同一工序中形成到达栅电极层的接触孔,并且使用与像素电极同一材料进行电连接。在使用与像素电极同一材料进行电连接的情况下,可以缩减一个掩模。

[0136] 接着,利用溅射法或真空蒸镀法在 Zn-O-N 类非单晶膜(氧氮化物层)上形成由金属材料构成的导电膜。

[0137] 作为导电膜的材料,可以举出选自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素为成

分的合金、组合上述元素的合金膜等。另外,在之后的工序中进行 200℃至 600℃的热处理的情况下,优选使导电膜具有承受该热处理的耐热性。因为当使用 Al 单质时有耐热性低且容易腐蚀等问题,所以组合 Al 与耐热导电材料而使用。作为与 Al 组合的耐热导电材料,使用选自钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、钪 (Sc) 中的元素、以上述元素为成分的合金、组合上述元素的合金膜或者以上述元素为成分的氮化物。此外,还可以使用氧化铟锡 (ITO:Indium Tin Oxide)、包含氧化硅 (SiO<sub>x</sub>) 的氧化铟锡、包含铝的氧化锌 (AZO) 或者包含镓的氧化锌 (GZO)。通过对氧化锌添加少量(例如为几 wt%)的 Al<sub>2</sub>O<sub>3</sub>、Ga<sub>2</sub>O<sub>3</sub> 等成为三价离子的元素,可以谋求实现低电阻化。

[0138] 在本实施方式中,作为导电膜,采用钛膜的单层结构。此外,作为导电膜,也可以采用双层结构,而可以在铝膜上层叠钛膜。另外,作为导电膜,也可以采用三层结构,其中包括 Ti 膜、在该 Ti 膜上层叠的包含 Nd 的铝 (Al-Nd) 膜、在其上形成的 Ti 膜。作为导电膜,还可以采用包含硅的铝膜的单层结构。

[0139] 接着,进行光刻工序,形成抗蚀剂掩模,通过蚀刻去除不需要的部分来在像素部中形成源电极层及漏电极层 105a、105b 以及源区及漏区 104a、104b,并且在驱动电路部中分别形成源电极层及漏电极层、源区及漏区。作为此时的蚀刻方法,采用湿蚀刻或干蚀刻。例如,在作为导电膜而使用铝膜或铝合金膜的情况下,可以进行使用混合磷酸、醋酸及硝酸的溶液的湿蚀刻。在此,通过进行湿蚀刻,对 Ti 膜的导电膜进行蚀刻来形成源电极层及漏电极层,并且对 Zn-O-N 类非单晶膜进行蚀刻来形成第一缓冲层(源区及漏区 104a)、第二缓冲层(源区及漏区 104b)。在该蚀刻工序中,包含氧化硅的氧化物半导体膜的露出区的一部分也被蚀刻,而成为包含氧化硅的氧化物半导体层 103。

[0140] 另外,在该光刻工序中,使与源电极层及漏电极层 105a、105b 相同材料的第二端子 122 残留在端子部。注意,第二端子 122 与源极布线(包括源电极层及漏电极层 105a、105b 的源极布线)电连接。

[0141] 通过上述工序,可以在像素部中制造将包含氧化硅的氧化物半导体层 103 用作沟道形成区的薄膜晶体管 170。

[0142] 此外,在端子部中,连接电极 120 通过形成在栅极绝缘膜中的接触孔与端子部的第一端子 121 直接连接。此外,虽然在本实施方式中未图示,但是经过与上述工序相同的工序来使驱动电路的薄膜晶体管的源极布线或漏极布线与栅电极直接连接。

[0143] 接着,以 200℃至 600℃,典型地以 300℃至 500℃进行热处理(还包括光退火)。在此,放置在炉中,在氮气氛下以 350℃进行一个小时的热处理。通过该热处理,进行包含氧化硅的 Zn-O 类非单晶膜的原子级的重新排列。另外,因为包含氧化硅的氧化物半导体层 103 包含氧化硅,所以可以防止该热处理中的晶化并保持非晶结构。注意,进行热处理的时序只要是形成 Zn-O-N 类非单晶膜后,就没有特别的限制,而例如也可以在形成像素电极之后进行。

[0144] 接着,去除抗蚀剂掩模,形成覆盖薄膜晶体管 170 的保护绝缘层 106。

[0145] 然后,进行光刻工序,形成抗蚀剂掩模,并且通过对保护绝缘层 106 进行蚀刻来形成到达源电极层及漏电极层 105b 的接触孔。另外,通过此时的蚀刻来形成到达第二端子 122 的接触孔、到达连接电极 120 的接触孔。

[0146] 接着,在去除抗蚀剂掩模之后,形成透明导电膜。通过作为材料而使用氧化铟

( $\text{In}_2\text{O}_3$ )、氧化铟锡 ( $\text{In}_2\text{O}_3\text{-SnO}_2$ 、缩写为 ITO) 等并利用溅射法或真空蒸镀法等来形成透明导电膜。使用盐酸类的溶液进行对这种材料的蚀刻处理。然而,由于特别在对 ITO 的蚀刻中容易产生残渣,因此也可以使用氧化铟氧化锌合金 ( $\text{In}_2\text{O}_3\text{-ZnO}$ ),以便改善蚀刻加工性。也可以使用 AZO、GZO。

[0147] 接着,进行光刻工序,形成抗蚀剂掩模,并且通过蚀刻去除不需要的部分,以形成像素电极层 110。另外,在该光刻工序中,以在电容部中的栅极绝缘层 102 及保护绝缘层 106 为电介质,并由电容布线 108 和像素电极层 110 形成存储电容器。另外,在该光刻工序中,使用抗蚀剂掩模覆盖第一端子及第二端子来使形成在端子部的透明导电膜 128、129 残留。透明导电膜 128、129 成为用于与 FPC 的连接电极或布线。形成在与第一端子 121 直接连接的连接电极 120 上的透明导电膜 128 成为用作栅极布线的输入端子的用于连接的端子电极。形成在第二端子 122 上的透明导电膜 129 是用作源极布线的输入端子的用于连接的端子电极。

[0148] 注意,虽然在本实施方式中示出以栅极绝缘层 102 和保护绝缘层 106 为电介质,并由电容布线 108 和像素电极层 110 形成存储电容器的例子,但是,没有特别的限制,也可以采用如下结构:在电容布线的上方设置包括与源电极或漏电极相同的材料的电极,使用该电极、电容布线、它们之间的用作电介质的栅极绝缘层 102 来形成存储电容器,并且使该电极和像素电极电连接。

[0149] 接着,去除抗蚀剂掩模。图 3 示出该阶段的截面图。注意,该阶段的像素部中的薄膜晶体管 170 的俯视图相当于图 4。

[0150] 另外,图 4 中的沿线 A1-A2 的截面图及图 4 中的沿线 B1-B2 的截面图相当于图 3。图 3 示出像素部中的薄膜晶体管 170 的截面结构、像素部中的电容器部的截面结构、端子部的截面结构。

[0151] 此外,图 5A1 和图 5A2 分别图示出这阶段的栅极布线端子部的截面图及俯视图。图 5A1 相当于沿着图 5A2 中的线 C1-C2 的截面图。在图 5A1 中,形成在保护绝缘膜 106 上的透明导电膜 155 是用作输入端子的用于连接的端子电极。另外,在图 5A1 中,在端子部中,使用与栅极布线相同的材料形成的第一端子 151 隔着栅极绝缘层 152 重叠于使用与源极布线相同的材料形成的连接电极 153,并且利用透明导电膜 155 实现导通。

[0152] 另外,图 5B1 及图 5B2 分别示出源极布线端子部的截面图及俯视图。此外,图 5B1 相当于沿图 5B2 中的 D1-D2 线的截面图。在图 5B1 中,形成在保护绝缘层 106 上的透明导电膜 155 是用作输入端子的用于连接的端子电极。另外,在图 5B1 中,在端子部中,使用与栅极布线相同的材料形成的电极 156 隔着栅极绝缘层 152 重叠于电连接到源极布线的第二端子 150 的下方。电极 156 不与第二端子 150 电连接,并且通过将电极 156 设定为与第二端子 150 不同的电位,例如浮动状态、GND、0V 等,可以形成用于对杂波的措施的电容器或用于对静电的措施的电容器。此外,第二端子 150 隔着保护绝缘层 106 与透明导电膜 155 电连接。

[0153] 根据像素密度而设置多个栅极布线、源极布线及电容布线。此外,在端子部中,排列地配置多个具有与栅极布线相同的电位的第一端子、多个具有与源极布线相同的电位的第二端子、多个具有与电容布线相同的电位的第三端子等。各端子的数量可以是任意的数量,而实施者适当地决定,即可。

[0154] 通过上述工序,可以完成包括具有包含氧化硅的氧化物半导体层的薄膜晶体管170、存储电容器的像素部、以及端子部。另外,也可以在同一衬底上形成驱动电路。

[0155] 当制造有源矩阵型液晶显示装置时,在有源矩阵衬底和设置有对置电极的对置衬底之间设置液晶层,以固定有源矩阵衬底和对置衬底。另外,在有源矩阵衬底上设置电连接到设置在对置衬底上的对置电极的共同电极,并且在端子部设置电连接到共同电极的端子。该端子是用于将共同电极设定为固定电位,例如 GND、0V 等的端子。

[0156] 此外,本实施方式不局限于图 4 的像素结构。图 6 示出与图 4 不同的俯视图的例子。图 6 示出一例,其中不设置电容布线,并且在像素电极和相邻的像素的栅极布线之间夹持保护绝缘膜及栅极绝缘层来形成存储电容器。在此情况下,可以省略电容布线及与电容布线连接的第三端子。另外,在图 6 中,使用相同的附图标记说明与图 4 相同的部分。

[0157] 在有源矩阵型液晶显示装置中,通过驱动配置为矩阵状的像素电极,在画面上形成显示图案。详细地说,通过在被选择的像素电极和对应于该像素电极的对置电极之间施加电压,进行对配置在像素电极和对置电极之间的液晶层的光学调制,并且该光学调制作作为显示图案而被观察者确认。

[0158] 当液晶显示装置显示动态图像时,由于液晶分子本身响应较慢,所以有发生余像或动态图像模糊的问题。为了改善液晶显示装置的动态图像特性,有被称为所谓的插黑的驱动技术,该插黑是指每隔一个帧地进行整个画面的黑色显示的技术。

[0159] 另外,还有被称为所谓的倍速驱动的驱动技术,该倍速驱动是指通过将通常的垂直同步频率(vertical synchronizing frequency)设定为 1.5 倍以上,优选设定为 2 倍以上来改善动态图像特性的技术。

[0160] 另外,为了改善液晶显示装置的动态图像的特性,还有如下驱动技术:作为背光灯,使用多个 LED(发光二极管)光源或多个 EL 光源等来构成面光源,并且将构成面光源的各光源独立地在一个帧期间内进行间歇发光驱动。作为面光源,可以使用三种以上的 LED 或白色发光 LED。由于可以独立地控制多个 LED,所以可以使 LED 的发光时序根据液晶层的光学调制的切换时序同步实现。由于该驱动技术可以将 LED 部分地关闭(turn off),所以尤其是当是显示于一个画面上的黑色显示区域的比率高的映像时,可以谋求实现耗电量的降低。

[0161] 通过组合上述驱动技术,可以比现有液晶显示装置进一步改善液晶显示装置的动态图像特性等的显示特性。

[0162] 另外,根据本实施方式,可以以低成本提供电特性高且可靠性高的显示装置。

[0163] 另外,本实施方式可以与实施方式 1 自由组合。

[0164] 实施方式 3

[0165] 在本实施方式中,示出进行使用多级灰度掩模的曝光以减少掩模数的例子。

[0166] 此外,示出作为氧化物半导体层的组成不使用生产量有限制的稀少金属的铟的例子。另外,还示出作为氧化物半导体层的组成元素不使用一种稀少金属的镓的例子。

[0167] 注意,多级灰度掩模是指能够进行三级曝光水平,即曝光部分、中间曝光部分以及未曝光部分的掩模,并且是透过的光具有多种强度的曝光掩模。通过进行一次的曝光及显影工序,可以形成具有多种(典型为两种)膜厚度的区域的抗蚀剂掩模。因此,通过使用多级灰度掩模,可以减少曝光掩模数。

[0168] 作为多级灰度掩模的代表例子,有灰色调掩模、半色调掩模。

[0169] 灰色调掩模包括透光衬底、形成在其上的遮光部及衍射光栅。在遮光部中,光透过率为0%。另一方面,衍射光栅可以通过将狭缝、点、网眼等的光的透过部的间隔设定为用于曝光的光的分辨率限度以下的间隔来控制光的透过率。另外,周期性狭缝、点、网眼或非周期性狭缝、点、网眼都可以用于衍射光栅。

[0170] 半色调掩模包括透光衬底、形成在其上的半透过部以及遮光部。作为半透过部,可以使用 MoSiN、MoSi、MoSiO<sub>2</sub>、MoSiON、CrSi 等。遮光部可以使用铬或氧化铬等吸收光的遮光材料形成。在对半色调掩模照射曝光光线的情况下,在遮光部中光透过率为0%,并且在未设置遮光部及半透过部的区域中光透过率为100%。另外,在半透过部中,可以在10%至70%的范围内调整光透过率。半透过部中的光透过率可以根据半透过部的材料而调整。

[0171] 图 12A 至图 12E 相当于示出薄膜晶体管 360 的制造工序的截面图。

[0172] 在图 12A 中,在设置有绝缘膜 357 的衬底 350 上设置栅电极层 351。在本实施方式中,使用氧化硅膜(膜厚度为 100nm)作为绝缘膜 357。在栅电极层 351 上按顺序层叠栅极绝缘层 352、包含氧化硅的氧化物半导体膜 380、氧氮化物膜 381 以及导电膜 383。在本实施方式中,作为包含氧化硅的氧化物半导体膜 380,使用不包含镉及镓的氧化物半导体,典型地使用 Zn-O 类、Sn-Zn-O 类的氧化物半导体。在本实施方式中,作为包含氧化硅的氧化物半导体膜 380,使用利用溅射法而得到的 Zn-O 类的氧化物半导体。此外,作为氧氮化物膜 381,使用不包含氧化硅的 Zn-O-N 类的氧氮化物材料。

[0173] 接着,在栅极绝缘层 352、包含氧化硅的氧化物半导体膜 380、氧氮化物膜 381 以及导电膜 383 上形成掩模 384。

[0174] 在本实施方式中,示出使用多级(高级)灰度掩模进行曝光以形成掩模 384 的例子。

[0175] 通过在使用使透过的光具有多种强度的多级灰度掩模进行曝光之后进行显影,可以形成如图 12B 所示那样的具有膜厚度不同的区域的掩模 384。通过使用多级灰度掩模,可以减少曝光掩模数。

[0176] 接着,使用掩模 384 进行第一蚀刻工序,对包含氧化硅的氧化物半导体膜 380、氧氮化物膜 381 以及导电膜 383 进行蚀刻而加工成岛状。其结果,可以形成受到构图的包含氧化硅的氧化物半导体层 390、氧氮化物层 385 以及导电层 387(参照图 12B)。

[0177] 接着,对掩模 384 进行灰化。其结果,掩模的面积缩小,并且膜厚度变薄。此时,膜厚度薄的区域的掩模的抗蚀剂(与栅电极层 351 的一部分重叠的区域)被去除,可以形成被分离的掩模 388(参照图 12C)。

[0178] 使用掩模 388 通过进行第二蚀刻工序对氧氮化物层 385、导电层 387 进行蚀刻,而形成包含氧化硅的氧化物半导体层 353、源区及漏区 354a、354b 以及源电极层及漏电极层 355a、355b(参照图 12D)。另外,包含氧化硅的氧化物半导体层 353 仅有一部分被蚀刻,而成为具有槽部(凹部)以及其一部分被蚀刻而露出的端部的氧化物半导体层。

[0179] 通过利用第一蚀刻工序对氧氮化物膜 381、导电膜 383 进行干蚀刻,氧氮化物膜 381、导电膜 383 受到各异性蚀刻,从而掩模 384 的端部与氧氮化物层 385、导电层 387 的端部一致,而成为连续的形状。

[0180] 同样地,通过利用第二蚀刻工序对氧氮化物层 385、导电层 387 进行干蚀刻,氧氮

化物层 385 以及导电层 387 受到各异向性蚀刻,从而掩模 388 的端部与包含氧化硅的氧化物半导体层 353 的凹部以及端部、源区及漏区 354a、354b 的端部、源电极层及漏电极层 355a、355b 的端部一致,而成为连续的形状。

[0181] 此外,虽然在本实施方式中示出包含氧化硅的氧化物半导体层 353、源电极层及漏电极层 355a、355b 的端部以相同的锥形角连续地层叠的形状,但是根据蚀刻条件、氧化物半导体层及导电层的材料而蚀刻速度不同,所以也有分别具有不同锥形角或不连续的端部形状的情况。

[0182] 然后,去除掩模 388。

[0183] 接着,在包含氧的气氛下进行 200°C 至 600°C 的加热(参照图 12E)。包含氧化硅的氧化物半导体层 353 包含阻碍晶化的氧化硅,即使进行 200°C 至 600°C 的加热也可以保持非晶状态。

[0184] 通过上述工序,可以制造具有包含氧化硅的氧化物半导体层 353 的沟道蚀刻型薄膜晶体管 360。

[0185] 如本实施方式所示,通过采用使用多级灰度掩模形成的具有多种(典型的是两种)膜厚度的区域的抗蚀剂掩模,可以减少抗蚀剂掩模数,从而可以谋求实现工序的简化以及低成本化。

[0186] 再者,如本实施方式所示,由于通过不将铟及镓用于包含氧化硅的氧化物半导体层或者氮化物层,可以降低氧化物半导体靶材的价格,因此可以谋求实现低成本化。

[0187] 由此,可以以低成本且高生产率制造半导体装置。

[0188] 实施方式 4

[0189] 在本实施方式中,参照图 13A 及图 13B 而说明沟道停止型薄膜晶体管 430 的一例。此外,图 13B 是薄膜晶体管的俯视图的一例,并且沿图中的虚线 Z1-Z2 切断的截面图相当于图 13A。另外,示出将不包含铟的氧化物半导体材料用于薄膜晶体管 430 的氧化物半导体层的例子。

[0190] 在图 13A 中,在衬底 400 上设置栅电极 401。接着,在覆盖栅电极 401 的栅极绝缘层 402 上设置包含氧化硅的氧化物半导体层 403。

[0191] 在本实施方式中,作为包含氧化硅的氧化物半导体层 403,使用利用溅射法而得到的 Zn-O 类的氧化物半导体。在本实施方式中,作为包含氧化硅的氧化物半导体层 403,使用不包含铟的氧化物半导体,典型地使用 Zn-O 类、Ga-Sn-Zn-O 类、Ga-Zn-O 类、Sn-Zn-O 类、Ga-Sn-O 类的氧化物半导体。

[0192] 接着,在包含氧化硅的氧化物半导体层 403 上接触地设置沟道保护层 418。通过设置沟道保护层 418,可以防止在工序中包含氧化硅的氧化物半导体层 403 的沟道形成区所受到的损伤(蚀刻中的等离子体或蚀刻剂所导致的膜减少、氧化等)。由此,可以提高薄膜晶体管 430 的可靠性。

[0193] 作为沟道保护层 418,可以使用无机材料(氧化硅、氮化硅、氧氮化硅、氮氧化硅等)。作为制造方法,可以使用等离子体 CVD 法或热 CVD 法等气相生长法或者溅射法。在成膜后通过进行蚀刻来加工其形状而形成沟道保护层 418。在此,通过溅射法形成氧化硅膜,并且使用通过光刻形成的掩模进行蚀刻加工,来形成沟道保护层 418。

[0194] 接着,在沟道保护层 418 及包含氧化硅的氧化物半导体层 403 上形成源区及漏区

406a、406b。在本实施方式中，源区及漏区 406a、406b 使用 Ga-Zn-O-N 类非单晶膜。此外，源区及漏区 406a、406b 也可以使用包含氮的 Zn-O 类非单晶膜，即 Zn-O-N 类非单晶膜。

[0195] 接着，在源区及漏区 406a、406b 上分别形成第一布线 409、第二布线 410。作为第一布线 409 及第二布线 410，使用选自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金或组合上述元素的合金膜等。此外，也可以使用氧化铟锡 (ITO:Indium Tin Oxide)、包含铝的氧化锌 (AZO:Aluminium doped Zinc Oxide) 或者包含镓的氧化锌 (GZO:Gallium doped Zinc Oxide)。通过对氧化锌添加少量 (例如为几 wt%) 的  $Al_2O_3$ 、 $Ga_2O_3$  等成为三价离子的元素，可以谋求实现低电阻化。

[0196] 通过设置源区及漏区 406a、406b，金属层的第一布线 409、第二布线 410 与包含氧化硅的氧化物半导体层 403 具有良好的接合，以实现与肖特基结相比在热方面稳定的工作。另外，为了供给沟道的载流子 (源极一侧)、稳定地吸收沟道的载流子 (漏极一侧) 或者不在与布线之间的界面产生电阻成分，积极地设置源区及漏区 406a、406b 是有效的。

[0197] 接着，优选以 200°C 至 600°C，典型地以 300°C 至 500°C 进行热处理。在此放置在炉中，在大气气氛下以 350°C 进行一个小时的热处理。通过该热处理，进行包含氧化硅的氧化物半导体层 403 的原子级的重新排列。借助于该热处理而解除阻碍载流子迁移的应变，所以在此的热处理 (还包括光退火) 是重要的。另外，由于通过在此的热处理而包含在包含氧化硅的氧化物半导体层 403 中的氧化硅阻挡包含氧化硅的氧化物半导体层 403 的晶化，因此可以使包含氧化硅的氧化物半导体层 403 的大部分维持非晶状态。此外，只要是形成包含氧化硅的氧化物半导体层 403 后，就对进行热处理的时序没有特别的限制，而例如也可以在形成像素电极之后进行。

[0198] 再者，如本实施方式那样，通过不将铟用于氧化物半导体层，作为材料不需要使用有可能枯竭的铟。

[0199] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0200] 实施方式 5

[0201] 在本实施方式中，参照图 14A 和 14B 而说明使用两个 n 沟道型薄膜晶体管 760、761 构成反相器电路的例子。此外，示出将不包含镓的氧化物半导体材料用于薄膜晶体管 760、761 的氧化物半导体层的例子。

[0202] 使用反相器电路、电容器、电阻等构成用来驱动像素部的驱动电路。在组合两个 n 沟道型 TFT 形成反相器电路的情况下，有组合增强型晶体管和耗尽型晶体管形成反相器电路的情况 (以下称为 EDMOS 电路) 和组合两个增强型 TFT 形成反相器电路的情况 (以下称为 EEMOS 电路)。注意，在 n 沟道型 TFT 的阈值电压是正的情况下，将该 TFT 定义为增强型晶体管，而在 n 沟道型 TFT 的阈值电压是负的情况下，将该 TFT 定义为耗尽型晶体管。在本说明书中按照该定义进行描述。

[0203] 将像素部和驱动电路形成在同一衬底上，并且在像素部中，使用配置为矩阵状的增强型晶体管切换对像素电极施加电压的导通截止。

[0204] 图 14A 示出驱动电路的反相器电路的截面结构。在图 14A 中，在衬底 740 上设置第一栅电极 741 及第二栅电极 742。第一栅电极 741 及第二栅电极 742 可以使用钼、钛、铬、钽、钨、铝、铜、钽、铟等的金属材料或以这些材料为主要成分的合金材料的单层或叠层形成。

[0205] 此外，在覆盖第一栅电极 741 及第二栅电极 742 的栅极绝缘层 743 上设置第一布

线 749、第二布线 750 以及第三布线 751, 并且第二布线 750 通过形成在栅极绝缘膜 743 中的接触孔 744 与第二栅电极 742 直接连接。

[0206] 此外, 在第一布线 749、第二布线 750 以及第三布线 751 上形成源区及漏区 755a、755b、756a、756b。在本实施方式中, 源区及漏区 755a、755b、756a、756b 是不包含氧化硅的 Zn-O-N 类非单晶膜。另外, 源区及漏区 755a、755b、756a、756b 也可以使用包含氮的 In-Zn-O-N 类非单晶膜。

[0207] 此外, 在重叠于第一栅电极 741 的位置并在第一布线 749 及第二布线 750 上隔着源区及漏区 755a、755b 设置包含氧化硅的第一氧化物半导体层 745, 并且在重叠于第二栅电极 742 的位置并在第二布线 750 及第三布线 751 上隔着源区及漏区 756a、756b 设置包含氧化硅的第二氧化物半导体层 747。

[0208] 在本实施方式中, 作为包含氧化硅的第一氧化物半导体层 745 及包含氧化硅的第二氧化物半导体层 747, 使用利用溅射法而得到的 Zn-O 类的氧化物半导体。作为包含氧化硅的第一氧化物半导体层 745 及包含氧化硅的第二氧化物半导体层 747, 使用不包含镓的氧化物半导体, 典型地使用 In-Sn-Zn-O 类、In-Zn-O 类、In-Sn-O 类、Sn-Zn-O 类、Zn-O 类的氧化物半导体。

[0209] 第一薄膜晶体管 760 具有第一栅电极 741 和隔着栅极绝缘层 743 与第一栅电极 741 重叠的包含氧化硅的第一氧化物半导体层 745, 并且第一布线 749 是接地电位的电源线 (接地电源线)。该接地电位的电源线也可以是被施加负电压 VDL 的电源线 (负电源线)。

[0210] 此外, 第二薄膜晶体管 761 具有第二栅电极 742 和隔着栅极绝缘层 743 与第二栅电极 742 重叠的包含氧化硅的第二氧化物半导体层 747, 并且第三布线 751 是被施加正电压 VDD 的电源线 (正电源线)。

[0211] 如图 14A 所示, 电连接到包含氧化硅的第一氧化物半导体层 745 和包含氧化硅的第二氧化物半导体层 747 的双方的第二布线 750 通过形成在栅极绝缘层 743 中的接触孔 744 与第二薄膜晶体管 761 的第二栅电极 742 直接连接。通过使第二布线 750 和第二栅电极 742 直接连接, 可以得到良好的接触并降低接触电阻。与通过其他导电膜, 例如透明导电膜连接第二栅电极 742 和第二布线 750 的情况相比, 可以谋求实现接触孔数的减少、借助于接触孔数的减少的占有面积的缩小。

[0212] 此外, 图 14B 示出驱动电路的反相器电路的俯视图。在图 14B 中, 沿虚线 Y1-Y2 切断的截面相当于图 14A。

[0213] 如本实施方式所示, 镓不被使用于氧化物半导体层, 所以不使用作为制造成本高的材料的镓。

[0214] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0215] 实施方式 6

[0216] 在本实施方式中, 参照图 15A 及图 15B 而说明顶栅型薄膜晶体管 330 的一例。此外, 图 15B 是薄膜晶体管的俯视图的一例, 并且沿图中的虚线 P1-P2 切断的截面图相当于图 15A。

[0217] 在图 15A 中, 通过在衬底 300 上层叠导电膜和氧氮化物膜并进行蚀刻, 形成第一布线 309 和第二布线 310, 在其上形成氧氮化物层 304a、304b。注意, 第一布线 309 和第二布线 310 用作源电极或漏电极。另外, 作为用作源区及漏区的氧氮化物层 304a、304b 使用

In-Ga-Zn-O-N 类的非单晶膜。

[0218] 接着,覆盖衬底 300 的暴露的区域及氮氧化物层 304a、304b 地形成包含氧化硅 ( $\text{SiO}_x$ ) 的氧化物半导体层 305。在本实施方式中,作为包含氧化硅的氧化物半导体层 305,使用包含氧化硅的 Zn-O 类的氧化物半导体。

[0219] 接着,形成覆盖第二氧化物半导体层 305、第一布线 309 以及第二布线 310 的栅极绝缘层 303。

[0220] 接着,优选以 200°C 至 600°C,典型地以 300°C 至 500°C 进行热处理。在此放置在炉中,并且在大气气氛下以 350°C 进行一个小时的热处理。通过该热处理,进行包含氧化硅的氧化物半导体层 305 的原子级的重新排列。由于通过该热处理而解除阻碍载流子迁移的应变,所以在此的热处理(还包括光退火)是重要的。

[0221] 接着,在栅极绝缘层 303 上的与包含氧化硅的氧化物半导体层 305 接触于衬底 300 的区域重叠的位置设置栅电极 301。

[0222] 通过上述工序,可以制造顶栅结构的薄膜晶体管 330。

[0223] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0224] 实施方式 7

[0225] 在本实施方式中,参照图 16A 及图 16B 而说明顶栅型薄膜晶体管 630 的一例。此外,图 16B 是薄膜晶体管的俯视图的一例,而沿图中的虚线 R1-R2 切断的截面图相当于图 16A。

[0226] 在图 16A 中,在衬底 600 上形成包含氧化硅的氧化物半导体层 605。在本实施方式中,作为氧化物半导体层 605,使用包含氧化硅的 Zn-O 类的氧化物半导体。

[0227] 接着,在氧化物半导体层 605 上形成源区及漏区 606a、606b。在本实施方式中,源区及漏区 606a、606b 是 Ga-Zn-O 类非单晶膜。此外,源区及漏区 606a、606b 也可以使用包含氮的 Ga-Zn-O 类非单晶膜,即 Ga-Zn-O-N 类非单晶膜(也称为 GZON 膜)。

[0228] 接着,在源区及漏区 606a、606b 上形成第一布线 609 和第二布线 610。此外,第一布线 609 和第二布线 610 用作源电极或漏电极。

[0229] 接着,在第一布线 609 和第二布线 610 上形成栅极绝缘层 603。

[0230] 接着,在与氧化物半导体层 605 接触于栅极绝缘层 603 的区域重叠的位置并在栅极绝缘层 603 上设置栅电极 601。

[0231] 接着,优选以 200°C 至 600°C,典型地以 300°C 至 500°C 进行热处理。在此,放置在炉中,并且在大气气氛下以 350°C 进行一个小时的热处理。通过该热处理,进行氧化物半导体层 605 的原子级的重新排列。由于通过该热处理而解除阻碍载流子迁移的应变,所以在此的热处理(还包括光退火)是重要的。

[0232] 通过上述工序,可以制造顶栅结构的薄膜晶体管 630。

[0233] 实施方式 8

[0234] 图 31A 是使用其上下由两个栅电极夹住的氧化物半导体层的薄膜晶体管的截面图的一例。在本实施方式中,示出在具有绝缘表面的衬底上设置用于像素部及驱动电路的薄膜晶体管的制造方法的一例。

[0235] 首先,在具有绝缘表面的衬底 10 上设置第一栅电极层 11。具有绝缘表面的衬底 10 可以使用如铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等用于电子工业的玻璃衬

底（也称为“无碱玻璃衬底”）、具有能够承受本制造工序的处理温度的耐热性的塑料衬底等。在衬底 10 为母板玻璃的情况下，衬底的尺寸可以采用第一代（320mm×400mm）、第二代（400mm×500mm）、第三代（550mm×650mm）、第四代（680mm×880mm 或 730mm×920mm）、第五代（1000mm×1200mm 或 1100mm×1250mm）、第六代（1500mm×1800mm）、第七代（1900mm×2200mm）、第八代（2160mm×2460mm）、第九代（2400mm×2800mm 或 2450mm×3050mm）、第十代（2950mm×3400mm）等。

[0236] 此外，作为第一栅电极层 11，可以使用钼、钛、铬、钽、钨、铝、铜、钹、铪等金属材料或以这些金属材料为成分的合金材料的单层或叠层形成。在衬底 10 的整个表面上形成导电层后，进行光刻工序，在导电层上形成抗蚀剂掩模，通过蚀刻去除不需要的部分，以形成布线及电极（包括第一栅电极层 11 的栅极布线、电容布线、以及端子电极等）。在本实施方式中，使用膜厚度为 100nm 的钨的单层。

[0237] 在第一栅电极层 11 具有叠层结构的情况下，例如，优选采用：在铝层上层叠有钼层的双层叠层结构；在铜层上层叠有钼层的双层结构；在铜层上层叠有氮化钛层或氮化钽层的双层结构；层叠有氮化钛层和钼层的双层结构。另外，也有在包含 Ca 的铜层上层叠有成为阻挡层的包含 Ca 的氧化铜层的叠层；在包含 Mg 的铜层上层叠有成为阻挡层的包含 Mg 的氧化铜层的叠层。另外，作为三层的叠层结构，优选采用层叠有钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、氮化钛层或钛层的结构。

[0238] 接着，在去除抗蚀剂掩模之后，形成覆盖第一栅电极层 11 上的栅极绝缘层 13。栅极绝缘层 13 通过溅射法、PCVD 法等来形成且其膜厚度为 50nm 至 400nm。栅极绝缘层 13 通过使用氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化钽等无机绝缘膜的单层或叠层来形成。作为栅极绝缘层 13，也可以通过使用有机硅烷气体的 CVD 法形成氧化硅层。作为有机硅烷气体，可以使用正硅酸乙酯（TEOS：化学式为  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基硅烷（TMS：化学式为  $\text{Si}(\text{CH}_3)_4$ ）、四甲基环四硅氧烷（TMCTS）、八甲基环四硅氧烷（OMCTS）、六甲基二硅氮烷（HMDS）、三乙氧基硅烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三（二甲氨基）硅烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等含硅化合物。

[0239] 在本实施方式中，对高密度等离子体装置的反应室引入作为材料气体的甲硅烷气体（ $\text{SiH}_4$ ）、一氧化二氮（ $\text{N}_2\text{O}$ ），在 10Pa 至 30Pa 的压力下产生高密度等离子体，以在第一栅电极层 11 上形成膜厚度为 100nm 的栅极绝缘层 13。在本实施方式中，高密度等离子体装置是指能够实现  $1 \times 10^{11}/\text{cm}^3$  以上的等离子体密度的装置。例如，施加 3kW 至 6kW 的微波电力产生等离子体，而形成绝缘膜。当形成绝缘膜时，将引入到反应室中的甲硅烷气体（ $\text{SiH}_4$ ）和一氧化二氮（ $\text{N}_2\text{O}$ ）的流量比设定为 1：10 至 1：200 的范围内。另外，作为引入到反应室中的稀有气体，可以使用氩、氙、氦、氙等，其中优选使用廉价的氩。

[0240] 另外，因为使用高密度等离子体装置而得到的栅极绝缘层 13 可以具有一定膜厚度，所以优越于台阶覆盖性。另外，可以细致地控制由高密度等离子体装置得到的绝缘膜的膜厚度。

[0241] 使用高密度等离子体装置而得到的绝缘膜与使用现有的平行平板型 PCVD 装置而得到的绝缘膜不同得多，并且，在使用相同的蚀刻剂比较蚀刻速度的情况下，使用高密度等离子体装置而得到的绝缘膜的蚀刻速度比使用现有的平行平板型 PCVD 装置而得到的绝缘膜的蚀刻速度慢 10% 以上或 20% 以上，从而可以说使用高密度等离子体装置而得到的绝缘膜是细致的膜。

[0242] 接着,在栅极绝缘层 13 上形成氧化物半导体膜。氧化物半导体膜的膜厚度至少为 30nm 以上,优选为 60nm 以上且 150nm 以下。在本实施方式中,作为氧化物半导体膜,形成第一 Zn-O 类非单晶膜。使用直径为 8 英寸的包含 Zn(锌)的氧化物半导体靶材(ZnO),将衬底和靶材之间的距离设定为 170mm,将压力设定为 0.4Pa,将直流(DC)电源设定为 0.5kW,并且在氩或氧气氛下,进行成膜。注意,当使用脉冲直流(DC)电源时,可以减轻尘土,并且膜厚度的分布成为均匀,所以是很优选。

[0243] 注意,在使用大面积的玻璃衬底的情况下,将一个大靶材材料贴在一个大底板(backing plate)是不容易进行的,并且是很贵价,因此将靶材材料分割并键合到一个底板。对靶材来说,将靶材材料贴在底板(用来贴合靶材材料的衬底),并且受到真空包装。当形成第一 Zn-O 类非单晶膜时,为了得到良好的薄膜晶体管的电特性,而优选尽量不接触于大气的水分等地将贴合有靶材材料的底板设置在溅射装置中。不局限于设置在溅射装置中的情况,而当制造靶材时、当将靶材材料键合到底板时、直到进行真空包装的期间中,优选尽量不使靶材材料接触于大气的水分等。

[0244] 在通过溅射法形成 Zn-O 类氧化物半导体膜的情况下,也可以对包含 Zn 的氧化物半导体靶材添加氧化硅等绝缘杂质。通过使氧化物半导体包含绝缘杂质,容易使所形成的氧化物半导体非晶化。此外,在氧化物半导体层在后面的过程中受到热处理的情况下,可以抑制由于该热处理而晶化。

[0245] 接着,不暴露于大气地通过溅射法来形成成为其电阻低于第一 Zn-O 类非单晶膜的氧化物半导体膜(在本实施方式中,是第二 Zn-O 类非单晶膜)的膜。在本实施方式中,在包含氮气体的气氛下通过溅射法使用包含 Zn(锌)的氧化物半导体靶材(ZnO),来形成包含锌的氧氮化物膜。该氧氮化物膜通过后面进行的热处理而成为其电阻低于第一 Zn-O 类非单晶膜的氧化物半导体膜。

[0246] 接着,进行光刻工序,在第二 Zn-O 类非单晶膜上形成抗蚀剂掩模,蚀刻第一及第二 Zn-O 类非单晶膜。注意,在此的蚀刻不局限于湿蚀刻,而也可以采用干蚀刻。

[0247] 接着,在去除抗蚀剂掩模后,在第一及第二 Zn-O 类非单晶膜上通过溅射法、真空蒸镀法形成由金属材料构成的导电膜。作为导电膜的材料,可以举出选自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。另外,在进行 200°C 至 600°C 的热处理的情况下,优选使导电膜具有承受该热处理的耐热性。因为当使用 Al 单质时有耐热性低并且容易腐蚀等问题,所以组合 Al 与耐热导电材料而形成使用。作为与 Al 组合的耐热导电材料,使用选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、钪(Sc)中的元素、以上述元素为成分的合金、组合上述元素的合金膜或者以上述元素为成分的氮化物。

[0248] 在此,作为导电膜,采用层叠 Al 膜和 Ti 膜而得到的导电膜。此外,导电膜也可以采用钛膜的单层结构。另外,作为导电膜,也可以采用三层结构,其中包括 Ti 膜、在该 Ti 膜上层叠的包含 Nd 的铝(Al-Nd)膜、以及在其上形成的 Ti 膜。作为导电膜,还可以采用包含硅的铝膜的单层结构。

[0249] 接着,进行光刻工序,在导电膜上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成源电极层及漏电极层 15a、15b。作为此时的蚀刻方法,采用湿蚀刻或者干蚀刻。在此,通过使用作为反应气体的  $\text{SiCl}_4$ 、 $\text{Cl}_2$  和  $\text{BCl}_3$  的混合气体的干蚀刻,蚀刻层叠有 Al 膜和 Ti

膜的导电膜,以形成源电极层及漏电极层 15a、15b。此外,通过在此的蚀刻,使用相同的抗蚀剂掩模,选择性地蚀刻第二 Zn-0 类非单晶膜,以形成源区及漏区 14a、14b,并且第一 Zn-0 类非单晶膜的一部分露出。

[0250] 再者,通过使用相同的抗蚀剂掩模的上述蚀刻工序,露出的第一 Zn-0 类非单晶膜受到选择性的蚀刻,而成为具有其膜厚度薄于重叠于源电极层及漏电极层 15a、15b 的区域的氧化物半导体层 16。因为以相同的工序进行对源电极层及漏电极层 15a 和 15b、源区及漏区 14a 和 14b、露出的第一 Zn-0 类非单晶膜的蚀刻,所以如图 1A 所示,源电极层及漏电极层 15a 和 15b 以及源区及漏区 14a 和 14b 的端部一致,而成为连续结构。注意,不局限于以相同的工序进行对源电极层及漏电极层 15a 和 15b、源区及漏区 14a 和 14b、露出的第一 Zn-0 类非单晶膜的蚀刻,而也可以以多个蚀刻工序进行。

[0251] 接着,在去除抗蚀剂掩模之后,优选以 200℃ 至 600℃,典型地以 300℃ 至 500℃ 进行热处理。在此放置在炉中,在包含氧的氮气氛下以 350℃ 进行一个小时的热处理。通过该热处理,进行第一 Zn-0 类非单晶膜的原子级的重新排列。借助于该热处理而解除阻碍载流子迁移的应变,所以在此的热处理(还包括光退火)是重要的。另外,进行第二 Zn-0 类非单晶膜的低电阻化,以形成电阻低的源区及漏区 14a、14b。注意,只要是形成第二 Zn-0 类非单晶膜后,就对进行热处理的时序没有特别的限制。

[0252] 接着,以膜厚度为 0.5 μm 至 3 μm 的范围形成覆盖源电极层及漏电极层 15a 和 15b、以及具有膜厚度薄的区域的氧化物半导体层 16 的树脂层 17。作为用于树脂层 17 的感光性或者非感光性的有机材料,使用聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺-酰胺、抗蚀剂、苯并环丁烯、或者这些的叠层等。在此,为了削减工序数,而通过涂布法形成感光性的聚酰亚胺。通过曝光、显影及焙烧,来形成其表面平坦且其膜厚度为 1.5 μm 的由聚酰亚胺构成的树脂层 17。树脂层 17 在后面进行的第二保护绝缘层的形成时用作保护具有膜厚度薄的区域的氧化物半导体层 16 及源区及漏区 14a、14b 避免受到等离子体损伤的第一保护绝缘层。此外,树脂层 17 以接触的方式覆盖露出的氧化物半导体层 16 的膜厚度薄的区域,并且用作阻挡对氧化物半导体层 16 的水分、氢等的侵入的第一保护绝缘层。作为树脂层,可以得到没有针孔的膜,并且可以得到与表面凹凸无关地形成具有平坦表面的膜,所以优越于台阶覆盖性。

[0253] 此外,也可以在形成树脂层 17 之前对露出的氧化物半导体层 16 的膜厚度薄的区域进行氧自由基处理。通过进行氧自由基处理,可以进行氧化物半导体层的露出表面附近的改性,得到氧过剩区域。既可利用包含氧的气体通过等离子体产生装置供给氧自由基,又可通过臭氧产生装置供给氧自由基。通过将所供给的氧自由基或氧照射到薄膜,可以对薄膜进行表面改性。此外,不局限于氧自由基处理,而也可以进行氩和氧的自由基处理。氩和氧的自由基处理是指引入氩气体和氧气体而产生等离子体以对薄膜进行表面改性的处理。

[0254] 接着,在树脂层 17 上通过 PCVD 法或者溅射法以低功率条件(或者低衬底温度(低于 200℃、优选为室温至 100℃))形成其膜厚度为 50nm 至 400nm 的范围的第二保护绝缘层 18。此外,也可以以低功率条件利用高密度等离子体装置来形成第二保护绝缘层 18。作为使用高密度等离子体装置而得到的第二保护绝缘层 18,可以得到比使用 PCVD 法而得到的膜细致的膜。作为第二保护绝缘层 18,使用氮化硅膜、氧氮化硅膜、或者氮氧化硅膜,并且阻挡水分、氢离子、OH<sup>-</sup> 等。在本实施方式中,使用 PCVD 法,将硅烷气体的流量设定为 35sccm,

将氨 (NH<sub>3</sub>) 的流量设定为 300sccm, 将氢气体的流量设定为 800sccm, 将压力设定为 60Pa, 将 RF 电力功率设定为 300W, 将电源频率设定为 13.56MHz, 进行成膜, 以形成其膜厚度为 200nm 的氮化硅膜。这些膜发挥阻挡水分、氢离子、OH<sup>-</sup> 等的效果。在此情况下, 当对第二栅电极进行为了得到所希望的俯视形状的选择性的蚀刻时, 可以使第二保护绝缘膜用作蚀刻停止层。此外, 在此情况下, 第一保护绝缘膜及第二保护绝缘膜也用作第二栅极绝缘层。

[0255] 此外, 在上述结构中, 氧化物半导体层的膜厚度薄的区域是重叠于第一栅电极及第二栅电极的沟道形成区。在氧化物半导体层的膜厚度薄的区域中, 第二栅电极一侧的区域被称为背沟道。当使用包括水分、氢离子、OH<sup>-</sup> 等的等离子体形成接触于该背沟道的膜时, 蓄积电荷, 对缓冲层中的氧缺少型的缺陷的部分侵入等离子体的负电荷、或者 OH<sup>-</sup>, 而有可能不形成想要意图性地形成的 NI 结。当在氧化物半导体层中氧缺乏时, 在层中增加容易与负电荷结合的 Zn, 并且当对其部分侵入等离子体的负电荷时, 缓冲层 (N<sup>+</sup> 型区) 变化为 N 型区域、以及 N<sup>-</sup> 区、I 型区, 从而消失设置在缓冲层的界面的 NI 结。由于该原因, 而有可能消失耗尽层, 并且薄膜晶体管的 V<sub>g</sub>-I<sub>d</sub> 特性成为不稳定的值。

[0256] 接着, 在形成导电层后, 进行光刻工序, 在导电层上形成抗蚀剂掩模, 通过蚀刻去除不需要的部分, 以形成布线及电极 (包括第二栅电极层 19 的布线等)。当对第二栅电极层 19 进行为了得到所希望的俯视形状的选择性的蚀刻时, 可以使第二保护绝缘层 18 用作蚀刻停止层。

[0257] 作为形成在第二保护绝缘层 18 上的导电层, 可以使用金属材料 (选自铝 (Al)、铜 (Cu)、钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、钪 (Sc) 中的元素、以上述元素为成分的合金)。因为这些膜具有遮光性, 所以可以遮光对氧化物半导体层的光。

[0258] 在图 31A 中, 截面的第二栅电极层 19 的宽度大于第一栅电极层 11 并且大于氧化物半导体层的宽度。使第二栅电极层 19 的宽度大于氧化物半导体层的宽度并且将第二栅电极层 19 的形状成为覆盖氧化物半导体层的俯视形状的形状, 以进行遮光, 是很有用的。因为氧化物半导体层 16 的膜厚度薄的区域不由源电极或漏电极覆盖, 所以有可能由于光照射而改变薄膜晶体管的电特性。因为通过溅射法而形成的 Zn-O 类非单晶膜在波长为 450nm 以下具有光感度, 所以设置用作遮断波长为 450nm 以下的光的遮光层的第二栅电极层 19 是很有用的。

[0259] 此外, 作为形成在第二保护绝缘层 18 上的导电层, 也可以使用具有透光性的导电材料诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡 (以下, 称为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。在使用具有透光性的导电材料的情况下, 通过使用与像素电极相同的材料, 可以以与在形成第二栅电极时相同的光掩模形成像素电极。通过使用相同的材料形成第二栅电极和像素电极, 可以削减工序数。此外, 在第二栅电极使用具有透光性的导电材料的情况下, 优选将用来遮光具有其膜厚度薄的区域的氧化物半导体层 16 的遮光层以重叠的方式另行设置在氧化物半导体层 16 的上方的其膜厚度薄的区域的位置。作为遮光层, 使用至少在 400nm 至 450nm 的波长区域中示出大约低于 50% 的透光率、优选为低于 20% 的透光率的材料。例如, 作为遮光层的材料, 可以使用铬、氮化钛等金属膜、或者黑色树脂。在为了遮断光而使用黑色树脂的情况下, 光越强, 黑色树脂的膜厚度需要越厚, 所以在需要薄的黑色树脂的情况下, 优选使用遮光性高且可以进行精细的蚀刻加工及薄膜化的金属膜。

[0260] 通过上述工序,可以得到图 31A 所示的薄膜晶体管 20。

[0261] 此外,虽然在上述工序中,示出将通常的光掩模用于光刻工序的例子,但是当使用通过使用多级灰度掩模的光刻工序而形成的具有多种(典型为两种)膜厚度的区域的抗蚀剂掩模时,可以减少抗蚀剂掩模数,所以可以谋求实现工序的简化、低成本化。

[0262] 此外,当为了使第二栅电极层 19 的电位成为与第一栅电极层 11 相同的电位而进行电连接时,在第二保护绝缘层 18 上形成第二栅电极层 19 之前进行光刻工序,在第二保护绝缘层 18 上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成到达第一栅电极层 11 的开口。

[0263] 注意,当使第二栅电极层 19 的电位成为与第一栅电极层 11 不同的电位时,不需要形成用来电连接第二栅电极层 19 和第一栅电极层 11 的开口。

[0264] 此外,图 31B 示出其一部分与图 31A 不同的结构。在图 31B 中,除了与图 31A 不同的部分以外,使用相同的附图标记而进行说明。

[0265] 图 31B 是以与图 31A 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的一例。

[0266] 如图 31B 所示,薄膜晶体管 21 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成,并且设置在树脂层 17 和第二保护绝缘层 18 之间。图 31A 的薄膜晶体管 20 的第二栅极绝缘层是由树脂层 17 和第二保护绝缘层 18 构成的叠层,但是薄膜晶体管 21 的第二栅极绝缘层仅由树脂层 17 构成。在将第二栅电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下,该第二栅电极层 19 与树脂层 17 一起发挥减少对氧化物半导体层 16 的等离子体损伤的效果。

[0267] 此外,图 31B 示出在第一栅电极层 11 和衬底 10 之间设置基底绝缘层 12 的例子。当作为基底绝缘层 12 而使用其膜厚度为 50nm 至 200nm 的氧氮化硅膜、氮氧化硅膜、或者氮化硅膜等时,可以阻挡来自玻璃衬底的杂质例如钠等扩散并侵入后面形成在上方的氧化物半导体中。此外,在设置基底绝缘层 12 的情况下,可以防止由于在形成第一栅电极层 11 时的蚀刻工序而衬底 10 受到蚀刻。

[0268] 此外,虽然上述结构示出作为反交错型结构的一种的沟道蚀刻型的例子,但是对薄膜晶体管结构没有特别的限制。例如,薄膜晶体管结构也可以为底接触结构。在底接触结构中,因为在对导电膜进行选择性的蚀刻来形成源电极或漏电极后形成氧化物半导体层,所以与沟道蚀刻型的 TFT 的氧化物半导体层相比,形成氧化物半导体后的工序数少,并且使氧化物半导体层暴露于等离子体的次数也少。暴露于等离子体的次数越少,可以越降低对氧化物半导体层的等离子体损伤。

[0269] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0270] 实施方式 9

[0271] 图 32A 是使用其上下由两个栅电极夹住的氧化物半导体层的薄膜晶体管的截面图的一例。在本实施方式中,示出在具有绝缘表面的衬底上设置用于像素部及驱动电路的薄膜晶体管的制造方法的一例。

[0272] 注意,直到在具有绝缘表面的衬底 10 上形成第一栅电极层 11 并且形成覆盖第一栅电极层 11 的栅极绝缘层 13 的工序与实施方式 8 同一,所以在此省略详细说明,并且使用同一附图标记说明与图 31A 同一的部分。

[0273] 接着,在栅极绝缘层 13 上通过溅射法、真空蒸镀法形成由金属材料构成的导电膜。在本实施方式中,通过溅射法来形成由 Ti 膜、包含 Nd 的铝膜、Ti 膜构成的三层结构。作为导电膜的材料,可以举出选自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。此外,导电膜也可以采用双层结构,即也可以在铝膜上层叠钛膜。此外,导电膜也可以采用包含硅的铝膜的单层结构、钛膜的单层结构。

[0274] 接着,通过溅射法不暴露于大气地形成电阻低的氧化物半导体膜(缓冲层)。只要是其电阻低于后面形成的氧化物半导体膜 26 的材料膜,就对缓冲层没有特别的限制。作为缓冲层,在包含氮气体的气氛下通过使用包含 Zn(锌)的氧化物半导体靶材(ZnO)的溅射法在导电膜上形成包含锌的氧氮化物膜。在本实施方式中,使用氧化物半导体靶材(ZnO),将 Ar 流量设定为 72sccm,将氧流量设定为 3sccm,将电力功率设定为 3.2kw,将压力设定为 0.16Pa,以形成其膜厚度为 10nm 的膜。注意,为了减少对缓冲层的等离子体损伤,也可以将电力功率降低为 1kw,以进行成膜。

[0275] 溅射法具有如下方法:作为溅射用电源使用高频电源的 RF 溅射法、DC 溅射法以及以脉冲方式施加偏压的脉冲 DC 溅射法。RF 溅射法主要用于形成绝缘膜,并且 DC 溅射法主要用于形成金属膜。

[0276] 此外,还有可以设置多个其材料彼此不同的靶材的多元溅射装置。多元溅射装置既可以在同一反应室中层叠形成不同材料的膜,又可以在同一反应室中使多种材料同时放电而进行成膜。

[0277] 此外,有如下溅射装置:在反应室内具备磁铁机构并且用于磁控管溅射法;不使用辉光放电而使用利用微波来产生的等离子体并且用于 ECR 溅射法

[0278] 此外,作为使用溅射法的成膜方法,还有在成膜中使靶材物质和溅射气体成分起化学反应,以形成它们的化合物薄膜的反应溅射法、在成膜中也对衬底施加电压的偏压溅射法。

[0279] 靶材通过将靶材材料贴在底板(用来贴合靶材材料的衬底)来制造,但是当将靶材材料贴在底板时,也可以将靶材材料分割并键合到一个底板。将四个靶材材料贴在一个底板的情况被称为四分割。此外,将九个靶材材料贴在一个底板的情况被称为九分割。对靶材材料的分割数没有特别的限制。当将靶材材料分割时,可以缓和当贴在底板时的靶材材料的弯曲。这种分割的靶材材料特别优选用于当在大面积衬底上形成上述薄膜时伴随此而大型化的靶材材料。当然,也可以将一个靶材材料贴在一个底板。

[0280] 接着,进行光刻工序,在缓冲层上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成源电极层及漏电极层 25a、25b。在源电极层及漏电极层 25a、25b 上留下具有相同的俯视形状的缓冲层。然后,去除抗蚀剂掩模。

[0281] 接着,形成其膜厚度为 5nm 至 200nm 的氧化物半导体膜。在本实施方式中,利用使用包含氧化硅( $\text{SiO}_2$ )的包含 Zn(锌)的氧化物半导体靶材(ZnO)的溅射法,将 Ar 流量设定为 50sccm,将氧流量设定为 20sccm,将电力功率设定为 1kw,将压力设定为 0.22Pa,以形成其膜厚度为 50nm 的膜。

[0282] 此外,优选在形成氧化物半导体膜之前,进行用来去除附着在源电极层及漏电极层 25a、25b 以及栅极绝缘层的表面上的尘土等的等离子体处理。作为等离子体处理,例如进行引入氩气体并利用 RF 电源来产生等离子体的反溅射,对露出的源电极层及漏电极层

25a、25b 以及栅极绝缘层进行等离子体处理。

[0283] 接着,进行光刻工序,在氧化物半导体膜上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成氧化物半导体层 26。此外,通过使用相同的抗蚀剂掩模对缓冲层进行选择性的蚀刻,来形成源区及漏区 24a、24b。

[0284] 接着,去除抗蚀剂掩模,然后优选以 200℃至 600℃,典型地以 300℃至 500℃进行热处理。在此放置在炉中,在包含氧的氮气氛下以 350℃进行一个小时的热处理。通过该热处理,进行 Zn-O 类非单晶膜的原子级的重新排列。借助于该热处理而解除阻碍载流子迁移的应变,所以在此的热处理(还包括光退火)是重要的。

[0285] 接着,以膜厚度为 0.5 μm 至 3 μm 的范围形成覆盖源电极层及漏电极层 25a 和 25b、以及氧化物半导体层 26 的树脂层 17。作为用于树脂层 17 的感光性或者非感光性的有机材料,使用聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺-酰胺、抗蚀剂、苯并环丁烯、或者这些的叠层等。

[0286] 注意,形成树脂层 17 后的工序与实施方式 8 同一,所以在此示出简短的描述。

[0287] 接着,在树脂层 17 上通过 PCVD 法或者溅射法以低功率条件(或者低衬底温度(低于 200℃、优选为室温至 100℃))形成其膜厚度为 50nm 至 400nm 的范围的第二保护绝缘层 18。此外,也可以以低功率条件利用高密度等离子体装置来形成第二保护绝缘层 18。

[0288] 接着,在形成导电层后,进行光刻工序,在导电层上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成布线及电极(包括第二栅电极层 19 的布线等)。

[0289] 通过上述工序,可以得到图 32A 所示的薄膜晶体管 22。

[0290] 此外,图 32B 示出其一部分与图 32A 不同的结构。在图 32B 中,除了与图 32A 不同的部分以外,使用同一附图标记而进行说明。

[0291] 图 32B 是以与图 32A 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的例子。

[0292] 如图 32B 所示,薄膜晶体管 23 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成,并且设置在树脂层 17 和第二保护绝缘层 18 之间。在将第二栅电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下,该第二栅电极层 19 与树脂层 17 一起发挥减少对氧化物半导体层 26 的等离子体损伤的效果。

[0293] 此外,图 32C 示出其一部分与图 32A 不同的结构。在图 32C 中,除了与图 32A 不同的部分以外,使用同一附图标记而进行说明。

[0294] 图 32C 是源区及漏区 27a、27b 和源电极层及漏电极层 28a、28b 的上下位置关系与图 32A 不同的例子。在源电极层及漏电极层 28a、28b 的下方设置源区及漏区 27a、27b,并且源电极层及漏电极层 28a、28b 发挥减少对源区及漏区 27a、27b 的等离子体损伤的效果。

[0295] 就是说,作为用来减少对源区及漏区 27a、27b 的等离子体损伤的阻挡层,在源区及漏区 27a、27b 上形成三层(源电极层及漏电极层 28a、28b、树脂层 17、第二栅电极层 19),从而进一步减少对源区及漏区 27a、27b 的等离子体损伤。

[0296] 在图 32C 所示的薄膜晶体管 29 中,接触于栅极绝缘层 13 上地形成电阻低的氧化物半导体膜,在其上形成导电膜,然后使用当对导电膜进行选择性的蚀刻时使用的抗蚀剂掩模相同的掩模,对电阻低的氧化物半导体膜进行蚀刻。从而,通过对电阻低的氧化物半导体膜进行蚀刻而形成的源区及漏区 27a、27b 的俯视形状与形成在该源区及漏区 27a、27b 上

的源电极层及漏电极层 28a、28b 的俯视形状大致相同。此外，源电极层及漏电极层 28a、28b 的顶面及侧面接触于氧化物半导体层 26 地形成。

[0297] 此外，图 32D 示出其一部分与图 32C 不同的结构。在图 32D 中，除了与图 32C 不同的部分以外，使用同一附图标记而进行说明。

[0298] 图 32D 是以与图 32C 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的例子。

[0299] 如图 32D 所示，薄膜晶体管 30 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成，并且设置在树脂层 17 和第二保护绝缘层 18 之间。在将第二栅电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下，该第二栅电极层 19 与树脂层 17 一起发挥减少对氧化物半导体层 26 的等离子体损伤的效果。

[0300] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0301] 实施方式 10

[0302] 图 33A 是使用其上下由两个栅电极夹住的氧化物半导体层的薄膜晶体管的截面图的一例。在本实施方式中，示出在具有绝缘表面的衬底上设置用于像素部及驱动电路的薄膜晶体管的制造方法的一例。

[0303] 注意，直到在具有绝缘表面的衬底 10 上形成第一栅电极层 11 并形成覆盖第一栅电极层 11 的栅极绝缘层 13 并且形成氧化物半导体膜的工序与实施方式 8 同一，所以在此省略详细说明，并且使用同一附图标记说明与图 31A 同一部分。

[0304] 在本实施方式中，形成在栅极绝缘层 13 上的氧化物半导体膜通过使用包含 5wt% 以上且 50wt% 以下、优选为 10wt% 以上且 30wt% 以下的氧化硅的 Zn-O 类氧化物半导体靶材来形成，并且使 Zn-O 类氧化物半导体膜包含阻挡晶化的氧化硅 ( $\text{SiO}_x$  ( $X > 0$ ))。

[0305] 接着，通过溅射法不暴露于大气地在 Zn-O 类氧化物半导体膜上形成沟道保护膜。作为沟道保护膜的材料，可以使用无机材料（氧化硅膜、氮化硅膜、氧氮化硅膜、或者氮氧化硅膜等）。

[0306] 注意，氧氮化硅膜是指当通过卢瑟福背散射光谱学法 (RBS: Rutherford Backscattering Spectrometry) 及氢前方散射法 (HFS: Hydrogen Forward Scattering) 测量时在其组成上氧含量多于氮含量的膜。此外，氮氧化硅膜是指当通过 RBS 及 HFS 测量时在其组成上氮含量多于氧含量的膜。

[0307] 接着，进行光刻工序，在沟道保护膜上形成抗蚀剂掩模，通过蚀刻去除不需要的部分，以形成沟道保护层 43。注意，第一栅电极层 11 的宽度大于沟道保护层 43 的宽度（沟道长度方向上的宽度）。

[0308] 此外，沟道保护层 43 的材料不局限于无机绝缘材料，而也可以使用通过溅射法而得到的非晶半导体膜或其化合物、典型为非晶硅膜。此外，用于沟道保护层的非晶硅膜的化合物是指通过溅射法而形成的包含硼等 p 型杂质元素的 p 型非晶硅膜、或者通过溅射法而形成的包含磷等 n 型杂质元素的 n 型非晶硅膜。尤其是，在作为沟道保护层 43 而使用 p 型非晶硅膜的情况下，有如下效果：降低在截止时的漏电流，并且消除在接触于 p 型非晶硅膜地设置的氧化物半导体层的背沟道中产生的载流子（电子）。此外，在作为沟道保护层 43 而使用非晶硅膜的情况下，非晶硅膜具有阻挡水分、氢离子、 $\text{OH}^-$  等的功能。此外，非晶硅膜也用作遮断对氧化物半导体的光的入射的遮光层。

[0309] 在本实施方式中,作为沟道保护层 43,使用通过使用包含硼的靶材的溅射法而得到的包含硼的非晶硅膜。此外,包含硼的非晶硅膜以低功率条件或者衬底温度为低于 200℃ 的条件形成。因为沟道保护层 43 接触于 Zn-O 类非单晶膜地形成,所以优选尽量减少在形成沟道保护层 43 时及在蚀刻时的对 Zn-O 类非单晶膜的损伤。

[0310] 接着,通过溅射法在 Zn-O 类非单晶膜及沟道保护层 43 上形成其电阻低于 Zn-O 类非单晶膜的氧化物半导体膜(在本实施方式中,是 In-Ga-Zn-O-N 类非单晶膜)。在本实施方式中,在包含氮气体的气氛下,通过使用包含 In(铟)、Ga(镓)及 Zn(锌)的氧化物半导体靶材( $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ )的溅射法,来形成包含铟、镓及锌的氧氮化物膜。通过后面对该氧氮化物膜进行热处理,该氧氮化物膜成为电阻低的氧化物半导体膜。

[0311] 接着,进行光刻工序,在 In-Ga-Zn-O-N 类非单晶膜上形成抗蚀剂掩模,对 Zn-O 类非单晶膜及 In-Ga-Zn-O-N 类非单晶膜进行蚀刻。在蚀刻后,由 Zn-O 类非单晶膜构成的氧化物半导体层 44 的侧面露出。注意,在此的蚀刻不局限于湿蚀刻,而也可以使用干蚀刻。

[0312] 接着,在去除抗蚀剂掩模后,通过溅射法或真空蒸镀法在 In-Ga-Zn-O-N 类非单晶膜上形成由金属材料构成的导电膜。作为导电膜的材料,可以举出选自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。另外,在进行 200℃ 至 600℃ 的热处理的情况下,优选使导电膜具有承受该热处理的耐热性。

[0313] 接着,进行光刻工序,在导电膜上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成源电极层及漏电极层 36a、36b。在该蚀刻中,沟道保护层 43 用作氧化物半导体层 44 的蚀刻停止层,所以氧化物半导体层 44 不受到蚀刻。此外,通过在此的蚀刻,使用相同的抗蚀剂掩模,对 In-Ga-Zn-O-N 类非单晶膜进行选择性的蚀刻,以形成源区及漏区 35a、35b。

[0314] 接着,接触于氧化物半导体层 44 的沟道形成区上地设置沟道保护层 43,所以可以防止在工序中氧化物半导体层 44 的沟道形成区所受到的损伤(蚀刻中的等离子体或蚀刻材料所导致的膜减少、氧化等)。由此,可以提高薄膜晶体管 31 的可靠性。

[0315] 接着,在去除抗蚀剂掩模之后,优选以 200℃ 至 600℃,典型地以 300℃ 至 500℃ 进行热处理。在此放置在炉中,在氮气氛或包含氧的氮气氛下以 350℃ 进行一个小时的热处理。

[0316] 接着,以膜厚度为 0.5 μm 至 3 μm 的范围形成覆盖源电极层及漏电极层 36a 和 36b、以及沟道保护层 43 的树脂层 17。作为用于树脂层 17 的感光性或者非感光性的有机材料,使用聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺-酰胺、抗蚀剂、苯并环丁烯、或者这些的叠层等。

[0317] 注意,形成树脂层 17 后的工序与实施方式 8 同样,所以在此示出简短的描述。

[0318] 接着,在树脂层 17 上通过 PCVD 法或者溅射法以低功率条件(或者低衬底温度(低于 200℃、优选为室温至 100℃))形成其膜厚度为 50nm 至 400nm 的范围的第二保护绝缘层 18。此外,也可以以低功率条件利用高密度等离子体装置来形成第二保护绝缘层 18。

[0319] 接着,在形成导电层后,进行光刻工序,在导电层上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成布线及电极(包括第二栅电极层 19 的布线等)。

[0320] 通过上述工序,可以得到图 33A 所示的薄膜晶体管 31。注意,在薄膜晶体管 31 中,由沟道保护层 43、树脂层 17 和第二保护绝缘层 18 构成的叠层用作第二栅极绝缘层。

[0321] 此外,通过使第二栅电极层 19 的宽度大于第一栅电极层 11 的宽度,可以从第二栅

电极层 19 将栅电压施加到氧化物半导体层 44 的整体。再者,如果寄生电容不成问题的话,第二栅电极层可以在驱动电路中覆盖多个薄膜晶体管,并且该第二栅电极层的面积与驱动电路的面积大致相同或其以上。

[0322] 此外,如果寄生电容成问题的话,就优选在图 33A 的结构中使第一栅电极层 11 的宽度小于第二栅电极层 19 的宽度,缩小该第一栅电极层 11 的重叠于源电极层及漏电极层的面积,以降低寄生电容。再者,也可以通过使第一栅电极层 11 的宽度大于沟道保护层 43 的宽度并且使第二栅电极层 19 的宽度小于沟道保护层 43 的宽度,不使该第二栅电极层 19 重叠于源电极层及漏电极层,以进一步降低寄生电容。

[0323] 此外,图 33B 示出其一部分与图 33A 不同的结构。在图 33B 中,除了与图 33A 不同的部分以外,使用同一附图标记而进行说明。

[0324] 图 33B 是以与图 33A 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的例子。

[0325] 如图 33B 所示,薄膜晶体管 32 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成,并且设置在树脂层 17 和第二保护绝缘层 18 之间。在将第二栅电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下,该第二栅电极层 19 与树脂层 17 一起发挥减少对氧化物半导体层 44 的等离子体损伤的效果。

[0326] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0327] 实施方式 11

[0328] 图 34A 是使用其上下由两个栅电极层夹住的氧化物半导体层的薄膜晶体管的截面图的一例。在本实施方式中,示出在具有绝缘表面的衬底上设置用于像素部及驱动电路的薄膜晶体管的一例。

[0329] 注意,除了接触于氧化物半导体层 16 地设置有非晶硅膜的点以外,与实施方式 8 同一,所以在此省略详细说明,而使用同一附图标记说明与图 31A 同一部分。直到以源电极层及漏电极层 15a、15b 为掩模进行一部分的蚀刻来在氧化物半导体层 16 中形成其膜厚度薄的部分的工序与实施方式 8 同一。

[0330] 根据实施方式 8,形成具有其膜厚度薄于重叠于源电极层及漏电极层 15a、15b 的区域的区域的氧化物半导体层 16。

[0331] 接着,在去除抗蚀剂掩模后,通过溅射法来形成非晶半导体膜或其化合物、典型为非晶硅膜。注意,非晶硅膜的化合物是指通过溅射法而形成的包含硼等 p 型杂质元素的 p 型非晶硅膜、或者通过溅射法而形成的包含磷等 n 型杂质元素的 n 型非晶硅膜。

[0332] 但是,为了尽量降低对氧化物半导体层 16 的损伤,而将成膜条件设定为低功率条件或者衬底温度为低于 200°C 的条件。在本实施方式中,将衬底温度设定为室温,并且将电力功率设定为 1kW,以形成非晶硅膜。

[0333] 此外,也可以在形成非晶硅膜之前对露出的氧化物半导体层 16 的膜厚度薄的区域进行氧自由基处理。通过进行氧自由基处理,可以进行氧化物半导体层的露出表面附近的改性,得到氧过剩区域。当在通过进行氧自由基处理而成为氧过剩区域的区域中形成非晶硅膜时,在界面形成  $\text{SiO}_x$  ( $x > 0$ ) 的薄膜,从而可以谋求实现截止电流的降低。

[0334] 既可利用包含氧的气体通过等离子体产生装置供给氧自由基,又可通过臭氧产生装置供给氧自由基。通过将所供给的氧自由基或氧照射到薄膜,可以对薄膜进行表面改性。

此外,不局限于氧自由基处理,而也可以进行氩和氧的自由基处理。氩和氧的自由基处理是指引入氩气体和氧气体而产生等离子体以对薄膜进行表面改性的处理。

[0335] 接着,进行光刻工序,在非晶硅膜上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成沟道保护层 41。注意,虽然在本实施方式中示出对非晶硅膜进行选择性的蚀刻的例子,但是没有特别的限制,为了减少光掩模数及工序数,而不需要进行在此的光刻工序。沟道保护层 41 可以用作阻挡水分、氢离子、OH<sup>-</sup> 等的层间膜。此外,由非晶硅膜构成的沟道保护层 41 也用作遮断对氧化物半导体层的光的入射的遮光层。

[0336] 接着,以膜厚度为 0.5 μm 至 3 μm 的范围形成覆盖源电极层及漏电极层 15a 和 15b、以及沟道保护层 41 的树脂层 17。作为用于树脂层 17 的感光性或者非感光性的有机材料,使用聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺-酰胺、抗蚀剂、苯并环丁烯、或者这些的叠层等。

[0337] 注意,形成树脂层 17 后的工序与实施方式 8 同一,所以在此示出简短的描述。

[0338] 接着,在树脂层 17 上通过 PCVD 法或者溅射法以低功率条件(或者低衬底温度(低于 200℃、优选为室温至 100℃))形成其膜厚度为 50nm 至 400nm 的范围的第二保护绝缘层 18。此外,也可以以低功率条件利用高密度等离子体装置来形成第二保护绝缘层 18。

[0339] 接着,在形成导电层后,进行光刻工序,在导电层上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成布线及电极(包括第二栅电极层 19 的布线等)。

[0340] 通过上述工序,可以得到图 34A 所示的薄膜晶体管 31。

[0341] 此外,由非晶硅膜构成的沟道保护层 41 也用作遮断对氧化物半导体层的光的入射的遮光层。虽然在本实施方式中示出作为沟道保护层 41 而使用非晶硅膜的例子,但是在作为沟道保护层 41 而使用 p 型非晶硅膜的情况下,有如下效果:降低在截止时的漏电流,并且消除在接触于 p 型非晶硅膜地设置的氧化物半导体层的背沟道中产生的载流子(电子)。

[0342] 此外,图 34B 示出其一部分与图 34A 不同的结构。在图 34B 中,除了与图 34A 不同的部分以外,使用同一附图标记而进行说明。

[0343] 图 34B 是以与图 34A 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的例子。

[0344] 如图 34B 所示,薄膜晶体管 32 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成,并且设置在树脂层 17 和第二保护绝缘层 18 之间。在将第二栅电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下,该第二栅电极层 19 与沟道保护层 41 及树脂层 17 一起发挥减少对氧化物半导体层 16 的等离子体损伤的效果。

[0345] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0346] 实施方式 12

[0347] 图 35A 是使用其上下由两个栅电极层夹住的氧化物半导体层的薄膜晶体管的截面图的一例。在本实施方式中,示出在具有绝缘表面的衬底上设置用于像素部及驱动电路的薄膜晶体管的一例。

[0348] 注意,除了接触于氧化物半导体层 26 地设置有非晶硅膜的点以外,与实施方式 9 同一,所以在此省略详细说明,而使用同一附图标记说明与图 32A 同一部分。直到在栅极绝缘层 13 上以一部分接触的方式形成氧化物半导体膜的工序与实施方式 9 同一。

[0349] 根据实施方式 9,形成氧化物半导体膜,然后通过溅射法不暴露于大气地形成非晶

半导体膜或其化合物、典型为非晶硅膜。注意，非晶硅膜的化合物是指通过溅射法而形成的包含硼等 p 型杂质元素的 p 型非晶硅膜、或者通过溅射法而形成的包含磷等 n 型杂质元素的 n 型非晶硅膜。

[0350] 但是，为了尽量降低对氧化物半导体层 26 的损伤，而将成膜条件设定为低功率条件或者衬底温度为低于 200℃ 的条件。在本实施方式中，将衬底温度设定为室温，并且将电力功率设定为 1kW，以形成包含硼的非晶硅膜。

[0351] 此外，也可以在形成包含硼的非晶硅膜之前对露出的氧化物半导体膜进行氧自由基处理。通过进行氧自由基处理，可以进行氧化物半导体膜的表面附近的改性，得到氧过剩区域。当在通过进行氧自由基处理而成为氧过剩区域的区域中形成非晶硅膜时，在界面形成  $\text{SiO}_x$  ( $X > 0$ ) 的薄膜，从而可以谋求实现截止电流的降低。

[0352] 既可利用包含氧的气体通过等离子体产生装置供给氧自由基，又可通过臭氧产生装置供给氧自由基。通过将所供给的氧自由基或氧照射到薄膜，可以对薄膜进行表面改性。此外，不局限于氧自由基处理，而也可以进行氟和氧的自由基处理。氟和氧的自由基处理是指引入氟气体和氧气体而产生等离子体以对薄膜进行表面改性的处理。

[0353] 接着，进行光刻工序，在包含硼的非晶硅膜上形成抗蚀剂掩模，通过蚀刻去除不需要的部分，以形成沟道保护层 42。沟道保护层 42 可以用作阻挡水分、氢离子、 $\text{OH}^-$  等的层间膜。此外，由非晶硅膜构成的沟道保护层 42 也用作遮断对氧化物半导体层的光的入射的遮光层。此外，使用相同的抗蚀剂掩模，去除氧化物半导体膜的不需要的部分，以形成氧化物半导体层 26。再者，使用相同的掩模，对缓冲层进行选择性的蚀刻，以形成源区及漏区 24a、24b。

[0354] 接着，在去除抗蚀剂掩模之后，优选以 200℃ 至 600℃，典型地以 300℃ 至 500℃ 进行热处理。在此放置在炉中，在包含氧的氮气氛下以 350℃ 进行一个小时的热处理。

[0355] 接着，以膜厚度为 0.5 μm 至 3 μm 的范围形成覆盖源电极层及漏电极层 25a 和 25b、以及氧化物半导体层 26 的树脂层 17。作为用于树脂层 17 的感光性或者非感光性的有机材料，使用聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺 - 酰胺、抗蚀剂、苯并环丁烯、或者这些的叠层等。

[0356] 注意，形成树脂层 17 后的工序与实施方式 9 同一，所以在此示出简短的描述。

[0357] 接着，在树脂层 17 上通过 PCVD 法或者溅射法以低功率条件（或者低衬底温度（低于 200℃、优选为室温至 100℃））形成其膜厚度为 50nm 至 400nm 的范围的第二保护绝缘层 18。此外，也可以以低功率条件利用高密度等离子体装置来形成第二保护绝缘层 18。

[0358] 接着，在形成导电层后，进行光刻工序，在导电层上形成抗蚀剂掩模，通过蚀刻去除不需要的部分，以形成布线及电极（包括第二栅电极层 19 的布线等）。

[0359] 通过上述工序，可以得到图 35A 所示的薄膜晶体管 33。

[0360] 此外，图 35B 示出其一部分与图 35A 不同的结构。在图 35B 中，除了与图 35A 不同的部分以外，使用同一附图标记而进行说明。

[0361] 图 35B 是以与图 35A 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的例子。

[0362] 如图 35B 所示，薄膜晶体管 34 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成，并且设置在树脂层 17 和第二保护绝缘层 18 之间。在将第二栅

电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下,该第二栅电极层 19 与沟道保护层 42 及树脂层 17 一起发挥减少对氧化物半导体层 26 的等离子体损伤的效果。

[0363] 此外,图 35C 示出其一部分与图 35A 不同的结构。在图 35C 中,除了与图 35A 不同的部分以外,使用同一附图标记而进行说明。

[0364] 图 35C 是源区及漏区 27a、27b 和源电极层及漏电极层 28a、28b 的上下位置关系与图 35A 不同的例子。在源电极层及漏电极层 28a、28b 的下方设置源区及漏区 27a、27b,并且源电极层及漏电极层 28a、28b 发挥减少对源区及漏区 27a、27b 的等离子体损伤的效果。

[0365] 就是说,作为用来减少对源区及漏区 27a、27b 的等离子体损伤的阻挡层,在源区及漏区 27a、27b 上形成四层(源电极层及漏电极层 28a、28b、沟道保护层 42、树脂层 17、第二栅电极层 19),从而进一步减少对源区及漏区 27a、27b 的等离子体损伤。

[0366] 在图 35C 所示的薄膜晶体管 35 中,接触于栅极绝缘层 13 上地形成电阻低的氧化物半导体膜,在其上形成导电膜,然后使用当对导电膜进行选择性的蚀刻时使用的抗蚀剂掩模相同的掩模,对电阻低的氧化物半导体膜进行蚀刻。从而,通过对电阻低的氧化物半导体膜进行蚀刻而形成的源区及漏区 27a、27b 的俯视形状与形成在该源区及漏区 27a、27b 上的源电极层及漏电极层 28a、28b 的俯视形状大致相同。此外,源电极层及漏电极层 28a、28b 的顶面及侧面接触于氧化物半导体层 26 地形成。

[0367] 此外,图 35D 示出其一部分与图 35C 不同的结构。在图 35D 中,除了与图 35C 不同的部分以外,使用同一附图标记而进行说明。

[0368] 图 35D 是以与图 35C 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的例子。

[0369] 如图 35D 所示,薄膜晶体管 36 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成,并且设置在树脂层 17 和第二保护绝缘层 18 之间。在将第二栅电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下,该第二栅电极层 19 与沟道保护层 42 及树脂层 17 一起发挥减少对氧化物半导体层 26 的等离子体损伤的效果。

[0370] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0371] 实施方式 13

[0372] 图 36A 是使用其上下由两个栅电极层夹住的氧化物半导体层的薄膜晶体管的截面图的一例。在本实施方式中,示出在具有绝缘表面的衬底上设置用于像素部及驱动电路的薄膜晶体管的一例。

[0373] 注意,除了接触于氧化物半导体层 26 地设置有非晶硅膜的点以外,与实施方式 9 同一,所以在此省略详细说明,而使用同一附图标记说明与图 32A 同一部分。直到形成氧化物半导体层 26 的工序与实施方式 9 同一。

[0374] 根据实施方式 9,形成氧化物半导体层 26,然后通过溅射法形成非晶半导体膜或其化合物、典型为非晶硅膜作为接触于氧化物半导体层 26 上的沟道保护层 43。注意,非晶硅膜的化合物是指通过溅射法而形成的包含硼等 p 型杂质元素的 p 型非晶硅膜、或者通过溅射法而形成的包含磷等 n 型杂质元素的 n 型非晶硅膜。

[0375] 但是,为了尽量降低对氧化物半导体层 26 的损伤,而将成膜条件设定为低功率条件或者衬底温度为低于 200℃ 的条件。在本实施方式中,将衬底温度设定为室温,并且将电力功率设定为 1kW,以形成包含硼的非晶硅膜。

[0376] 此外,也可以在形成包含硼的非晶硅膜之前对露出的氧化物半导体层进行氧自由基处理。通过进行氧自由基处理,可以进行氧化物半导体层的表面附近的改性,得到氧过剩区域。当在通过进行氧自由基处理而成为氧过剩区域的区域中形成非晶硅膜时,在界面形成  $\text{SiO}_x (X > 0)$  的薄膜,从而可以谋求实现截止电流的降低。

[0377] 既可利用包含氧的气体通过等离子体产生装置供给氧自由基,又可通过臭氧产生装置供给氧自由基。通过将所供给的氧自由基或氧照射到薄膜,可以对薄膜进行表面改性。此外,不局限于氧自由基处理,而也可以进行氩和氧的自由基处理。氩和氧的自由基处理是指引入氩气体和氧气体而产生等离子体以对薄膜进行表面改性的处理。

[0378] 沟道保护层 43 可以用作阻挡水分、氢离子、 $\text{OH}^-$  等的层间膜。此外,由非晶硅膜构成的沟道保护层 43 也用作遮断对氧化物半导体层的光的入射的遮光层。

[0379] 接着,优选以  $200^\circ\text{C}$  至  $600^\circ\text{C}$ ,典型地以  $300^\circ\text{C}$  至  $500^\circ\text{C}$  进行热处理。在此,放置在炉中,在包含氧的氮气氛下以  $350^\circ\text{C}$  进行一个小时的热处理。

[0380] 接着,以膜厚度为  $0.5\ \mu\text{m}$  至  $3\ \mu\text{m}$  的范围形成覆盖沟道保护层 43 的树脂层 17。作为用于树脂层 17 的感光性或者非感光性的有机材料,使用聚酰亚胺、丙烯酸树脂、聚酰胺、聚酰亚胺-酰胺、抗蚀剂、苯并环丁烯、或者这些的叠层等。

[0381] 注意,形成树脂层 17 后的工序与实施方式 9 同一,所以在此示出简短的描述。

[0382] 接着,在树脂层 17 上通过 PCVD 法或者溅射法以低功率条件(或者低衬底温度(低于  $200^\circ\text{C}$ 、优选为室温至  $100^\circ\text{C}$ ))形成其膜厚度为  $50\text{nm}$  至  $400\text{nm}$  的范围的第二保护绝缘层 18。此外,也可以以低功率条件利用高密度等离子体装置来形成第二保护绝缘层 18。

[0383] 接着,在形成导电层后,进行光刻工序,在导电层上形成抗蚀剂掩模,通过蚀刻去除不需要的部分,以形成布线及电极(包括第二栅电极层 19 的布线等)。

[0384] 通过上述工序,可以得到图 36A 所示的薄膜晶体管 37。

[0385] 此外,图 36B 示出其一部分与图 36A 不同的结构。在图 36B 中,除了与图 36A 不同的部分以外,使用同一附图标记而进行说明。

[0386] 图 36B 是以与图 36A 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的例子。

[0387] 如图 36B 所示,薄膜晶体管 38 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成,并且设置在树脂层 17 和第二保护绝缘层 18 之间。在将第二栅电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下,该第二栅电极层 19 与沟道保护层 43 及树脂层 17 一起发挥减少对氧化物半导体层 26 的等离子体损伤的效果。

[0388] 此外,图 36C 示出其一部分与图 36A 不同的结构。在图 36C 中,除了与图 36A 不同的部分以外,使用同一附图标记而进行说明。

[0389] 图 36C 是源区及漏区 27a、27b 和源电极层及漏电极层 28a、28b 的上下位置关系与图 36A 不同的例子。在源电极层及漏电极层 28a、28b 的下方设置源区及漏区 27a、27b,并且源电极层及漏电极层 28a、28b 发挥减少对源区及漏区 27a、27b 的等离子体损伤的效果。

[0390] 就是说,作为用来减少对源区及漏区 27a、27b 的等离子体损伤的阻挡层,在源区及漏区 27a、27b 上形成四层(源电极层及漏电极层 28a、28b、沟道保护层 43、树脂层 17、第二栅电极层 19),从而进一步减少对源区及漏区 27a、27b 的等离子体损伤。

[0391] 在图 36C 所示的薄膜晶体管 39 中,接触于栅极绝缘层 13 上地形成电阻低的氧化

物半导体膜,在其上形成导电膜,然后使用当对导电膜进行选择性的蚀刻时使用的抗蚀剂掩模相同的掩模,对电阻低的氧化物半导体膜进行蚀刻。从而,通过对电阻低的氧化物半导体膜进行蚀刻而形成的源区及漏区 27a、27b 的俯视形状与形成在该源区及漏区 27a、27b 上的源电极层及漏电极层 28a、28b 的俯视形状大致相同。此外,源电极层及漏电极层 28a、28b 的顶面及侧面接触于氧化物半导体层 26 地形成。

[0392] 此外,图 36D 示出其一部分与图 36C 不同的结构。在图 36D 中,除了与图 36C 不同的部分以外,使用同一附图标记而进行说明。

[0393] 图 36D 是以与图 36C 的第二栅电极层 19 和第二保护绝缘层 18 的形成顺序不同的顺序形成这些层的例子。

[0394] 如图 36D 所示,薄膜晶体管 40 的第二栅电极层 19 以接触于作为第一保护绝缘膜的树脂层 17 上的方式形成,并且设置在树脂层 17 和第二保护绝缘层 18 之间。在将第二栅电极层 19 设置在树脂层 17 和第二保护绝缘层 18 之间的情况下,该第二栅电极层 19 与沟道保护层 43 及树脂层 17 一起发挥减少对氧化物半导体层 26 的等离子体损伤的效果。

[0395] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0396] 实施方式 14

[0397] 以下说明在半导体装置的一例的显示装置中,在同一衬底上至少制造驱动电路的一部分及配置在像素部中的薄膜晶体管的例子。

[0398] 根据实施方式 2 而形成配置在像素部中的薄膜晶体管,其中,将包含  $\text{SiO}_x$  的氧化物半导体层用于沟道形成区,并且,作为源区及漏区而使用添加有氮的氧化物半导体。此外,因为薄膜晶体管是 n 沟道型 TFT,所以将驱动电路中的可以由 n 沟道型 TFT 构成的驱动电路的一部分形成在与像素部的薄膜晶体管同一衬底上。

[0399] 图 17A 示出半导体装置的一例的有源矩阵型液晶显示装置的框图的一例。图 17A 所示的显示装置在衬底 5300 上包括:具有多个具备显示元件的像素的像素部 5301;选择各像素的扫描线驱动电路 5302;以及控制对被选择了的像素的视频信号输入的信号线驱动电路 5303。

[0400] 此外,实施方式 2 所示的薄膜晶体管是 n 沟道型 TFT,参照图 18 而说明由 n 沟道型 TFT 构成的信号线驱动电路。

[0401] 图 18 所示的信号线驱动电路包括:驱动器 IC5601;开关群 5602\_1 至 5602\_M;第一布线 5611;第二布线 5612;第三布线 5613;以及布线 5621\_1 至 5621\_M。开关群 5602\_1 至 5602\_M 分别包括第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c。

[0402] 驱动器 IC5601 连接到第一布线 5611、第二布线 5612、第三布线 5613 及布线 5621\_1 至 5621\_M。而且,开关群 5602\_1 至 5602\_M 分别连接到第一布线 5611、第二布线 5612、第三布线 5613 及分别对应于开关群 5602\_1 至 5602\_M 的布线 5621\_1 至 5621\_M。而且,布线 5621\_1 至 5621\_M 分别通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到三个信号线。例如,第 J 列的布线 5621\_J(布线 5621\_1 至布线 5621\_M 中的任一个)通过开关群 5602\_J 所具有的第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到信号线  $S_{j-1}$ 、信号线  $S_j$ 、信号线  $S_{j+1}$ 。

[0403] 另外,对第一布线 5611、第二布线 5612、第三布线 5613 分别输入信号。

[0404] 另外,驱动器 IC5601 优选形成在单晶衬底上。再者,开关群 5602\_1 至 5602\_M 优选形成在与像素部同一衬底上。因此,优选通过 FPC 等连接驱动器 IC5601 和开关群 5602\_1 至 5602\_M。

[0405] 接着,参照图 19 的时序图而说明图 18 所示的信号线驱动电路的工作。注意,图 19 的时序图示出在选择第 i 行扫描线  $G_i$  时的时序图。再者,第 i 行扫描线  $G_i$  的选择期间被分割为第一子选择期间 T1、第二子选择期间 T2 及第三子选择期间 T3。而且,图 18 的信号线驱动电路在其他行的扫描线被选择的情况下也进行与图 19 相同的工作。

[0406] 注意,图 19 的时序图示出第 J 列布线 5621\_J 通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到信号线  $S_{j-1}$ 、信号线  $S_j$ 、信号线  $S_{j+1}$  的情况。

[0407] 注意,图 19 的时序图示出第 i 行扫描线  $G_i$  被选择的时序、第一薄膜晶体管 5603a 的导通·截止的时序 5703a、第二薄膜晶体管 5603b 的导通·截止的时序 5703b、第三薄膜晶体管 5603c 的导通·截止的时序 5703c 及输入到第 J 列布线 5621\_J 的信号 5721\_J。

[0408] 注意,在第一子选择期间 T1、第二子选择期间 T2 及第三子选择期间 T3 中,对布线 5621\_1 至布线 5621\_M 分别输入不同的视频信号。例如,在第一子选择期间 T1 中输入到布线 5621\_J 的视频信号输入到信号线  $S_{j-1}$ ,在第二子选择期间 T2 中输入到布线 5621\_J 的视频信号输入到信号线  $S_j$ ,在第三子选择期间 T3 中输入到布线 5621\_J 的视频信号输入到信号线  $S_{j+1}$ 。再者,在第一子选择期间 T1、第二子选择期间 T2 及第三子选择期间 T3 中输入到布线 5621\_J 的视频信号分别为  $Data_{j-1}$ 、 $Data_j$ 、 $Data_{j+1}$ 。

[0409] 如图 19 所示,在第一子选择期间 T1 中,第一薄膜晶体管 5603a 导通,并且第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621\_J 的  $Data_{j-1}$  通过第一薄膜晶体管 5603a 输入到信号线  $S_{j-1}$ 。在第二子选择期间 T2 中,第二薄膜晶体管 5603b 导通,并且第一薄膜晶体管 5603a 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621\_J 的  $Data_j$  通过第二薄膜晶体管 5603b 输入到信号线  $S_j$ 。在第三子选择期间 T3 中,第三薄膜晶体管 5603c 导通,并且第一薄膜晶体管 5603a 及第二薄膜晶体管 5603b 截止。此时,输入到布线 5621\_J 的  $Data_{j+1}$  通过第三薄膜晶体管 5603c 输入到信号线  $S_{j+1}$ 。

[0410] 据此,图 18 的信号线驱动电路通过将一个栅极选择期间分割为三个而可以在一个栅极选择期间中将视频信号从一个布线 5621 输入到三个信号线。因此,图 18 的信号线驱动电路可以将形成有驱动器 IC5601 的衬底和形成有像素部的衬底的连接数设定为信号线数的大约 1/3。通过将连接数设定为大约 1/3,图 18 的信号线驱动电路可以提高可靠性、成品率等。

[0411] 另外,只要能够如图 18 所示,将一个栅极选择期间分割为多个子选择期间,并在多个子选择期间的每一个中从某一个布线将视频信号分别输入到多个信号线,就不限制薄膜晶体管的配置、数量及驱动方法等。

[0412] 例如,当在三个以上的子选择期间的每一个中从一个布线将视频信号分别输入到三个以上的信号线时,追加薄膜晶体管及用于控制薄膜晶体管的布线,即可。但是,当将一个栅极选择期间分割为四个以上的子选择期间时,一个子选择期间变短。从而,优选将一个栅极选择期间分割为两个或三个子选择期间。

[0413] 作为另一例,也可以如图 20 的时序图所示,将一个选择期间分割为预充电期间

$T_p$ 、第一子选择期间  $T_1$ 、第二子选择期间  $T_2$ 、第三子选择期间  $T_3$ 。再者,图 20 的时序图示出选择第  $i$  行扫描线  $G_i$  的时序、第一薄膜晶体管 5603a 的导通·截止的时序 5803a、第二薄膜晶体管 5603b 的导通·截止的时序 5803b、第三薄膜晶体管 5603c 的导通截止的时序 5803c 以及输入到第  $J$  列布线 5621 $_J$  的信号 5821 $_J$ 。如图 20 所示,在预充电期间  $T_p$  中,第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 导通。此时,输入到布线 5621 $_J$  的预充电电压  $V_p$  通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 分别输入到信号线  $S_{j-1}$ 、信号线  $S_j$ 、信号线  $S_{j+1}$ 。在第一子选择期间  $T_1$  中,第一薄膜晶体管 5603a 导通,并且第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621 $_J$  的  $Data_{j-1}$  通过第一薄膜晶体管 5603a 输入到信号线  $S_{j-1}$ 。在第二子选择期间  $T_2$  中,第二薄膜晶体管 5603b 导通,并且第一薄膜晶体管 5603a 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621 $_J$  的  $Data_j$  通过第二薄膜晶体管 5603b 输入到信号线  $S_j$ 。在第三子选择期间  $T_3$  中,第三薄膜晶体管 5603c 导通,并且第一薄膜晶体管 5603a 及第二薄膜晶体管 5603b 截止。此时,输入到布线 5621 $_J$  的  $Data_{j+1}$  通过第三薄膜晶体管 5603c 输入到信号线  $S_{j+1}$ 。

[0414] 据此,因为应用图 20 的时序图的图 18 的信号线驱动电路通过在子选择期间之前提供预充电选择期间,可以对信号线进行预充电,所以可以高速地进行对像素的视频信号的写入。另外,在图 20 中,使用相同的附图标记来表示与图 19 相同的部分,而省略对于同一部分或具有相同的功能的部分的详细说明。

[0415] 此外,说明扫描线驱动电路的结构。扫描线驱动电路包括移位寄存器、缓冲器。此外,根据情况,还可以包括电平转移器。在扫描线驱动电路中,通过对移位寄存器输入时钟信号 (CLK) 及起始脉冲信号 (SP),生成选择信号。所生成的选择信号在缓冲器中被缓冲放大,并供给到对应的扫描线。扫描线连接有一条线的像素的晶体管的栅电极。而且,由于需要将一条线的像素的晶体管一齐导通,因此使用能够产生大电流的缓冲器。

[0416] 参照图 21 及图 22 而说明用于扫描线驱动电路的一部分的移位寄存器的一种方式。

[0417] 图 21 示出移位寄存器的电路结构。图 21 所示的移位寄存器由多个触发器 (触发器 5701 $_1$  至 5701 $_n$ ) 构成。此外,输入第一时钟信号、第二时钟信号、起始脉冲信号、复位信号来进行工作。

[0418] 说明图 21 的移位寄存器的连接关系。在图 21 的移位寄存器的第  $i$  级触发器 5701 $_i$  (触发器 5701 $_1$  至 5701 $_n$  中的任一个) 中,图 22 所示的第一布线 5501 连接到第七布线 5717 $_i-1$ ,图 22 所示的第二布线 5502 连接到第七布线 5717 $_i+1$ ,图 22 所示的第三布线 5503 连接到第七布线 5717 $_i$ ,并且图 22 所示的第六布线 5506 连接到第五布线 5715。

[0419] 此外,在奇数级的触发器中图 22 所示的第四布线 5504 连接到第二布线 5712,在偶数级的触发器中它连接到第三布线 5713,并且图 22 所示的第五布线 5505 连接到第四布线 5714。

[0420] 但是,第一级触发器 5701 $_1$  的图 22 所示的第一布线 5501 连接到第一布线 5711,并且第  $n$  级触发器 5701 $_n$  的图 22 所示的第二布线 5502 连接到第六布线 5716。

[0421] 注意,第一布线 5711、第二布线 5712、第三布线 5713、第六布线 5716 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者,第四布线 5714、第五布线 5715

也可以分别称为第一电源线、第二电源线。

[0422] 接着,图 22 示出图 21 所示的触发器的详细结构。图 22 所示的触发器包括第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578。注意,第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578 是 n 沟道型晶体管,并且当栅极-源极间电压 ( $V_{gs}$ ) 超过阈值电压 ( $V_{th}$ ) 时它们成为导通状态。

[0423] 在图 22 中,第三薄膜晶体管 5573 的栅电极与电源电连接。此外,可以说,连接第三薄膜晶体管 5573 和第四薄膜晶体管 5574 的电路(在图 22 中由虚线围绕的电路)相当于图 14A 所示的结构。在此示出所有薄膜晶体管是增强型 n 沟道型晶体管的例子,但是没有特别的限制,例如即使作为第三薄膜晶体管 5573 使用耗尽型 n 沟道型晶体管也可以驱动驱动电路。

[0424] 接着,下面示出图 21 所示的触发器的连接结构。

[0425] 第一薄膜晶体管 5571 的第一电极(源电极及漏电极中的一方)连接到第四布线 5504,并且第一薄膜晶体管 5571 的第二电极(源电极及漏电极中的另一方)连接到第三布线 5503。

[0426] 第二薄膜晶体管 5572 的第一电极连接到第六布线 5506,并且第二薄膜晶体管 5572 的第二电极连接到第三布线 5503。

[0427] 第三薄膜晶体管 5573 的第一电极连接到第五布线 5505,第三薄膜晶体管 5573 的第二电极连接到第二薄膜晶体管 5572 的栅电极,并且第三薄膜晶体管 5573 的栅电极连接到第五布线 5505。

[0428] 第四薄膜晶体管 5574 的第一电极连接到第六布线 5506,第四薄膜晶体管 5574 的第二电极连接到第二薄膜晶体管 5572 的栅电极,并且第四薄膜晶体管 5574 的栅电极连接到第一薄膜晶体管 5571 的栅电极。

[0429] 第五薄膜晶体管 5575 的第一电极连接到第五布线 5505,第五薄膜晶体管 5575 的第二电极连接到第一薄膜晶体管 5571 的栅电极,并且第五薄膜晶体管 5575 的栅电极连接到第一布线 5501。

[0430] 第六薄膜晶体管 5576 的第一电极连接到第六布线 5506,第六薄膜晶体管 5576 的第二电极连接到第一薄膜晶体管 5571 的栅电极,并且第六薄膜晶体管 5576 的栅电极连接到第二薄膜晶体管 5572 的栅电极。

[0431] 第七薄膜晶体管 5577 的第一电极连接到第六布线 5506,第七薄膜晶体管 5577 的第二电极连接到第一薄膜晶体管 5571 的栅电极,并且第七薄膜晶体管 5577 的栅电极连接到第二布线 5502。第八薄膜晶体管 5578 的第一电极连接到第六布线 5506,第八薄膜晶体管 5578 的第二电极连接到第二薄膜晶体管 5572 的栅电极,并且第八薄膜晶体管 5578 的栅电极连接到第一布线 5501。

[0432] 注意,以第一薄膜晶体管 5571 的栅电极、第四薄膜晶体管 5574 的栅电极、第五薄膜晶体管 5575 的第二电极、第六薄膜晶体管 5576 的第二电极以及第七薄膜晶体管 5577 的第二电极的连接部分为节点 5543。再者,以第二薄膜晶体管 5572 的栅电极、第三薄膜晶体

管 5573 的第二电极、第四薄膜晶体管 5574 的第二电极、第六薄膜晶体管 5576 的栅电极及第八薄膜晶体管 5578 的第二电极的连接部分为节点 5544。

[0433] 注意,第一布线 5501、第二布线 5502、第三布线 5503 以及第四布线 5504 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者,第五布线 5505、第六布线 5506 也可以分别称为第一电源线、第二电源线。

[0434] 此外,通过增大扫描线驱动电路的晶体管的沟道宽度,或配置多个扫描线驱动电路等,可以实现更高的帧频率。在配置多个扫描线驱动电路的情况下,通过将用于驱动偶数行的扫描线的扫描线驱动电路配置在一侧,并将用于驱动奇数行的扫描线的扫描线驱动电路配置在其相反一侧,可以实现帧频率的提高。另外,当利用多个扫描线驱动电路向同一扫描线输出信号时,有利于显示装置的大型化。

[0435] 此外,在制造半导体装置的一例的有源矩阵型发光显示装置的情况下,因为至少在一个像素中配置多个薄膜晶体管,因此优选配置多个扫描线驱动电路。图 17B 示出有源矩阵型发光显示装置的框图的一例。

[0436] 图 17B 所示的发光显示装置在衬底 5400 上包括:具有多个具备显示元件的像素的像素部 5401;选择各像素的第一扫描线驱动电路 5402 及第二扫描线驱动电路 5404;以及控制对被选择的像素的视频信号的输入的信号线驱动电路 5403。

[0437] 在输入到图 17B 所示的发光显示装置的像素的视频信号为数字方式的情况下,通过切换晶体管的导通和截止,使像素成为发光或非发光状态。因此,可以采用区域灰度法或时间灰度法进行灰度显示。面积灰度法是一种驱动法,其中通过将一个像素分割为多个子像素并根据视频信号而分别驱动各子像素,来进行灰度显示。此外,时间灰度法是一种驱动法,其中通过控制像素发光的期间,来进行灰度显示。

[0438] 因为发光元件的响应速度比液晶元件等快,所以与液晶元件相比适合于时间灰度法。具体地,在采用时间灰度法进行显示的情况下,将一个帧期间分割为多个子帧期间。然后,根据视频信号,在各子帧期间中使像素的发光元件成为发光或非发光状态。通过将一个帧期间分割为多个子帧期间,可以利用视频信号控制在一个帧期间中像素实际上发光的期间的总长度,并可以显示灰度。

[0439] 注意,在图 17B 所示的发光显示装置中示出一种例子,其中当在一个像素中配置两个开关 TFT 时,使用第一扫描线驱动电路 5402 生成输入到一个开关 TFT 的栅极布线的第二扫描线的信号,并使用第二扫描线驱动电路 5404 生成输入到另一个开关 TFT 的栅极布线的第二扫描线的信号。但是,也可以使用一个扫描线驱动电路生成输入到第一扫描线的信号和输入到第二扫描线的信号。此外,例如根据一个像素所具有的开关 TFT 的数量,可能会在各像素中设置多个用来控制开关元件的工作的扫描线。在此情况下,既可以使用一个扫描线驱动电路生成输入到多个扫描线的所有信号,又可以使用多个扫描线驱动电路分别生成输入到多个扫描线的所有信号。

[0440] 此外,在发光显示装置中也可以将驱动电路中的能够由 n 沟道型 TFT 构成的驱动电路的一部分形成在与像素部的薄膜晶体管同一衬底上。

[0441] 此外,上述驱动电路除了液晶显示装置、发光显示装置以外还可以用于利用与开关元件电连接的元件来驱动电子墨水的电子纸。电子纸也称为电泳显示装置(电泳显示器),并具有如下优点:与纸相同的易读性;耗电量比其他的显示装置低;可形成为薄且轻

的形状。

[0442] 作为电泳显示器可考虑各种方式。电泳显示器是如下器件,即在溶剂或溶质中分散有多个包含具有正电荷的第一粒子和具有负电荷的第二粒子的微囊,并且通过对微囊施加电场使微囊中的粒子互相向相反方向移动,以仅显示集合在一方的粒子的颜色。注意,第一粒子或第二粒子包含染料,并且在没有电场时不移动。此外,第一粒子和第二粒子的颜色不同(包含无色)。

[0443] 像这样,电泳显示器是利用所谓的介电电泳效应的显示器。在该介电电泳效应中,介电常数高的物质移动到高电场区。电泳显示器不需要液晶显示装置所需的偏振片和对置衬底,从而可以将其膜厚度和重量减少一半。

[0444] 将在溶剂中分散有上述微囊的溶液称为电子墨水,该电子墨水可以印刷到玻璃、塑料、布、纸等的表面上。另外,还可以通过使用滤色片或具有色素的粒子来进行彩色显示。

[0445] 此外,通过在有源矩阵衬底上适当地设置多个上述微囊以使这些微囊夹在两个电极之间,来完成有源矩阵型显示装置,并且通过对微囊施加电场,可以进行显示。例如,可以使用包括实施方式 2 的薄膜晶体管(将包含  $\text{SiO}_x$  的氧化物半导体层用于沟道形成区,并且作为源区及漏区使用添加有氮的氧化物半导体)的有源矩阵衬底。

[0446] 此外,作为微囊中的第一粒子及第二粒子,采用选自导电体材料、绝缘体材料、半导体材料、磁性材料、液晶材料、铁电性材料、电致发光材料、电致变色材料、磁泳材料中的一种或这些材料的复合材料即可。

[0447] 通过上述工序,可以制造作为半导体装置的可靠性高的显示装置。

[0448] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0449] 实施方式 15

[0450] 在本实施方式中,示出作为半导体装置的发光显示装置的一例。在此,示出利用电致发光的发光元件作为显示装置所具有的显示元件。对利用电致发光的发光元件根据其发光材料是有机化合物还是无机化合物进行区别,前者被称为有机 EL 元件,而后者被称为无机 EL 元件。

[0451] 在有机 EL 元件中,通过对发光元件施加电压,电子及空穴从一对电极分别注入到包含发光有机化合物的层,以产生电流。然后,通过使这些载流子(电子及空穴)重新结合,发光有机化合物达到激发态,并且当该激发态恢复到基态时,得到发光。根据这种机理,而这种发光元件被称为电流激发型发光元件。

[0452] 根据其元件的结构,将无机 EL 元件分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件包括在粘合剂中分散有发光材料的粒子的发光层,并且其发光机理是利用供体能级和受体能级的供体-受体重新结合型发光。薄膜型无机 EL 元件具有由电介质层夹住发光层并还利用电极夹住该夹住发光层的电介质层的结构,并且其发光机理是利用金属离子的内层电子跃迁的定域型发光。另外,在此使用有机 EL 元件作为发光元件而进行说明。

[0453] 图 23 示出作为半导体装置的例子的可以应用数字时间灰度驱动的像素结构的一例。

[0454] 对可以应用数字时间灰度驱动的像素的结构以及像素的工作进行说明。这里示出在一个像素中使用两个 n 沟道型晶体管的例子,该 n 沟道型晶体管将包含  $\text{SiO}_x$  的氧化物半

导体层（典型的是 Zn-O 类非单晶膜）用于沟道形成区，并且作为源区及漏区而使用添加有氮的 Zn-O 类氧化物半导体。

[0455] 像素 6400 包括开关晶体管 6401、驱动晶体管 6402、发光元件 6404 以及电容元件 6403。在开关晶体管 6401 中，栅极与扫描线 6406 连接，第一电极（源电极及漏电极中的一方）与信号线 6405 连接，第二电极（源电极及漏电极中的另一方）与驱动晶体管 6402 的栅极连接。在驱动晶体管 6402 中，栅极通过电容元件 6403 与电源线 6407 连接，第一电极与电源线 6407 连接，第二电极与发光元件 6404 的第一电极（像素电极）连接。发光元件 6404 的第二电极相当于共同电极 6408。共同电极 6408 与形成在同一衬底上的共同电位线电连接，并且将该连接部分用作共同连接部，即可。

[0456] 另外，将发光元件 6404 的第二电极（共同电极 6408）设定为低电源电位。另外，低电源电位是指以设定于电源线 6407 的高电源电位为基准满足低电源电位 < 高电源电位的电位，并且作为低电源电位例如可以设定为 GND、0V 等。将该高电源电位与低电源电位的电位差施加到发光元件 6404，使发光元件 6404 产生电流以使发光元件 6404 发光，而以高电源电位与低电源电位的电位差为发光元件 6404 的正向阈值电压以上的方式分别设定高电源电位和低电源电位。

[0457] 另外，还可以使用驱动晶体管 6402 的栅极电容代替电容元件 6403 而省略电容元件 6403。也可以在沟道区与栅电极之间形成驱动晶体管 6402 的栅极电容。

[0458] 这里，在采用电压输入电压驱动方式的情况下，对驱动晶体管 6402 的栅极输入使驱动晶体管 6402 充分导通或截止的视频信号。就是说，使驱动晶体管 6402 在线性区中工作。由于使驱动晶体管 6402 在线性区中工作，因此将比电源线 6407 的电压高的电压施加到驱动晶体管 6402 的栅极。注意，对信号线 6405 施加（电源线电压 + 驱动晶体管 6402 的  $V_{th}$ ）以上的电压。

[0459] 此外，当进行模拟灰度驱动而代替数字时间灰度驱动时，通过使信号的输入不同，可以使用与图 23 相同的像素结构。

[0460] 当进行模拟灰度驱动时，对驱动晶体管 6402 的栅极施加（发光元件 6404 的正向电压 + 驱动晶体管 6402 的  $V_{th}$ ）以上的电压。发光元件 6404 的正向电压是指在得到所希望的亮度时的电压，至少包括正向阈值电压。注意，通过输入使驱动晶体管 6402 在饱和区中工作的视频信号，可以在发光元件 6404 中产生电流。为了使驱动晶体管 6402 在饱和区中工作，而将电源线 6407 的电位设定为高于驱动晶体管 6402 的栅极电位。通过将视频信号设定为模拟方式，可以在发光元件 6404 中产生根据视频信号的电流，而进行模拟灰度驱动。

[0461] 另外，图 23 所示的像素结构不局限于此。例如，还可以对图 23 所示的像素追加开关、电阻元件、电容元件、晶体管或逻辑电路等。

[0462] 接着，参照图 24A 至 24C 而说明发光元件的结构。在此，以驱动 TFT 是 n 型的情况为例子来说明像素的截面结构。可以与实施方式 2 所示的薄膜晶体管 170 同样地制造用于图 24A 至 24C 的半导体装置的驱动 TFT 的 TFT7001、7011、7021，这些 TFT 是将包含  $\text{SiO}_x$  的氧化物半导体层用于沟道形成区，并且作为源区及漏区使用添加有氮的氧化物半导体的薄膜晶体管。

[0463] 为了取出发光，发光元件的阳极或阴极的至少一方是透明的即可。而且，在衬底上

形成薄膜晶体管及发光元件,并且有如下结构的发光元件,即从与衬底相反的面取出发光的顶部发射、从衬底一侧的面取出发光的底部发射以及从衬底一侧及与衬底相反的面取出发光的双面发射。像素结构可以应用于任何发射结构的发光元件。

[0464] 参照图 24A 而说明顶部发射结构的发光元件。

[0465] 图 24A 示出在驱动 TFT 的 TFT7001 是 n 型,并且从发光元件 7002 发射的光穿过到阳极 7005 一侧的情况下的像素的截面图。在 TFT7001 中,作为半导体层使用添加有氧化硅的 Zn-O 类氧化物半导体,并且作为源区及漏区使用添加有氮的 Zn-O 类氧化物半导体。在图 24A 中,发光元件 7002 的阴极 7003 和驱动 TFT 的 TFT7001 电连接,并且在阴极 7003 上按顺序层叠有发光层 7004、阳极 7005。至于阴极 7003,只要是功函数低并且反射光的导电膜,就可以使用各种材料。例如,优选使用 Ca、Al、MgAg、AlLi 等。而且,发光层 7004 可以由单层或多层的叠层构成。在由多层构成时,在阴极 7003 上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。注意,不需要设置所有这些层。使用透过光的具有透光性的导电材料形成阳极 7005,例如也可以使用具有透光性的导电膜例如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面,表示为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0466] 由阴极 7003 及阳极 7005 夹住发光层 7004 的区域相当于发光元件 7002。在图 24A 所示的像素中,从发光元件 7002 发射的光如箭头所示那样发射到阳极 7005 一侧。

[0467] 接着,参照图 24B 而说明底部发射结构的发光元件。图 24B 示出在驱动 TFT7011 是 n 型,并且从发光元件 7012 发射的光发射到阴极 7013 一侧的情况下的像素的截面图。在 TFT7011 中,作为半导体层使用添加有氧化硅的 In-Zn-O 类氧化物半导体,并且作为源区及漏区使用添加有氮的 In-Zn-O 类氧化物半导体。在图 24B 中,发光元件 7012 的阴极 7013 与驱动 TFT 的 TFT7011 电连接,并且在阴极 7013 上按顺序层叠有发光层 7014、阳极 7015。注意,在阳极 7015 具有透光性的情况下,也可以覆盖阳极上地形成有用来反射光或遮光的屏蔽膜 7016。与图 24A 的情况同样,至于阴极 7013,只要是功函数低的导电材料,就可以使用各种材料。但是,将其膜厚度设定为透过光的程度(优选为 5nm 至 30nm 左右)。例如,可以将膜厚度为 20nm 的铝膜用作阴极 7013。而且,与图 24A 同样,发光层 7014 可以由单层或多层的叠层构成。阳极 7015 不需要透过光,但是可以与图 24A 同样地使用具有透光性的导电材料来形成。并且,虽然屏蔽膜 7016 例如可以使用反射光的金属等,但是不局限于金属膜。例如,也可以使用添加有黑色的颜料的树脂等。

[0468] 由阴极 7013 及阳极 7015 夹住发光层 7014 的区域相当于发光元件 7012。在图 24B 所示的像素中,从发光元件 7012 发射的光如箭头所示那样发射到阴极 7013 一侧。

[0469] 接着,参照图 24C 而说明双面发射结构的发光元件。在图 24C 中,在与驱动 TFT7021 电连接的具有透光性的导电膜 7027 上形成有发光元件 7022 的阴极 7023,并且在阴极 7023 上按顺序层叠有发光层 7024、阳极 7025。在 TFT7021 中,作为半导体层使用添加有氧化硅的 Zn-O 类氧化物半导体,并且作为源区及漏区使用添加有氮的 Zn-O 类氧化物半导体。与图 24A 的情况同样,至于阴极 7023,只要是功函数低的导电材料,就可以使用各种材料。但是,将其膜厚度设定为透过光的程度。例如,可以将膜厚度为 20nm 的 Al 用作阴极 7023。而且,与图 24A 同样,发光层 7024 可以由单层或多层的叠层构成。阳极 7025 可以与图 24A 同样地使用透过光的具有透光性的导电材料来形成。

[0470] 阴极 7023、发光层 7024 和阳极 7025 重叠的部分相当于发光元件 7022。在图 24C 所示的像素中,从发光元件 7022 发射的光如箭头所示那样发射到阳极 7025 一侧和阴极 7023 一侧的双方。

[0471] 另外,虽然在此描述了有机 EL 元件作为发光元件,但是也可以设置无机 EL 元件作为发光元件。

[0472] 另外,虽然在本实施方式中示出了控制发光元件的驱动的薄膜晶体管(驱动 TFT)和发光元件电连接的例子,但是也可以采用在驱动 TFT 和发光元件之间连接有电流控制 TFT 的结构。

[0473] 接着,参照图 25A 和 25B 而说明相当于半导体装置的一种方式的发光显示面板(也称为发光面板)的外观及截面。图 25A 是一种面板的俯视图,其中利用密封剂将形成在第一衬底上的薄膜晶体管及发光元件密封在与第二衬底之间。图 25B 相当于沿着图 25A 的 H-I 的截面图。

[0474] 以围绕设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 的方式设置有密封剂 4505。此外,在像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 上设置有第二衬底 4506。因此,像素部 4502、信号线驱动电路 4503a、4503b 以及扫描线驱动电路 4504a、4504b 与填料 4507 一起由第一衬底 4501、密封剂 4505 和第二衬底 4506 密封。像这样,为了不暴露于大气,而优选由气密性高且漏气少的保护薄膜(贴合薄膜、紫外线固化树脂薄膜等)或覆盖材料封装(密封)。

[0475] 此外,设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 包括多个薄膜晶体管。在图 25B 中,例示包括在像素部 4502 中的薄膜晶体管 4510 和包括在信号线驱动电路 4503a 中的薄膜晶体管 4509。

[0476] 薄膜晶体管 4509、4510 使用添加有氧化硅的 Zn-O 类氧化物半导体,并且作为源区及漏区使用添加有氮的 Zn-O 类氧化物半导体。在本实施方式中,薄膜晶体管 4509、4510 是 n 沟道型薄膜晶体管。

[0477] 此外,附图标记 4511 相当于发光元件,并且发光元件 4511 所具有的作为像素电极的第一电极层 4517 与薄膜晶体管 4510 的源电极层及漏电极层电连接。注意,虽然发光元件 4511 的结构为由第一电极层 4517、电致发光层 4512 和第二电极层 4513 构成的叠层结构,但是不局限于本实施方式所示的结构。可以根据从发光元件 4511 取出的光的方向等而适当地改变发光元件 4511 的结构。

[0478] 分隔壁 4520 使用有机树脂膜、无机绝缘膜或有机聚硅氧烷而形成。特别优选的是,以如下条件形成分隔壁 4520:使用感光性的材料,并在第一电极层 4517 上形成开口部,并且使该开口部的侧壁成为具有连续曲率的倾斜面。

[0479] 电致发光层 4512 既可以由单层构成,又可以由多层的叠层构成。

[0480] 为了不使氧、氢、水分、二氧化碳等侵入到发光元件 4511,而可以在第二电极层 4513 以及分隔壁 4520 上形成保护膜。可以形成氮化硅膜、氮氧化硅膜、DLC 膜等作为保护膜。

[0481] 另外,供给到信号线驱动电路 4503a、4503b、扫描线驱动电路 4504a、4504b、或像素部 4502 的各种信号及电位是从 FPC4518a、4518b 供给的。

[0482] 在本实施方式中,连接端子电极 4515 由与发光元件 4511 所具有的第一电极层 4517 相同的导电膜形成,并且端子电极 4516 由与薄膜晶体管 4509、4510 所具有的源电极层及漏电极层相同的导电膜形成。

[0483] 连接端子电极 4515 通过各向异性导电膜 4519 电连接到 FPC4518a 所具有的端子。

[0484] 位于取出来自发光元件 4511 的光的方向上的第二衬底 4506 需要具有透光性。在此情况下,使用如玻璃板、塑料板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

[0485] 此外,作为填料 4507,除了氮、氩等的惰性气体之外,还可以使用紫外线固化树脂或热固化树脂。可以使用 PVC(聚氯乙烯)、丙烯酸树脂、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)、EVA(乙烯-醋酸乙烯酯)。在本实施方式中,作为填料,使用氮。

[0486] 另外,若有需要,则也可以在发光元件的发射面上适当地设置诸如偏振片、圆偏振片(包括椭圆偏振片)、相位差板( $\lambda/4$ 片、 $\lambda/2$ 片)、滤色片等的光学薄膜。另外,也可以在偏振片或圆偏振片上设置抗反射膜。例如,可以进行抗眩光处理,该处理可以利用表面的凹凸来扩散反射光并降低眩光。

[0487] 信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 也可以作为在另行准备的衬底上由单晶半导体膜或多晶半导体膜形成的驱动电路而安装。此外,也可以另行仅形成信号线驱动电路或其一部分、或者扫描线驱动电路或其一部分而安装。本实施方式不局限于图 25A 和 25B 的结构。

[0488] 通过上述工序,可以制造作为半导体装置的可靠性高的发光显示装置(显示面板)。

[0489] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0490] 实施方式 16

[0491] 制造将包含氧化硅( $\text{SiO}_2$ )的氧化物半导体层用于沟道形成区并且作为源区及漏区使用添加有氮的氧化物半导体的薄膜晶体管,然后将该薄膜晶体管用于驱动电路、以及像素部,可以制造具有显示功能的液晶显示装置。此外,将使用薄膜晶体管的驱动电路的一部分或全部一体形成在与像素部同一衬底上,来形成系统型面板(system-on-panel)。

[0492] 液晶显示装置作为显示元件包括液晶元件(也称为液晶显示元件)。

[0493] 此外,液晶显示装置包括密封有显示元件的面板和在该面板安装有包括控制器的 IC 等的模块。再者,关于在制造该液晶显示装置的过程中相当于显示元件完成之前的一种方式,并且该元件衬底在多个像素中分别具备用来将电流供给到显示元件的单元。具体而言,元件衬底既可以是只形成有显示元件的像素电极的状态,又可以是形成成为像素电极的导电膜之后且通过蚀刻形成像素电极之前的状态,或其他任何方式。

[0494] 注意,本说明书中的液晶显示装置是指图像显示器件、显示器件、或光源(包括照明装置)。另外,液晶显示装置包括:安装有连接器诸如 FPC(Flexible Printed Circuit;柔性印刷电路)、TAB(Tape Automated Bonding;载带自动键合)胶带或 TCP(Tape Carrier Package;载带封装)的模块;将印刷线路板设置于 TAB 胶带或 TCP 端部的模块;通过 COG(Chip On Glass;玻璃上芯片)方式将 IC(集成电路)直接安装到显示元件上的模块。

[0495] 参照图 26A1 至 26B 而说明相当于液晶显示装置的一种方式的液晶显示面板的外观及截面。图 26A1 和 26A2 是一种面板的俯视图,其中利用密封剂 4005 将液晶元件 4013

密封在第一衬底 4001 与第二衬底 4006 之间。图 26B 相当于沿着图 26A1 和 26A2 的 M-N 的截面图。

[0496] 以围绕设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封剂 4005。此外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,像素部 4002 和扫描线驱动电路 4004 与液晶层 4008 一起由第一衬底 4001、密封剂 4005 和第二衬底 4006 密封。在本实施方式中,对液晶层 4008 没有特别的限制,但是使用显示蓝相的液晶材料。在从未施加电压状态到施加电压状态中,显示蓝相的液晶材料的响应速度短,即为 1msec 以下,可以实现高速响应。作为显示蓝相的液晶材料包括液晶及手性试剂。手性试剂用于使液晶取向为螺旋结构并显示出蓝相。例如,将混合有 5wt% 以上的手性试剂的液晶材料用于液晶层,即可。液晶使用热致液晶、低分子液晶、高分子液晶、铁电性液晶、反铁电性液晶等。

[0497] 此外,在图 26A1 中,在与第一衬底 4001 上的由密封剂 4005 围绕的区域不同的区域安装有信号线驱动电路 4003,该信号线驱动电路 4003 使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上。注意,图 26A2 是将信号线驱动电路的一部分形成在第一衬底 4001 上的例子,其中,在第一衬底 4001 上形成信号线驱动电路 4003b,并且在另行准备的衬底上安装有由单晶半导体膜或多晶半导体膜形成的信号线驱动电路 4003a。

[0498] 另外,对另行形成的驱动电路的连接方法没有特别的限制,而可以采用 COG 方法、引线键合方法或 TAB 方法等。图 26A1 是通过 COG 方法安装信号线驱动电路 4003 的例子,并且图 26A2 是通过 TAB 方法安装信号线驱动电路 4003 的例子。

[0499] 此外,设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 包括多个薄膜晶体管。在图 26B 中例示像素部 4002 所包括的薄膜晶体管 4010 和扫描线驱动电路 4004 所包括的薄膜晶体管 4011。在薄膜晶体管 4010、4011 上设置有绝缘层 4020、4021。作为薄膜晶体管 4010、4011,可以应用将包含氧化硅 ( $\text{SiO}_x$ ) 的氧化物半导体层用于沟道形成区并作为源区及漏区使用添加有氮的氧化物半导体的薄膜晶体管。在本实施方式中,薄膜晶体管 4010、4011 是 n 沟道型薄膜晶体管。

[0500] 此外,在第一衬底 4001 上设置像素电极层 4030 及共同电极层 4031,并且像素电极层 4030 与薄膜晶体管 4010 电连接。液晶元件 4013 包括像素电极层 4030、共同电极层 4031 以及液晶层 4008。在本实施方式中,使用通过产生大致平行于衬底(即,水平方向)的电场来在平行于衬底的面内移动液晶分子以控制灰度的方式。作为这种方式,可以应用在 IPS(In Plane Switching;平面内切换)模式中使用的电极结构、在 FFS(Fringe Field Switching;边缘场切换)模式中使用的电极结构。注意,在第一衬底 4001、第二衬底 4006 的外侧分别设置有偏振片 4032、4033。

[0501] 注意,作为第一衬底 4001、第二衬底 4006,可以使用具有透光性的玻璃、塑料等。作为塑料,可以使用 FRP(Fiberglass-ReinforcedPlastics;纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外,还可以使用具有将铝箔夹在 PVF 薄膜或聚酯薄膜之间的结构的薄片。

[0502] 此外,附图标记 4035 表示通过对绝缘膜选择性地蚀刻而得到的柱状间隔物,并且它是为控制液晶层 4008 的膜厚度(单元间隙)而设置的。另外,还可以使用球状间隔物。

[0503] 另外,虽然在图 26A1 至 26B 的液晶显示装置中示出在衬底的外侧(可见一侧)设置偏振片的例子,但是也可以在衬底的内侧设置偏振片。根据偏振片材料及制造工序条件适当地设定设置偏振片的位置即可。另外,还可以设置用作黑矩阵的遮光层。

[0504] 层间膜的绝缘层 4021 是透光性树脂层。此外,将层间膜的绝缘层 4021 的一部分用作遮光层。遮光层优选覆盖薄膜晶体管 4010、4011 地设置。在图 26A1 至 26B 中,以覆盖薄膜晶体管 4010、4011 的上方的方式在第二衬底 4006 一侧设置有遮光层 4034。通过设置遮光层 4012 及遮光层 4034,可以进一步提高对比度的提高、薄膜晶体管的稳定化的效果。

[0505] 通过设置遮光层 4034,可以降低入射到薄膜晶体管的半导体层的光的强度,并且可以得到防止因氧化物半导体的光敏度而导致的薄膜晶体管的电特性变动来实现稳定化的效果。

[0506] 可以采用利用用作薄膜晶体管的保护膜的绝缘层 4020 进行覆盖的结构,但是没有特别的限制。

[0507] 另外,因为保护膜是用来防止悬浮在大气中的有机物、金属物、水蒸气等的污染杂质的侵入的,所以优选采用致密的膜。使用溅射法并利用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜或氮氧化铝膜的单层或叠层来形成保护膜,即可。

[0508] 此外,当作为平坦化绝缘膜还形成透光绝缘层时,可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺或环氧树脂等。另外,除了上述有机材料之外,还可以使用低介电常数材料(low-k 材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。注意,也可以通过层叠多个由这些材料形成的绝缘膜,来形成绝缘层。

[0509] 对层叠的绝缘层的形成方法没有特别的限制,而可以根据其材料利用溅射法、SOG 法、旋涂、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)、刮刀、辊涂机、幕涂机、刮刀涂布机等。在使用材料液形成绝缘层的情况下,也可以在同时进行焙烧的工序中同时进行半导体层的退火(200℃至 400℃)。通过同时进行绝缘层的焙烧工序和半导体层的退火,可以有效地制造液晶显示装置。

[0510] 作为像素电极层 4030、共同电极层 4031,可以使用具有透光性的导电材料诸如包含氧化铟的氧化铟、包含氧化铟的氧化铟锌、包含氧化铟的氧化铟锡、包含氧化铟的氧化铟锡、氧化铟锡(下面表示为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0511] 此外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物来形成像素电极层 4030、共同电极层 4031。

[0512] 此外,供给到另行形成的信号线驱动电路 4003、扫描线驱动电路 4004 或像素部 4002 的各种信号及电位是从 FPC4018 供给的。

[0513] 此外,因为薄膜晶体管容易由于静电等而发生损坏,所以优选对于栅极线或源极线,而在同一衬底上设置驱动电路保护用的保护电路。保护电路优选由使用氧化物半导体的非线性元件构成。

[0514] 在图 26A1 至 26B 中,连接端子电极 4015 由与像素电极层 4030 相同的导电膜形成,并且端子电极 4016 由与薄膜晶体管 4010、4011 的源电极层及漏电极层相同的导电膜形成。

[0515] 连接端子电极 4015 通过各向异性导电膜 4019 电连接到 FPC4018 所具有的端子。

[0516] 此外,虽然在图 26A1 至 26B 中示出另行形成信号线驱动电路 4003 并将它安装到

第一衬底 4001 的例子,但是不局限于该结构。既可以另行形成扫描线驱动电路而安装,又可以另行仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分而安装。

[0517] 图 27 是液晶显示装置的截面结构的一例,利用密封剂 2602 固定元件衬底 2600 和对置衬底 2601,并在其间设置包括 TFT 等的元件层 2603、液晶层 2604。

[0518] 当进行彩色显示时,在背光灯部配置发射多种发光颜色的发光二极管。当采用 RGB 方式时,将红色的发光二极管 2910R、绿色的发光二极管 2910G、蓝色的发光二极管 2910B 分别配置在将液晶显示装置的显示区分割为多个区的分割区。

[0519] 在对置衬底 2601 的外侧设置有偏振片 2606,并且在元件衬底 2600 的外侧设置有偏振片 2607、光学片 2613。光源由红色的发光二极管 2910R、绿色的发光二极管 2910G、蓝色的发光二极管 2910B 以及反射板 2611 构成,并且设置在电路衬底 2612 上的 LED 控制电路 2912 通过柔性线路板 2609 与元件衬底 2600 的布线电路部 2608 连接,并且还组装有控制电路、电源电路等的外部电路。

[0520] 在本实施方式中示出利用该 LED 控制电路 2912 个别使 LED 发光的场序制方式的液晶显示装置的例子,但是没有特别的限制,也可以作为背光灯的光源使用冷阴极管或白色 LED,并设置滤色片。

[0521] 此外,虽然在本实施方式中示出在 IPS 模式中使用的电极结构的例子,但是没有特别的限制,可以使用 TN(扭曲向列;Twisted Nematic) 模式、MVA(多象限垂直配向;Multi-domain Vertical Alignment) 模式、PVA(垂直取向构型;Patterned Vertical Alignment) 模式、ASM(轴对称排列微胞;Axially Symmetric aligned Micro-cell) 模式、OCB(光学补偿弯曲;Optical Compensated Birefringence) 模式、FLC(铁电性液晶;Ferroelectric Liquid Crystal) 模式、AFLC(反铁电性液晶;Anti Ferroelectric Liquid Crystal) 模式等。

[0522] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0523] 实施方式 17

[0524] 在本实施方式中,作为半导体装置示出电子纸的一例。

[0525] 图 28A 示出有源矩阵型电子纸的截面图。可以与实施方式 2 所示的将包含氧化硅( $\text{SiO}_x$ )的氧化物半导体层用于沟道形成区并作为源区及漏区使用添加有氮的氧化物半导体的薄膜晶体管同样地制造用于配置在半导体装置的显示部中的薄膜晶体管 581。

[0526] 图 28A 的电子纸是采用扭转球显示方式的显示装置的例子。扭转球显示方式是指一种方法,其中将一个半球表面为白色而另一半球表面为黑色的球形粒子配置在用于显示元件的电极层的第一电极层及第二电极层之间,并在第一电极层及第二电极层之间产生电位差来控制球形粒子的方向,以进行显示。

[0527] 密封在衬底 580 和衬底 596 之间的薄膜晶体管 581 是底栅结构的薄膜晶体管,并利用源电极层及漏电极层与第一电极层 587 在形成于绝缘层 585 中的开口中接触并电连接。在第一电极层 587 和第二电极层 588 之间设置有球形粒子 589,该球形粒子 589 具有黑色区 590a 及白色区 590b,其周围包括充满液体的空洞 594,并且球形粒子 589 的周围填充有树脂等的填料 595(参照图 28A)。在本实施方式中,第一电极层 587 相当于像素电极,第二电极层 588 相当于共同电极。第二电极层 588 与设置在与薄膜晶体管 581 同一衬底上的共同电位线电连接。在共同连接部中,可以通过配置在一对衬底间的导电粒子,使第二电极

层 588 与共同电位线电连接。

[0528] 此外,还可以使用电泳元件而代替扭转球。使用直径为  $10\ \mu\text{m}$  至  $200\ \mu\text{m}$  左右的微囊,该微囊中封入有透明液体、带正电的白色微粒以及带负电的黑色微粒。对设置在第一电极层和第二电极层之间的微囊来说,当由第一电极层和第二电极层施加电场时,白色微粒和黑色微粒移动到相反方向,从而可以显示白色或黑色。应用这种原理的显示元件就是电泳显示元件,被称为电子纸。电泳显示元件具有比液晶显示元件高的反射率,因而不需要辅助灯。此外,其耗电量低,并且在昏暗的地方也可以辨别显示部。此外,即使不给显示部供应电源,也能够保持显示过一次的图像,因此,当使具有显示功能的半导体装置(简单地称为显示装置,或具备显示装置的半导体装置)远离电波发射源时,也可以储存显示过的图像。

[0529] 通过实施方式 2 所示的工序来制造将包含氧化硅的氧化物半导体层用于沟道形成区并作为源区及漏区使用添加有氮的氧化物半导体的薄膜晶体管,可以制造减少制造成本的电子纸作为半导体装置。电子纸可以用于用来显示信息的各种领域的电子设备。例如,可以将电子纸应用于电子书阅读器(电子书)、招贴、电车等的交通工具的车内广告、信用卡等的各种卡片的显示等。图 28B 示出电子设备的一例。

[0530] 图 28B 示出电子书籍 2700 的一例。例如,电子书籍 2700 由两个框体,即框体 2701 及框体 2703 构成。框体 2701 及框体 2703 由轴部 2711 形成为一体,并且可以以该轴部 2711 为轴进行开闭动作。通过采用这种结构,可以进行如纸的书籍那样的动作。

[0531] 框体 2701 组装有显示部 2705,并且框体 2703 组装有显示部 2707。显示部 2705 及显示部 2707 的结构既可以是显示连续画面的结构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如可以在右边的显示部(图 28B 中的显示部 2705)上显示文章,并且在左边的显示部(图 28B 中的显示部 2707)上显示图像。

[0532] 此外,在图 28B 中示出框体 2701 具备操作部等的例子。例如,在框体 2701 中,具备电源 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可以翻页。另外,也可以采用在与框体的显示部同一面上具备键盘、定位装置等的结构。另外,也可以采用在框体的背面或侧面具备外部连接用端子(耳机端子、USB 端子或可与 AC 适配器及 USB 电缆等的各种电缆连接的端子等)、记录介质插入部等的结构。再者,电子书籍 2700 也可以具有作为电子词典的功能。

[0533] 此外,电子书籍 2700 也可以采用以无线的方式收发信息的结构。还可以采用以无线的方式从电子书籍服务器购买所希望的书籍数据等,然后下载的结构。

[0534] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0535] 实施方式 18

[0536] 包括将包含氧化硅( $\text{SiO}_x$ )的氧化物半导体层用于沟道形成区并作为源区及漏区使用添加有氮的氧化物半导体的薄膜晶体管的半导体装置可以应用于各种电子设备(也包括游戏机)。作为电子设备,例如可以举出电视装置(也称为电视或电视接收机)、用于计算机等的监视器、数码相机或数码摄像机等影像拍摄装置、数码相框、移动电话机(也称为移动电话、移动电话装置)、便携式游戏机、便携式信息终端、声音再现装置、弹珠机等的大型游戏机等。

[0537] 图 29A 示出电视装置 9600 的一例。在电视装置 9600 中,框体组装有显示部 9603。利用显示部 9603 可以显示映像。此外,在此示出固定在墙上以支撑框体的背面的结构。

[0538] 可以通过利用框体 9601 所具备的操作开关、另行提供的遥控操作机 9610 进行电视装置 9600 的操作。通过利用遥控操作机 9610 所具备的操作键 9609, 可以进行频道、音量的操作, 并可以对显示在显示部 9603 上的映像进行操作。此外, 也可以采用在遥控操作机 9610 中设置显示从该遥控操作机 9610 输出的信息的显示部 9607 的结构。

[0539] 注意, 电视装置 9600 采用具备接收机、调制解调器等的结构。可以通过利用接收机接收一般的电视广播。再者, 通过调制解调器连接到有线或无线方式的通信网络, 也可以进行单向 (从发送者到接收者) 或双向 (在发送者和接收者之间或在接收者之间等) 的信息通信。

[0540] 图 29B 示出一种便携式游戏机, 它由框体 9881 和框体 9891 的两个框体构成, 并且通过联结部 9893 联结为能够开闭。框体 9881 组装有显示部 9882, 并且框体 9891 组装有显示部 9883。另外, 图 29B 所示的便携式游戏机还具备扬声器部 9884、记录介质插入部 9886、LED 灯 9890、输入单元 (操作键 9885、连接端子 9887、传感器 9888 (包括测定如下因素的功能: 力量、位移、位置、速度、加速度、角速度、转动数、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线) 以及麦克风 9889) 等。当然, 便携式游戏机的结构不局限于上述结构, 而只要采用至少具备半导体装置的结构就可以, 而可以采用适当地设置有其它附属设备的结构。图 29B 所示的便携式游戏机具有如下功能: 读出储存在记录介质中的程序或数据并将它显示在显示部上; 通过与其他便携式游戏机进行无线通信而实现信息共享。另外, 图 29B 所示的便携式游戏机所具有的功能不局限于此, 而可以具有各种各样的功能。

[0541] 图 30A 示出移动电话机 1000 的一例。移动电话机 1000 除了组装在框体 1001 的显示部 1002 之外还具备操作按钮 1003、外部连接端口 1004、扬声器 1005、麦克风 1006 等。

[0542] 图 30A 所示的移动电话机 1000 可以用手指等触摸显示部 1002 来输入信息。此外, 可以用手指等触摸显示部 1002 来打电话或制作电子邮件等。

[0543] 显示部 1002 的画面主要有三种模式。第一是以图像的显示为主的显示模式, 第二是以文字等的信息的输入为主的输入模式, 第三是显示模式和输入模式的两种模式混合的显示 + 输入模式。

[0544] 例如, 在打电话或制作电子邮件的情况下, 将显示部 1002 设定为以文字输入为主的文字输入模式, 并进行显示在画面上的文字输入操作, 即可。在此情况下, 优选的是, 在显示部 1002 的画面的大部分上显示键盘或号码按钮。

[0545] 此外, 通过在移动电话机 1000 的内部设置具有陀螺仪、加速度传感器等检测倾斜度的传感器的检测装置, 来判断移动电话机 1000 的方向 (竖向还是横向), 从而可以对显示部 1002 的画面显示进行自动切换。

[0546] 通过触摸显示部 1002 或对框体 1001 的操作按钮 1003 进行操作, 切换画面模式。此外, 还可以根据显示在显示部 1002 上的图像种类而切换画面模式。例如, 当显示在显示部上的图像信号为动态图像的数据时, 将画面模式切换成显示模式, 并且当显示在显示部上的图像信号为文字数据时, 将画面模式切换成输入模式。

[0547] 此外, 当在输入模式中通过检测出显示部 1002 的光传感器所检测的信号得知在一定期间中没有显示部 1002 的触摸操作输入时, 也可以以将画面模式从输入模式切换成显示模式的方式来进行控制。

[0548] 还可以将显示部 1002 用作图像传感器。例如,通过用手掌或手指触摸显示部 1002,来拍摄掌纹、指纹等,而可以进行身份识别。此外,通过在显示部中使用发射近红外光的背光灯或发射近红外光的感测光源,也可以拍摄手指静脉、手掌静脉等。

[0549] 图 30B 也是移动电话机的一例。图 30B 的移动电话机包括:在框体 9411 中具有显示部 9412 以及操作按钮 9413 的显示装置 9410;以及在框体 9401 中具有操作按钮 9402、外部输入端子 9403、麦克风 9404、扬声器 9405 以及在接电话时发光的发光部 9406 的通信装置 9400,并且具有显示功能的显示装置 9410 与具有电话功能的通信装置 9400 可以在箭头所指的两个方向上装卸。因此,可以将显示装置 9410 和通信装置 9400 的短轴互相连接,或将显示装置 9410 和通信装置 9400 的长轴互相连接。另外,当仅需要显示功能时,可以将通信装置 9400 和显示装置 9410 分开而单独使用显示装置 9410。通信装置 9400 和显示装置 9410 可以通过无线通信或有线通信来进行图像或输入信息的收发,并分别具有可进行充电的电池。

[0550] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0551] 本说明书根据 2009 年 3 月 26 日在日本专利局受理的日本专利申请编号 2009-077386 而制作,所述申请内容包括在本说明书中。

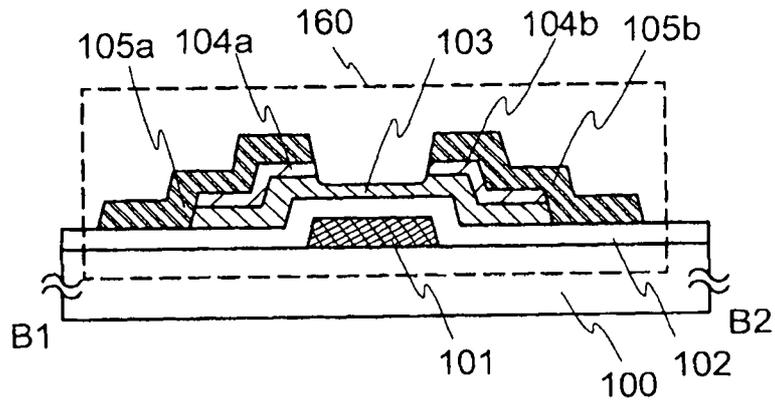


图 1A

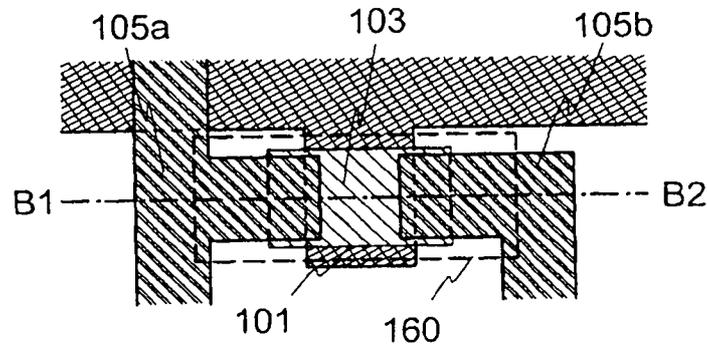


图 1B

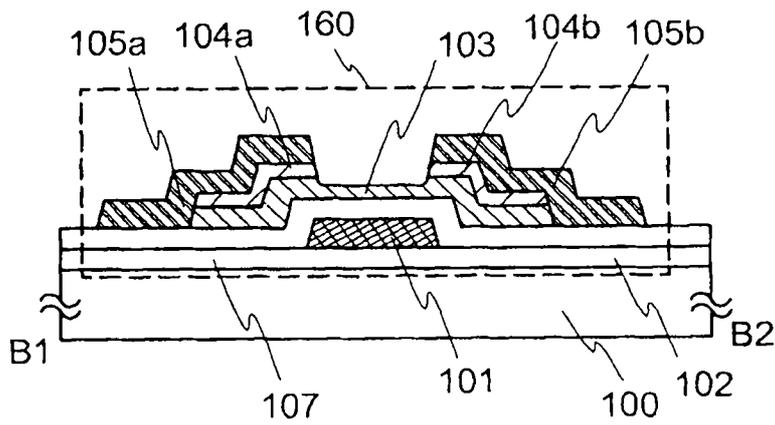


图 1C

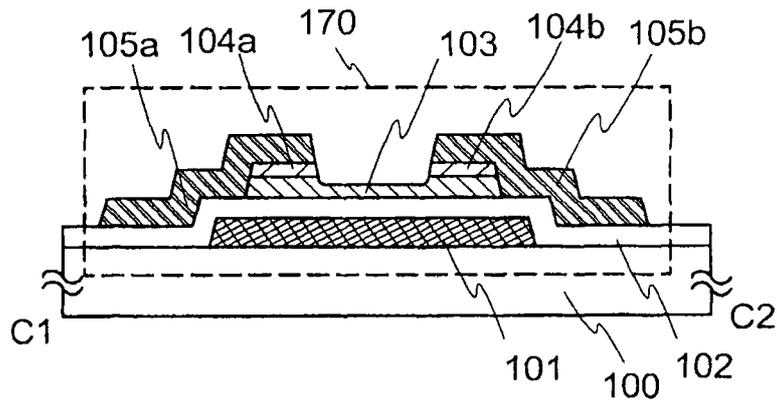


图 2A

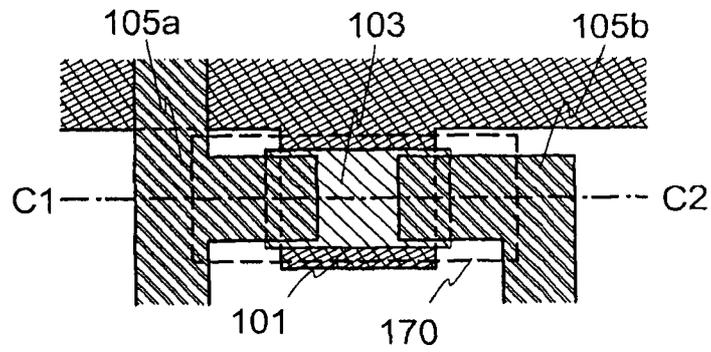


图 2B

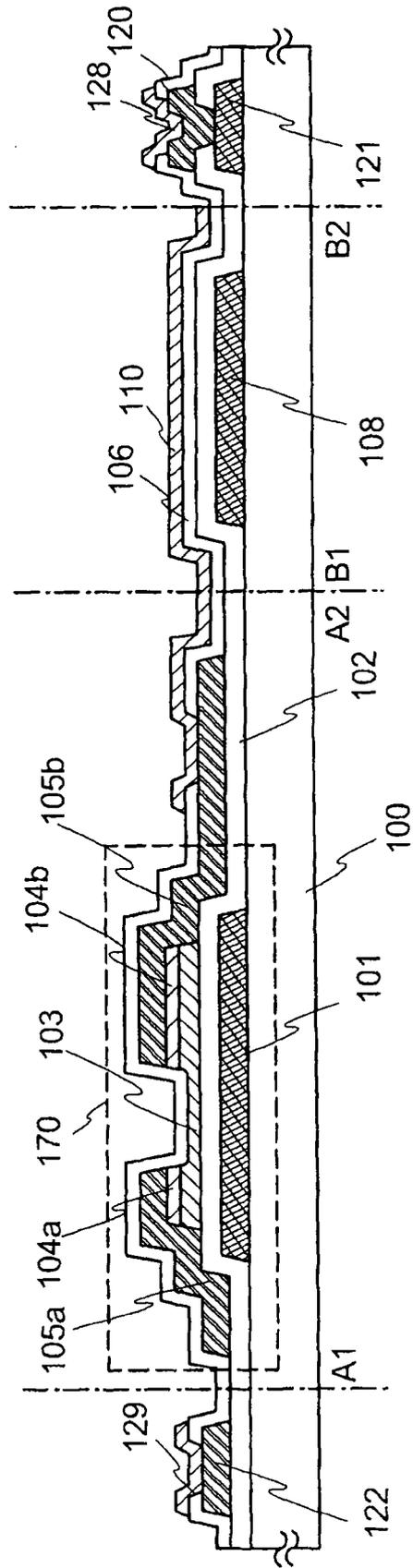


图 3

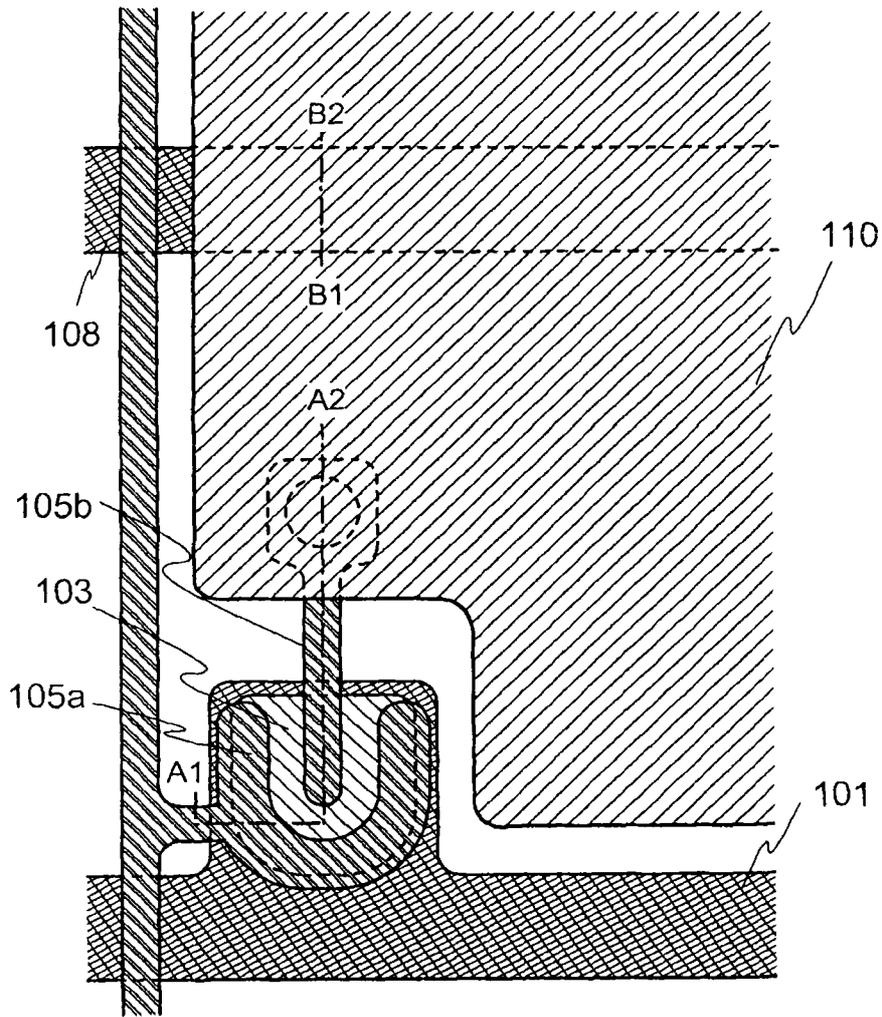


图 4

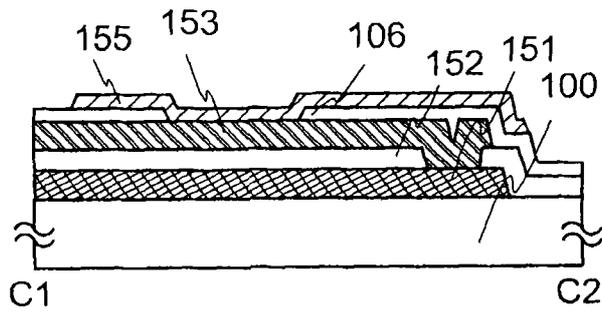


图 5A-1

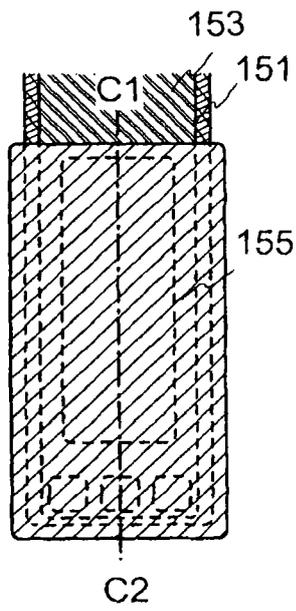


图 5A-2

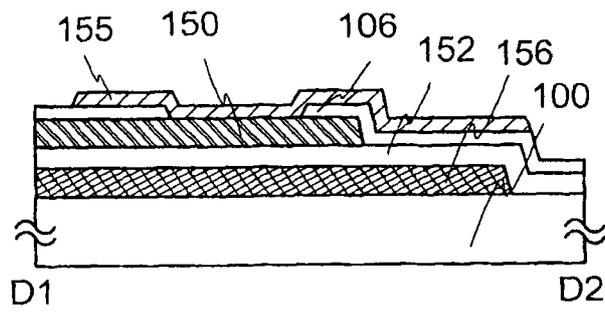


图 5B-1

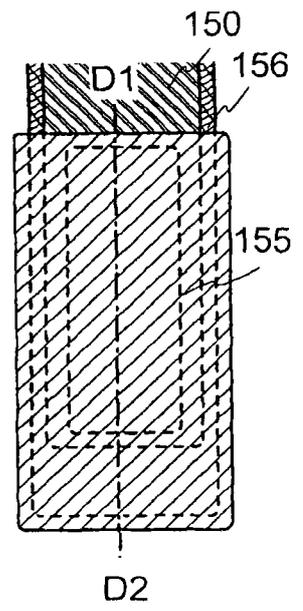


图 5B-2

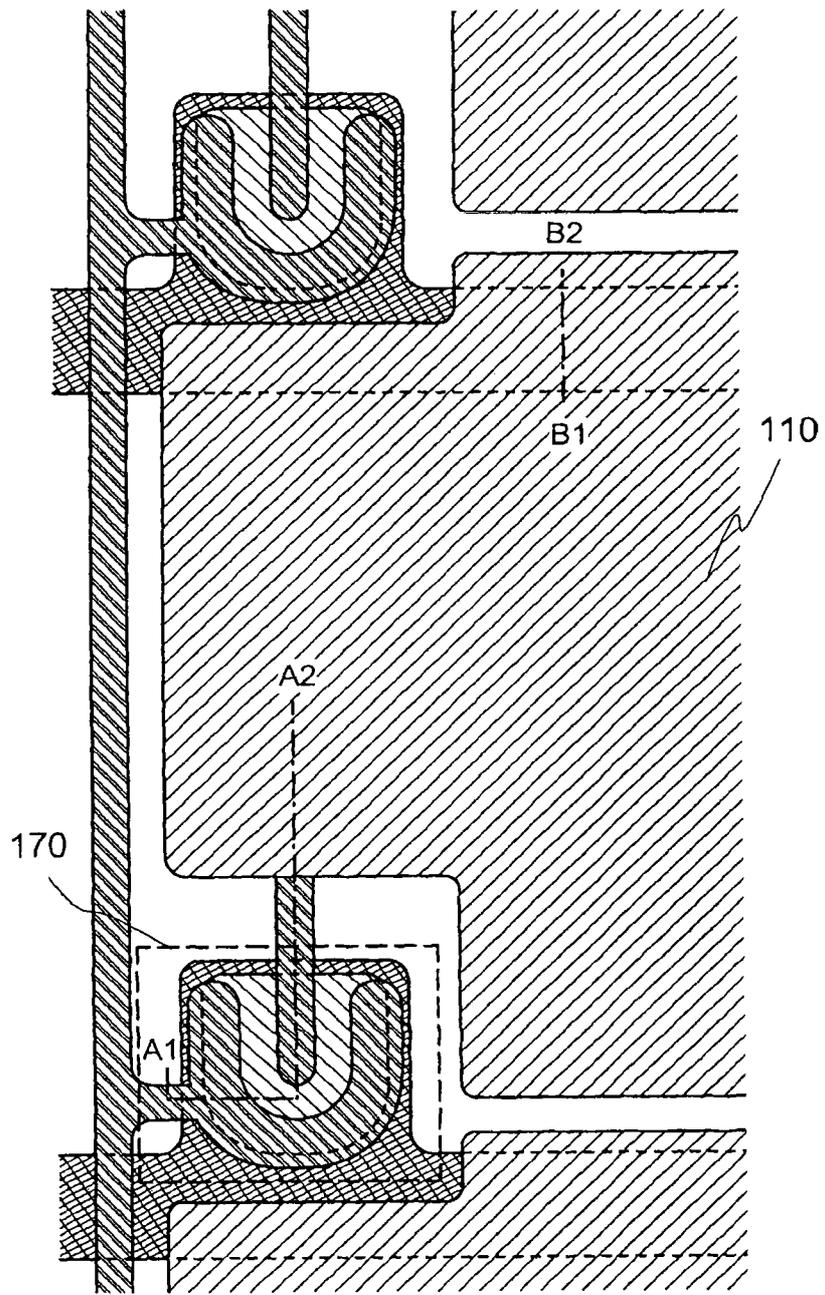


图 6

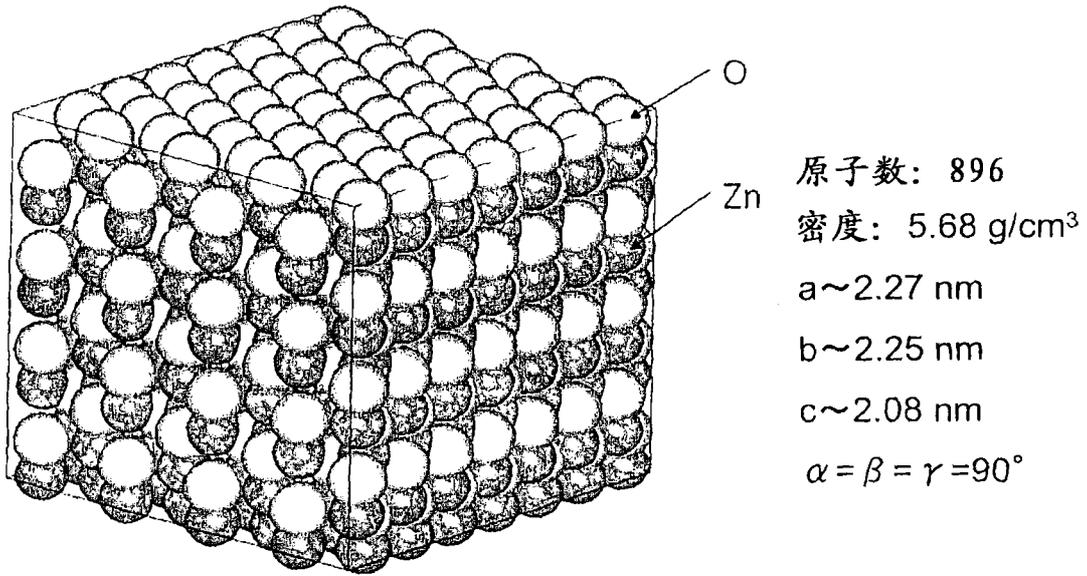


图 7

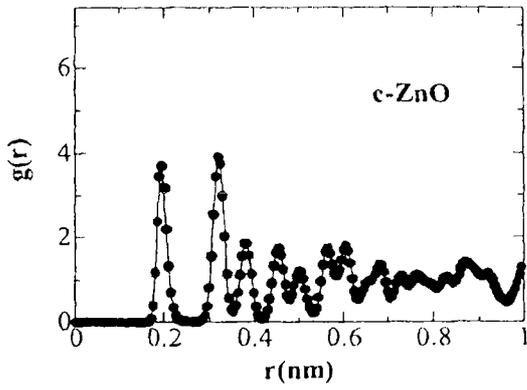


图 8A

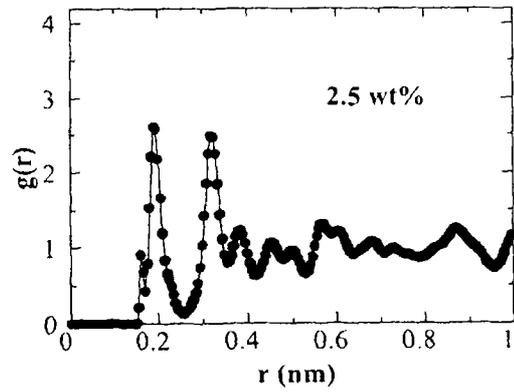


图 8B

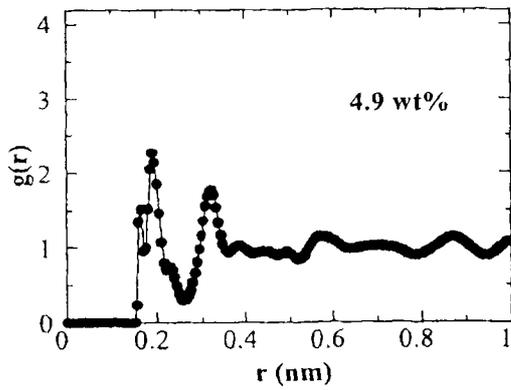


图 8C

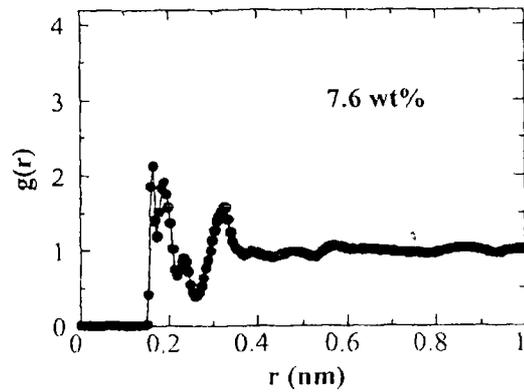


图 8D

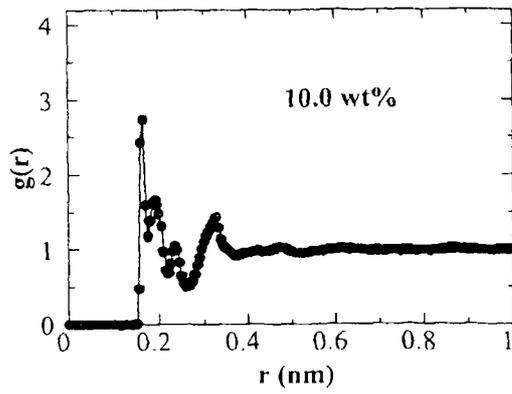


图 8E

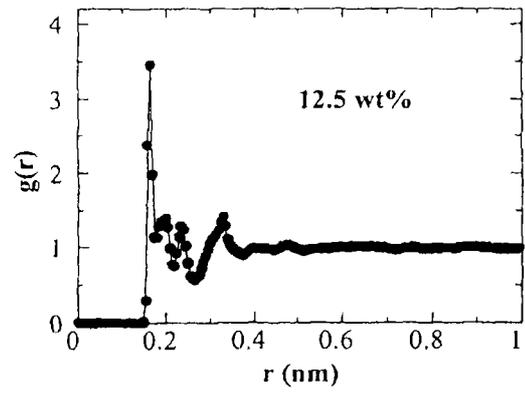


图 9A

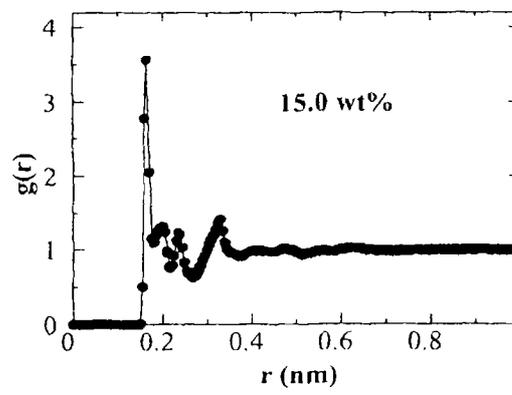


图 9B

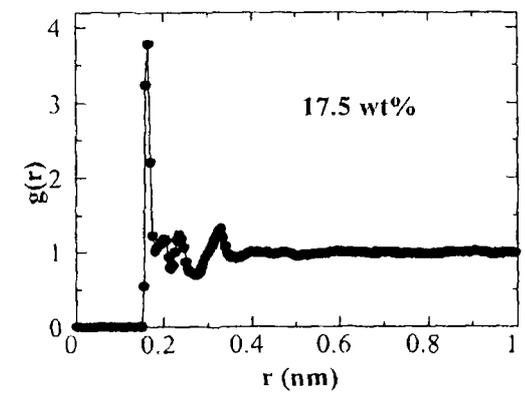


图 9C

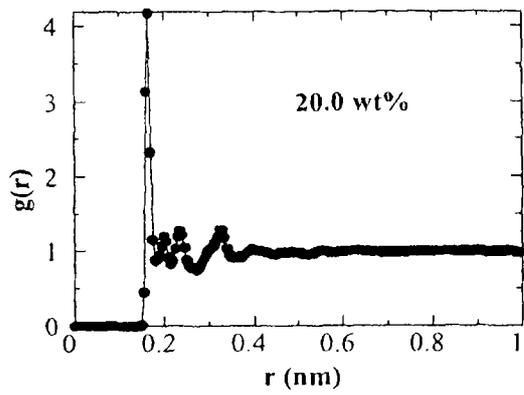


图 9D

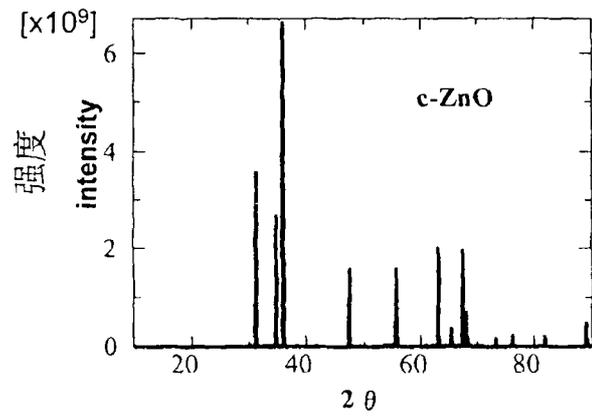


图 10A

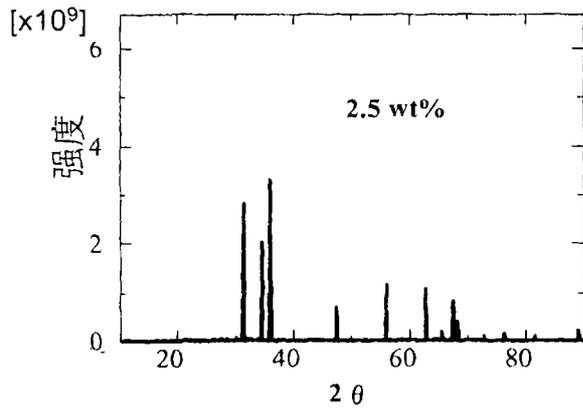


图 10B

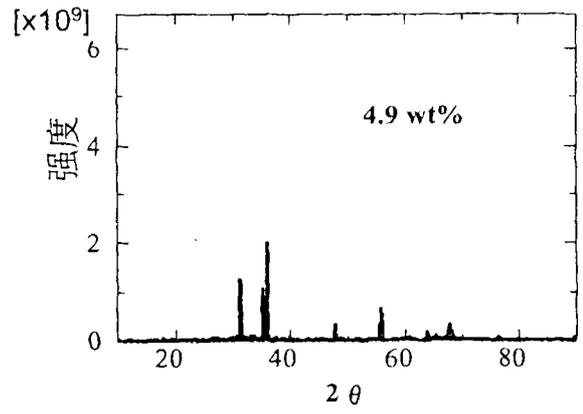


图 10C

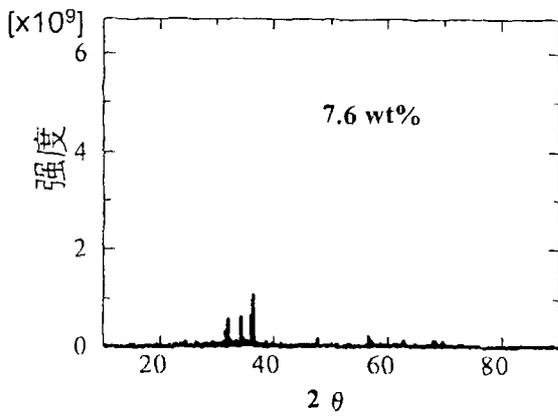


图 10D

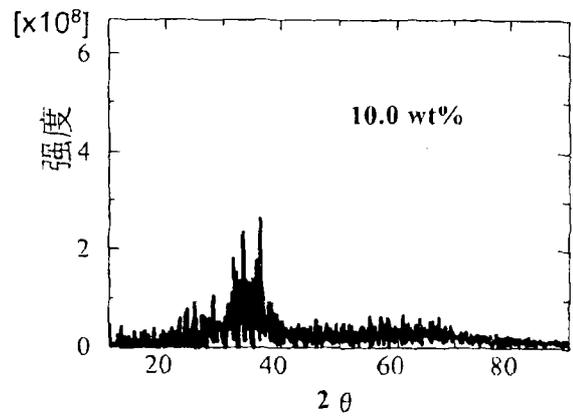


图 10E

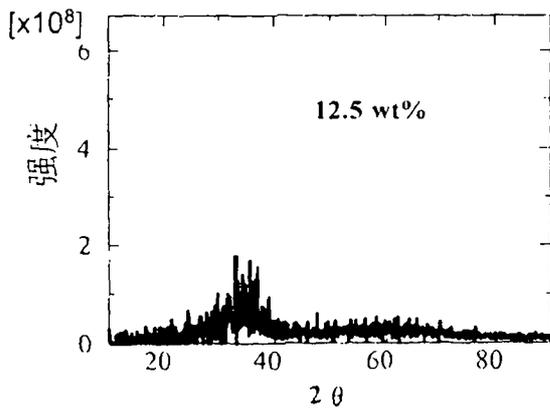


图 11A

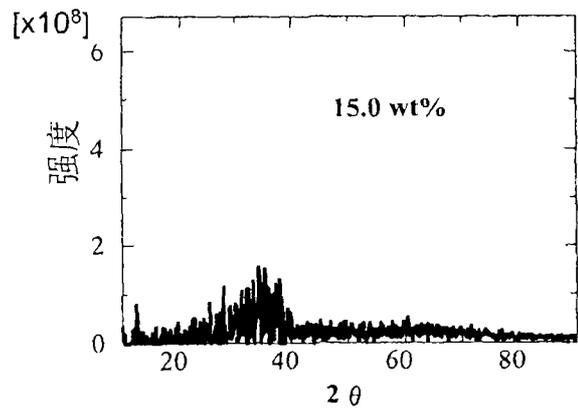


图 11B

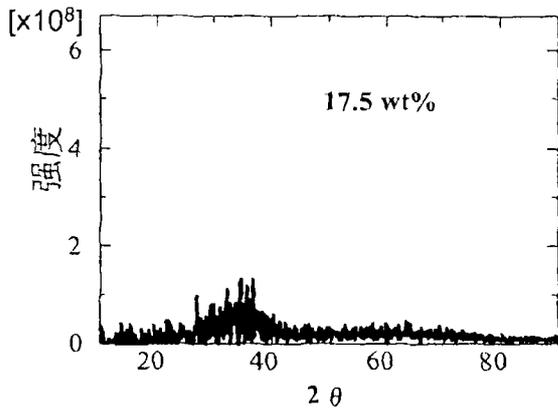


图 11C

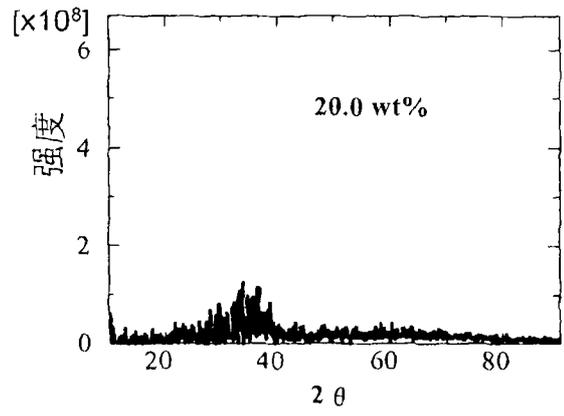


图 11D

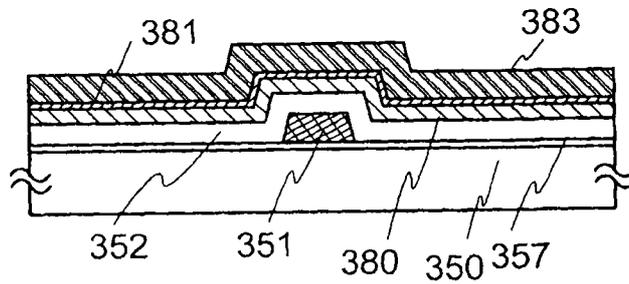


图 12A

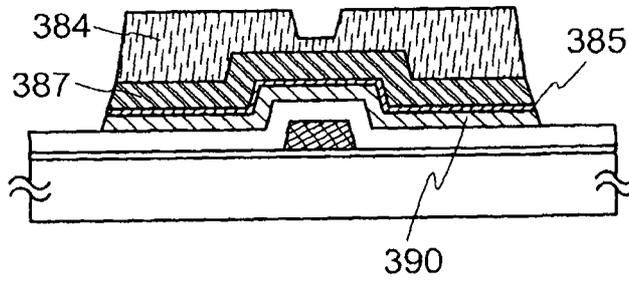


图 12B

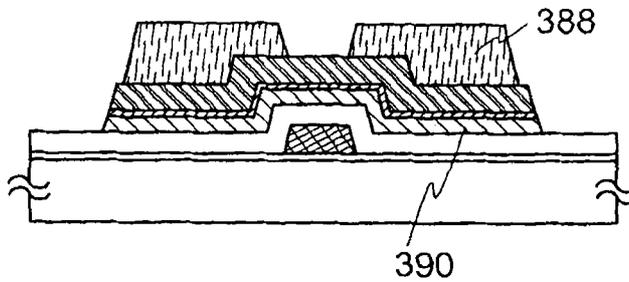


图 12C

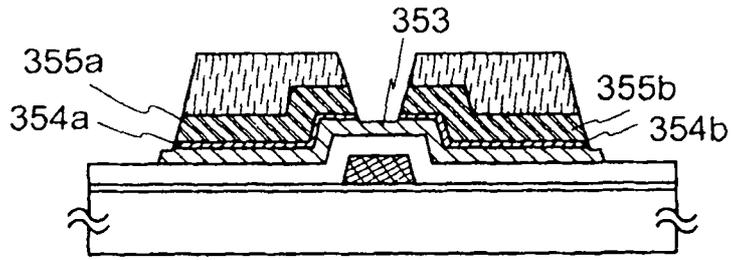


图 12D

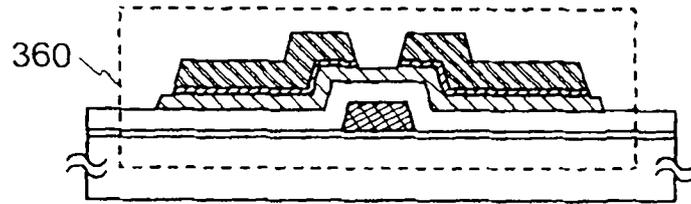


图 12E

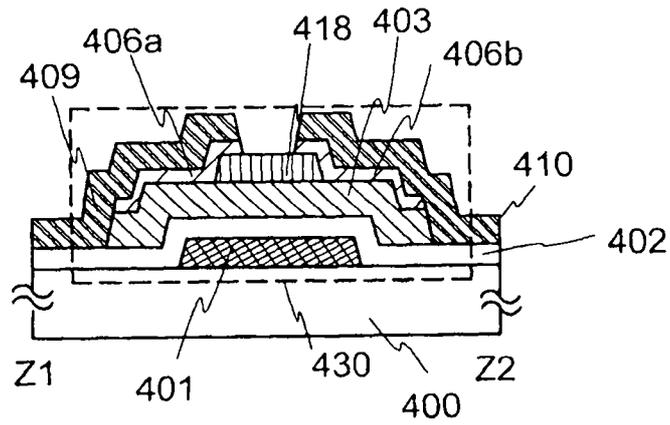


图 13A

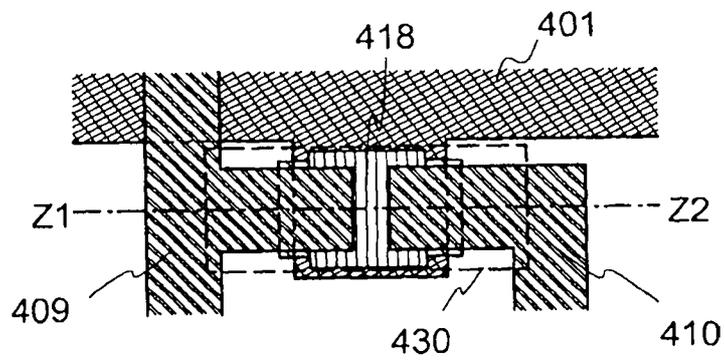


图 13B

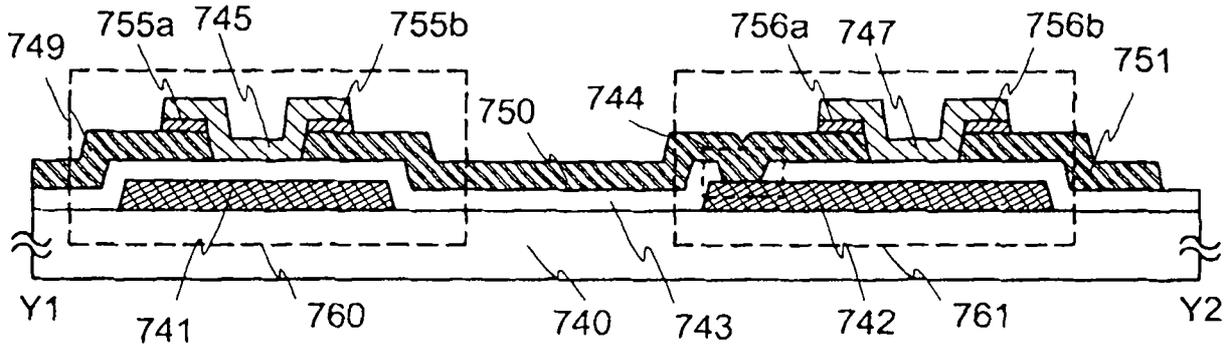


图 14A

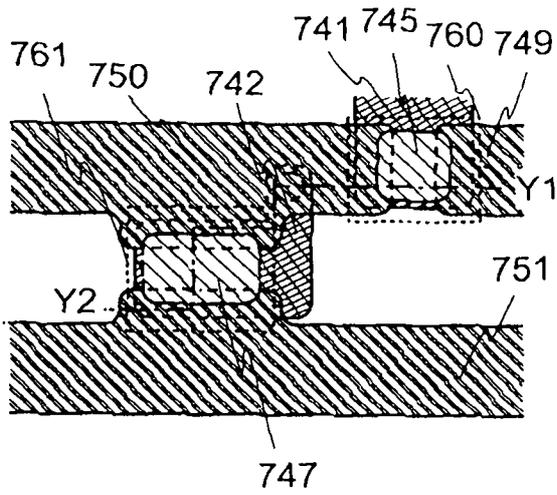


图 14B

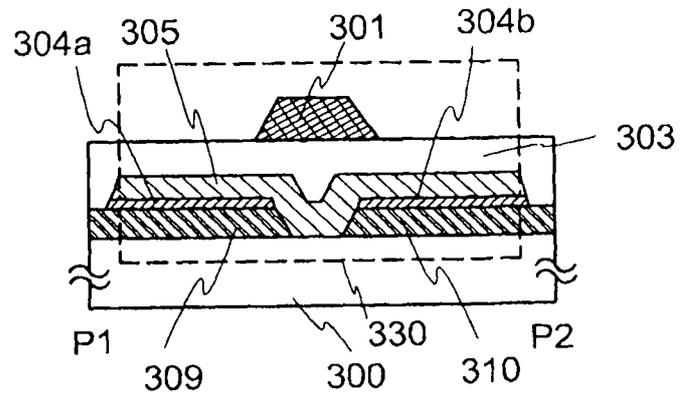


图 15A

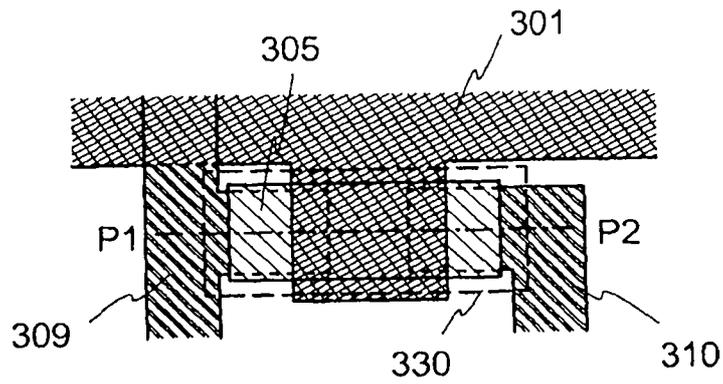


图 15B

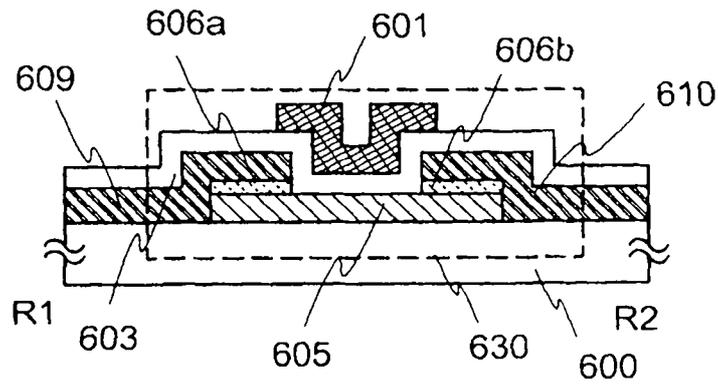


图 16A

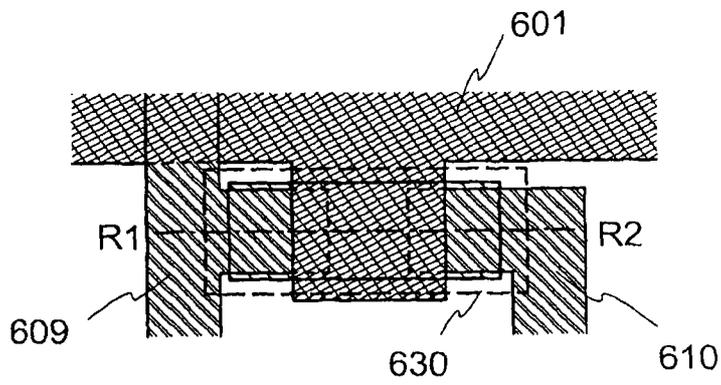


图 16B

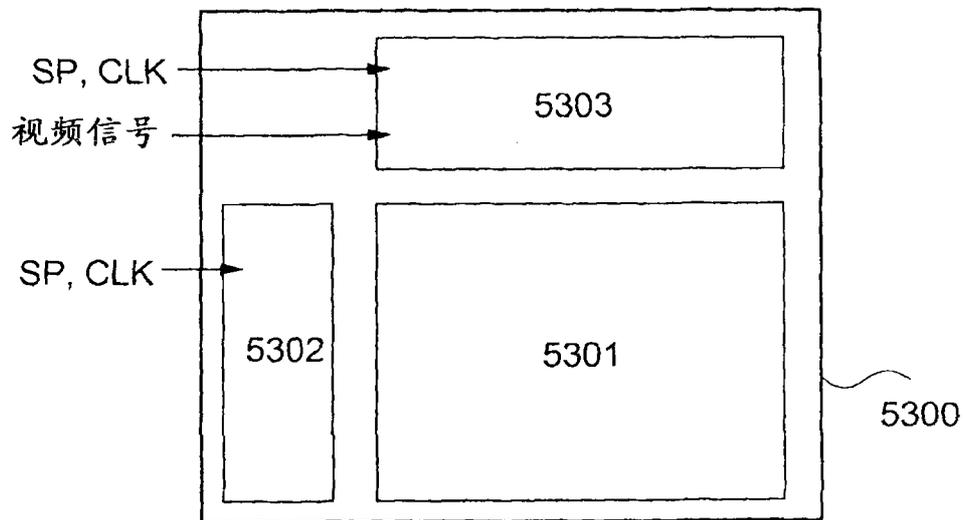


图 17A

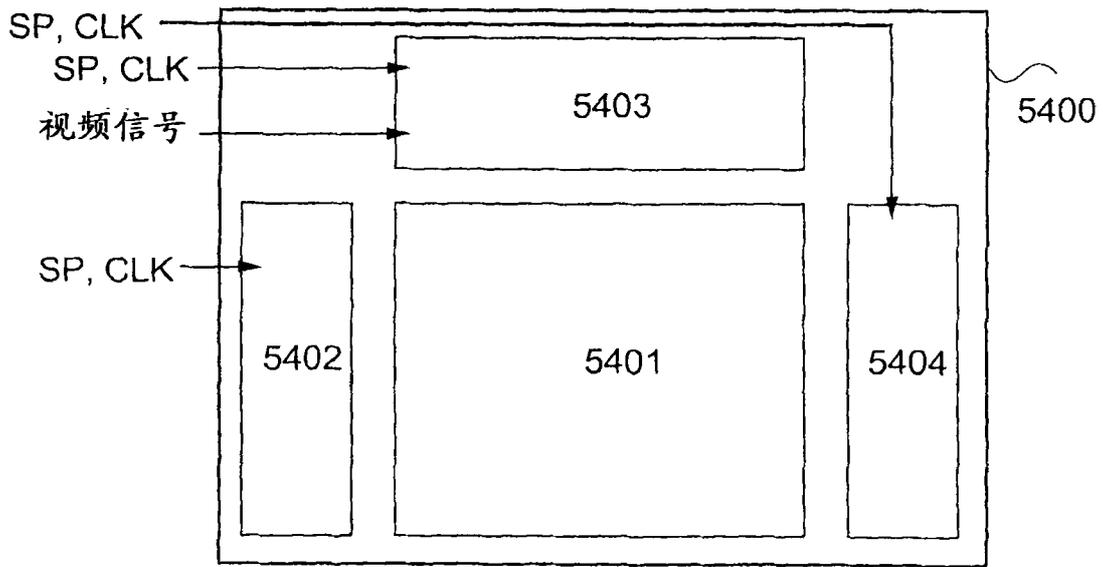


图 17B

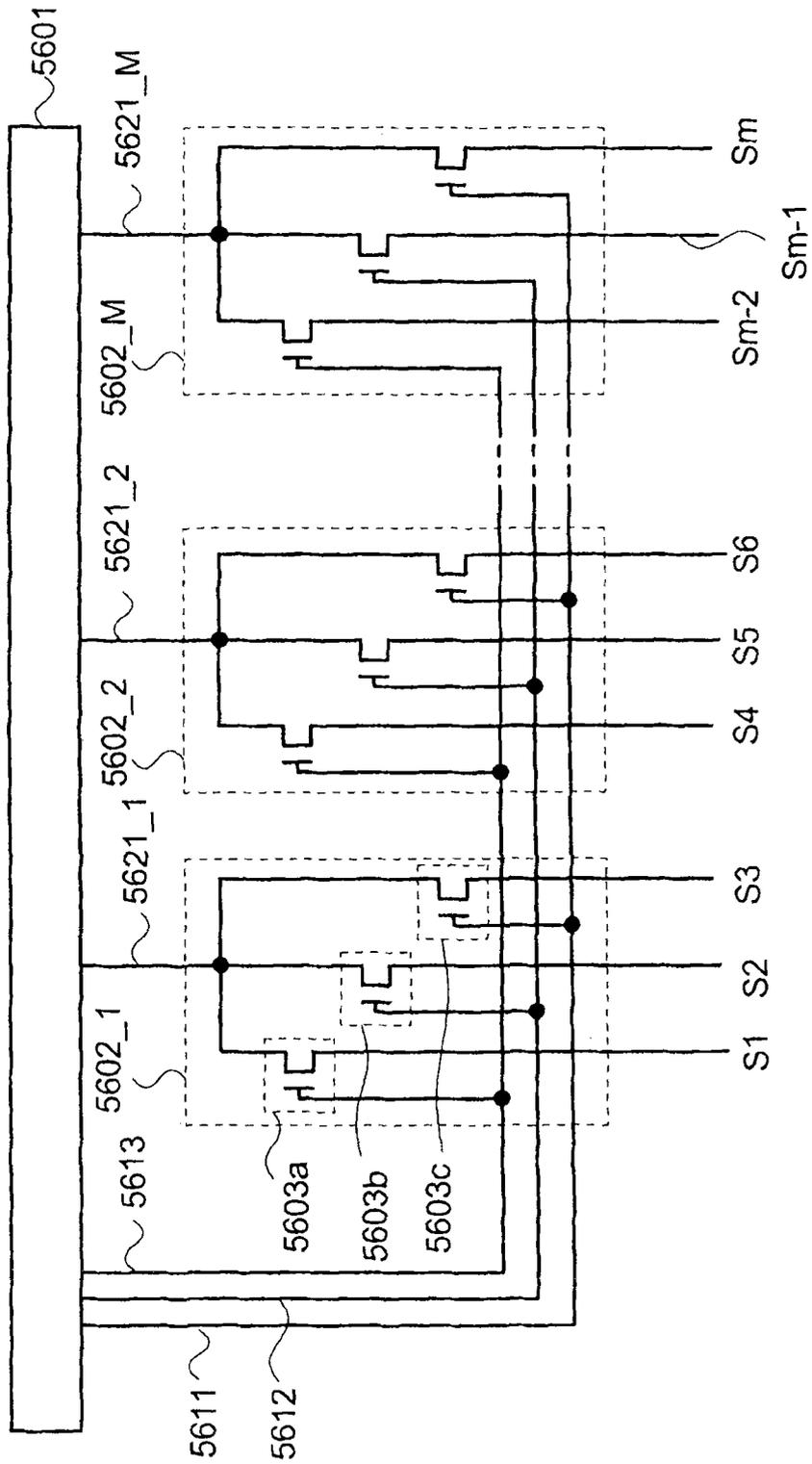


图 18

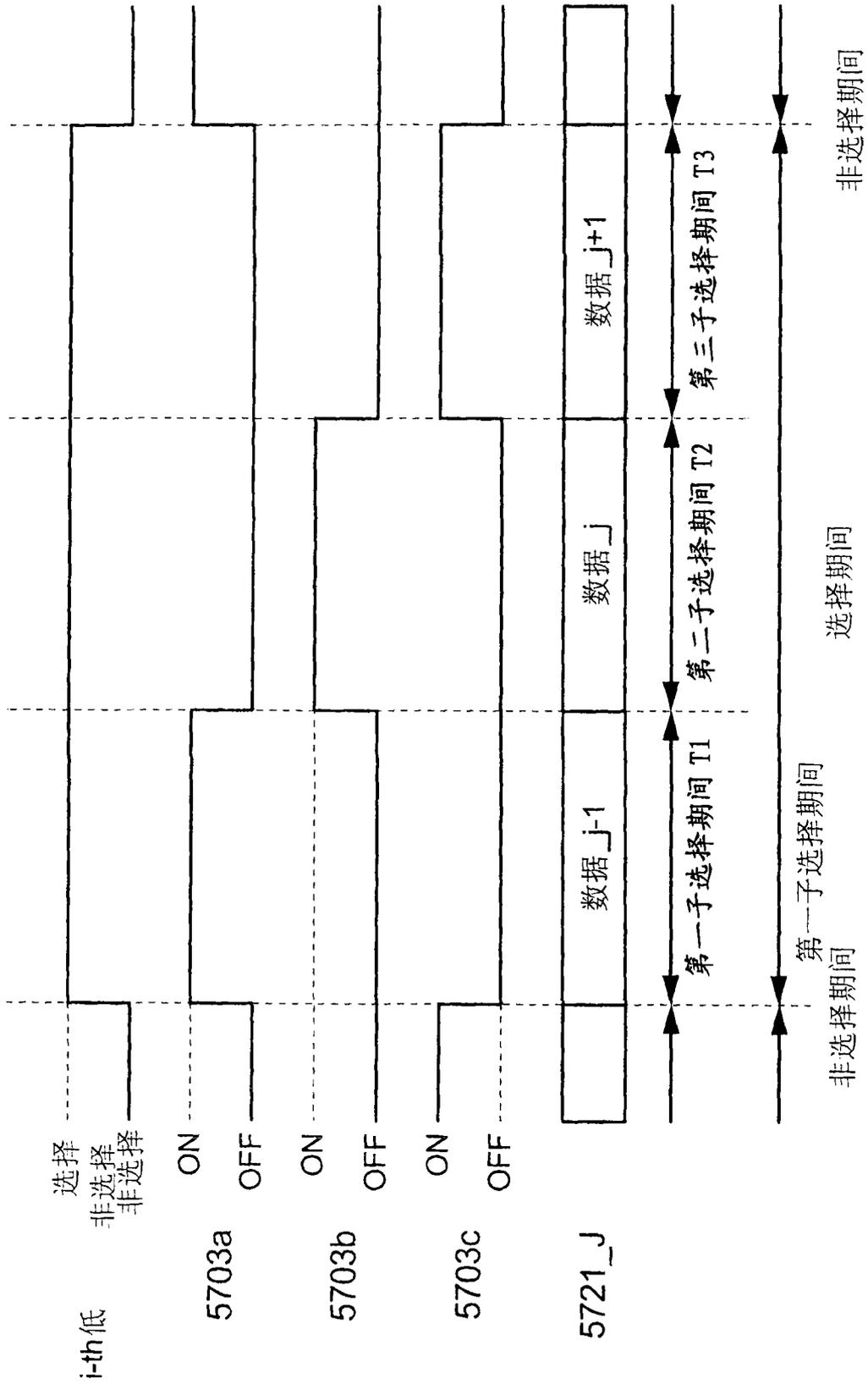


图 19

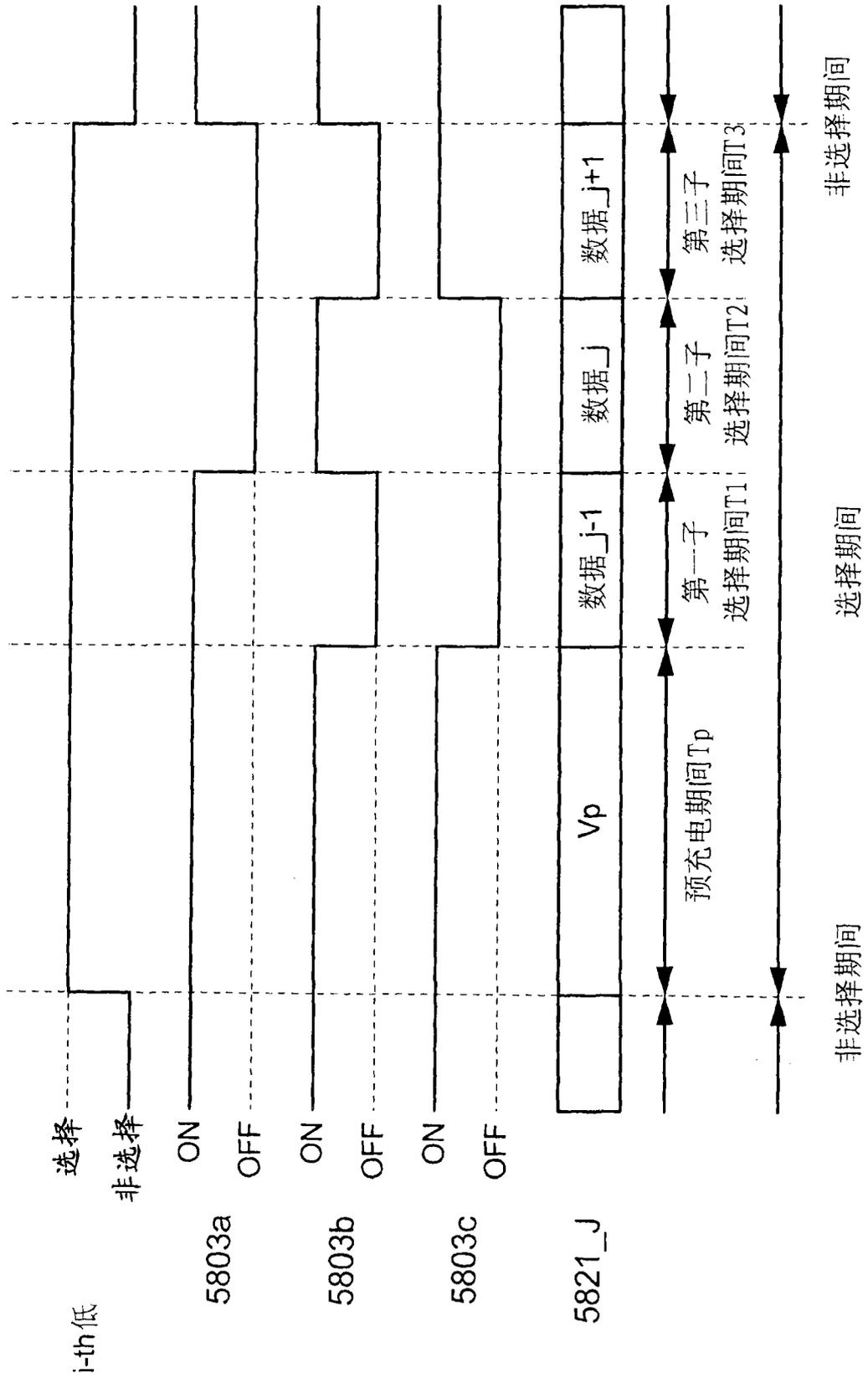


图 20

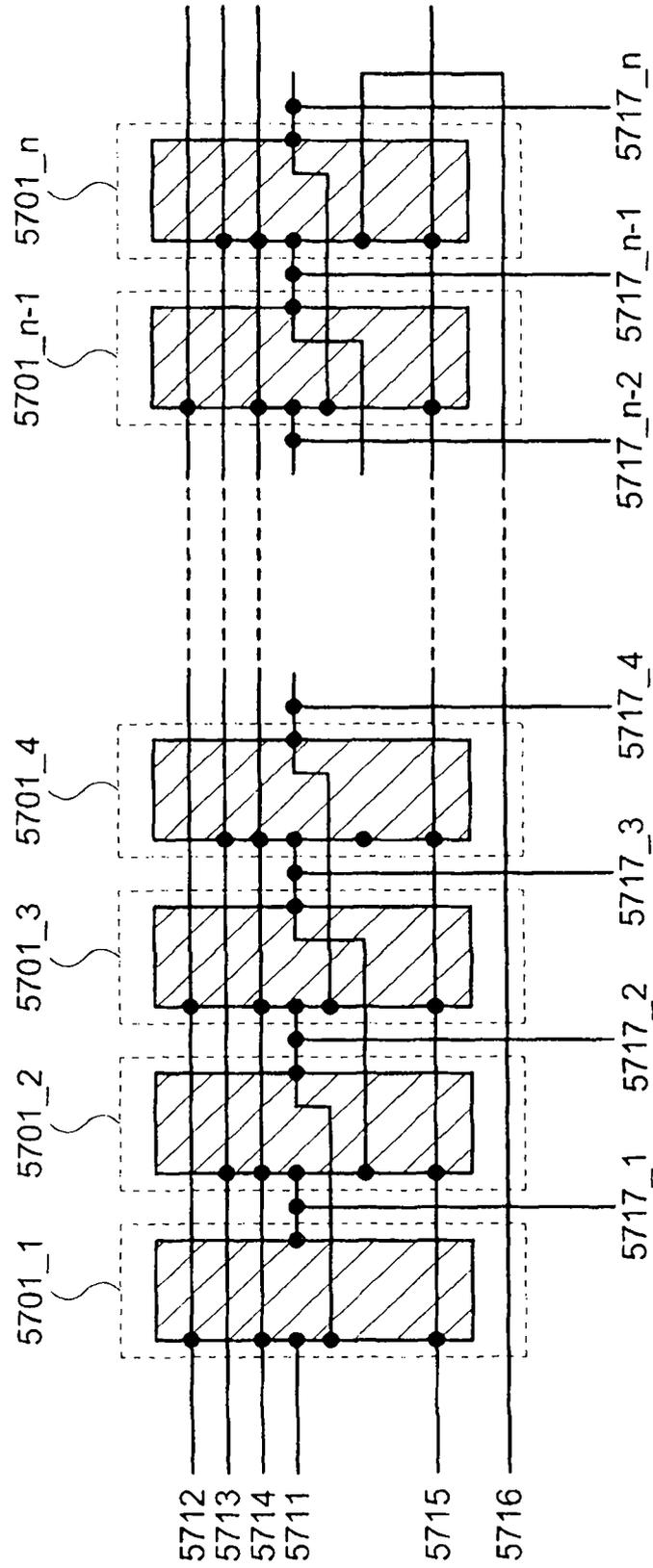


图 21

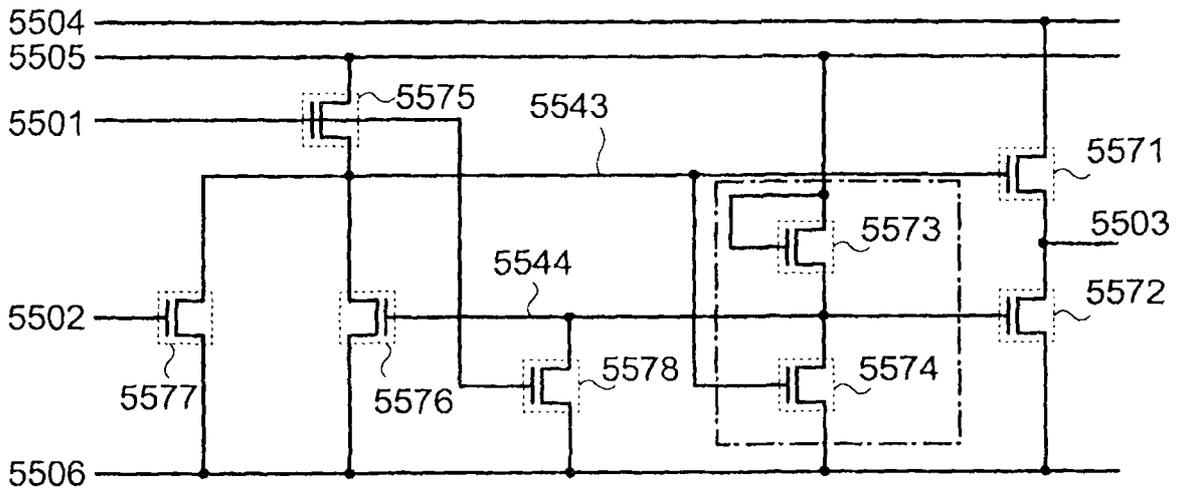


图 22

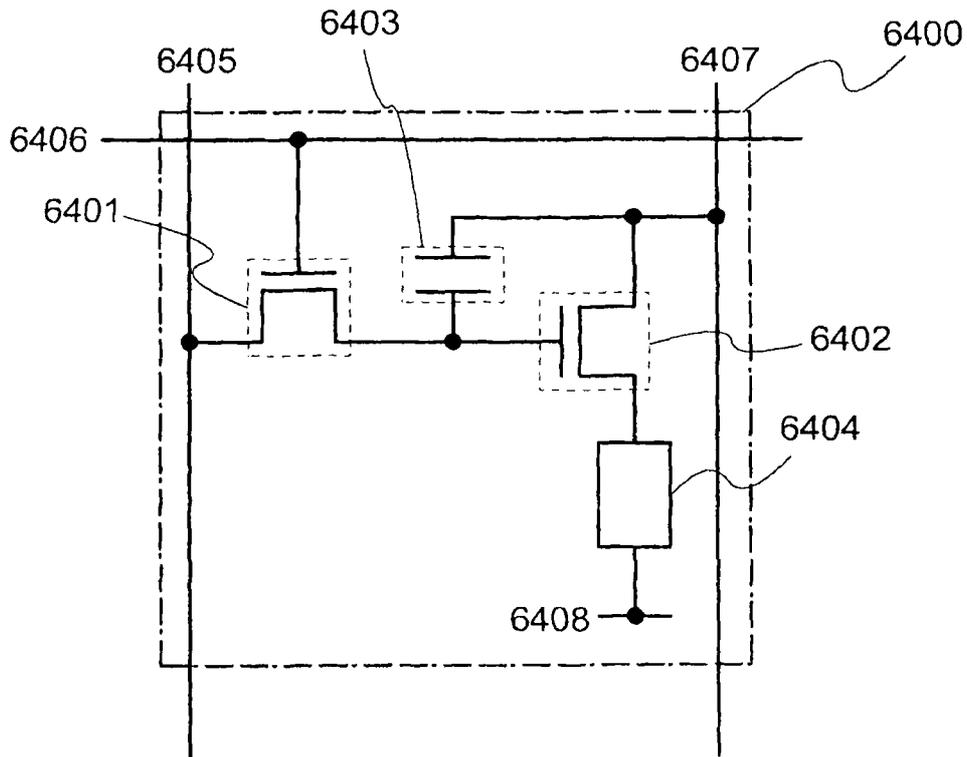


图 23

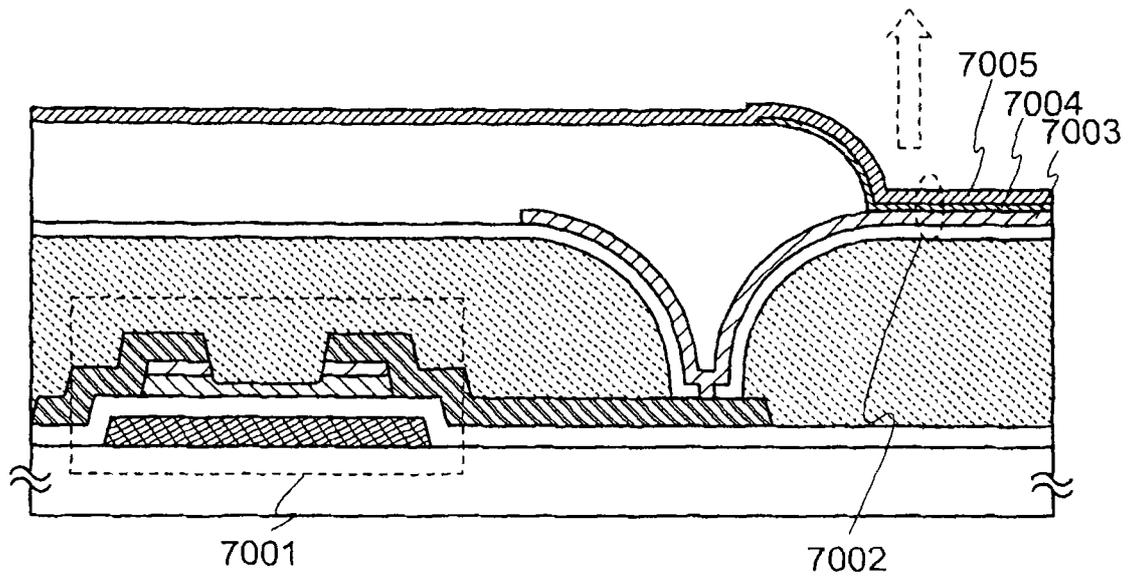


图 24A

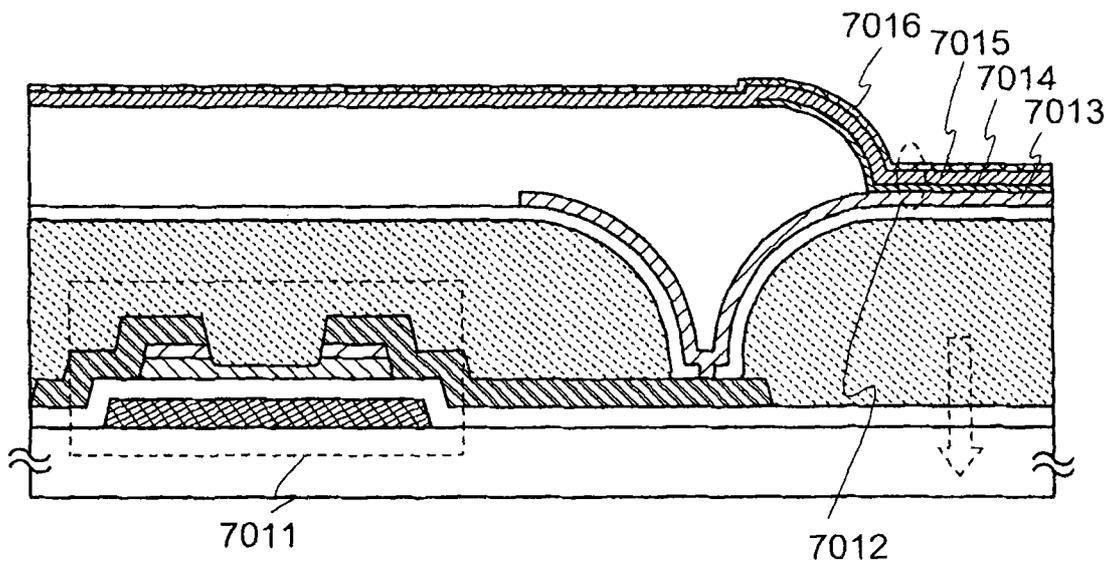


图 24B

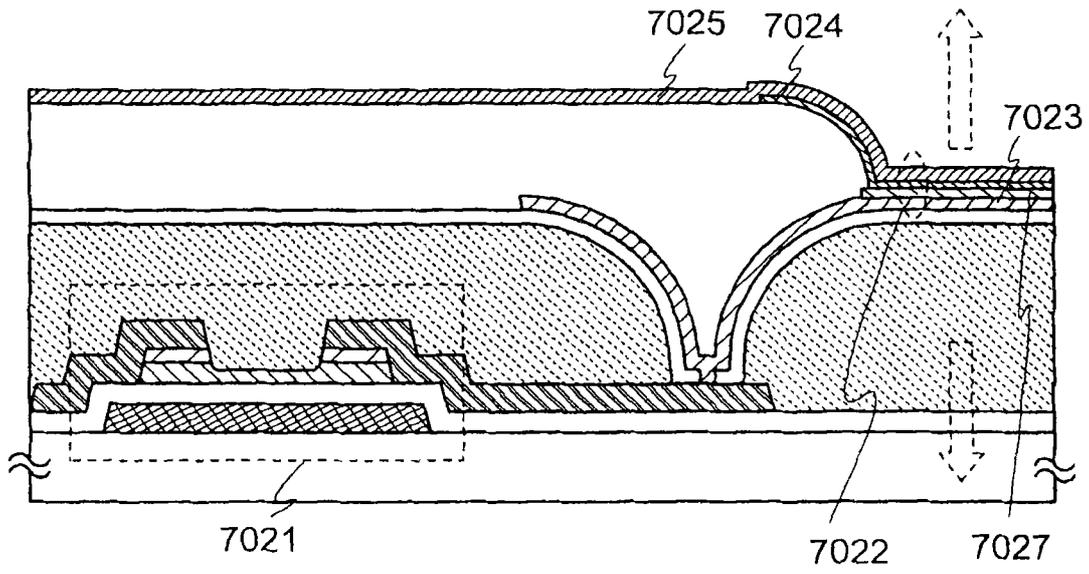


图 24C

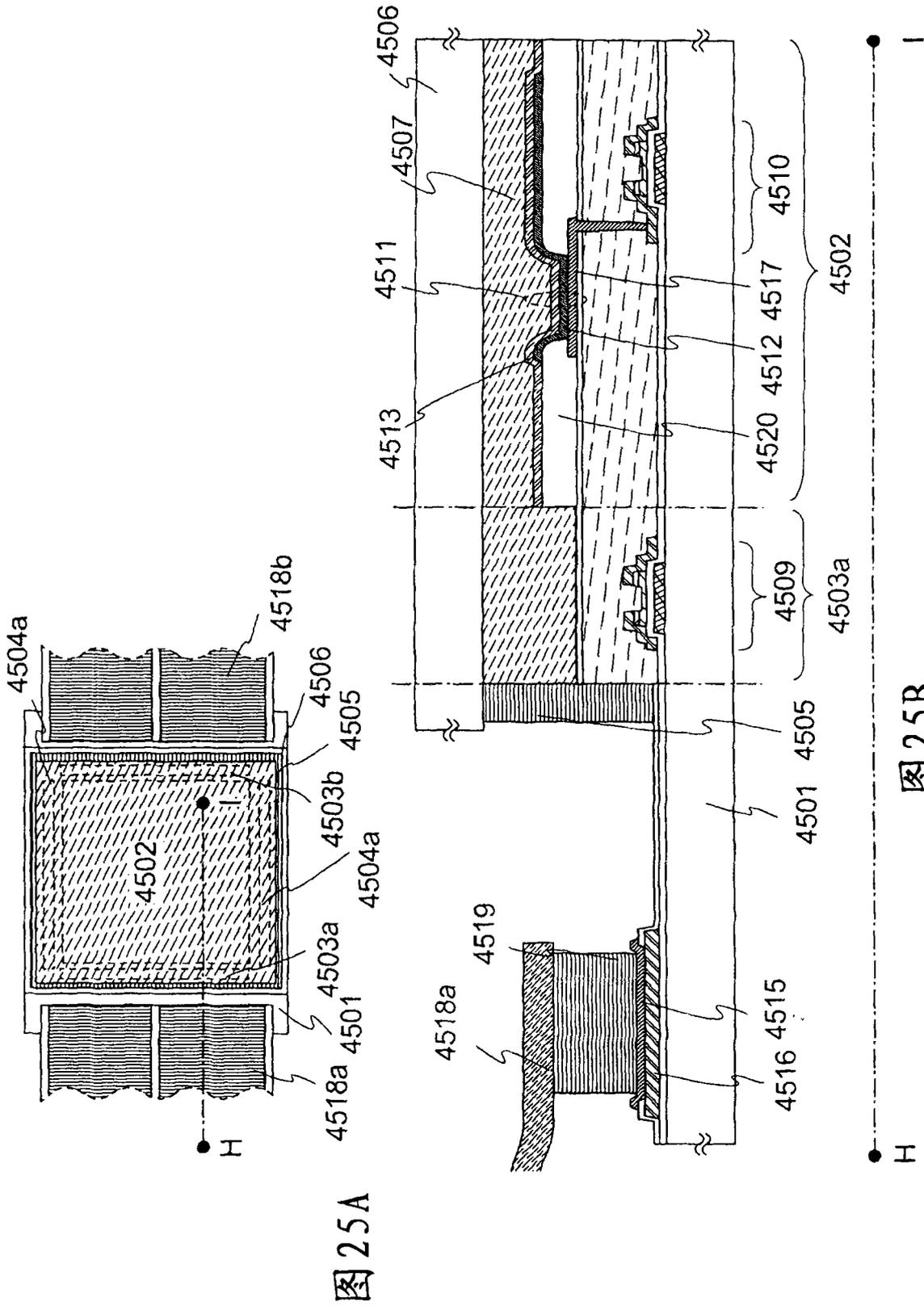


图 25A

图 25B

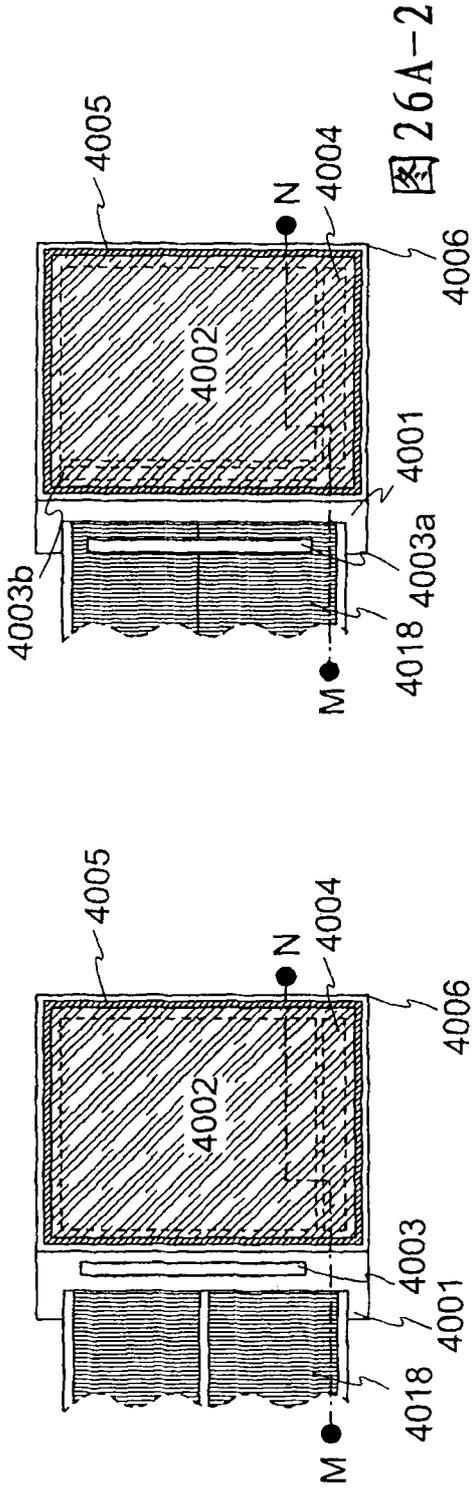


图 26A-1

图 26A-2

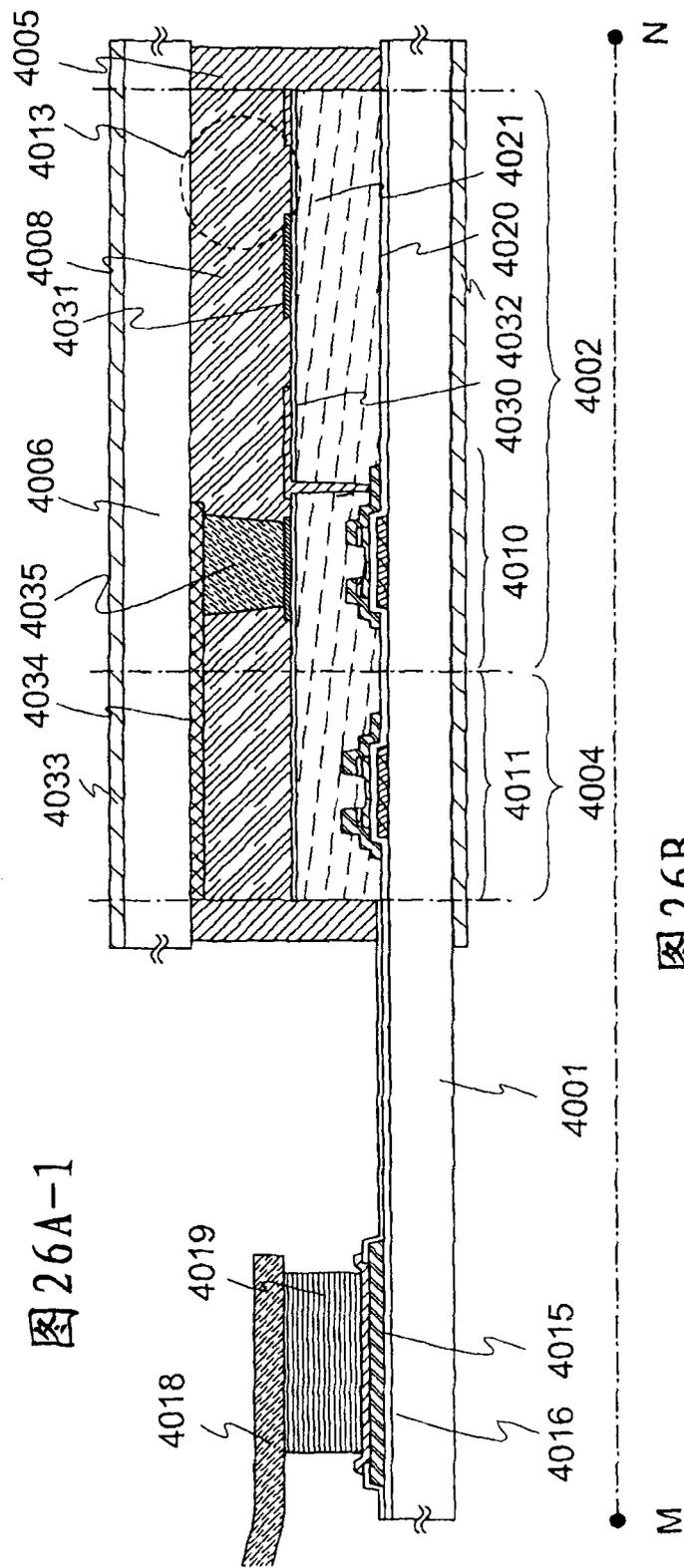


图 26B

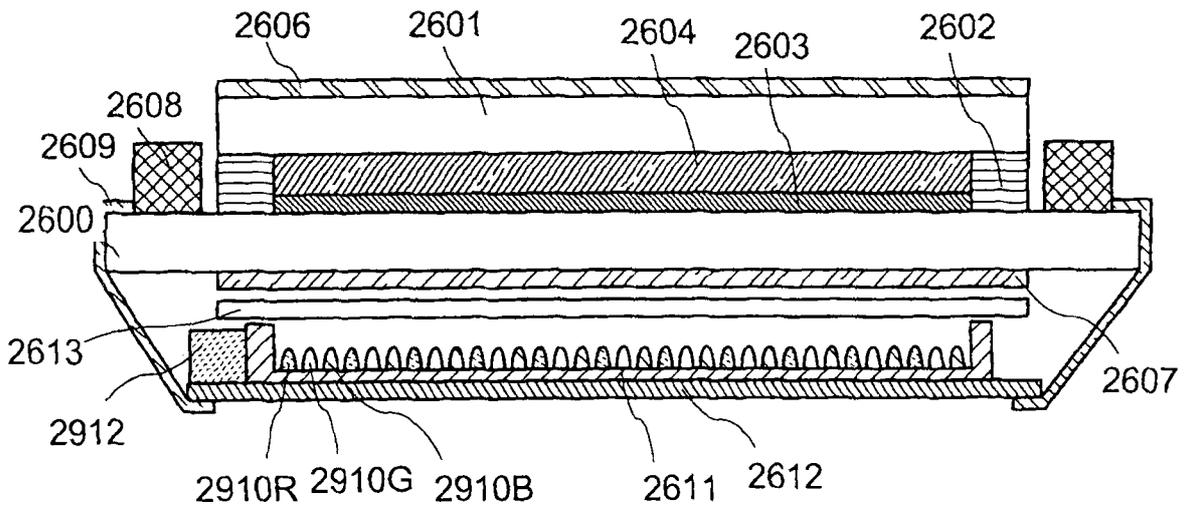


图 27

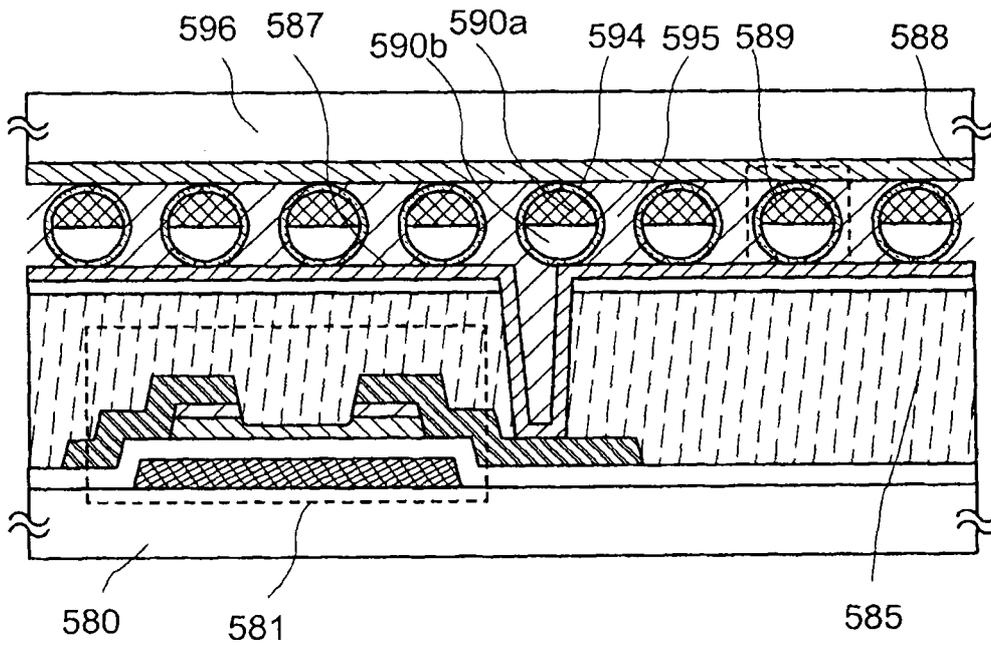


图 28A

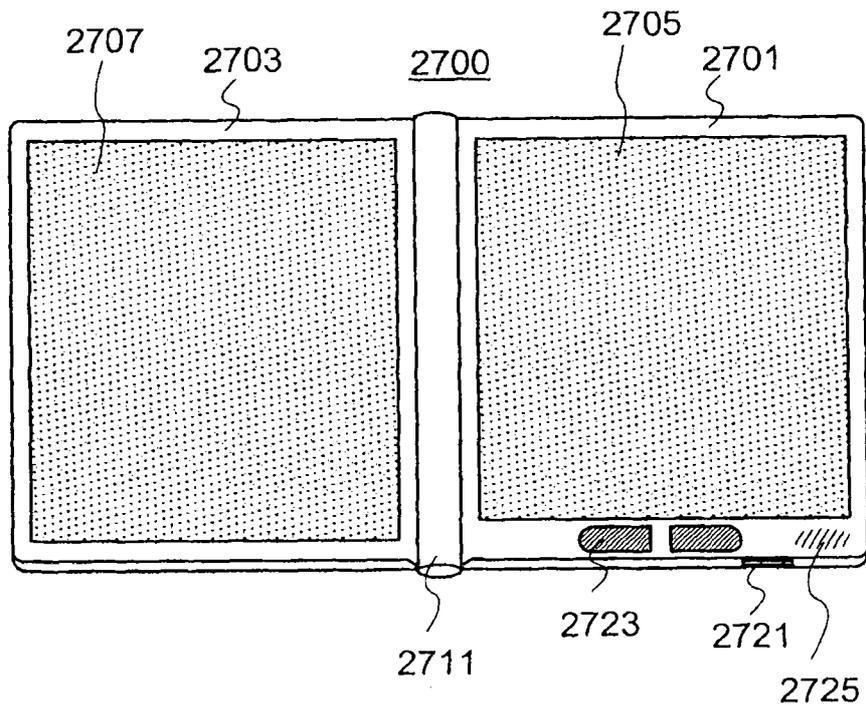


图 28B

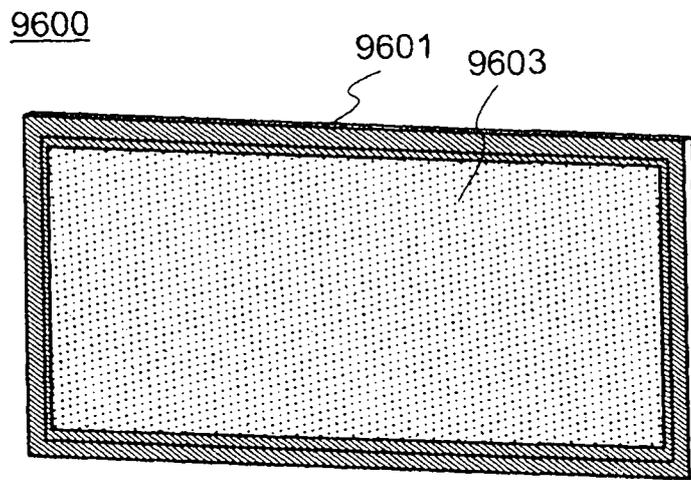


图 29A

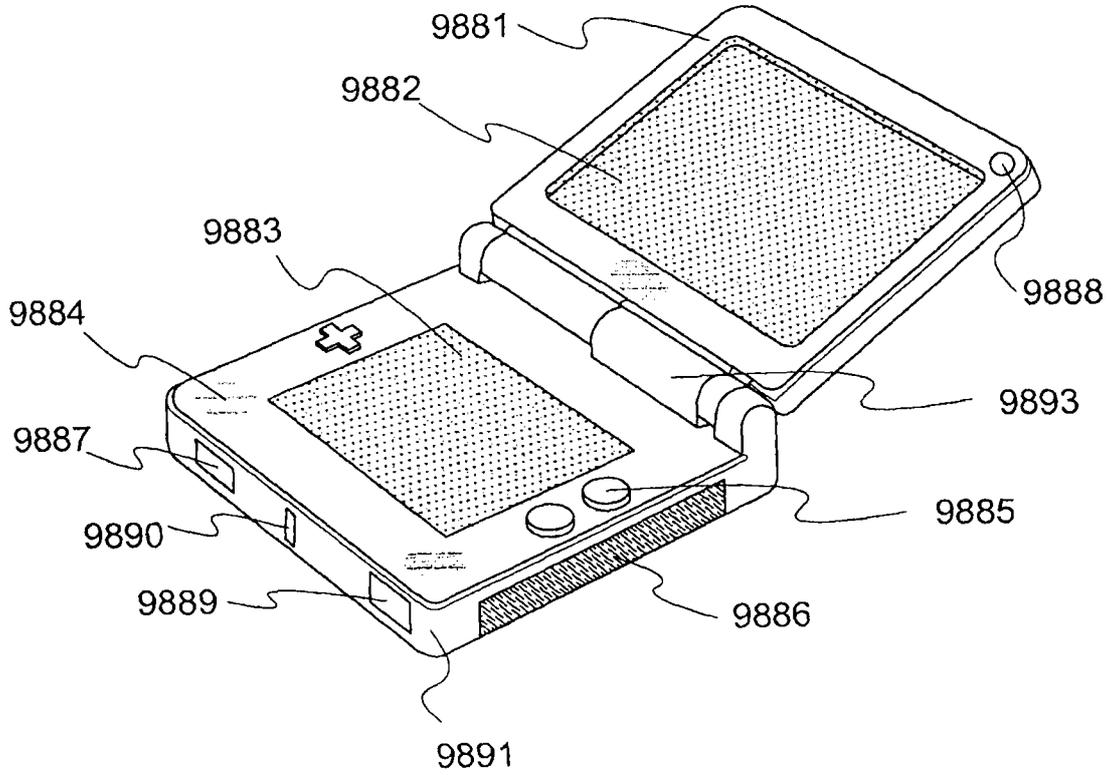
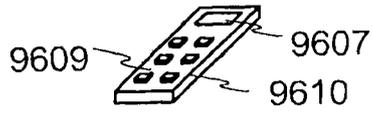


图 29B

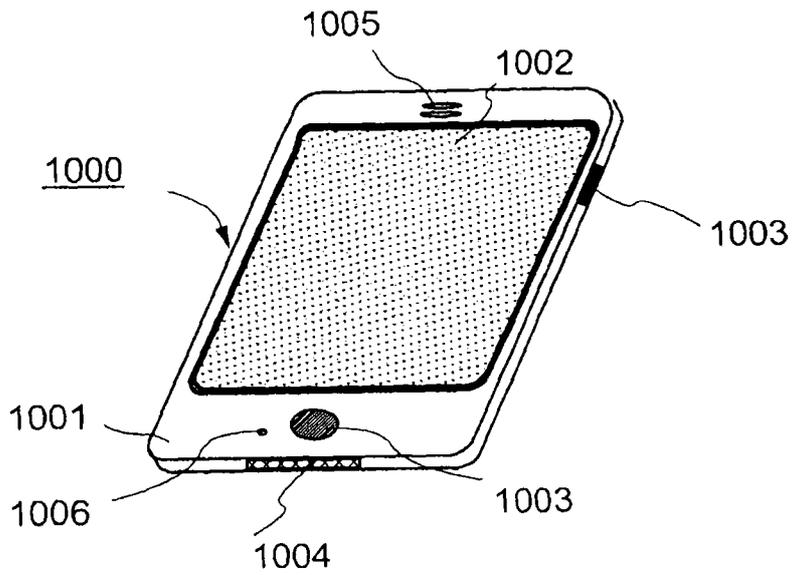


图 30A

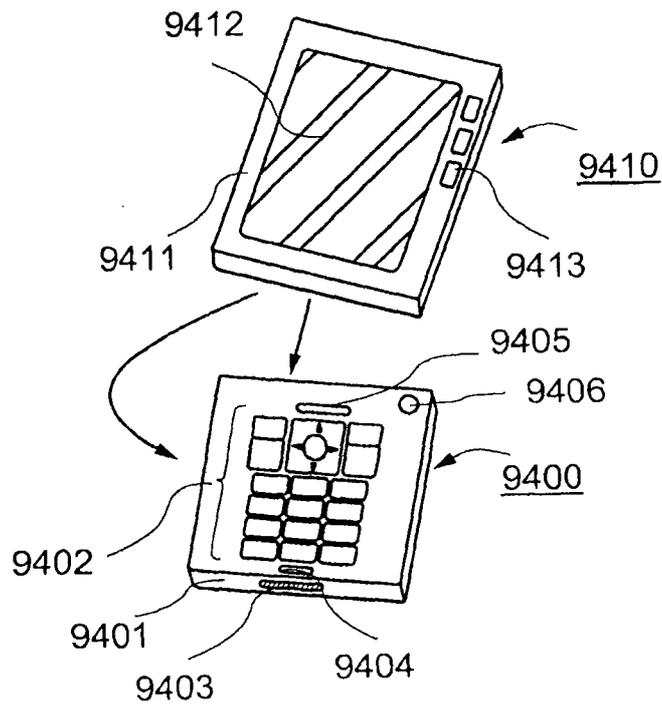


图 30B

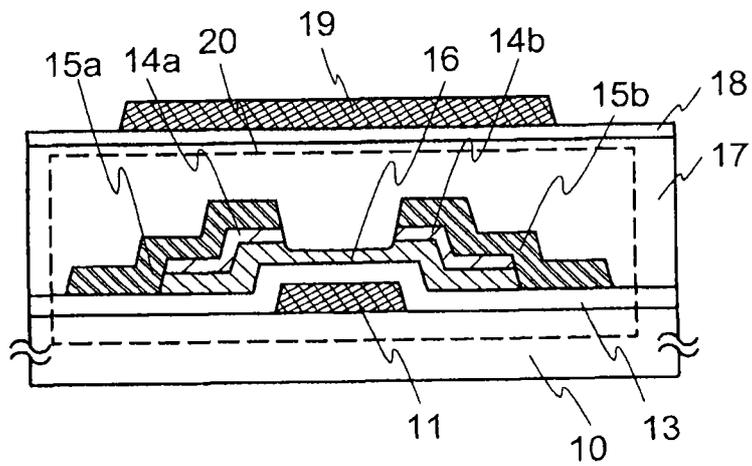


图 31A

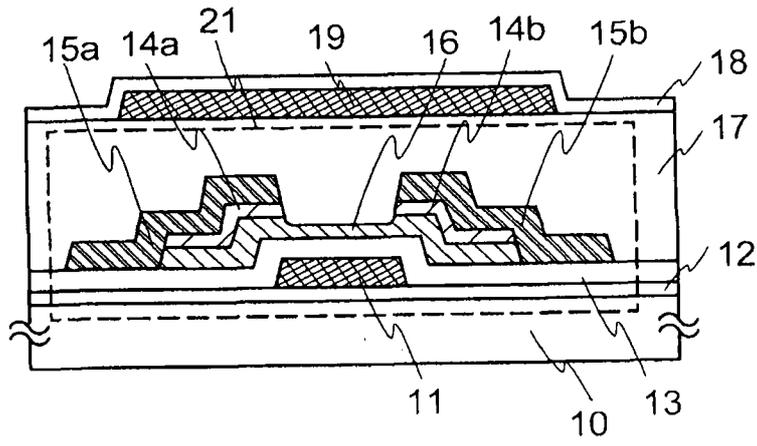


图 31B

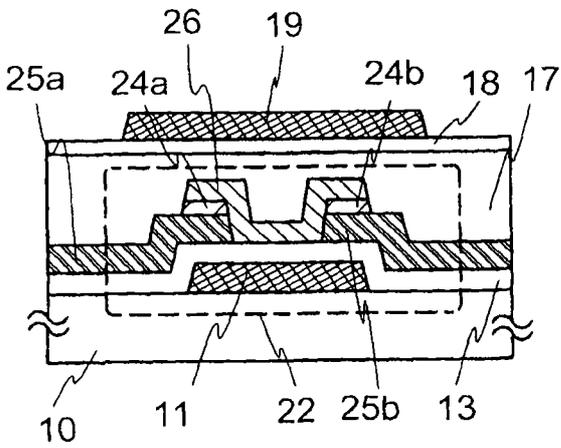


图 32A

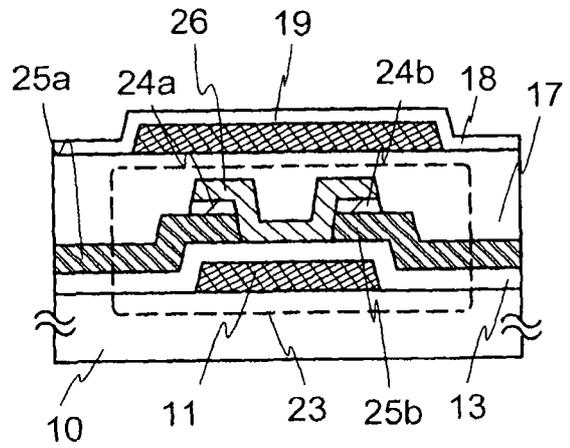


图 32B

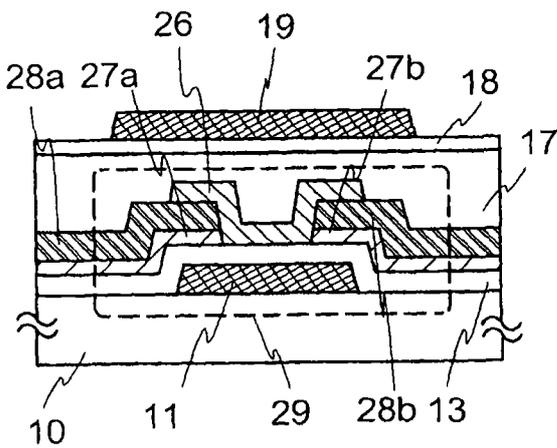


图 32C

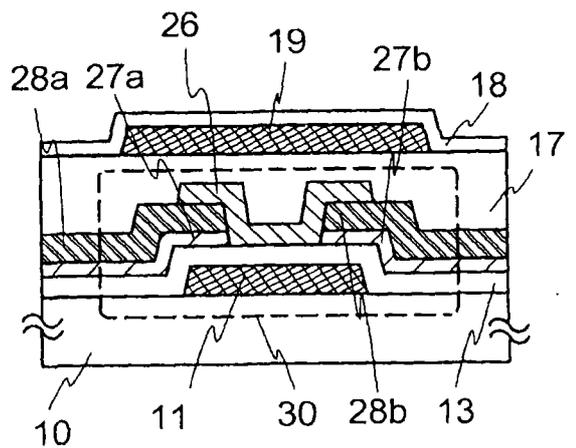


图 32D

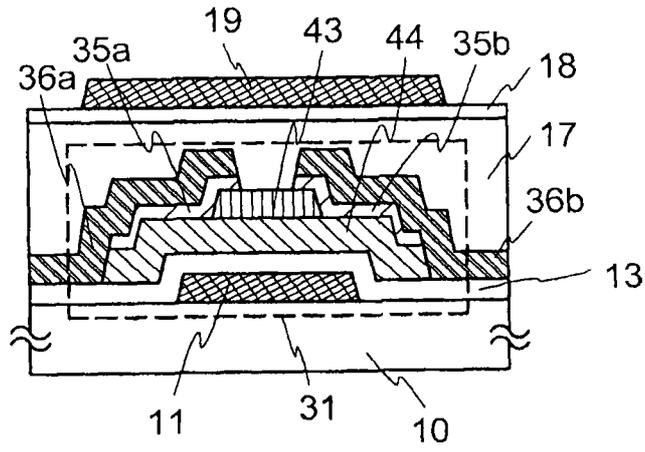


图 33A

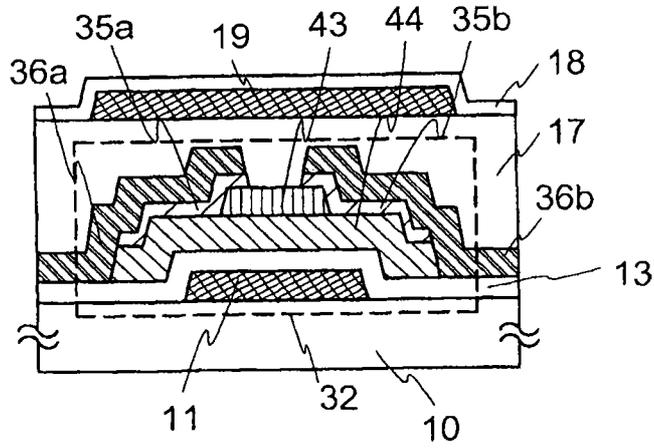


图 33B

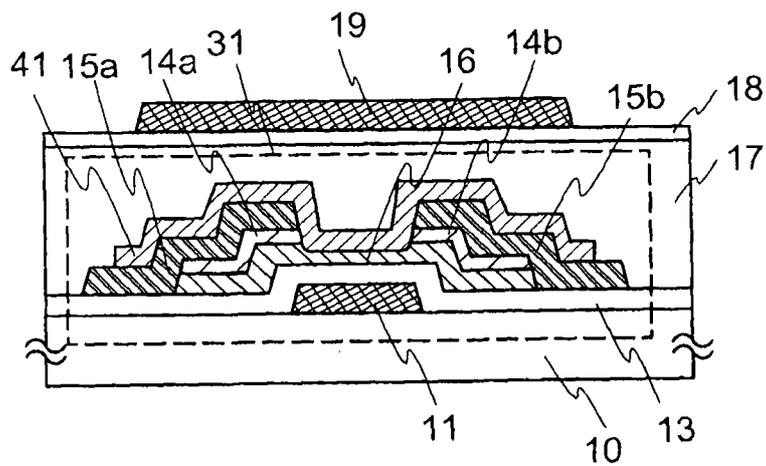


图 34A

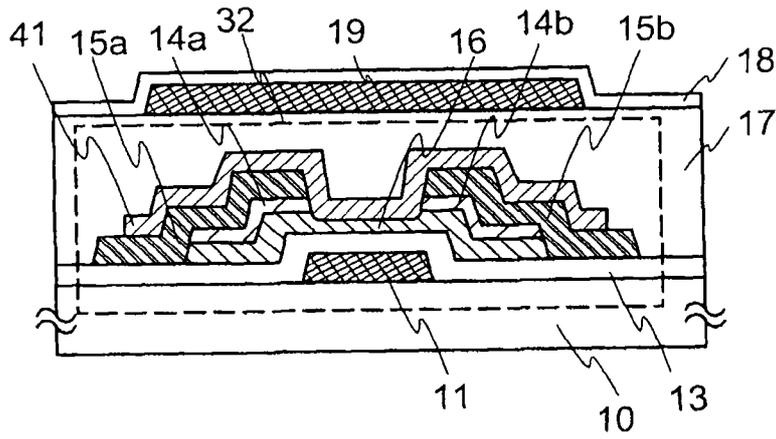


图 34B

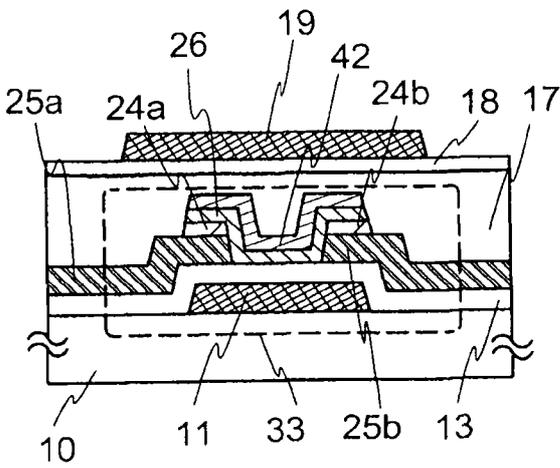


图 35A

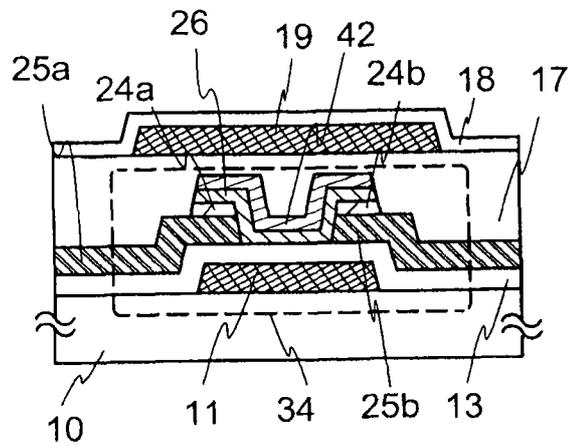


图 35B

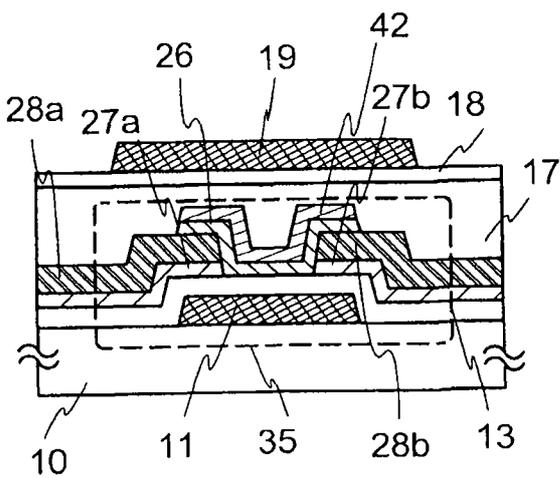


图 35C

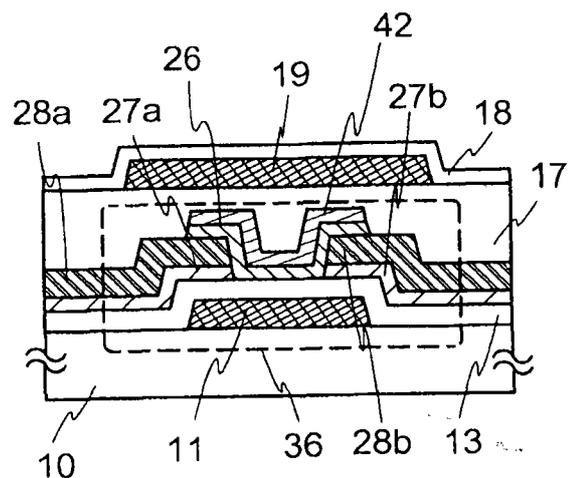


图 35D

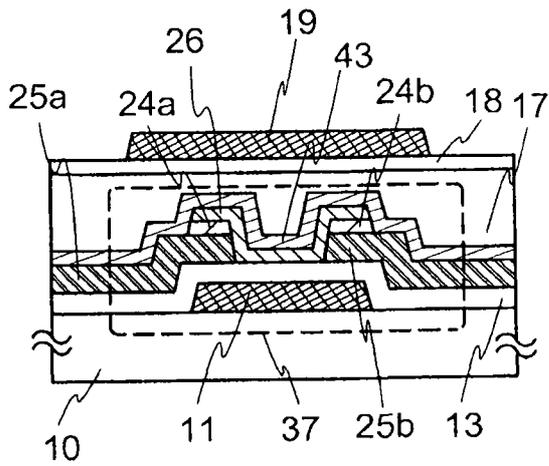


图 36A

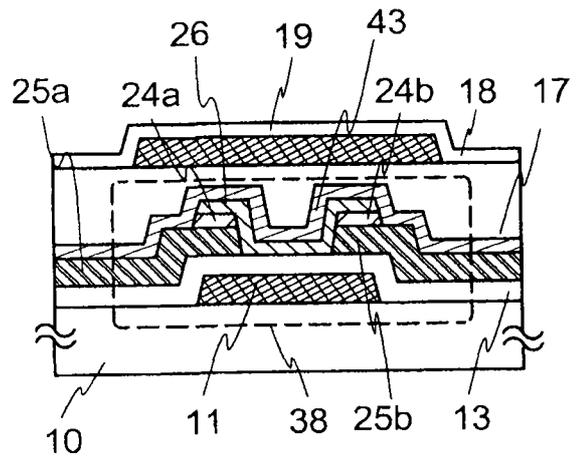


图 36B

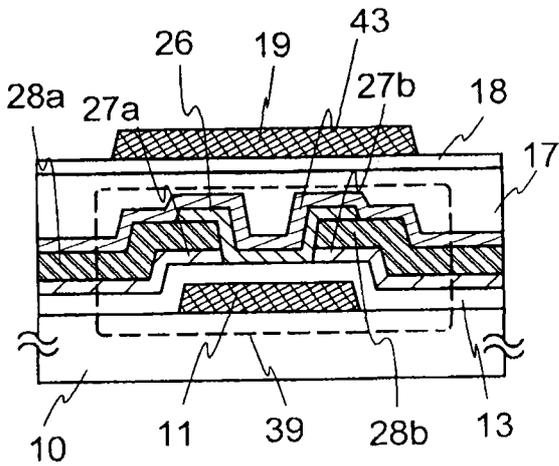


图 36C

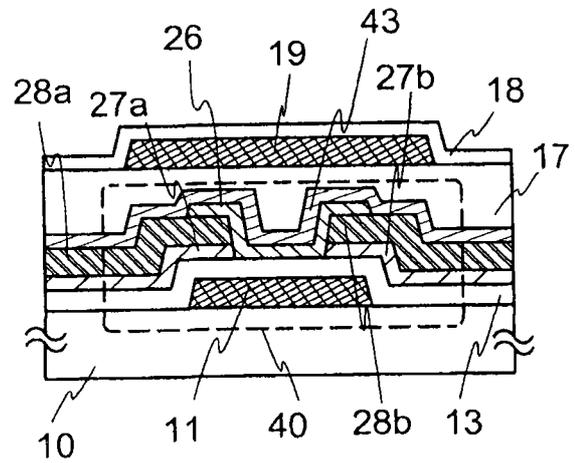


图 36D