

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
29. September 2022 (29.09.2022)



(10) Internationale Veröffentlichungsnummer
WO 2022/200079 A1

(51) Internationale Patentklassifikation:

H01L 21/60 (2006.01) H01L 23/00 (2006.01)
H01L 21/603 (2006.01) H01L 33/40 (2010.01)
H01L 23/485 (2006.01) H01L 33/62 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2022/056324

(22) Internationales Anmeldedatum:
11. März 2022 (11.03.2022)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2021 202 920.5
25. März 2021 (25.03.2021) DE

(71) Anmelder: AMS-OSRAM INTERNATIONAL GMBH
[DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: PERZLMAIER, Korbinian; Barbara-Blom-
berg-Str. 42, 93055 Regensburg (DE). PFEUFFER, Alex-
ander; Luise-Giese-Straße 11, 93055 Regensburg (DE).
EICHINGER, Christian; Mittelweg 6, 93173 Fußen-

berg, Gemeinde Wenzelnbach (DE). **LEBER, Andreas**; Ro-
ter-Brach-Weg 87, 93049 Regensburg (DE).

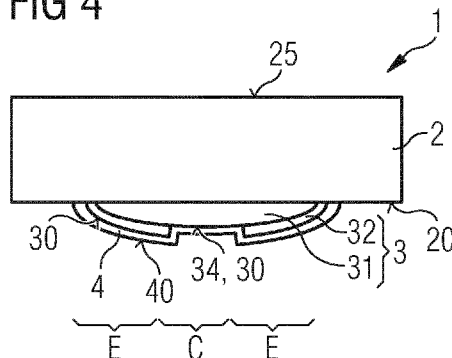
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO,
RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS,
ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,
SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT,
LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI,

(54) Title: OPTOELECTRONIC SEMICONDUCTOR CHIP, PRODUCTION METHOD AND SEMICONDUCTOR COMPONENT

(54) Bezeichnung: OPTOELEKTRONISCHER HALBLEITERCHIP, HERSTELLUNGSVERFAHREN UND
HALBLEITERBAUTEIL

FIG 4



(57) Abstract: In at least one embodiment, the optoelectronic semiconductor chip (1) comprises - a semiconductor layer sequence (2) with a base side (20), - a base coating (3) on the base side (20), and - an electrode layer (4) on a bottom side (30) of the base coating (3), said bottom side facing away from the semiconductor layer sequence (2), wherein - the base coating (3) has a thickness gradient and at least one crest line (33) at which the base coating (3) is thickest, - the electrode layer (4) extends over the at least one crest line (33), so that a contact side (40) of the electrode layer (4), said contact side facing away from the semiconductor layer sequence (2), accurately reproduces the base coating (3), and - the at least one crest line (33) defines an electrical and mechanical contact plane (P) of the contact side (40) parallel to the base side (20).

(57) Zusammenfassung: In mindestens einer Ausführungsform umfasst der optoelektronische Halbleiterchip (1) - eine Halbleiterschichtenfolge (2) mit einer Bodenseite (20), - eine Bodenbeschichtung (3) an der Bodenseite (20), und - eine Elektrodenschicht (4) an einer der Halbleiterschichtenfolge (2) abgewandten Unterseite (30) der Bodenbeschichtung (3), wobei - die Bodenbeschichtung (3) einen Dickengradienten und zumindest eine Kammlinie (33) aufweist, an der die Bodenbeschichtung (3) am dicksten ist, - sich die Elektrodenschicht (4) über die zumindest eine Kammlinie (33) erstreckt, sodass eine der Halbleiterschichtenfolge (2) abgewandte Kontaktseite (40) der Elektrodenschicht (4) die Bodenbeschichtung (3) formtreu nachformt, und - durch die zumindest eine Kammlinie (33) eine elektrische und mechanische Kontaktebene (P) der Kontaktseite (40) parallel zur Bodenseite (20) festgelegt ist.

SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN,
GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

Beschreibung

OPTOELEKTRONISCHER HALBLEITERCHIP, HERSTELLUNGSVERFAHREN UND
HALBLEITERBAUTEIL

5

Es wird ein optoelektronischer Halbleiterchip angegeben.
Darüber hinaus werden ein Herstellungsverfahren für solche
Halbleiterchips und ein Halbleiterbauteil mit solchen
Halbleiterchips angegeben.

10

Eine zu lösende Aufgabe liegt darin, einen optoelektronischen
Halbleiterchip anzugeben, der effizient und präzise
montierbar ist.

15

Diese Aufgabe wird unter anderem durch einen
optoelektronischen Halbleiterchip, durch ein
Herstellungsverfahren und durch ein Halbleiterbauteil mit den
Merkmale der unabhängigen Patentansprüche gelöst. Bevorzugte
Weiterbildungen sind Gegenstand der abhängigen Ansprüche.

20

Gemäß zumindest einer Ausführungsform umfasst der
Halbleiterchip eine Halbleiterschichtenfolge mit einer
Bodenseite. Die Bodenseite kann planar und eben sein. Der
Bodenseite liegt insbesondere eine Emissionsseite gegenüber,
an der zumindest ein überwiegender Teil der Strahlung, die in
der Halbleiterschichtenfolge erzeugt wird, abgestrahlt wird.
Die Bodenseite ist zum Beispiel eine Hauptseite, also eine
größte Seite, der Halbleiterschichtenfolge.

25

Die Halbleiterschichtenfolge weist mindestens eine aktive
Zone auf, die im Betrieb des Halbleiterchips zur Erzeugung
oder zur Detektion von Strahlung eingerichtet ist. Ist der
Halbleiterchip zur Strahlungserzeugung eingerichtet, so ist

30

die erzeugte Strahlung ist bevorzugt inkohärent und ist insbesondere sichtbares Licht wie blaues Licht, grünes Licht und/oder rotes Licht. Die Halbleiterschichtenfolge basiert bevorzugt auf einem III-V-Verbindungshalbleitermaterial. Bei dem Halbleitermaterial handelt es sich zum Beispiel um ein Nitrid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{N}$ oder um ein Phosphid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{P}$ oder auch um ein Arsenid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{As}$ oder wie $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{As}_k\text{P}_{1-k}$, wobei jeweils $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n + m \leq 1$ sowie $0 \leq k < 1$ ist. Zum Beispiel gilt dabei für zumindest eine Schicht oder für alle Schichten der Halbleiterschichtenfolge $0 < n \leq 0,8$, $0,4 \leq m < 1$ und $n + m \leq 0,95$ sowie $0 < k \leq 0,5$. Dabei kann die Halbleiterschichtenfolge Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit halber sind jedoch nur die wesentlichen Bestandteile des Kristallgitters der Halbleiterschichtenfolge, also Al, As, Ga, In, N oder P, angegeben, auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt und/oder ergänzt sein können.

Gemäß zumindest einer Ausführungsform umfasst der Halbleiterchip eine Bodenbeschichtung an der Bodenseite. Die Bodenbeschichtung kann durch ein einziges Material gebildet sein oder ist aus mehreren Komponenten oder Schichten zusammengesetzt. Die Bodenbeschichtung ist bevorzugt mindestens zum Teil elektrisch leitfähig. Im letztgenannten Fall umfasst die Bodenbeschichtung zum Beispiel ein transparentes leitfähiges Oxid, kurz TCO, wie ITO oder Zinkoxid, oder zumindest ein Metall wie Al, Ag und/oder Au.

Gemäß zumindest einer Ausführungsform umfasst der Halbleiterchip eine Elektrodenschicht an einer der

Halbleiterschichtenfolge abgewandten Unterseite der Bodenbeschichtung. Die Elektrodenschicht kann sich unmittelbar an der Unterseite befinden. Die Elektrodenschicht ist bevorzugt eine metallische Schicht und umfasst zum

5 Beispiel Al, Ag und/oder Au. Etwa zum Korrosionsschutz oder zur Kontaktverbesserung kann die Elektrodenschicht mit zumindest einer Beschichtung versehen sein, zum Beispiel mit TiW oder TiWN.

10 Gemäß zumindest einer Ausführungsform weist die Bodenbeschichtung einen Dickengradienten auf. Das heißt, eine Dicke der Bodenbeschichtung variiert über die Bodenbeschichtung hinweg.

15 Gemäß zumindest einer Ausführungsform weist die Bodenbeschichtung eine oder mehrere Kammlinien auf. Die zumindest eine Kammlinie befindet sich insbesondere an einer Stelle, an der die Bodenbeschichtung am dicksten ist. Beispielsweise ist die Kammlinie ähnlich einem Grat

20 gestaltet.

Gemäß zumindest einer Ausführungsform erstreckt sich die Elektrodenschicht über die zumindest eine Kammlinie hinweg. Das heißt, die zumindest eine Kammlinie ist keine Abrisslinie

25 für die Elektrodenschicht, sondern die Elektrodenschicht ermöglicht bevorzugt eine elektrisch leitfähige Verbindung über die zumindest eine Kammlinie hinweg.

Gemäß zumindest einer Ausführungsform formt eine der

30 Halbleiterschichtenfolge abgewandte elektrische Kontaktseite der Elektrodenschicht die Bodenbeschichtung formtreu nach. Mit anderen Worten kann die Kontaktseite im Querschnitt gesehen die gleiche Form aufweisen wie die Bodenbeschichtung.

Dies gilt zum Beispiel mit einer Toleranz von höchstens 50 % oder 25 % oder 10 % einer maximalen Dicke der Bodenbeschichtung.

- 5 Gemäß zumindest einer Ausführungsform ist durch die zumindest eine Kammlinie eine elektrische und mechanische Kontaktebene der Kontaktseite parallel zur Bodenseite festgelegt. Mit anderen Worten wird durch die von der Elektrodenschicht formtreu nachgeformte Kammlinie erreicht, dass der
- 10 Halbleiterchip kontrolliert orientiert montierbar ist. Dabei wird die Bodenseite parallel zu einer Trägermontageseite eines Trägers, auf dem der Halbleiterchip angebracht wird, ausgerichtet.
- 15 In mindestens einer Ausführungsform umfasst der optoelektronische Halbleiterchip eine Halbleiterschichtenfolge mit einer Bodenseite. Eine Bodenbeschichtung befindet sich an der Bodenseite. Eine Elektrodenschicht ist an einer der Halbleiterschichtenfolge
- 20 abgewandten Unterseite der Bodenbeschichtung angebracht. Die Bodenbeschichtung weist einen Dickengradienten und zumindest eine Kammlinie auf, an der die Bodenbeschichtung am dicksten ist. Die Elektrodenschicht erstreckt sich über die zumindest eine Kammlinie, sodass eine der Halbleiterschichtenfolge
- 25 abgewandte Kontaktseite der Elektrodenschicht die Bodenbeschichtung formtreu nachformt. Durch die zumindest eine Kammlinie ist eine elektrische und mechanische Kontaktebene der Kontaktseite parallel zur Bodenseite festgelegt.

30

Es wird also insbesondere ein unterseitiges Kontaktpad mit einer zum Beispiel ringförmigen Ablagestruktur beschrieben, um eine verbesserte mechanische und elektrische Verbindung

herstellen zu können. Dies gilt insbesondere für LED-Chips, Sensor-Chips und sogenannte μ LED-Chips, die kleine laterale Abmessungen aufweisen. Das hier beschriebene Prinzip lässt sich auf alle Verbindungsarten eines Halbleiterchips an einem Träger anwenden, insbesondere aber auf geklebte Halbleiterchips.

Somit kann der Halbleiterchip sowohl ein Emitter als auch ein Sensor sein. Insbesondere ist der Halbleiterchip zum Verbauen in einem Display vorgesehen. Der Halbleiterchip kann speziell in Anwendungen herangezogen werden, die von einer definierten Emissionsrichtung des Halbleiterchips profitieren.

Das präzise Ausrichten der Emissionsrichtungen von Halbleiterchips, wie LEDs, Sensoren oder μ LED, relativ zueinander kann vergleichsweise herausfordernd sein, speziell in Fällen direkt betrachteter Displays, bei denen möglichst identische Emissionsmuster für alle LEDs oder μ LED erforderlich sind, sowohl innerhalb eines RGB-Pixels als auch zwischen den Pixeln. Zudem ist die hier beschriebene spezielle Kontaktpadstruktur insbesondere dann vorteilhaft, wenn ein Kleber, wie ein elektrisch nichtleitender Kleber, zur mechanischen Befestigung der Halbleiterchips dient, um eine hohe Leistungsfähigkeit des Gesamtsystems zu erzielen.

Halbleiterchips mit flachen Kontaktpads dagegen neigen dazu, bei einem Kleben leicht zu verkippen. Dies lässt sich mit der hier beschriebenen Kontaktstruktur verhindern, indem die Halbleiterchips zum Beispiel mit einer in Draufsicht ringförmigen Kontaktkante versehen werden, sodass ein elektrischer Kontakt durch einen nichtleitenden, dielektrischen Kleber hindurch besser definiert werden kann. Die Kontaktkante kann insbesondere den Kleber einfacher

durchdringen. Gleichzeitig wird durch eine solche Ringstruktur die Orientierung des Halbleiterchips genau definiert werden, da eine Auflagefläche präzise einstellbar ist. Mit anderen Worten kann ein Kippen des Halbleiterchips
5 bei einer Montage vermieden werden.

Gemäß zumindest einer Ausführungsform weist die Bodenbeschichtung genau eine Kammlinie auf. Dabei ist die Kammlinie bevorzugt eine geschlossene Linie. Alternativ kann
10 die Kammlinie eine offene Linie sein, das heißt, die Kammlinie kann zwei Enden haben, oder im Falle einer verzweigten Kammlinie auch mehr als zwei Enden.

Gemäß zumindest einer Ausführungsform ist die Kammlinie oder
15 zumindest eine der Kammlinien ein Kreis ist, in Draufsicht auf die Bodenseite gesehen. Alternativ zu einem Kreis kann die betreffende Kammlinie in Draufsicht gesehen auch als Ellipse, als Rechteck, als Vieleck oder als Bogendreieck gestaltet sein. Sind mehrere Kammlinien vorhanden, so können
20 diese konzentrisch umeinander herum angeordnet sein.

Gemäß zumindest einer Ausführungsform umfasst die Bodenbeschichtung einen oder mehrere Grundkörper. Der
25 zumindest eine Grundkörper befindet sich bevorzugt direkt an der Bodenseite.

Gemäß zumindest einer Ausführungsform umfasst die Bodenbeschichtung einen oder mehrere Stufenschichten. Die
30 zumindest eine Stufenschicht befindet sich insbesondere direkt an einer der Halbleiterschichtenfolge abgewandten Talseite des Grundkörpers.

Gemäß zumindest einer Ausführungsform ist die Talseite in einem Zentralbereich frei von der Stufenschicht. Das heißt, die Stufenschicht bedeckt den Grundkörper dann nur zum Teil und insbesondere nur an einem äußeren Rand.

5

Gemäß zumindest einer Ausführungsform umläuft die Stufenschicht den Zentralbereich ringsum, insbesondere in einer geschlossenen Linie. In diesem Fall ist die zumindest eine Kammlinie bevorzugt durch die zumindest eine

10 Stufenschicht definiert. Insbesondere ist die Kammlinie dort, wo die Stufenlinie hin zum Zentralbereich endet und/oder hin zum Zentralbereich mit einer Stufe abfällt oder ausläuft.

Gemäß zumindest einer Ausführungsform begrenzt die Kammlinie

15 oder zumindest eine der Kammlinien den Zentralbereich. Es ist möglich, dass der gesamte Zentralbereich der Bodenbeschichtung näher an der Bodenseite der Halbleiterschichtenfolge liegt als die Kammlinie. Das heißt, die Talseite kann innerhalb einer kraterartigen Struktur

20 liegen, die von der Kammlinie umrahmt wird. Die entsprechende zumindest eine Kammlinie überragt den Zentralbereich also in Richtung weg von der Halbleiterschichtenfolge.

Gemäß zumindest einer Ausführungsform macht der

25 Zentralbereich mindestens 5 % oder mindestens 10 % oder mindestens 20 % oder mindestens 40 % oder mindestens 70 % der Bodenseite aus, in Draufsicht auf die Bodenseite gesehen. Das heißt, die Kammlinie kann ein vergleichsweise großes Gebiet einrahmen oder einkreisen. Es ist zusätzlich möglich, dass

30 der Zentralbereich höchstens 90 % oder höchstens 75 % der Bodenseite ausmacht.

Gemäß zumindest einer Ausführungsform ist der zumindest eine Grundkörper aus einem elektrisch leitfähigen Material.

Insbesondere ist der Grundkörper metallisch und zum Beispiel aus Ag oder Al oder Au. Alternativ ist der Grundkörper aus
5 einem TCO. Bevorzugt ist der Grundkörper aus genau einem Material, kann alternativ aber auch aus mehreren Materialien zusammengesetzt sein.

Gemäß zumindest einer Ausführungsform ist die zumindest eine
10 Stufenschicht aus einem dielektrischen Material, zum Beispiel aus zumindest einem Oxid wie Aluminiumoxid und/oder Siliziumoxid.

Alternativ ist die Stufenschicht aus einem elektrisch leitfähigen Material, wie einem TCO, oder ist eine metallische Schicht. Die Stufenschicht kann aus mehreren
15 Teilschichten zusammengesetzt sein. Zum Beispiel ist die Stufenschicht dann eine Spiegelschicht und/oder eine Barrierschicht gegen Eindringen von Feuchtigkeit.

Gemäß zumindest einer Ausführungsform weist die zumindest
20 eine Stufenschicht in Bereichen, in denen sie vorhanden ist, eine gleichbleibende, konstante Schichtdicke auf. Das heißt, die Stufenschicht ist ohne gezielte Dickenvariation auf den Grundkörper aufgebracht.

Gemäß zumindest einer Ausführungsform liegt die Schichtdicke der Stufenschicht bei mindestens 20 nm oder bei mindestens 50 nm. Alternativ oder zusätzlich liegt die Schichtdicke bei
höchstens 3 µm oder bei höchstens 0,5 µm oder bei höchstens 0,2 µm oder bei höchstens 100 nm. Das heißt, die
25 Stufenschicht kann relativ dünn sein.

Gemäß zumindest einer Ausführungsform weist die Bodenbeschichtung eine maximale Dicke von mindestens 50 nm

oder von mindestens 100 nm auf. Alternativ oder zusätzlich liegt die maximale Dicke bei höchstens 3 μm oder bei höchstens 1,0 μm oder bei höchstens 0,7 μm oder bei höchstens 0,5 μm oder bei höchstens 0,3 μm .

5

Gemäß zumindest einer Ausführungsform ist der Grundkörper durchgehend konvex gekrümmt. Das heißt, im Querschnitt gesehen kann der Grundkörper sammellinsenförmig gestaltet sein. Eine maximale Dicke des Grundkörpers liegt dabei bevorzugt im Zentralbereich vor.

10

Gemäß zumindest einer Ausführungsform verläuft die Bodenbeschichtung im Querschnitt gesehen nur in einem Randbereich gekrümmt und ist ansonsten parallel oder näherungsweise parallel zur Bodenseite orientiert. Die Stufenschicht kann auf den Randbereich begrenzt sein.

15

Gemäß zumindest einer Ausführungsform überdeckt die Elektrodenschicht die Bodenbeschichtung vollständig.

20

Alternativ bedeckt die Elektrodenschicht die Bodenbeschichtung nur teilweise.

Gemäß zumindest einer Ausführungsform ist der Halbleiterchip eine μLED . Das heißt zum Beispiel, dass eine Kantenlänge der Bodenseite in Draufsicht gesehen mindestens 1 μm oder mindestens 3 μm und/oder höchstens 0,2 mm oder höchstens 100 μm oder höchstens 30 μm oder höchstens 20 μm oder höchstens 10 μm beträgt. Zum Beispiel liegt die Kantenlänge zwischen einschließlich 1 μm und 10 μm .

25

Gemäß zumindest einer Ausführungsform weist die Bodenbeschichtung, ausgehend von der zumindest einen Kammlinie, in Richtung hin zu Rändern der Bodenseite eine

30

monoton oder streng monoton abnehmende Dicke auf. Dabei ist es möglich, dass die Bodenbeschichtung bis zu den Rändern oder nahe an die Ränder reicht, in Draufsicht auf die Bodenseite gesehen. Ebenso kann sich die Bodenbeschichtung auf zumindest eine Seitenfläche der Halbleiterschichtenfolge erstrecken, also über die Ränder hinweggehen. Nahe an die Ränder bedeutet zum Beispiel, dass ein Abstand der Bodenbeschichtung bis zum zugehörigen Rand höchstens 2 μm oder höchstens 1 μm oder höchstens 500 nm oder höchstens 100 nm beträgt.

Gemäß zumindest einer Ausführungsform weist die Elektrodenschicht eine konstante Dicke auf, insbesondere im Zentralbereich. Eine lokale Dicke ist dabei insbesondere jeweils an einer bestimmten Stelle der Elektrodenschicht eine kleinste Distanz zwischen zwei einander gegenüberliegenden Hauptseiten der Elektrodenschicht, wobei bevorzugt eine dieser Hauptseiten die Kontaktseite ist. Es ist ebenso möglich, dass die Dicke der Elektrodenschicht auch zu deren Rändern hin abnimmt, sodass die Elektrodenschicht dünn auslaufen kann und an den Rändern eine sich verringernde Dicke aufweist.

Gemäß zumindest einer Ausführungsform sind die Halbleiterchips für eine beidseitige elektrische Kontaktierung vorgesehen. Das heißt, ein erster elektrischer Kontakt erfolgt über die Bodenseite und ein zweiter elektrischer Kontakt erfolgt über die Emissionsseite. Alternativ können die Halbleiterchips Flip-Chips sein.

Im Falle von Flip-Chips kann die Kontaktebene durch die höchsten Punkte der beiden elektrischen Kontakte an der Bodenseite gelegt sein, das heißt, beide Kammlinien für sich

definieren Ebenen, die nicht mit der gemeinsam definierten Ebene übereinzustimmen brauchen, zum Beispiel, weil der optoelektronische Halbleiterchip durchgebogen ist und die beiden elektrischen Kontakte zueinander verkippt sind. Somit
5 würde der optoelektronische Halbleiterchip dann zum Beispiel an den Kammlinien der Außenseiten der entsprechenden elektrischen Kontakte aufliegen.

Darüber hinaus wird ein Verfahren zur Herstellung eines
10 Halbleiterchips, wie in Verbindung mit einer oder mehrerer der oben genannten Ausführungsformen beschrieben, angegeben. Merkmale des Halbleiterchips sind daher auch für das Verfahren offenbart und umgekehrt.

15 In mindestens einer Ausführungsform dient das Verfahren zur Herstellung zumindest eines optoelektronischen Halbleiterchips und umfasst die folgenden Schritte, insbesondere in der angegebenen Reihenfolge:

- A) Bereitstellen der Halbleiterschichtenfolge, wobei die
20 Halbleiterschichtenfolge bevorzugt bereits vereinzelt ist und im Wesentlichen die Abmessungen des späteren Halbleiterchips aufweisen kann,
- B) Aufbringen der Bodenbeschichtung auf die Bodenseite,
- C) Formen der zumindest einen Kammlinie, insbesondere durch
25 eine Materialwegnahme und/oder durch Aufbringen der Stufenschicht und optionales Strukturieren der Stufenschicht, und
- D) Erzeugen der Elektrodenschicht, indem die Bodenbeschichtung formtreu mit einem Material der
30 Elektrodenschicht überformt wird.

Darüber hinaus wird ein Halbleiterbauteil mit zumindest einem Halbleiterchip, wie in Verbindung mit einer oder mehrerer der

oben genannten Ausführungsformen beschrieben, angegeben.
Merkmale des Halbleiterchips sind daher auch für das
Halbleiterbauteil offenbart und umgekehrt.

- 5 In mindestens einer Ausführungsform umfasst das
Halbleiterbauteil einen oder mehrere optoelektronische
Halbleiterchips sowie einen Träger und ein Verbindungsmittel,
das zum Beispiel ein Lot oder ein Kleber ist. Die
optoelektronischen Halbleiterchips sind mit dem
10 Verbindungsmittel an einer bevorzugt planen
Trägermontageseite des Trägers befestigt, wobei die
Bodenseiten bevorzugt parallel zur Trägermontageseite
orientiert sind. Die Elektrodenschichten sind im Bereich der
Kammlinien durch das Verbindungsmittel bis hin zur
15 Trägermontageseite gedrückt, sodass durch die Kammlinien
Orientierungen der Bodenseiten definiert sind. Zum Beispiel
sind die Bodenseiten aufgrund der Kammlinien der einzelnen
Halbleiterchips allesamt parallel zueinander ausgerichtet.
- 20 Gemäß zumindest einer Ausführungsform ist das
Halbleiterbauteil ein Rot-Grün-Blau-Display. Zum Beispiel
umfasst das Halbleiterbauteil dann mindestens 10^3 oder
mindestens 10^5 oder mindestens 10^7 der optoelektronischen
Halbleiterchips.
- 25 Nachfolgend wird ein hier beschriebener optoelektronischer
Halbleiterchip, ein hier beschriebenes Verfahren und ein hier
beschriebenes Halbleiterbauteil unter Bezugnahme auf die
Zeichnung anhand von Ausführungsbeispielen näher erläutert.
- 30 Gleiche Bezugszeichen geben dabei gleiche Elemente in den
einzelnen Figuren an. Es sind dabei jedoch keine
maßstäblichen Bezüge dargestellt, vielmehr können einzelne

Elemente zum besseren Verständnis übertrieben groß dargestellt sein.

Es zeigen:

5

Figuren 1 bis 4 schematische Schnittdarstellungen von Verfahrensschritten eines Ausführungsbeispiels eines Herstellungsverfahrens für hier beschriebene optoelektronische Halbleiterchips,

10

Figuren 5 bis 8 schematische Schnittdarstellungen von Verfahrensschritten eines Ausführungsbeispiels eines Herstellungsverfahrens für hier beschriebene optoelektronische Halbleiterchips,

15

Figur 9 eine schematische Schnittdarstellung eines Bereichs um eine Kammlinie herum eines Ausführungsbeispiels eines hier beschriebenen optoelektronischen Halbleiterchips,

20

Figuren 10 bis 13 schematische Draufsichten von Ausführungsbeispielen von hier beschriebenen optoelektronischen Halbleiterchips,

25

Figuren 14 bis 17 schematische Schnittdarstellungen von Ausführungsbeispielen von hier beschriebenen optoelektronischen Halbleiterchips, und

30

Figur 18 eine schematische Schnittdarstellungen eines Ausführungsbeispiels eines Halbleiterbauteils mit hier beschriebenen optoelektronischen Halbleiterchips.

In den Figuren 1 bis 4 ist ein Ausführungsbeispiel eines Herstellungsverfahrens für optoelektronische Halbleiterchips 1 gezeigt. Gemäß Figur 1 wird eine Halbleiterschichtenfolge 2 bereitgestellt. Die Halbleiterschichtenfolge 2 basiert zum Beispiel auf dem Materialsystem AlInGaN. Die Halbleiterschichtenfolge 2 ist bevorzugt bereits aus einem Wafer heraus vereinzelt, kann alternativ aber noch ein Teil eines Wafers sein, sodass ein Vereinzeln erst in einem nachfolgenden, nicht dargestellten Verfahrensschritt erfolgen kann, zum Beispiel erst nach dem Schritt der Figur 4.

Außerdem ist in Figur 1 illustriert, dass auf eine Bodenseite 20 der Halbleiterschichtenfolge 2 ein Grundkörper 31 einer Bodenbeschichtung 3 aufgebracht wird. Die Bodenseite 20 liegt dabei einer Emissionsseite 25 der Halbleiterschichtenfolge 2 gegenüber. Die Bodenseite 22 ist zum Beispiel plan. Der Grundkörper 31 reicht nicht bis an Ränder 22 der Bodenseite 22 heran. Ferner ist der Grundkörper 31 linsenförmig, zum Beispiel kugelsegmentförmig, gestaltet. Eine maximale Dicke des Grundkörpers 31 liegt zum Beispiel zwischen einschließlich $0,1\ \mu\text{m}$ und $0,3\ \mu\text{m}$. Eine der Halbleiterschichtenfolge 2 abgewandte Talseite 34 des Grundkörpers 31 kann damit durchgehend gekrümmt sein.

Die Gestalt des Grundkörpers 31 lässt sich zum Beispiel mit einer Maskenschicht 5 einstellen, die hin zum Grundkörper 31 überhängt und die eine größere Dicke aufweist als der Grundkörper 31. Die gekrümmte Form der Talseite 34 resultiert insbesondere durch Abschattungseffekte an der Maskenschicht 5 beim Aufbringen eines Materials des Grundkörpers 31. Der Grundkörper 31 ist zum Beispiel aus Ag, Al oder Au, das aufgedampft wird.

Gemäß Figur 2 wird auf den Grundkörper 31 eine Ausgangsschicht 32' für eine Stufenschicht 32 aufgebracht. Die Ausgangsschicht 32' wird bevorzugt formtreu auf die Talseite 34 des Grundkörpers 31 aufgebracht, sodass die

5 Ausgangsschicht 32' die gleiche Querschnittsform aufweist wie der Grundkörper 31, lediglich vergrößert und/oder verschoben. Zum Erzeugen der Ausgangsschicht 32' kann die gleiche Maskenschicht 5 verwendet werden, wie für den Grundkörper 31.

10 Die Ausgangsschicht 32' ist bevorzugt dünn, zum Beispiel mit einer Dicke von mindestens 20 nm und/oder von höchstens 100 nm. Beispielsweise ist die Ausgangsschicht 32' aus einem dielektrischen Material wie Siliziumdioxid und/oder Aluminiumoxid.

15

In den Figuren 1 und 2 sind die Ausgangsschicht 32' und der Grundkörper 31 jeweils nur durch ein einziges Material gebildet. Aus mehreren Teilschichten und/oder Materialien zusammengesetzte Ausgangsschichten 32' und Grundkörper 31

20 sind ebenso möglich, wie auch in allen anderen Ausführungsbeispielen.

Gemäß Figur 3 wird die Ausgangsschicht 32' zu einer Stufenschicht 32 strukturiert, zum Beispiel mit Hilfe einer

25 weiteren Maskenschicht, nicht gezeichnet. Damit wird die Talseite 34 in einem Zentralbereich C freigelegt. In einem umlaufenden Randbereich E verbleibt die Stufenschicht 32 und bedeckt den Grundkörper 31 dort vollständig. Eine Bodenbeschichtung 3 ist damit aus der Stufenschicht 32 und

30 dem Grundkörper 31 zusammengesetzt.

Durch das Entfernen der Stufenschicht 32 aus dem Zentralbereich C resultiert eine dickste Stelle der

Bodenbeschichtung 3 entlang eines Randes des freigelegten Zentralbereichs C. Diese dickste Stelle bildet eine Kammlinie 33. Die Stufenschicht 32 endet hin zum Zentralbereich 33 an oder nahe an der Kammlinie 33.

5

Gemäß Figur 4 wird auf die Bodenbeschichtung 2 eine Elektrodenschicht 4 aufgebracht. Bei der Elektrodenschicht 4 handelt es sich bevorzugt um eine metallische Schicht, zum Beispiel aus Ag, Al und/oder Au. Eine Dicke der

10 Elektrodenschicht 4 liegt zum Beispiel bei mindestens 30 nm oder bei mindestens 50 nm und/oder bei höchstens 0,25 µm oder bei höchstens 120 nm.

Die Elektrodenschicht 4 überformt die Bodenbeschichtung 2
15 formtreu, sodass eine der Halbleiterschichtenfolge 2 abgewandte Kontaktseite 40 der Elektrodenschicht 4 die gleiche Form oder Grundform aufweist wie die Unterseite 30 der Bodenbeschichtung 3. Dabei ist die Elektrodenschicht 4 bevorzugt eine durchgehende, ununterbrochene Schicht, die die
20 Kammlinie 33 ohne Abriss überformt.

Zumindest innerhalb der Kammlinie 33 weist die Elektrodenschicht 4 zum Beispiel eine konstante Schichtdicke auf, wobei sich die Elektrodenschicht 4 mit konstanter Dicke
25 über die Kammlinie 33 erstrecken kann. Es ist möglich, dass die Elektrodenschicht 4 hin zu äußeren Rändern der Bodenbeschichtung 3 dünner wird und somit ausläuft.

Der resultierende optoelektronische Halbleiterchip 1 ist
30 insbesondere eine µLED. Das heißt, der Halbleiterchip 1 ist zur Erzeugung von Licht eingerichtet und die Bodenseite 20 weist eine Kantenlänge oder eine mittlere Kantenlänge zwischen einschließlich 1 µm und 30 µm auf. Eine Dicke der

Halbleiterschichtenfolge 2 senkrecht zur Bodenseite 20 liegt zum Beispiel zwischen einschließlich 0,5 µm und 5 µm, insbesondere zwischen einschließlich 1,0 µm und 2,5 µm.

- 5 In den Figuren 5 bis 8 ist ein weiteres Ausführungsbeispiel des Herstellungsverfahrens illustriert. Die Schritte der Figuren 5 bis 8 werden dabei ausgeführt, wie in Verbindung mit den Figuren 1 bis 4 erläutert.
- 10 Anders als in den Figuren 1 bis 4 ist der Grundkörper 31 in Richtung parallel zur Bodenseite 20 allerdings deutlich breiter. Damit ist die Talseite 34 in dem Zentralbereich C flach und ist parallel zur Bodenseite 20 orientiert; dies gilt zum Beispiel für mindestens 70 % oder für mindestens
- 15 85 % einer Fläche des Zentralbereichs C. In dem Randbereich E dagegen ist die Talseite 34, ebenso wie die Unterseite 30, gekrümmt.

Wie auch in Figur 4 liegt gemäß Figur 8 die gesamte Talseite

20 34 in dem Zentralbereich C bevorzugt näher an der Bodenseite 20 als die Kammlinie 33.

Im Übrigen gelten die Ausführungen zu den Figuren 1 bis 4 in gleicher Weise für die Figuren 5 bis 8, und umgekehrt.

25

In Figur 9 ist eine Detailansicht des Bereichs um die Kammlinie 33 gezeigt, wie etwa in den Figuren 4 oder 8 illustriert. Im Gebiet der Kammlinie 33 weist die Kontaktseite 40 bevorzugt einen Knick oder eine Rundung mit

30 einem relativ kleinen Radius auf. Damit kann die Kontaktseite 40 an der Kammlinie 33 keilförmig gestaltet sein, im Querschnitt gesehen. In Richtung weg von dem Zentralbereich C weist die Kontaktseite 40 bevorzugt einen Winkel A zu einer

Kontaktebene P auf. Die Kontaktebene P ist durch die Kammlinie 33 definiert und verläuft durch von der Halbleiterschichtenfolge 2 am weitesten entfernt liegende Punkte der Kontaktseite 40.

5

Die Kontaktebene P ist parallel zur Bodenseite 20 orientiert, zum Beispiel mit einer Toleranz von höchstens $1,5^\circ$ oder von höchstens $0,5^\circ$ oder von höchstens $0,2^\circ$. Der Winkel A beträgt bevorzugt mehr als 0° , zum Beispiel mindestens $0,3^\circ$ oder
10 mindestens $1,2^\circ$ und/oder höchstens 6° oder höchstens 4° . Dies gilt bevorzugt auch für alle anderen Ausführungsbeispiele.

Optional weist die Stufenschicht 32 eine Stirnseite 35 auf, die schräg zur Talseite 35 verläuft, zum Beispiel mit einem
15 Winkel B von mindestens 45° und/oder von höchstens 80° , insbesondere zwischen einschließlich 50° und 70° . Das heißt, die Stirnseite 35 ist dann nicht senkrecht zur Talseite 34 orientiert. Hierdurch wird ein Überformen der Kammlinie 33 und der Stirnseite 35 durch die Elektrodenschicht 4
20 erleichtert, da zu große Steigungen der Unterseite 30 vermieden werden können.

Im Übrigen gelten die Ausführungen zu den Figuren 1 bis 8 in gleicher Weise für Figur 9, und umgekehrt.

25

In den Figuren 10 bis 13 sind verschiedene Draufsichten auf die Bodenseiten 20 von Halbleiterchips 1 gezeigt. Diese Halbleiterchips 1 werden insbesondere mit den Verfahren der Figuren 1 bis 4 oder 5 bis 8 hergestellt.

30

Gemäß Figur 10 ist die genau eine Kammlinie 33 durch eine geschlossene Linie, insbesondere eine geschlossene Kreislinie, gebildet. Damit ist der Zentralbereich C eine

Kreisfläche. Ein Durchmesser des Zentralbereichs C liegt zum Beispiel bei mindestens 30 % und/oder bei höchstens 70 % einer kürzesten Kantenlänge L der Bodenseite 20. Damit lässt sich eine stabile Auflagefläche für den Halbleiterchip 1
5 durch die Kammlinie 33 erreichen.

Die Bodenbeschichtung 3 kann ebenso kreisförmig gestaltet sein. Ein Unterschied der Durchmesser des Zentralbereichs C und des Randbereichs E liegt zum Beispiel bei mindestens 5 %
10 oder mindestens 10 % und/oder bei höchstens 20 % oder bei höchstens 10 % der kürzesten Kantenlänge L.

Außerdem ist in Figur 10 veranschaulicht, dass die gesamte Bodenseite 20 von der Elektrodenschicht 4 bedeckt sein kann.
15 Das heißt, die Elektrodenschicht 4 kann bis zum Rand 22 der Bodenseite 20 reichen. Alternativ endet die Elektrodenschicht 4 beabstandet zum Rand 22.

Im Übrigen gelten die Ausführungen zu den Figuren 1 bis 9 in
20 gleicher Weise für Figur 10, und umgekehrt.

Beim Ausführungsbeispiel der Figur 11 ist die Kammlinie 33 als geschlossenes Bogendreieck gestaltet, wobei einzelne Kreisbögen in Auflagepunkten U zusammenstoßen und konvex
25 geformt sind. Durch diese Gestaltung der Kammlinie ist es möglich, dass genau drei Auflagepunkte U zustande kommen, sodass die Kontaktebene P eindeutig definiert sein kann. Die Bodenbeschichtung 3 ist zum Beispiel wieder kreisrund und/oder kugelsegmentförmig gestaltet.

30

Abweichend von Figur 11 können nicht nur Dreiecke oder Bogendreiecke, sondern auch Vielecke oder Bogenvielecke herangezogen werden. Zum Beispiel können bei einem Sechseck

oder Bodensechseck sechs der Auflagepunkte U vorliegen, nicht gezeichnet.

Im Übrigen gelten die Ausführungen zu Figur 10 in gleicher
5 Weise für Figur 11.

In Figur 12 ist illustriert, dass zwei Kammlinien 33
vorliegen, die durch einen Zwischenbereich D voneinander
separiert sind und die von dem gemeinsamen Randbereich E
10 umlaufen werden. Die Kammlinien 33 können konzentrisch
angeordnet sein. In dem Zwischenbereich D liegt die
Kontaktseite 40 näher an der Bodenseite 20 als in den
Kammlinien 33.

15 Abweichend von der Darstellung in Figur 12 ist es auch
möglich, dass unterschiedlich geformte Kammlinien miteinander
kombiniert werden, zum Beispiel eine kreisförmige Kammlinie
mit einer sechseckförmigen oder bogensechseckförmigen
Kammlinie.

20

Im Übrigen gelten die Ausführungen zu den Figuren 10 und 11
in gleicher Weise für Figur 12.

Auch beim Ausführungsbeispiel der Figur 13 liegen mehrere
25 Kammlinien 33 vor. In diesem Fall sind die Kammlinien 33
Geradenabschnitte, die zum Beispiel parallel zueinander
verlaufen. Jeder der Kammlinien 33 kann eine eigene
Bodenbeschichtung 3 zugeordnet sein. Die Bodenbeschichtungen
3 sind zum Beispiel halbkreisförmig gestaltet. In dieser
30 Konfiguration können die Bodenbeschichtungen 3 hin zu den
Rändern 22, die den Kammlinien 33 jeweils zugeordnet sind,
ansteigen, also eine in Richtung zu dem betreffenden Rand 22
hin zunehmende Dicke aufweisen.

Im Übrigen gelten die Ausführungen zu den Figuren 10 bis 12 in gleicher Weise für Figur 13.

- 5 Die Draufsichten der Figuren 10 bis 13 können für alle dargestellten Schnittdarstellungen herangezogen werden.

Beim Ausführungsbeispiel der Figur 14 ist die Bodenbeschichtung 3 einstückig und kreisringförmig gestaltet.
10 Der Zentralbereich C ist frei von der Bodenbeschichtung 3. Das heißt, in dem Zentralbereich C reicht die Elektrodenschicht 4 bis direkt an die Bodenseite 20 heran.

Im Übrigen gelten die Ausführungen zu den Figuren 1 bis 13 in
15 gleicher Weise für Figur 14, und umgekehrt.

Gemäß Figur 15 ist die Bodenbeschichtung 3 im Querschnitt gesehen dreieckig geformt. Das heißt, zumindest im Randbereich E kann die Unterseite 30 in Form von
20 Geradenabschnitten verlaufen.

Optional ist die Elektrodenschicht 4 im Bereich der Kammlinie 33 abgeflacht. Ein solcher abgeflachter Bereich der Kontaktseite 40 kann auch in allen anderen
25 Ausführungsbeispielen vorliegen. Zum Beispiel weist der abgeflachte Bereich, im Querschnitt durch einen Mittelpunkt der Bodenseite 20 gesehen, eine Breite von mindestens 1 % oder von höchstens 5 % der minimalen Kantenlänge L auf.

30 Im Übrigen gelten die Ausführungen zu Figur 14 in gleicher Weise für Figur 15.

Basierend auf den Figuren 14 und 15 ist es möglich, dass die Bodenbeschichtung 3 auch mehrschichtig aufgebaut ist, dass jedoch bereits der Grundkörper durch eine Strukturierung die Kammlinie definiert, die sich dann durch die folgenden,

5 optionalen Schichten der Bodenbeschichtung 3 hindurch bis zur Kontaktseite 40 erstreckt.

In Figur 16 ist gezeigt, dass sich die Stufenschicht 32 der Bodenbeschichtung 3 über den Rand 22 hinweg auf die

10 Seitenflächen der Halbleiterschichtenfolge 2 erstrecken kann. In diesem Fall kann die Stufenschicht 32 als Passivierung der Halbleiterschichtenfolge 2 dienen.

Dagegen endet die Stufenschicht 32 in Figur 17 bereits von dem Rand 22 beabstandet. Die Stufenschicht 32 und die Elektrodenschicht 4 können gleich weit weg von dem Rand 22 enden, sodass die Bodenbeschichtung 3 und die Elektrodenschicht 4 deckungsgleich miteinander sein können.

20 Im Übrigen gelten die Ausführungen zu den Figuren 1 bis 15 in gleicher Weise für die Figuren 16 und 17, und umgekehrt.

In Figur 18 ist eine Ausführungsbeispiel eines Halbleiterbauteils 8 gezeigt. Das Halbleiterbauteil 8 umfasst eine Vielzahl der Halbleiterchips 1, wie in Verbindung mit den Figuren 1 bis 17 beschrieben.

Die Halbleiterchips 1 sind auf einem gemeinsamen Träger 81 montiert, wobei der Träger 81 hierzu eine plane

30 Trägermontageseite 80 aufweist. An der Trägermontageseite 80 können sich Leiterbahnen und elektrische Anschlussflächen befinden, nicht gezeichnet.

Die Halbleiterchips 1 sind mittels eines mechanischen Verbindungsmittels 82 an der Trägermontageseite 80 befestigt. Das Verbindungsmittel 82 ist zum Beispiel ein elektrisch nicht leitfähiger Kleber, wie ein Fotolack. Die

5 Halbleiterchips 1 werden zum Beispiel montiert, indem sie durch das Verbindungsmittel 82 hindurch auf den Träger 81 aufgedrückt werden. Durch die relativ scharfen Kanten der Kontaktseiten 40 im Bereich der Kammlinien 33 wird dies erleichtert. Außerdem werden durch die Kammlinien 33

10 definierte Auflageflächen gewährleistet.

Durch ein Schrumpfen des Verbindungsmittels 82 bei einem Aushärten ist es zusätzlich möglich, dass die Halbleiterchips 1 an den Träger 81 herangezogen werden. Durch die Kammlinien

15 33 ist auch bei einem solchen Schrumpfen oder Schwinden gewährleistet, dass eine Ausrichtung der Halbleiterchips 1 mit definierten Emissionsrichtungen erhalten bleibt.

Durch die Halbleiterchips 1 werden zum Beispiel rot-grün-blau-Pixel, auch als RGB-Pixel bezeichnet, gebildet. Das

20 heißt, es können rot, grün und blau emittierende Halbleiterchips 1 miteinander kombiniert sein. Die entsprechende Emissionsfarbe kommt zum Beispiel unmittelbar durch die jeweilige Halbleiterschichtenfolge 2 zustande oder

25 mittels eines Leuchtstoffs, nicht gezeigt.

Optional befindet sich zwischen benachbarten Halbleiterchips 2 ein Füllmaterial 83. Das Füllmaterial 83 ist zum Beispiel weiß, um eine hohe Abstrahleffizienz zu gewährleisten, oder

30 schwarz, um einen hohen Kontrast zu erzielen. Auf alle Halbleiterchips 1 und auf das optionale Füllmaterial 83 können weitere Abdeckschichten aufgebracht werden, nicht

gezeichnet, zum Beispiel, um die Halbleiterchips 1 mechanisch, elektrisch und/oder chemisch zu schützen.

Bei den Halbleiterchips 1 handelt es sich zum Beispiel um
5 beidseitig zu kontaktierende Chips. Das heißt, die Emissionsseiten 25 können mittels elektrischer Verbindungsmittel 85, wie Bonddrähte, elektrisch angeschlossen sein. Alternativ können die Halbleiterchips 1 als Flip-Chips gestaltet sein. Gleiches gilt für alle anderen
10 Ausführungsbeispiele.

Die in den Figuren gezeigten Komponenten folgen bevorzugt in der angegebenen Reihenfolge aufeinander, insbesondere unmittelbar aufeinander, sofern nichts anderes beschrieben
15 ist. Sich in den Figuren nicht berührende Komponenten weisen bevorzugt einen Abstand zueinander auf. Sofern Linien parallel zueinander gezeichnet sind, sind die zugeordneten Flächen bevorzugt ebenso parallel zueinander ausgerichtet. Außerdem sind die relativen Positionen der gezeichneten
20 Komponenten zueinander in den Figuren korrekt wiedergegeben, falls nichts anderes angegeben ist.

Die hier beschriebene Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt.
25 Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben
30 ist.

Bezugszeichenliste

	1	optoelektronischer Halbleiterchip
	2	Halbleiterschichtenfolge
5	20	Bodenseite der Halbleiterschichtenfolge
	22	Rand der Bodenseite
	23	Seitenfläche der Halbleiterschichtenfolge
	25	Emissionsseite
	3	Bodenbeschichtung
10	30	Unterseite der Bodenbeschichtung
	31	Grundkörper
	32	Stufenschicht
	32'	Ausgangsschicht für die Stufenschicht
	33	Kammlinie
15	34	Talseite des Grundkörpers
	35	Stirnseite der Stufenschicht
	4	Elektrodenschicht
	40	Kontaktseite der Elektrodenschicht
	5	Maskenschicht
20	8	Halbleiterbauteil
	80	Trägermontageseite des Trägers
	81	Träger
	82	Verbindungsmittel
	83	Füllmaterial
25	85	elektrisches Verbindungsmittel
	A	Winkel zwischen der Kontaktebene und der Kontaktseite
	B	Winkel zwischen der Talseite und der Stirnseite
	C	Zentralbereich
	D	Zwischenbereich
30	E	Randbereich mit Krümmung
	L	Kantenlänge der Bodenseite
	P	Kontaktebene
	U	Auflagepunkt

Patentansprüche

1. Optoelektronischer Halbleiterchip (1) mit
- einer Halbleiterschichtenfolge (2) mit einer Bodenseite
 - 5 (20),
 - einer Bodenbeschichtung (3) an der Bodenseite (20), und
 - einer Elektrodenschicht (4) an einer der
- Halbleiterschichtenfolge (2) abgewandten Unterseite (30) der Bodenbeschichtung (3),
- 10 wobei
- die Bodenbeschichtung (3) einen Dickengradienten und
 - zumindest eine Kammlinie (33) aufweist, an der die
 - Bodenbeschichtung (3) am dicksten ist,
 - sich die Elektrodenschicht (4) über die zumindest eine
 - 15 Kammlinie (33) erstreckt, sodass eine der
- Halbleiterschichtenfolge (2) abgewandte Kontaktseite (40) der Elektrodenschicht (4) die Bodenbeschichtung (3) formtreu nachformt, und
- durch die zumindest eine Kammlinie (33) eine elektrische
 - 20 und mechanische Kontaktebene (P) der Kontaktseite (40)
- parallel zur Bodenseite (20) festgelegt ist.
2. Optoelektronischer Halbleiterchip (1) nach dem vorhergehenden Anspruch,
- bei dem die Bodenbeschichtung (3) genau eine Kammlinie (33)
- 25 aufweist,
- wobei die Kammlinie (33) eine geschlossene Linie ist.
3. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,
- bei dem die Kammlinie (33) oder zumindest eine der Kammlinien
- 30 (33) ein Kreis ist, in Draufsicht auf die Bodenseite (30) gesehen.

4. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,
bei dem die Bodenbeschichtung (3) einen Grundkörper (31) direkt an der Bodenseite (20) und eine Stufenschicht (32) an
5 einer der Halbleiterschichtenfolge (2) abgewandten Talseite (34) des Grundkörpers (31) aufweist,
wobei die Talseite (34) in einem Zentralbereich (C) frei von der Stufenschicht (32) ist und die Stufenschicht (32) den Zentralbereich (C) ringsum umläuft.

10 5. Optoelektronischer Halbleiterchip (1) nach dem vorhergehenden Anspruch,
bei dem die Kammlinie (33) oder zumindest eine der Kammlinien (33) den Zentralbereich (C) begrenzt und die entsprechende
zumindest eine Kammlinie (33) den Zentralbereich (C) in
15 Richtung weg von der Halbleiterschichtenfolge (2) überragt.

6. Optoelektronischer Halbleiterchip (1) nach einem der beiden vorhergehenden Ansprüche,
bei dem der Grundkörper (31) aus einem elektrisch leitfähigen Material ist und die Stufenschicht (32) aus einem
20 dielektrischen Material ist.

7. Optoelektronischer Halbleiterchip (1) nach einem der drei vorhergehenden Ansprüche,
bei dem die Stufenschicht (32) in Bereichen, in denen sie vorhanden ist, eine gleichbleibende, konstante Schichtdicke
25 aufweist,
wobei die Schichtdicke der Stufenschicht zwischen einschließlich 20 nm und 0,5 μm liegt.

8. Optoelektronischer Halbleiterchip (1) nach einem der vier vorhergehenden Ansprüche,
30 bei dem der Grundkörper (31) durchgehend konvex gekrümmt ist,

sodass der Grundkörper (31) im Querschnitt gesehen sammellinsenförmig ist.

9. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

5 bei dem die Bodenbeschichtung (3) im Querschnitt gesehen nur in einem Randbereich (E) gekrümmt verläuft und ansonsten parallel zur Bodenseite (20) orientiert ist.

10. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

10 bei dem die Elektrodenschicht (4) die Bodenbeschichtung (3) vollständig überdeckt.

11. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

15 bei dem die Bodenbeschichtung (3) eine maximale Dicke zwischen einschließlich 50 nm und 0,5 μm aufweist, wobei der Halbleiterchip (1) eine μLED ist, sodass eine Kantenlänge der Bodenseite (20) in Draufsicht gesehen zwischen einschließlich 1 μm und 30 μm liegt.

12. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

20 bei dem die Bodenbeschichtung (3), ausgehend von der zumindest einen Kammlinie (33), in Richtung hin zu Rändern (22) der Bodenseite (20) eine abnehmende Dicke aufweist.

13. Optoelektronischer Halbleiterchip (1) nach zumindest

25 Anspruch 2, bei dem die Elektrodenschicht (4) zumindest innerhalb der Kammlinie (33) eine konstante Dicke aufweist.

14. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (1) nach einem der vorhergehenden Ansprüche mit den Schritten:

- A) Bereitstellen der Halbleiterschichtenfolge (2),
- 5 B) Aufbringen der Bodenbeschichtung (3) auf die Bodenseite (20),
- C) Formen der zumindest einen Kammlinie (33), und
- D) Erzeugen der Elektrodenschicht (4), indem die Bodenbeschichtung (3) formtreu mit einem Material der
- 10 Elektrodenschicht (4) überformt wird.

15. Halbleiterbauteil (8) mit mehreren optoelektronischen Halbleiterchips (1) nach einem der Ansprüche 1 bis 13, ferner umfassend einen Träger (81) und ein Verbindungsmittel (82), wobei

- 15 - die optoelektronischen Halbleiterchips (1) mit dem Verbindungsmittel (82) an einer Trägermontageseite (80) des Trägers (81) befestigt sind,
- die Bodenseiten (20) parallel zur Trägermontageseite (80) orientiert sind, und
- 20 - die Elektrodenschichten (4) im Bereich der Kammlinien (33) durch das Verbindungsmittel (82) bis hin zur Trägermontageseite (80) gedrückt sind, sodass durch die Kammlinien (33) die Bodenseiten (20) parallel zueinander ausgerichtet sind.

- 25 16. Halbleiterbauteil (8) nach dem vorhergehenden Anspruch, das ein Rot-Grün-Blau-Display ist.

1/5

FIG 1

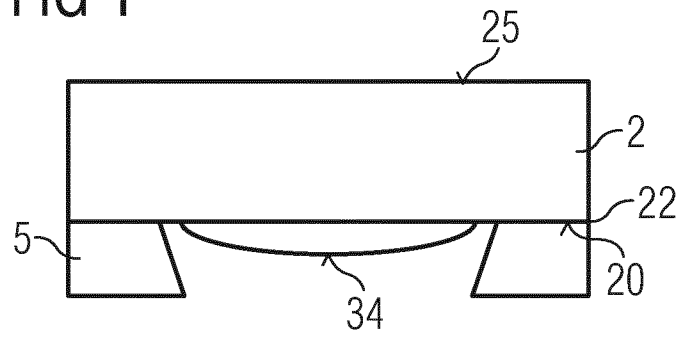


FIG 2

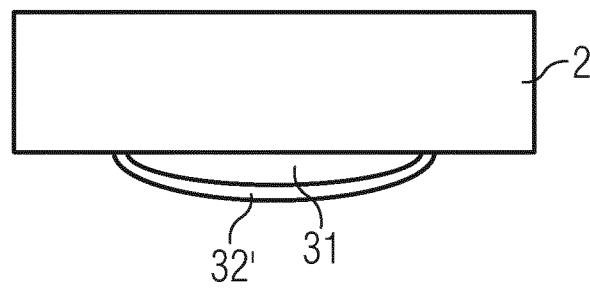


FIG 3

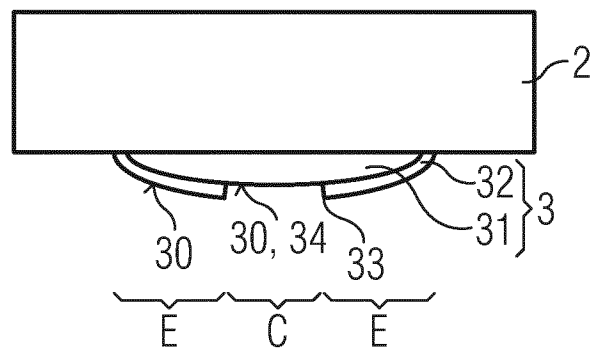


FIG 4

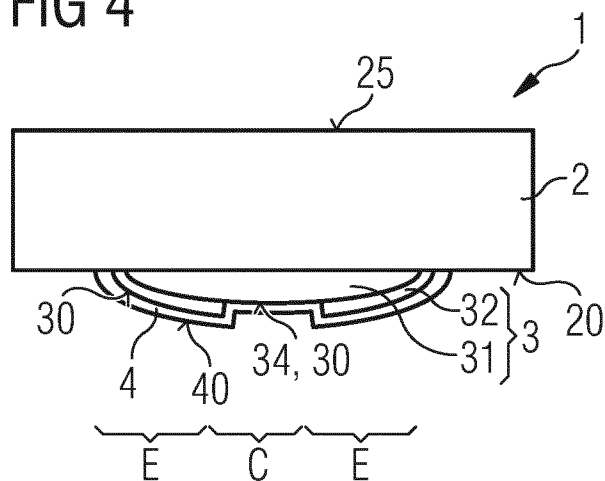


FIG 5

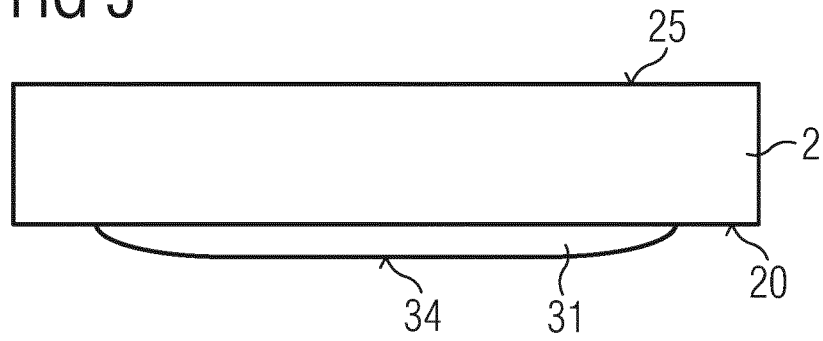


FIG 6

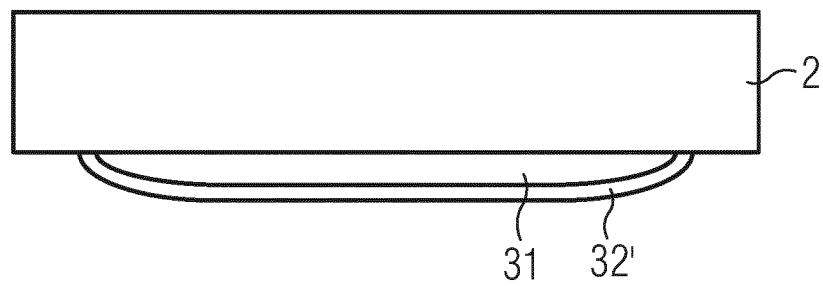


FIG 7

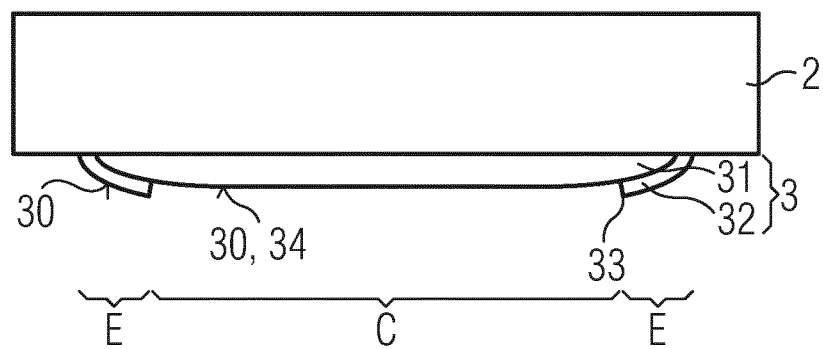


FIG 8

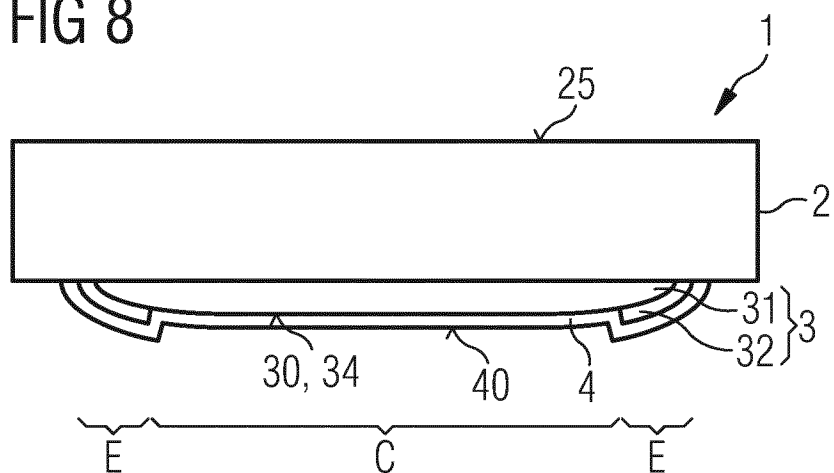


FIG 9

3/5

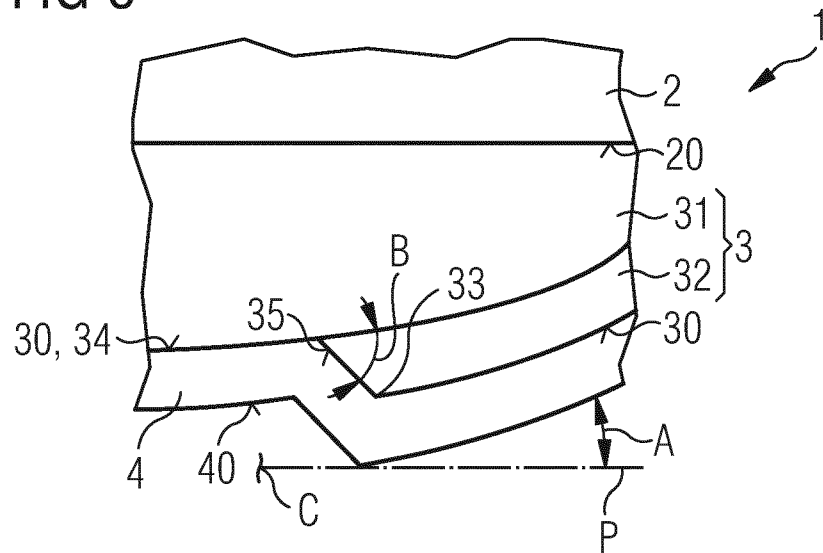


FIG 10

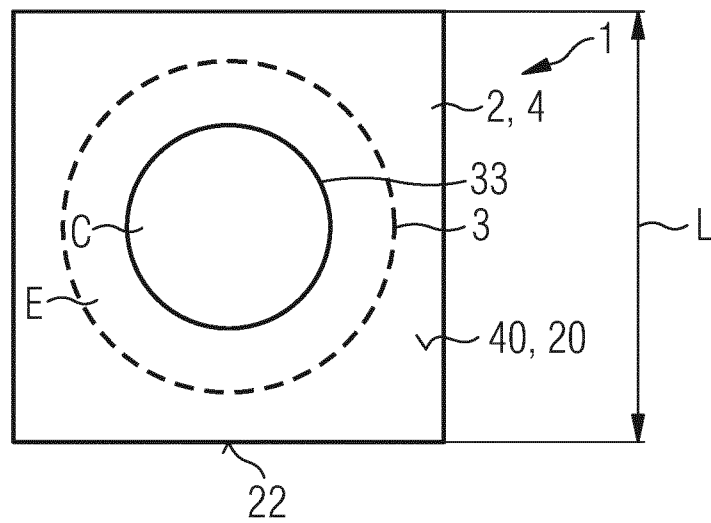


FIG 11

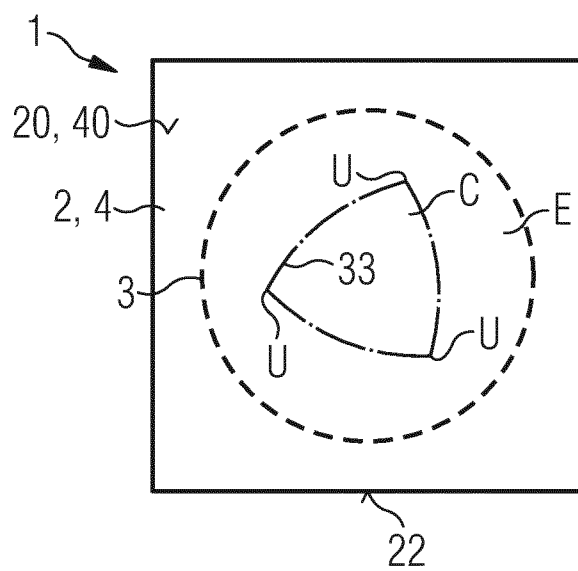


FIG 12

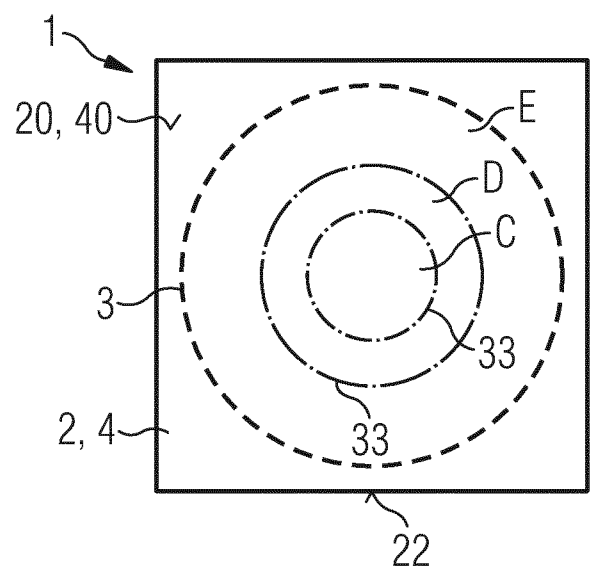


FIG 13

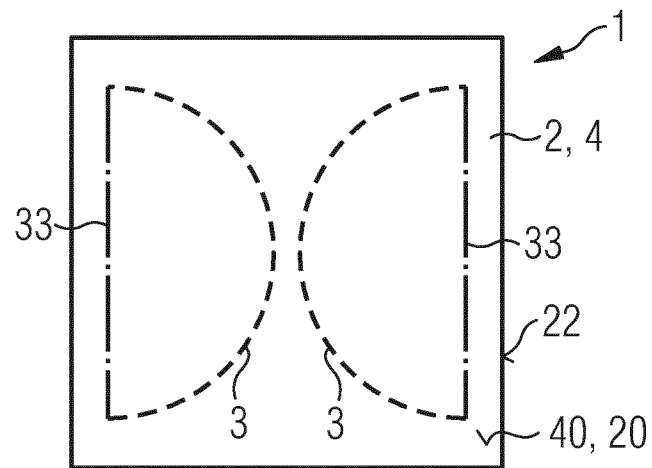


FIG 14

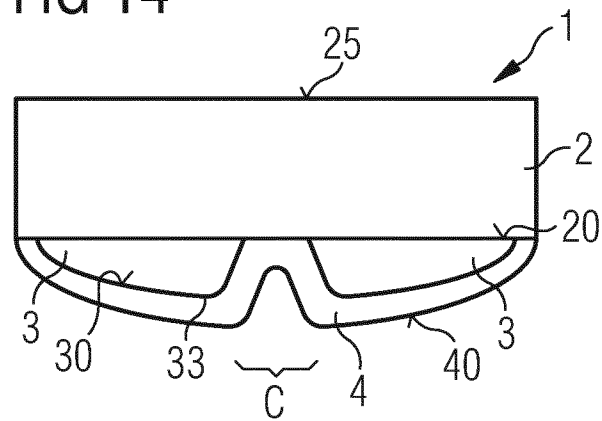


FIG 15

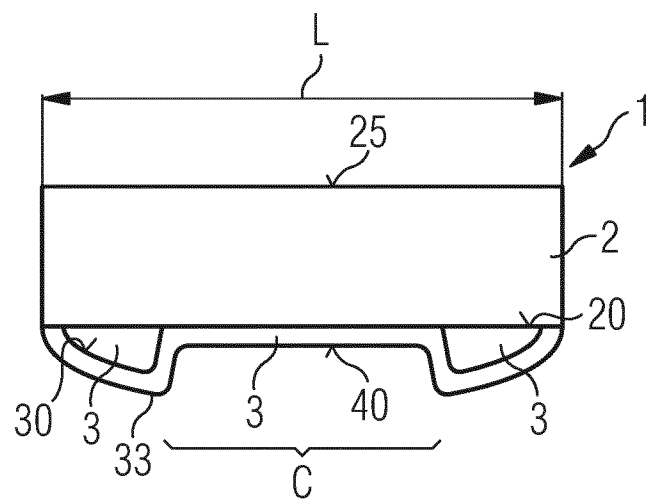


FIG 16

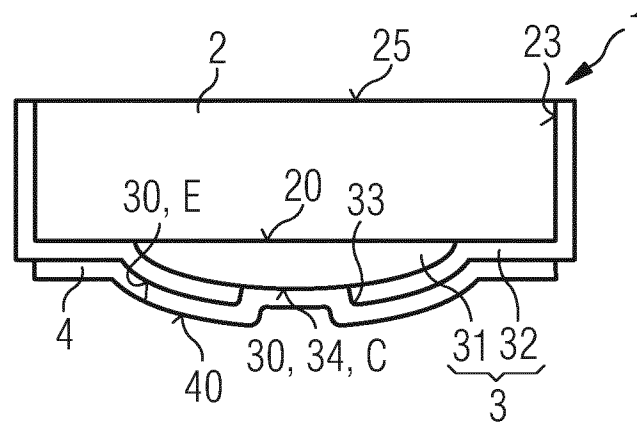


FIG 17

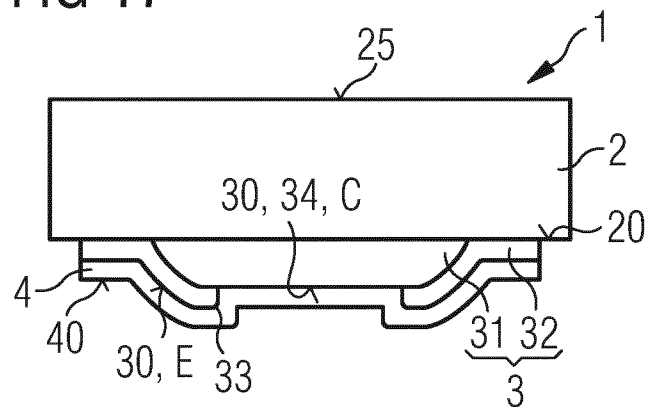
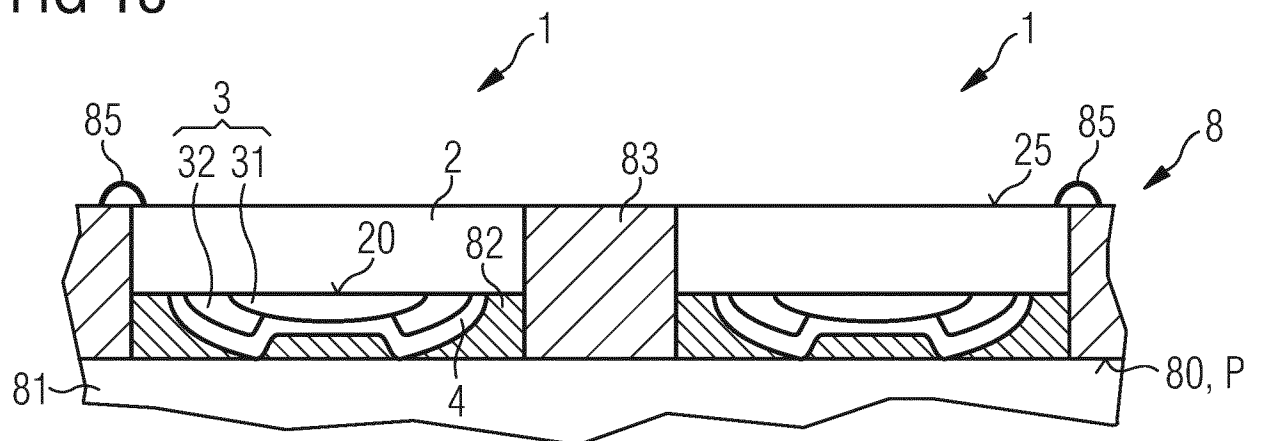


FIG 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2022/056324**A. CLASSIFICATION OF SUBJECT MATTER****H01L 21/60**(2006.01)i; **H01L 21/603**(2006.01)i; **H01L 23/485**(2006.01)i; **H01L 23/00**(2006.01)i; **H01L 33/40**(2010.01)i; **H01L 33/62**(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017133567 A1 (FUKASAWA KOICHI [JP]) 11 May 2017 (2017-05-11) paragraphs [0028] - [0032]; figure 1	1-16
A	US 2019172987 A1 (LIU CHIEN-LIANG [TW] ET AL) 06 June 2019 (2019-06-06) paragraph [0057]; figure 1b	1-16
A	US 2008093738 A1 (LIN JUI-CHANG [TW]) 24 April 2008 (2008-04-24) paragraph [0036]; figure 3	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 June 2022

Date of mailing of the international search report

04 July 2022

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Chin, Patrick

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2022/056324

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2017133567	A1	11 May 2017	JP	6660687	B2	11 March 2020
				JP	2017034031	A	09 February 2017
				US	2017133567	A1	11 May 2017
US	2019172987	A1	06 June 2019	CN	106960901	A	18 July 2017
				CN	110649142	A	03 January 2020
				EP	3188263	A1	05 July 2017
				JP	2017120911	A	06 July 2017
				KR	20170080531	A	10 July 2017
				TW	201727337	A	01 August 2017
				TW	201944146	A	16 November 2019
				US	2017194540	A1	06 July 2017
				US	2019172987	A1	06 June 2019
US	2008093738	A1	24 April 2008	TW	200820406	A	01 May 2008
				US	2008093738	A1	24 April 2008

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2022/056324

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES		
INV.	H01L21/60	H01L21/603
	H01L33/62	
ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)		
H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)		
EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2017/133567 A1 (FUKASAWA KOICHI [JP]) 11. Mai 2017 (2017-05-11) Absätze [0028] - [0032]; Abbildung 1 -----	1-16
A	US 2019/172987 A1 (LIU CHIEN-LIANG [TW] ET AL) 6. Juni 2019 (2019-06-06) Absatz [0057]; Abbildung 1b -----	1-16
A	US 2008/093738 A1 (LIN JUI-CHANG [TW]) 24. April 2008 (2008-04-24) Absatz [0036]; Abbildung 3 -----	1-16
☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
21. Juni 2022		04/07/2022
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Chin, Patrick

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2022/056324

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2017133567 A1	11-05-2017	JP 6660687 B2	11-03-2020
		JP 2017034031 A	09-02-2017
		US 2017133567 A1	11-05-2017
US 2019172987 A1	06-06-2019	CN 106960901 A	18-07-2017
		CN 110649142 A	03-01-2020
		EP 3188263 A1	05-07-2017
		JP 2017120911 A	06-07-2017
		KR 20170080531 A	10-07-2017
		TW 201727337 A	01-08-2017
		TW 201944146 A	16-11-2019
		US 2017194540 A1	06-07-2017
		US 2019172987 A1	06-06-2019
US 2008093738 A1	24-04-2008	TW 200820406 A	01-05-2008
		US 2008093738 A1	24-04-2008