

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.<sup>7</sup>  
H01L 21/76

(45) 공고일자 2000년 12월 15일  
(11) 등록번호 10-0276546  
(24) 등록일자 2000년 09월 29일

(21) 출원번호	10-1998-0012551	(65) 공개번호	특 1999-0029155
(22) 출원일자	1998년 04월 09일	(43) 공개일자	1999년 04월 26일
(30) 우선권주장	97-243993 1997년 09월 09일 일본(JP)		

(73) 특허권자  
미쓰비시덴키 가부시키가이샤      다니구찌 이찌로오  
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고미쓰비시덴키 가부시키가  
이사      기타오카 다카시  
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고  
구로이 다까시  
(72) 발명자  
일본 도쿄도 지요다꾸 마루노우찌 2쪼메 2-3미쯔비시덴기 가부시끼가이샤 내  
사까이 마이꼬  
일본 도쿄도 지요다꾸 마루노우찌 2쪼메 2-3미쯔비시덴기 가부시끼가이샤 내  
호리따 가쓰유끼  
일본 도쿄도 지요다꾸 마루노우찌 2쪼메 2-3미쯔비시덴기 가부시끼가이샤 내  
사야마 히로까즈  
일본 도쿄도 지요다꾸 마루노우찌 2쪼메 2-3미쯔비시덴기 가부시끼가이샤 내  
구영창, 이상희, 주성민  
(74) 대리인

**심사관 : 김정록**

**(54) 반도체장치 및 그 제조방법**

**요약**

본 발명은 도랑형 소자 분리를 갖는 반도체 장치에 있어서, 장치 성능을 악화시키는 일없이 정밀도가 좋은 열라인먼트를 행할 수 있는 반도체 장치 및 그 제조 방법을 얻는다.

본 발명에 따르면 도랑(10A)의 에지부 근방 영역은 더미 게이트 전극(14A)이 형성되어 있기 때문에, 에칭찌꺼기가 발생하지 않는 구조로 된다. 게다가, 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 사이의 고저차를 반영하여 더미 게이트 전극부(14A)의 표면에 고저차가 형성되어 있기 때문에 더미 게이트 전극(14A) 자체를 열라인먼트 마크로서 이용할 수도 있다.

**대표도**

**도1**

**명세서**

**도면의 간단한 설명**

도 1은 본 발명의 제1 실시 형태인 반도체 장치(DRAM)의 단면 구조를 나타내는 단면도.

도 2는 제1 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 3은 제1 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 4는 제1 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 5는 제1 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 6은 제1 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 7은 제1 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 8은 제1 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 9는 본 발명의 제2 실시 형태인 반도체 장치(DRAM)의 단면 구조를 나타내는 단면도.

도 10은 제2 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 11은 제2 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 12는 제2 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.

도 13은 제2 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 14는 제2 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 15는 제2 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 16은 제2 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 17은 본 발명의 제3 실시 형태인 반도체 장치(DRAM)의 단면 구조를 나타내는 단면도.  
 도 18은 제3 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 19는 제3 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 20은 제3 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 21은 제3 실시 형태의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 22는 제3 실시 형태의 변형예의 효과 설명용 평면도.  
 도 23은 도 22의 단면 구조를 나타내는 단면도.  
 도 24는 도 22의 단면 구조를 나타내는 단면도.  
 도 25는 본 발명의 원리로 되는 개량 방법의 반도체 장치의 단면 구조를 나타내는 단면도.  
 도 26은 도 25의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 27은 도 25의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 28은 도 25의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 29는 도 25의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 30은 도 25의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 31은 도 25의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 32는 도 25의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 33은 본 발명의 원리로 되는 개량 방법의 반도체 장치의 단면 구조를 나타내는 단면도.  
 도 34는 도 33의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 35는 도 33의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 36은 도 33의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 37은 도 33의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 38은 개량 방법의 문제점을 나타내는 설명도.  
 도 39는 개량 방법의 문제점을 나타내는 설명도.  
 도 40은 종래의 반도체 장치(DRAM)의 단면 구조를 나타내는 단면도.  
 도 41은 종래의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 42는 종래의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 43은 종래의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 44는 종래의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 45는 종래의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 46은 종래의 반도체 장치의 제조 방법을 나타내는 단면도.  
 도 47은 종래의 반도체 장치의 제조 방법을 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

2A~2C : 매립 실리콘 산화막

10A~10C, 12A, 13A : 도량

11A : 얼라인먼트 마크 영역

11B : 메모리 셀 영역

11C : 주변 회로 영역

14A, 14D, 14E : 더미 게이트 전극부

14B, 14C : 게이트 전극부

15~17 : 확산 영역

19, 24, 29 : 콘택트홀

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 도랑형의(trench-type) 소자 분리 구조를 갖는 반도체 장치에 있어서 소자 활성 영역과 제1 전극을 정밀하게 정렬시키기 위한 얼라인먼트 마크(alignment mark)에 관한 것이다.

반도체 집적 회로를 제조할 때, 동작시에 소자간의 전기적인 간섭을 없애 각각의 소자를 완전하게 독립하여 제어하기 위해, 소자 분리 영역을 갖는 소자 분리 구조를 형성할 필요가 있다. 소자 분리법으로서 반도체 기판에 도량을 형성하고, 도량 내에 절연막을 매립하는 도량형 소자 분리가 제안되고 있다.

이하, 종래의 도량형 소자 분리 구조 및 그 제조 방법에 대해서 설명한다. 도 40은, 도량형 소자 분리를 형성한 후의 DRAM의 단면 구조를 나타내는 것이다. 실리콘 기판(1) 내에 도량(10A~10C)이 형성된다. 즉, 메모리 셀 영역(11B)에는 좁은 폭의 도량(10B)이 형성되고, 얼라인먼트 마크 영역(11A) 및 주변 회로 영역(11C)에는 도량(10B)보다 폭이 넓은 도량 10A 및 도량 10C이 형성된다. 그리고, 도량(10A~10C) 내에 실리콘 산화막(2A~2C)이 매립되어 있다.

여기서, 도량 내의 실리콘 산화막(2)의 표면의 높이와 실리콘 산화막(2) 이외의 실리콘 기판(1)의 표면의 높이가 거의 같고, 그 결과로서 실리콘 기판(1)의 표면이 거의 평탄하게 되어 있다.

도 41~도 47은 도 40에서 도시한 구조의 DRAM의 제조 방법을 나타내는 단면도이다. 이하, 이를 도면을 참조하여 그 제조 방법을 설명한다.

먼저, 실리콘 기판(1)상에, 실리콘 산화막(3)과, 실리콘 질화막(4)을 차례로 형성한 후, 사진 제판 기술 및 건식 에칭 기술을 이용해 소정 영역의 실리콘 질화막(4), 실리콘 산화막(3)을 제거함으로써, 도 41에 도시하는 바와 같이 실리콘 기판(1)에 소정 깊이의 도량(10 ; 10A~10C)을 형성한다. 즉, 얼라인먼트 마크 영역(11A)에는 비교적 넓은 폭의 도량(10A)을 형성하고, 메모리 셀 영역(11B)에는 비교적 좁은 폭의 도량(10B)을 형성하며, 주변 회로 영역(11C)에는 비교적 넓은 폭의 도량(10C)을 형성한다.

이어서, 도 42에 도시하는 바와 같이, 열산화함으로써 도량(10)의 측면 및 저면을 산화한 후, LP-CVD(감압 CVD)법에 의해 실리콘 산화막(2)을 퇴적한다. 이 때, 비교적 넓은 폭의 도량(10A) 및 도량(10C)에는 퇴적한 막 두께와 같은 막 두께만큼 퇴적되는 것에 대해 좁은 폭의 도량(10B)은 퇴적 초기시에 실리콘 산화막(2)이 매립되기 때문에, 도량(10B)의 아래에서 본 실리콘 산화막(2)의 막 두께는 얼라인먼트 마크 영역(11A)이나 주변 회로 영역(11C)에서의 막 두께보다 두껍게 된다. 즉, 도량(10B)상에 퇴적한 실리콘 산화막(2)과 도량(10A) 및 도량(10C)상에 퇴적한 실리콘 산화막(2)과의 사이에는 막 두께차가 생긴다. 이하, 이 차이를 도량 위 실리콘 산화막 두께차라고 부른다.

다음에, 도 43에 도시하는 바와 같이, 도량 위 실리콘 산화막 두께차를 저감하기 위해, 사진 제판 기술을 이용해 도량 폭이 넓은 매립 실리콘 산화막(2)상에만 레지스트 패턴(5)을 형성하고, 건식 에칭을 이용해 실리콘 산화막(2)의 일부를 제거한다.

이어서, 레지스트 패턴(5)을 제거한 후 CMP(Chemical Mechanical Polishing)법을 이용해 전면을 연마하여 실리콘 질화막(4)상의 실리콘 산화막(2) 및 도량(10A~10C)의 실리콘 산화막(2)의 일부를 제거한다. 그 후, 도 44에 도시하는 바와 같이, 인산을 이용해 실리콘 질화막(4)을 제거하고, 불소산을 이용해 실리콘 산화막(3)을 제거함으로써, 얼라인먼트 마크 영역(11A)에 매립 실리콘 산화막(2A)을 형성하고, 메모리 셀 영역(11B)에 매립 실리콘 산화막(2B)을 형성하며, 주변 회로 영역(11C)에 매립 실리콘 산화막(2C)을 형성하여 도량형 소자 분리 구조를 완성시킨다.

다음에, 도 45에 도시하는 바와 같이, 열산화에 의해 게이트 산화막(6)을 형성하고, 게이트 산화막(6)상에 인을 도핑한 폴리실리콘막(7), 텅스텐 실리사이드막(8)을 차례로 퇴적한다.

다음에, 도 46에 도시하는 바와 같이, 소자 분리 형성 공정에서 제조한 얼라인먼트 마크 영역(11A)의 매립 실리콘 산화막(2A ; 얼라인먼트 마크)을 이용해 사진 제판 기술에 의해 소자 분리 영역에 게이트 전극을 정렬시키는 레지스트 패턴(9)을 형성한다.

그리고, 도 47에 도시하는 바와 같이, 레지스트 패턴(9)을 마스크로서 텅스텐 실리사이드막(8), 폴리실리콘막(7)을 건식 에칭에 의해 제거함으로써, 메모리 셀 영역(11B) 및 주변 회로 영역(11C)에 게이트 전극부(14 ; 14B~14D)를 형성한다. 또, 더미 게이트 전극부(14D)는 이 후의 공정에서 형성되는 활성 영역과의 콘택트홀 형성용 얼라인먼트로서 이용된다.

상기에 나타내는 종래의 반도체 장치(DRAM) 및 그 제조 방법에서는, 이하에 나타내는 문제점이 있다.

제1 전극 재료인 게이트 전극부(14)를 패터닝할 때, 활성 영역의 소정 영역에 패턴을 형성하기 위해, 활성 영역과 정렬시킬 필요가 있다. 정렬을 행하는 데는 소자 분리 공정에서 형성된 얼라인먼트 마크 영역(11A)의 얼라인먼트 마크(2A)를 이용한다.

얼라인먼트 방법에는, 크게 나눠 레지스트를 감광하지 않는 광의 회절광을 검출해 마크를 인식하는 제1 수법과, 화상 정보를 인식하는 제2 수법이 있다. 회절광에 의해 마크 검출을 행하는 제1 방법에서는 반도체 기판에 형성된 마크의 요철(凹凸)에 의한 표면의 단차가 필요로 되고, 화상 인식에 의해 검출하는 제2 방법에서는 게이트 전극 재료를 광이 투과하여 하지의 마크 정보를 검출하거나, 그렇지 않으면 표면의 단차에 의한 마크 정보의 인식이 필요로 된다.

그러나, 도량형 소자 분리가 이루어진 종래의 반도체 장치에서는, 얼라인먼트 마크부의 단차가 거의 없기

때문에 표면 단차에 의한 제1 방법의 마크 검출이 곤란하게 된다. 또한, 게이트 전극 재료의 일부인 실리사이드막은 광이 통하지 않기 때문에 화상 인식에 의한 제2 방법에서의 마크 검출도 곤란하게 된다.

그 결과, 마크 검출 신호의 S/N비가 작게 되어 얼라인먼트 정밀도가 저하해 게이트 전극 형성의 정렬 처리를 할 수 없게 된다는 문제점이 있었다.

또한, 상기의 문제점을 해결하기 위해 도량 내의 매립 실리콘 산화막(2A)을 기판 표면보다 낮게 하면 얼라인먼트 정밀도를 향상시킬 수 있지만, 매립 실리콘 산화막(2A)과 동시에 형성되는 소자 형성 영역(메모리 셀 영역(11B), 주변 회로 영역(11C))의 매립 실리콘 산화막(2B, 2C)의 표면도 기판 표면보다 낮게 된다.

그 결과, 게이트 전극으로부터의 전계가 집중하고, 트랜지스터의 전류 전압 특성에 있어서 험프(hump)가 나타나고, 임계치 전압 및 대기시 전류의 오차가 크게 된다는 다른 문제점이 있었다.

동시에, 매립 실리콘 산화막(2B 및 2C)의 도량 단부에서 게이트 전극 재료의 막 두께가 두껍게 되기 때문에 전극 에칭일 때 도량(10A) 내의 경계 부근 영역에서 전극 재료의 찌꺼기가 발생하여 소자의 수율을 저하시킨다는 문제도 생긴다.

한편, 도량 내의 매립 실리콘 산화막(2A)을 기판 표면보다 높게 형성하는 것도 제안되고, 이 경우 얼라인먼트 정밀도의 향상 및 트랜지스터의 전류 전압 특성에서의 험프의 발생을 억제할 수 있다. 그러나, 도량의 에지부에서의 단차가 크게 되어 경계 상부의 전극 재료의 막 두께가 두껍게 되는 결과, 전극 에칭일 때 도량의 에지부 근방 영역에서 전극 재료의 찌꺼기가 발생하여 소자의 수율을 저하시킨다는 다른 문제가 생겨 버린다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 이루어진 것으로, 도량형 소자 분리를 갖는 반도체 장치에 있어서, 장치 성능을 악화시키는 일 없이 정밀도가 좋게 얼라인먼트를 행할 수 있는 반도체 장치 및 그 제조 방법을 얻는 것을 목적으로 한다.

본 발명에 따른 반도체 장치는, 도량형의 소자 분리 구조에 의해 반도체 소자 사이가 소자 분리되는 반도체 장치에 있어서, 반도체 기판, 및 상기 반도체 기판에 형성되고, 그 상층부에 제1 도량과 상기 제1 도량 내의 하층부에 형성된 얼라인먼트 마크 도량 내 절연막을 갖는 얼라인먼트 마크 영역을 구비하며, 상기 얼라인먼트 마크 도량 내 절연막의 표면 높이가 상기 반도체 기판의 표면 높이보다 낮고, 상기 반도체 기판에 형성되고, 복수의 반도체 소자 사이를 절연 분리하는 소자 분리용 절연막을 갖는 소자 형성 영역을 더 구비하되, 상기 소자 분리용 절연막은 상기 반도체 기판의 상층부에 형성된 제2 도량 내에 충전되고, 상기 제1 도량의 적어도 에지부 근방 영역을 덮어 형성되는 제1 더미층을 더 구비하고, 상기 소자 형성 영역 상에는 상기 제1 더미층과 동일한 재료로 형성된 게이트 전극층을 더 구비하고, 상기 소자 형성 영역의 표면 내에 상기 게이트 전극부에 인접하여 형성된 확산층을 더 구비한다.

또한, 본 발명에 따른 반도체 장치의 제조 방법은, 도량형의 소자 분리 구조를 갖는 반도체 장치의 제조 방법에 있어서, (a) 얼라인먼트 마크 영역 및 소자 형성 영역을 갖는 반도체 기판을 준비하는 단계, 및 (b) 상기 반도체 기판의 상기 얼라인먼트 마크 영역 및 상기 소자 형성 영역의 상층부에 각각 제1 및 제2 도량을 동시에 형성하는 단계를 구비하되, (c) 상기 반도체 기판상의 전면에 절연막을 형성하는 단계, (d) 적어도 상기 얼라인먼트 마크 영역에 대응하는 상기 절연막 부분을 제외하고 상기 절연막상에 제1 레지스트 패턴을 형성하는 단계, (e) 상기 제1 레지스트 패턴을 마스크로서 상기 절연막을 제거하는 단계, (f) 상기 제1 레지스트 패턴을 제거한 후, 상기 절연막 전체를 더 제거하는 단계 - 상기 단계(f)은 상기 제1 도량 내에 상기 절연막이 일부 남고, 또 상기 제2 도량 내에 매립된 상기 절연막이 남도록 행하며, 상기 단계(f) 후의 상기 제1 도량 부분이 제1 얼라인먼트 마크로서 규정되고, 상기 제1 도량 내의 상기 절연막인 얼라인먼트 마크 도량 내 절연막의 표면 높이가 상기 반도체 기판의 표면 높이보다 낮게 됨으로써, 그들 표면의 사이에 고저차를 둠 -, (g) 상기 반도체 기판상의 전면에 도전층을 형성하는 단계, (h) 상기 제1 얼라인먼트 마크의 위치를 인식하여 상기 소자 형성 영역의 소정의 게이트 형성 영역 위 및 적어도 상기 제1 도량의 에지부 근방 영역상에 제2 레지스트 패턴을 형성하는 단계, (i) 상기 제2 레지스트 패턴을 마스크로서 상기 도전층을 제거하여 상기 소정의 게이트 형성 영역상에 게이트 전극부를 형성함과 동시에, 적어도 상기 제1 도량의 에지부 근방 영역상에 제1 더미 전극부를 형성하는 단계, (j) 상기 소자 형성 영역 상에 상기 제1 더미 전극부와 동일한 재료로 게이트 전극부를 형성하는 단계, 및 (k) 상기 소자 형성 영역의 표면 내에 상기 게이트 전극부에 인접하여 확산층을 형성하는 단계를 더 구비한다.

### 발명의 구성 및 작용

#### <발명의 원리>

장치 성능을 악화시키는 일 없이 정밀도 좋게 얼라인먼트를 행하기 위해, 얼라인먼트 마크 영역(11A)상의 실리콘 산화막(2)의 일부를 미리 제거하고, 게이트 전극 재료를 형성했을 때 단차를 형성하는 방법이 제안된다.

이하, 그 제안에 기초하여 도량형 소자 분리 구조 및 그 제조 방법(이하, 이 제조법을 단순히 「개량 방법」이라고 말할 경우가 있음)을 설명한다. 도 25는, 도량형 소자 분리를 형성하고, 게이트 전극을 패터닝한 후의 반도체 장치의 단면 구조를 나타내고 있다. 실리콘 기판(1)의 얼라인먼트 마크 영역(11A), 메모리 셀 영역(11B) 및 주변 회로 영역(11C)에 각각 도량(10A, 10B 및 10C)이 형성되고, 도량(10A, 10B 및 10C) 내에 각각 실리콘 산화막(2A, 2B 및 2C)이 매립되어 있다. 실리콘 기판(1) 내의 소자 형성 영역(메모리 셀 영역(11B), 주변 회로 영역(11C))의 도량(10B, 10C) 내의 실리콘 산화막(2B, 2C)의 표면은 실리콘 기판(1)의 표면과 거의 같은 높이로 되어 있는 데 대해 얼라인먼트 마크 영역(11A)의 도량(10A) 내의 실리콘 산화막(2A)의 표면은 실리콘 기판(1)의 표면보다도 낮게 되어 있다.

그리고, 얼라인먼트 마크 영역(11A), 메모리 셀 영역(11B) 및 주변 회로 영역(11C)에는 각각 게이트 전극

부(14D, 14B 및 14C)가 형성된다.

도 26~도 32는, 도 25에서 도시한 반도체 장치의 제조 방법을 나타내는 단면도이다. 이하 이들의 도면을 참조하여 그 제조 방법을 설명한다.

먼저, 실리콘 기판(1)상에, 실리콘 산화막(3), 실리콘 질화막(4)을 차례로 형성한 후, 사진 제판 기술 및 건식 애칭 기술을 이용해 소정 영역의 실리콘 질화막(4), 실리콘 산화막(3) 및 실리콘 기판(1)의 일부를 제거함으로써, 도 26에 도시하는 바와 같이 실리콘 기판(1)의 얼라인먼트 마크 영역(11A, 11B 및 11C)에 소정 깊이의 도랑(10A, 10B 및 10C)을 형성한다.

이어서, 도 27에 도시하는 바와 같이, 열산화함으로써 도랑(10A, 10B 및 10C)의 측면 및 저면을 산화한 후 CVD법에 의해 실리콘 산화막(2)을 퇴적한다. 이 때, 비교적 넓은 폭의 도랑(10A, 10C)에는 퇴적한 막 두께와 같은 막 두께만큼 퇴적되는 것에 대해서, 좁은 폭의 도랑(10B)은 퇴적 초기시에 실리콘 산화막(2)이 매립되기 때문에, 도랑(10B)의 밑에서 본 실리콘 산화막(2)의 막 두께는 얼라인먼트 마크 영역(11A)이나 주변 회로 영역(11C)에서의 막 두께보다 두껍게 되고, 도랑 위 실리콘 산화막 두께차가 생긴다.

다음에, 도 28에 도시하는 바와 같이, 도랑 위 실리콘 산화막 두께차를 저감하기 위해, 사진 제판 기술을 이용해 주변 회로 영역(11C)의 도랑(10C)상에 형성된 매립 실리콘 산화막(2)상에 레지스트 패턴(51)을 형성하고, 건식 애칭을 이용해 실리콘 산화막(2)의 일부를 제거한다. 이 때, 얼라인먼트 마크 영역(11A)의 도랑(10A)상의 실리콘 산화막(2)의 일부도 동시에 제거하여 그 막 두께를 얕게 한다.

이어서, 레지스트 패턴(51)을 제거한 후, CMP(Chemical Mechanical Polishing)법을 이용해 전면을 연마하고, 실리콘 질화막(4)상의 실리콘 산화막(2) 및 도랑부의 실리콘 산화막(2)의 일부를 제거한 후, 인산을 이용해 실리콘 질화막(4)을 제거하며, 불소산을 이용해 실리콘 산화막(3)을 제거함으로써, 도 29에 도시하는 바와 같이 도랑형 소자 분리 구조를 완성시킨다.

이 때, 소자 형성 영역(메모리 셀 영역(11B), 주변 회로 영역(11C))의 도랑(10B, 10C)의 실리콘 산화막(2)의 표면은 실리콘 기판(1)의 표면과 거의 같은 높이로 되어 있는 것에 대해 얼라인먼트 마크 영역(11A)의 도랑(10A)의 실리콘 산화막(2)의 표면의 높이는 실리콘 기판(1)의 표면보다도 낮게 되어 있고, 도랑(10A) 내의 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 사이에 생기는 고저차에 의해 얼라인먼트 마크가 형성된다.

다음에, 이온 주입에 의해 소자 형성 영역의 소정 영역에 n웰, p웰을 형성하고, 전계 효과형 트랜지스터의 임계치 제어를 위한 이온 주입을 행한 후, 도 30에 도시하는 바와 같이, 열산화에 의해 게이트 산화막(6)을 형성하고, 게이트 산화막(6)상에 인을 도핑한 폴리실리콘막(7), 텅스텐 실리사이드막(8)을 차례로 형성한다.

다음에, 도 31에 도시하는 바와 같이, 소자 분리 형성 공정으로 형성한 얼라인먼트 마크(도랑(10A) 내의 실리콘 산화막(2A))을 이용해 사진 제판 기술에 의해 소자 분리 영역에 게이트 전극을 정렬시키기 위한 레지스트 패턴(59)을 형성한다.

그 후, 도 32에 도시하는 바와 같이, 레지스트 패턴(59)을 마스크로서 텅스텐 실리사이드막(8), 폴리실리콘막(7)을 건식 애칭에 의해 제거함으로써, 얼라인먼트 마크 영역(11A), 메모리 셀 영역(11B) 및 주변 회로 영역(11C)에 각각에 게이트 전극부(14D, 14B, 14C)를 형성한다.

도 33은 도 32에서 도시한 게이트 전극부(14)의 형성 후에 이루어지는 공정을 거쳐 제조된 DRAM의 구조를 나타내는 단면도이다. 이하, 도 32에 도시한 구조에서 추가된 부분을 설명한다.

실리콘 기판(1)의 메모리 셀 영역(11B)의 표면 내에는 게이트 전극부(14B)에 인접하여 확산 영역(15, 16)이 형성되고, 주변 회로 영역(11C)의 표면 내에는 게이트 전극부(14C)에 인접하여 확산 영역(17)이 형성된다.

실리콘 기판(1)상의 전면에 층간 절연막(18)이 형성되고, 확산 영역(16)상의 층간 절연막(18)을 관통하여 콘택트홀(19)이 형성되며, 콘택트홀(19)을 통해 확산 영역(16)과 전기적으로 접속되는 비트선(22)이 층간 절연막(18)상의 일부 및 콘택트홀(19) 가운데 형성된다. 비트선(22)은 폴리실리콘막(20) 및 틴탄 실리사이드막(21)으로 구성된다.

콘택트홀(19) 형성의 사진 제판에 있어서는 후에 상세히 서술하지만, 얼라인먼트 마크 영역(11A)에 형성된 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 정렬시켜 행하고 있다.

층간 절연막(18)상에 비트선(22)을 덮어 층간 절연막(23)이 형성되고, 확산 영역(15)상의 층간 절연막(18 및 22)을 관통하여 콘택트홀(24)이 형성되며, 콘택트홀(24)을 통해 확산 영역(15)과 전기적으로 접속되는 저장 노드(25)가 층간 절연막(23)상의 일부 및 콘택트홀(24) 가운데 형성된다.

저장 노드 콘택트용 콘택트홀(24)의 사진 제판에 있어서도, 후에 상세히 서술하지만, 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 정렬시켜 행하고 있다. 저장 노드(25)상에는 캐퍼시터 절연막(26)을 통해 셀 플레이트 전극(27)이 형성된다.

층간 절연막(23)상에, 저장 노드(25), 캐퍼시터 절연막(26) 및 확산 영역(17)을 덮어 층간 절연막(28)이 형성되고, 확산 영역(17)상의 층간 절연막(18, 23 및 28)을 관통하여 콘택트홀(29)이 형성되며, 콘택트홀(29)을 통해 확산 영역(17)과 전기적으로 접속되는 AI 배선층(30)이 층간 절연막(28)상의 일부 및 콘택트홀(29) 가운데 형성된다.

AI 배선층(30) 형성용 콘택트홀(29)의 사진 제판에 있어서도, 후에 상세히 설명하지만, 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 정렬을 행하고 있다.

이하, 도 33에서 나타낸 구조의 다이나믹 RAM의 제조 방법을 설명한다. 먼저, 도 26~도 32에서 도시한 제조 방법을 거쳐, 도 32에서 도시하는 바와 같이 게이트 전극부(14B~14D)를 형성한다. 이후, 도 34~

도 37에서 도시하는 제조 공정을 실행한다.

먼저, 확산 영역(15~17)을 이온 주입에 의해 형성한 후, 도 34에 도시하는 바와 같이 CVD법에 의해 게이트 전극부(14B~14D)를 덮어 전면에 층간 절연막(18)을 형성하고, 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 이용한 사진 제판 기술에 의해 게이트 전극부(14B)의 확산 영역(16)상에 콘택트홀(19)을 정렬시키는 패턴을 형성하며, 건식 에칭 기술을 이용해 확산 영역(15)상의 층간 절연막(18)을 관통시켜 콘택트홀(19)을 개구한다.

이어서, 인을 도핑한 폴리실리콘막(20), 티탄 실리사이드막(21)을 차례로 형성하고, 사진 제판 기술과 건식 에칭에 의해 비트선(22)을 형성하며, CVD법에 의해 제2 층간 절연막(23)을 형성한다.

이어서, 도 35에 도시하는 바와 같이, 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 이용해 사진 제판 기술에 의해 게이트 전극부(14B)의 확산 영역(17)상에 콘택트홀(24)을 정렬시키는 패턴을 형성하고, 건식 에칭 기술을 이용해 확산 영역(16)상의 층간 절연막(18 및 23)을 관통하여 콘택트홀(24)을 개구한다. 이어서, 인을 도핑한 폴리실리콘막을 형성하고, 사진 제판 기술과 건식 에칭에 의해 저장 노드(25)를 형성하며, 캐패시터 절연막(26)을 저장 노드(25)를 덮어 형성하고, 전면에 인을 도핑한 폴리실리콘막을 CVD법으로 형성하며, 사진 제판 기술과 건식 에칭에 의해 셀 플레이트 전극(27)을 형성한다.

다음에, 도 36에 도시하는 바와 같이, CVD법에 의해 층간 절연막(28)을 형성하고, 더미 게이트 전극부(14D)를 얼라인먼트 마크를 이용한 사진 제판 기술에 의해 게이트 전극부(14C)의 확산 영역(17) 위 등에 콘택트홀(29)을 정렬시키는 패턴을 형성하며, 건식 에칭 기술을 이용해 확산 영역(17) 위 등에 층간 절연막(18, 23 및 28)을 관통하여 콘택트홀(29)을 개구한다.

이어서, 도 37에 도시하는 바와 같이, 스퍼터법에 의해 알루미 배선을 피착시키고(deposited)하고, 사진 제판 기술과 건식 에칭에 의해 배선층을 형성한다.

이와 같이, 게이트 전극부(14B~14D)의 정렬을 정밀도 좋게 행하기 위해 얼라인먼트 마크 영역(11A)의 도량(10A) 내의 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 사이에 고저차를 두고 있었다.

그러나, 이 구조에서는, 게이트 전극 재료인 폴리실리콘막(7) 및 텅스텐 실리사이드막(8)의 형성 시에, 도량(10A)의 애지부의 게이트 전극 재료 막 두께가 두껍게 되어 있기 때문에, 도 38에 도시하는 바와 같이, 게이트 전극부(14B~14D)가 에칭될 때에 도량(10A)의 애지부 근방 영역에 게이트 전극 재료의 에칭찌꺼기(41)가 발생한다. 이 에칭찌꺼기(41)는, 후 공정에서는 쉽게 떨어져 나가 소자 형성 영역(메모리셀 영역(11B), 주변 회로 영역(11C))으로 이동하여 배선을 단락시키고 소자의 수율을 저하시키는 요인이다.

또한, 상기 개량 방법에서는, 비트선 콘택트용 콘택트홀(19)과, 저장 콘택트용 콘택트홀(24) 및 알루미 배선용 콘택트홀(29)의 사진 제판 공정은 얼라인먼트 마크 영역(11A)에서 형성한 게이트 전극부(14B)를 얼라인먼트 마크로서 정렬시키는 것으로 행하여지고 있었다. 그 결과, 게이트 전극부(14B, 14C)의 위치 맞춤은 정밀도 좋게 행하고 있지만, 분리 영역(실리콘 산화막(2B, 2C)) 혹은 활성 영역(15~17)과의 정렬은 간접 정렬으로 되기 때문에 정렬 오차가 크게 되었다는 문제점이 있다.

간접 정렬에 대해서 설명한다. 더미 게이트 전극부(14D)의 위치 일치는 도량(10A) 내에 형성된 실리콘 산화막(2A)을 얼라인먼트 마크로서 이용해 형성된다(제1 위치 맞춤). 또한, 상기 콘택트홀(19, 24 및 29)의 위치 맞춤은 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 이용해 형성한다(제2 위치 맞춤). 따라서, 분리 영역(실리콘 산화막(2B, 2C)) 혹은 활성 영역(15~17)과 정렬 오차는 제1 및 제2 위치 맞춤에 의해 각각 생기는 위치 오차(제1 및 제2 위치 맞춤에 있어서 랜덤하게 생기는 오차 각각의 표준 편차( $\alpha$ )로 함)의 총합으로 되고, 제1 및 제2 위치 맞춤의 조합에 의한 표준 편차( $\sqrt{2} \cdot \alpha$ )로 되어 허용할 수 없는 레벨에 이른다.

상기 위치 오차의 결과, 도 39에 도시하는 바와 같이, 메모리 셀 영역(11B : 주변 회로 영역(11C))의 소자 분리용 실리콘 산화막(42 : 실리콘 산화막(2B, 2C)에 상당)상의 일부에 층간 절연막(43 : 층간 절연막(18, 23 및 28)에 상당)을 관통하여 콘택트홀(44 : 콘택트홀(19, 24 및 29)에 상당)이 잘못 형성될 경우가 생긴다. 이 경우, 층간 절연막(43)은 소자 분리용 실리콘 산화막(42)과 같은 산화막이기 때문에 에칭할 때 도량 내의 소자 분리용 실리콘 산화막(42)도 동시에 제거되어 이상 굴절 영역(45)이 형성되기 때문에, 콘택트홀(44)의 형성시에 손상을 받아 활성 영역과의 접합 특성이 열화한다는 문제점이 생긴다.

또한, 상기의 문제점을 회피하기 위해, 실리콘 산화막(2A)을 콘택트홀 형성용 얼라인먼트 마크로서 이용해 정렬을 행하는 것이 생각되지만, 층간 절연막(43)은 평탄화되어 있기 때문에 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 사이의 고저차가 층간 절연막(43)의 표면에는 그리 반영되지 않아 마크 검출이 곤란하게 된다. 아울러, 층간 절연막(43)과 실리콘 산화막(2A)이 같은 종류의 막이기 때문에, 그 막 두께차에 의해 마크 검출을 행하는 것이 곤란하게 되어, 정밀도 좋게 정렬시키는 것이 곤란하다는 문제가 있어 실질적이지는 않다.

본 발명은 상기 문제점을 포함하는 상기 개량 방법을 더욱 발전시킨 것으로, 얼라인먼트 마크 영역(11A)에 있는 활성 영역을 규정하는 도량(10A)의 적어도 애지부에 제1 배선 재료를 남김으로써 에칭 찌꺼기의 발생을 억제시켜 집적 회로의 높은 수율을 달성하는 것을 제1 목적으로 한다.

아울러, 얼라인먼트 마크 영역(11A)에 있는 활성 영역을 규정하는 도량(10A) 및 실리콘 산화막(2A)에 의해 구성된 얼라인먼트 마크 위 전면에 제1 배선 재료를 남김으로써, 활성 영역을 규정하는 얼라인먼트 마크에 의해 생기는 고저차를 얼라인먼트 마크상에 형성되는 제1 배선 재료의 표면의 고저차에 반영시키고, 이 고저차를 얼라인먼트 마크로서 알루미 배선, 비트선 콘택트, 저장 노드 콘택트용 콘택트홀의 정렬을 행하고, 상기 콘택트홀과 활성 영역과의 정렬을 정밀도 좋게 행하는 접합 열화를 저감하는 것을 제2 목적으로 하고 있다.

<제1 실시 형태>

도 1은 제1 실시 형태인 반도체 장치(DRAM)의 구조를 나타내는 단면도이다. 또, 도 1은 도량형 소자 분

리 영역인 실리콘 산화막(2A~2C)을 형성하고, 게이트 전극부(14A~14C(14D))를 패터닝한 후의 반도체 장치의 단면 구조를 나타내고 있다.

도 1에 도시하는 바와 같이, 실리콘 기판(1)의 얼라인먼트 마크 영역(11A), 메모리 셀 영역(11B) 및 주변 회로 영역(11C)에 각각 도량(10A~10C)이 형성되고, 도량(10A~10C) 내에 실리콘 산화막(2A~2C)이 매립되어 있다. 실리콘 기판(1) 내의 소자 형성 영역(메모리 셀 영역(11B), 주변 회로 영역(11C))의 도량(10B, 10C) 내의 실리콘 산화막(2)의 표면은 실리콘 기판(1)의 표면과 거의 같은 높이로 되어 있는데 대해 얼라인먼트 마크 영역(11A)의 도량(10A) 내의 실리콘 산화막(2)의 표면은 실리콘 기판(1)의 표면보다 낮게 되어 있다. 또한, 메모리 셀 영역(11B) 및 주변 회로 영역(11C)에는 게이트 전극부(14B 및 14C)가 형성된다.

또한, 실리콘 산화막(2A)의 표면을 포함하는 도량(10A)을 덮어 게이트 산화막(6), 폴리실리콘막(7) 및 텅스텐 실리사이드막(8)이 퇴적되어 더미 게이트 전극부(14A)를 형성하고 있다. 또, 도 1의 파선으로 나타내는 바와 같이, 얼라인먼트 마크 영역(11A)의 도량(10A) 이외의 소정 영역에 더미 게이트 전극부(14D)를 형성해도 된다.

도 1에 도시하는 바와 같이, 도량(10A)의 에지부 근방 영역은 게이트 산화막(6), 폴리실리콘막(7) 및 텅스텐 실리사이드막(8)으로 이루어지는 더미 게이트 전극(14A)이 형성되어 있기 때문에, 에칭 찌꺼기가 발생하지 않는 구조로 되고, 에칭 찌꺼기에 기인하는 수율의 저하를 저감한다는 제1 목적의 달성을 도모하고 있다.

도 2~도 8은, 도 1에서 도시한 구조의 반도체 장치의 제조 방법을 나타내는 단면도이다. 이하, 도 2~도 8을 참조하여 제조 방법의 설명을 행한다.

실리콘 기판(1)상에, 100온스트롬에서 500온스트롬 두께의 실리콘 산화막(3), 1000온스트롬에서 3000온스트롬 두께의 실리콘 질화막(4)을 차례로 형성한 후, 사진 제판 기술 및 건식 에칭 기술을 이용해 소정 영역의 실리콘 질화막(4), 실리콘 산화막(3) 및 실리콘 기판(1)을 깊이 2000온스트롬에서 4000온스트롬 정도 애칭함으로써 도 2에 도시하는 바와 같이, 실리콘 기판(1)에 소정 깊이의 도량(10A, 10B 및 10C),을 형성하다.

이어서, 도 3에 도시하는 바와 같이, 도량(10A, 10B 및 10C)의 측면 및 저면에 열산화에 의해 100온스트롬 내지 300온스트롬 정도의 산화막을 형성한 후, CVD법에 의해 실리콘 산화막(2)을 5000온스트롬 내지 10000온스트롬 두께 퇴적한다. 이 때, 넓은 폭의 도량(10A) 및 도량(10C)에는 퇴적한 막 두께와 같은 막 두께만큼 퇴적되는 것에 대해, 좁은 폭의 도량(10B)은 퇴적 초기시에 실리콘 산화막(2)이 매립되기 때문에, 도량(10B)의 저면에서 본 실리콘 산화막(2)의 막 두께는 얼라인먼트 마크 영역(11A)이나 주변 회로 영역(11C)에서의 막 두께보다 두껍게 되어, 도량 위 실리콘 산화막 두께차가 생긴다.

다음에, 도 4에 도시하는 바와 같이, 도량 위 실리콘 산화막 두께차를 저감하기 위해, 사진 제판 기술을 이용해 도량(10C)상의 매립 실리콘 산화막(2)상에 레지스트 패턴(51)을 형성하고, 건식 에칭을 이용해 실리콘 산화막(2)의 일부를 제거한다.

이 때, 얼라인먼트 마크 영역(11A)의 도량(10A)상의 산화막(2) 일부도 동시에 제거하고, 매립 산화막 두께를 얇게 하며, 후술하는 CMP(Chemical Mechanical Polishing) 연마 처리 후에는 실리콘 기판(1)의 표면 보다도 300온스트롬 내지 2000온스트롬 낮게 되도록 설정한다.

이어서, 레지스트 패턴(51)을 제거한 후, CMP법을 이용해 전면을 연마하여, 실리콘 질화막(4)상의 실리콘 산화막(2) 및 도량(10A~10C)상의 실리콘 산화막(2)의 일부를 제거한다. 다음에, 인산을 이용해 실리콘 질화막(4)을 제거하고, 불소산을 이용해 실리콘 산화막(3)을 제거함으로써 도 5에 도시하는 바와 같은 도량형 소자 분리 구조를 완성시킨다. 이 때, 소자 형성 영역의 도량(10B 및 10C)의 실리콘 산화막(2B 및 2C)의 표면은 실리콘 기판(1)의 표면과 거의 같은 높이로 되어 있는데 대해 얼라인먼트 마크 영역(11A)의 도량(10A)의 실리콘 산화막(2A)의 표면은 실리콘 기판(1)의 표면보다 300온스트롬 내지 2000온스트롬 정도 낮게 되어 있다. 이와 같이, 매립 실리콘 산화막(2A)의 표면과 실리콘 기판(1) 사이의 고저차를 300nm 이상으로 하면 충분히 높은 얼라인먼트 정밀도를 얻을 수 있다.

다음에, 이온 주입에 의해 n웰, p웰을 형성하고, 전계 효과형 트랜지스터의 임계지 제어를 위한 채널로 되는 영역에 이온 주입을 행한 후, 도 6에 도시하는 바와 같이, 열산화에 의해 두께 40온스트롬 내지 100온스트롬의 게이트 산화막(6)을 형성하며, 게이트 산화막(6)상에 두께 300온스트롬 내지 1500온스트롬의 인을 도핑한 폴리실리콘막(7)을 CVD법에 의해 퇴적하고, 두께 300온스트롬 내지 1500온스트롬의 텅스텐 실리사이드막(8)을 스퍼터법에 의해 차례로 형성한다.

다음에, 도 7에 도시하는 바와 같이, 소자 분리 형성 공정에서 형성한 얼라인먼트 마크(도량(10A) 내의 실리콘 산화막(2A))를 이용해 사진 제판 기술에 의해 소자 분리 영역에 게이트 전극부(14B 및 14C)를 정렬시키는 레지스트 패턴(52)을 형성한다. 이 때, 얼라인먼트 마크 영역(11A)의 도량(10A) 및 그 주변 영역상에도 레지스트 패턴(52)을 형성한다. 이 때, 도량(10A)의 에지부에서 도량(10A) 주변의 오버랩량은 정렬 오차량보다도 크게 설정하도록 한다.

다음에, 도 8에 도시하는 바와 같이, 레지스트 패턴(52)을 마스크로서 이용해 텅스텐 실리사이드막(8), 폴리실리콘막(7)을 건식 에칭에 의해 제거함으로써, 소자 형성 영역에 게이트 전극부(14B 및 14C)를 형성함과 동시에 얼라인먼트 마크(11A)상에도 게이트 전극 재료를 잔존시켜 더미 게이트 전극부(14A)를 형성한다. 더미 게이트 전극부(14A)에 의해 도량(10A)의 에지부 근방 영역으로의 에칭 찌꺼기의 발생은 일어나지 않게 되고, 에칭 찌꺼기에 의한 수율의 저하를 억제한다는 제1 목적을 달성하는 것이 가능하게 된다.

또, 폴리실리콘막(7)과 텅스텐 실리사이드막(8)의 적층 구조는, 광을 투과시키지 않기 위한 얼라인먼트 처리시에 매립 실리콘 산화막(2A)을 직접 화상 인식하는 것은 불가능하지만, 매립 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 고저차가 상부에 형성되는 텅스텐 실리사이드막(8)에 반영되기 때문에, 회절광에 의해 마크 검출을 행하는 제1 방법이나 화상 인식에 의해 검출하는 제2 검출 방법에서

도 고정밀로 얼라인먼트 처리를 행하여 게이트 전극(14B, 14C)을 형성할 수 있다.

게이트 전극(14A~14C) 형성용 제1 전극 재료가 폴리실리콘과 금속의 적층 구조 혹은 금속인 경우도 마찬가지로 광을 투과시키지 않지만, 매립 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 사이의 고저차가 상부에 형성되는 제1 전극 재료에 충분히 반영되기 때문에 문제 없다.

또한, 도 7 및 도 8의 공정시에 있어서, 도 7의 파선에 나타내는 바와 같이, 얼라인먼트 마크 영역(11A)의 도량(10A) 이외의 소정 영역상에도 더미 게이트 전극부(14D)를 정렬시키기 위한 레지스트 패턴(52)을 형성하고, 도 8의 파선으로 나타내는 바와 같이, 얼라인먼트 마크 영역(11A)의 도량(10A) 외의 소정 영역상에 더미 게이트 전극부(14D)를 형성해도 된다.

얼라인먼트 마크 영역(11A)의 도량(10A) 외의 소정 영역상에 더미 게이트 전극부(14D)를 형성하는 것은, 도 34~도 37에서 나타낸 개량 방법과 마찬가지로, 활성 영역과의 콘택트홀 형성용 얼라인먼트 마크로서 이용하기 때문이다. 그러나, 제3 실시 형태에서 후술하지만, 더미 게이트 전극부(14A)를 활성 영역과의 콘택트홀 형성용 얼라인먼트 마크로서 이용할 수 있기 때문에 더미 게이트 전극부(14D)는 필요 불가결한 존재는 아니다.

또, 상기 설명에서는 게이트 전극 재료로서 텅스텐 실리사이드막과 폴리실리콘막의 적층막에 대해서 나타냈지만, 다른 재료를 이용해도 마찬가지의 효과가 얻어지는 것은 분명하다.

#### <제2 실시 형태>

도 9는 제1 실시 형태인 반도체 장치(DRAM)의 구조를 나타내는 단면도이다. 또, 도 9는 도량형 소자 분리 영역인 실리콘 산화막(2A~2C)을 형성하고, 게이트 전극부(14B, 14C, 14E(14D))를 패터닝한 후의 반도체 장치의 단면 구조를 나타내고 있다.

도 9에 도시하는 바와 같이, 실리콘 기판(1)의 얼라인먼트 마크 영역(11A), 메모리 셀 영역(11B) 및 주변 회로 영역(11C)에 각각 도량(10A~10C)이 형성되고, 도량(10A~10C) 내에 실리콘 산화막(2A~2C)이 매립되어 있다. 실리콘 기판(1) 내의 소자 형성 영역(메모리 셀 영역(11B), 주변 회로 영역(11C))의 도량(10B, 10C) 내의 실리콘 산화막(2B, 2C)의 표면은 실리콘 기판(1)의 표면과 거의 같은 높이로 되어 있는데 대해 얼라인먼트 마크 영역(11A)의 도량(10A) 내의 실리콘 산화막(2A)의 표면은 실리콘 기판(1)의 표면보다도 낮게 되어 있다.

또한, 도량(10A)의 에지부 근방 영역만을 덮어 게이트 산화막(6), 폴리실리콘막(7) 및 텅스텐 실리사이드막(8)이 퇴적되어 더미 게이트 전극부(14E)를 형성하고 있다.

도 9에 도시하는 바와 같이, 도량(10A)의 에지부 근방 영역은 게이트 산화막(6), 폴리실리콘막(7) 및 텅스텐 실리사이드막(8)으로 이루어지는 더미 게이트 전극부(14E)가 형성되어 있기 때문에, 에칭 찌꺼기가 발생하지 않는 구조로 되고, 에칭 찌꺼기 기인하는 수율의 저하를 저감한다는 제1 목적의 달성을 도모하고 있다.

다음에, 도 10~도 16은 도 9에서 도시한 구조의 반도체 장치의 제조 방법을 나타내는 단면도이다. 이하, 도 10~도 16을 참조하여 제조 방법의 설명을 행한다. 또, 도 10~도 14에서 도시하는 공정은, 제1 실시 형태의 도 2~도 6에서 도시하는 공정과 마찬가지이기 때문에 설명을 생략한다.

도 14에서 도시하는 구조를 얻은 후, 도 15에 도시하는 바와 같이, 소자 분리 형성 공정에서 형성한 얼라인먼트 마크(도량(10A) 내의 실리콘 산화막(2A))를 이용해 사진 제판 기술에 의해 소자 분리 영역에 게이트 전극부(14B, 14C 및 14D)를 정렬시키는 레지스트 패턴(53)을 형성한다. 이 때, 얼라인먼트 마크 영역(11A)의 도량(10A)의 에지부 근방 영역상에도 레지스트 패턴(53)을 형성한다. 이 때, 도량(10A)의 에지부에서 도량(10A)의 외부 및 내부로의 오버랩량은 정렬 오차보다도 크게 설정하도록 한다.

그리고, 도 16에 도시하는 바와 같이, 레지스트 패턴(53)을 마스크로서 텅스텐 실리사이드막(8), 폴리실리콘막(7)을 건식 에칭에 의해 제거함으로써 소자 형성 영역에 게이트 전극부(14B~14D)를 형성함과 동시에 얼라인먼트 마크 영역(11A)상에도 게이트 전극 재료를 잔존시켜 더미 게이트 전극부(14E)를 형성한다. 더미 게이트 전극부(14E)에 의해 도량(10A) 내의 에지부 근방 영역으로의 에칭 찌꺼기의 발생은 일어나지 않게 되어 에칭 찌꺼기 의한 수율의 저하를 억제한다는 제1 목적을 달성하는 것이 가능하게 된다.

또한, 도 15 및 도 16의 공정시에 있어서, 얼라인먼트 마크 영역(11A)의 도량(10A) 이외의 소정 영역상에 도 게이트 전극부(14B)를 정렬시키기 위한 레지스트 패턴(53)을 형성하고, 얼라인먼트 마크 영역(11A)의 도량(10A) 외의 소정 영역상에 더미 게이트 전극부(14D)를 형성하는 것은, 도 34~도 37에 도시한 개량 방법과 마찬가지로, 활성 영역과의 콘택트홀 형성용 얼라인먼트 마크로서 이용하기 때문이다.

또, 상기 설명에서는 게이트 전극 재료로서 텅스텐 실리사이드막과 폴리실리콘막의 적층막에 대해서 나타냈지만, 다른 재료를 이용해도 마찬가지의 효과가 얻어지는 것은 분명하다.

#### <제3 실시 형태>

도 17은 본 발명의 제3 실시 형태인 DRAM의 구조를 나타내는 단면도이다. 도 17에서 도시하는 구조는, 도 1에서 도시한 제1 실시 형태의 게이트 전극 형성 후에 이루어지는 공정을 거쳐 제조된 DRAM의 구조를 나타내는 단면도이다. 이하, 도 1에서 도시한 구조로부터 추가된 부분을 설명한다.

실리콘 기판(1)의 메모리 셀 영역(11B)의 표면 내에는 게이트 전극부(14B)에 인접하여 확산 영역(15 및 16)이 형성되고, 주변 회로 영역(11C)의 표면 내에는 게이트 전극부(14C)에 인접하여 확산 영역(17)이 형성된다.

실리콘 기판(1)상의 전면에 층간 절연막(18)이 형성되고, 확산 영역(15)상의 층간 절연막(18)을 관통하여 콘택트홀(19)이 형성되고, 콘택트홀(19)을 통해 확산 영역(16)과 전기적으로 접속되는 비트선(22)이 층간 절연막(18)상의 일부 및 콘택트홀(19)중에 형성된다. 비트선(22)은 폴리실리콘막(20) 및 티탄 실리사이드막(21)으로 구성된다.

콘택트홀(19) 형성의 사진 제판에 있어서는, 후에 상세히 설명하지만, 얼라인먼트 마크 영역(11A)에 형성된 더미 게이트 전극부(14A)를 얼라인먼트 마크로서 정렬하여 행하고 있다.

총간 절연막(18)상에 비트선(22)을 덮는 총간 절연막(23)이 형성되고, 확산 영역(16)상의 총간 절연막(18 및 23)을 관통하여 콘택트홀(24)이 형성되며, 콘택트홀(24)을 통해 확산 영역(16)과 전기적으로 접속되는 저장 노드(25)가 총간 절연막(23)상의 일부 및 콘택트홀(24) 가운데 형성된다.

저장 노드 콘택트용 콘택트홀(24)의 사진 제판에 있어서도, 후에 상세히 서술하지만, 더미 게이트 전극부(14A)를 얼라인먼트 마크로서 정렬시켜 행하고 있다. 저장 노드(25)상에는 캐페시터 절연막(26)을 통해 셀 플레이트 전극(27)이 형성된다.

총간 절연막(23)상에, 저장 노드(25), 캐페시터 절연막(26) 및 확산 영역(17)을 덮는 총간 절연막(28)이 형성되고, 확산 영역(17)상의 총간 절연막(18, 23 및 28)을 관통하여 콘택트홀(29)이 형성되며, 콘택트홀(29)을 통해 확산 영역(17)과 전기적으로 접속되는 AI 배선층(30)이 총간 절연막(28)상의 일부 및 콘택트홀(29) 가운데 형성된다.

AI 배선층(30) 형성용 콘택트홀(29)의 사진 제판에 있어서도, 후에 상세히 설명하지만, 더미 게이트 전극부(14A)를 얼라인먼트 마크로서 정렬을 행하고 있다.

이하, 도 17에서 도시한 구조의 다이나믹 RAM의 제조 방법을 설명한다. 먼저, 도 2~도 8에서 나타낸 제1 실시 형태의 제조 방법을 거쳐, 도 8에서 도시하는 바와 같이, 게이트 전극부(14A~14D)를 형성한다. 도량(104A) 내의 실리콘 산화막(2A)상에는, 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면 사이의 고저차를 반영하여 더미 게이트 전극부(14A)의 표면에 고저차가 형성되어 있다. 이후, 도 18~도 21에서 나타내는 제조 방법을 실행한다.

확산 영역(15~17)을 이온 주입 및 그 후의 확산 처리에 의해 형성한 후, 도 18에 도시하는 바와 같이 CVD법에 의해 두께 2000옹스트롬 정도의 실리콘 산화막을 퇴적해 총간 절연막(18)을 형성하고, 더미 게이트 전극부(14A)를 얼라인먼트 마크로 하여 더미 게이트 전극부(14A)의 고저차를 마크 검출하는 것으로 사진 제판 기술에 의해 활성 영역에 콘택트홀(19)을 정렬시키는 패턴(도시하지 않음)을 형성하며, 그 패턴을 마스크로서 건식 에칭 기술을 이용해 확산 영역(15)상에 총간 절연막(18)을 관통하여 콘택트홀(19)을 개구한다.

이어서, 도 19에 도시하는 바와 같이, 두께 800옹스트롬 정도의 인을 도핑한 폴리실리콘막(20), 두께 800옹스트롬 정도의 티탄 실리사이드막(21)을 차례로 형성하고, 사진 제판 기술과 건식 에칭에 의해 폴리실리콘막(20), 티탄 실리사이드막(21)을 패터닝하는 것으로 비트선(22)을 형성한다. 비트선(22)은, 콘택트홀(19)을 통해 확산 영역(15)과 전기적으로 접속된다.

CVD법에 의해 두께 500옹스트롬 정도의 실리콘 산화막, 두께 5000옹스트롬 정도의 보론과 인을 도핑한 실리콘 산화막을 퇴적해 열처리를 가하는 것으로 평탄화해 총간 절연막(23)을 형성한다.

이어서, 도 19에 도시하는 바와 같이, 더미 게이트 전극부(14A)를 얼라인먼트 마크로 하고, 더미 게이트 전극부(14A)의 고저차를 마크 검출하는 것으로 사진 제판 기술에 의해 활성 영역에 콘택트홀(24)을 정렬시키는 패턴(도시하지 않음)을 형성하고, 그 패턴을 마스크로서 건식 에칭 기술을 이용해 확산 영역(16)상에 총간 절연막(18 및 23)을 관통하여 콘택트홀(24)을 개구한다.

이어서, 도 20에 도시하는 바와 같이, 두께 8000옹스트롬 정도의 인을 도핑한 폴리실리콘막을 형성하고, 사진 제판 기술과 건식 에칭에 의해 저장 노드(25)를 형성한다. 이 저장 노드(25)는 콘택트홀(24)을 통해 확산 영역(16)과 전기적으로 접속된다. 그 후, 두께 50옹스트롬 정도의 실리콘 질화막을 퇴적하고, 산화함으로써 캐페시터 절연막(26)을 저장 노드(25)가 덮이도록 형성하고, 두께 1000옹스트롬 정도의 전면에 인을 도핑한 폴리실리콘막을 CVD법으로 형성하며, 사진 제판 기술과 건식 에칭에 의해 셀 플레이트 전극(27)을 형성한다.

다음에, 도 20에 도시하는 바와 같이, CVD법에 의해 두께 500옹스트롬 정도의 실리콘 산화막, 두께 10000옹스트롬 정도의 보론과 인을 도핑한 실리콘 산화막을 퇴적해 열처리를 가하는 것으로 평탄화하고, 두께 1000옹스트롬 정도의 실리콘 산화막을 퇴적하는 것으로 총간 절연막(28)을 형성하며, 더미 게이트 전극부(14A)의 고저차를 마크 검출하는 것으로 사진 제판 기술에 의해 활성 영역에 콘택트홀(29)을 정렬시키는 패턴(도시하지 않음)을 형성하고, 그 패턴을 마스크로서 건식 에칭 기술을 이용해 확산 영역(17), 게이트 전극(3), 비트선(22), 셀 플레이트 전극(27)상에 총간 절연막(18, 23 및 28)을 관통하여 콘택트홀(29)을 개구한다.

다음으로, 도 21에 도시하는 바와 같이, 스퍼터법에 의해 티탄마이트라이드, A1을 피착하고, 사진 제판 기술과 건식 에칭에 의해 AI 배선층(30)을 형성한다. 이 AI 배선층(30)은 콘택트홀(29)을 통해 확산 영역(17)과 전기적으로 접속된다.

이와 같이, 제3 실시 형태의 제조 방법은, 더미 게이트 전극부(14A)를 얼라인먼트 마크로서 이용한 사진 제판 기술에 의해 콘택트홀(19), 콘택트홀(24), 콘택트홀(29) 형성용 정렬 처리를 행하고 있다. 즉, 게이트 전극 형성용으로 이용한 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 고저차를 직접 반영한 고저차가 그 표면에서 얻어지는 더미 게이트 전극부(14A)를 콘택트홀(19, 24 및 29)의 형성용 얼라인먼트 마크로서 이용하고 있다.

그 결과, 게이트 전극부(14B, 14C)와 위치 정밀도와 마찬가지인 정밀도를 콘택트홀(19, 24 및 29)의 위치 맞춤의 정밀도로서 얻을 수 있다. 따라서, 도 39에서 도시한 바와 같은, 콘택트홀의 개구일 때에 그 형성 위치가 활성 영역에서 어긋나 소자 분리용 실리콘 산화막(2B, 2C)이 동시에 제거되는 것을 억제할 수 있고, 활성 영역과의 접합 특성의 열화를 억제한다는 제2 목적을 달성하고 있다.

또한, 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 사이에 생기는 고저차를 반영한 고저차가 그 표면에 생기는 더미 게이트 전극부(14A)를 얼라인먼트 마크로서 이용하기 때문에 마크 검출을 용이하

게 정밀도 좋게 행할 수 있다.

또한, 제3 실시 형태에서는, 다이나믹 RAM의 프로세스에 대해서 나타냈지만, 로직 장치 등의 다른 장치의 콘택트홀 형성에서도 같은 효과가 얻어지는 것은 분명하다.

#### <변형예>

제3 실시 형태에서는, 콘택트홀(19), 콘택트홀(24), 콘택트홀(29) 모두의 형성시에 더미 게이트 전극부(14A)를 얼라인먼트 마크로서 이용한 사진 제판 기술에 의해 활성 영역에 정렬시켰지만, 도 34~도 37에서 설명한 개량 방법과 같이 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 이용해도 된다.

즉, 콘택트홀(19), 콘택트홀(24) 및 콘택트홀(29) 중 각 콘택트홀 형성시에, 필요에 따라 더미 게이트 전극부(14A) 혹은 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 이용하는가를 선택해도 된다.

더미 게이트 전극부(14D)는 게이트 전극부(14B 및 14C)와 동시에 같은 패턴을 이용해 형성되기 때문에 게이트 전극부(14B, 14C)에 대한 위치 정밀도에 대해서는 정확하다. 한편, 더미 게이트 전극부(14A)도 게이트 전극부(14B 및 14C)와 동시에 형성되지만, 실리콘 산화막(2A)의 표면과 실리콘 기판(1)의 표면과의 고저차를 반영한 표면의 고저차가 얼라인먼트 마크이기 때문에, 게이트 전극부(14B, 14C)에 대한 위치 정밀도에 대해서는 더미 게이트 전극부(14D)보다 약하다.

또한, 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 이용했을 경우, 도 34~도 37에서 나타낸 개량 방법의 설명 개소에서 서술한 바와 같이 분리 영역(도랑(10B, 10C)) 혹은 활성 영역(15~17)과의 정렬은 간접 정렬으로 되기 때문에 정렬 오차가 크다는 결점이 있지만, 더미 게이트 전극부(14A)는 도랑(10A)의 형성 위치에서 결정되기 때문에, 분리 영역(활성 영역)에 대한 위치 정밀도는 높다.

이와 같은 더미 게이트 전극부(14A 및 14D) 각각을 얼라인먼트 마크로서 이용했을 경우의 위치 정밀도의 특성을 고려하여 어느 하나를 얼라인먼트 마크로서 이용할지를 결정하는 것이 바람직하다.

도 22는, 확산 영역(15)과 전기적으로 접속하는 콘택트홀(19) 형성시의 평면 구조를 나타내는 평면도이고, 도 22의 A-A 단면이 도 23이며, 도 22의 B-B 단면이 도 24이다. 또, 도 22에 있어서, 확산 영역(15), 확산 영역(16) 이외의 영역은 실리콘 산화막(2B ; 도시하지 않음)인 것으로 한다. 이들 도면에 도시하는 바와 같이 게이트 전극부(14B)에 대한 위치 오차의 허용량인 게이트 전극 마진(M1)과 확산 영역(15)에 대한 위치 오차의 허용량인 활성 영역 마진(M2)이 있다.

게이트 전극 마진(M1)과 활성 영역 마진(M2)을 비교하여, 활성 영역 마진(M2)의 쪽이 작을 경우는 확산 영역(15)에 대해 높은 위치 정밀도가 요구되기 때문에, 더미 게이트 전극부(14A)를 얼라인먼트 마크로서 이용한 쪽이 좋다. 한편, 게이트 전극 마진(M1)의 쪽이 작을 경우는 게이트 전극부(14B)에 대해 높은 위치 정밀도가 요구되기 때문에 더미 게이트 전극부(14D)를 얼라인먼트 마크로서 이용한 쪽이 좋다.

이와 같이, 각 콘택트홀(19, 24 및 29)의 게이트 전극 마진(M1)과 활성 영역 마진(M2)을 비교하여 더미 게이트 전극부(14A 및 14D) 중 어느 하나를 얼라인먼트 마크로서 이용할지를 결정하는 것이 바람직하다.

#### **발명의 효과**

이상 설명한 바와 같이, 본 발명에서의 반도체 장치에 있어서 얼라인먼트 마크 도랑 내 절연막의 표면을 반도체 기판의 표면보다 낮게 함으로써, 얼라인먼트 마크 도랑 내 절연막의 표면과 반도체 기판의 표면과의 사이에 고저차를 두고 있다.

따라서, 제1 더미층 형성 전에 얼라인먼트 도랑 내 절연막을 포함하는 반도체 기판상에 상부 형성층이 형성되었을 경우에는 해당 상부 형성층상에 상기 고저차를 반영한 고저차가 형성되기 때문에, 상부 형성층에 생기는 고저차에 의해 얼라인먼트 마크의 위치 검출이 용이하게 되고, 위치 정밀도 좋게 제조된 반도체 장치를 얻을 수 있다.

아울러, 제1 도랑의 적어도 에지부를 덮어 제1 더미층이 형성되어 있기 때문에, 제1 더미층 형성 후의 공정중에, 제1 도랑의 에지부 근방 영역에 에칭 찌꺼기가 발생하지 않게 되어, 에칭 찌꺼기 의한 수율의 저하를 억제할 수 있다.

본 발명에서의 반도체 제조 장치의 제조 방법에서 제조되는 얼라인먼트 마크 도랑 내 절연막의 표면 높이를 반도체 기판의 표면 높이보다 낮게 함으로써 그들 표면 사이에 고저차를 두고 있기 때문에, 스텝(h)에서 상기 고저차를 반영하여 도전층 자체에 생기는 고저차에 의해 제1 얼라인먼트 마크의 위치 검출이 용이하게 되고, 당해 제1 얼라인먼트 마크에 기초하여 게이트 전극부를 위치 정밀도 좋게 검출할 수 있다.

아울러, 스텝(i)에서 적어도 제1 도랑의 경계 근방 영역상에 제1 더미 전극부가 형성되기 때문에, 제1 도랑의 에지부에 에칭 찌꺼기는 발생하지 않게 되어 에칭 찌꺼기 의한 수율의 저하를 억제할 수 있다.

#### **(57) 청구의 범위**

##### **청구항 1**

도랑형(trench-type)의 소자 분리 구조에 의해 반도체 소자 사이가 소자 분리되는 반도체 장치에 있어서, 반도체 기판; 및

상기 반도체 기판에 형성되고, 그 상층부에 제1 도랑과 상기 제1 도랑 내의 하층부에 형성된 얼라인먼트 마크(alignment mark) 도랑 내 절연막을 갖는 얼라인먼트 마크 영역

을 구비하며,

상기 얼라인먼트 마크 도량 내 절연막의 표면 높이가 상기 반도체 기판의 표면 높이보다 낮고,

상기 반도체 기판에 형성되고, 복수의 반도체 소자 사이를 절연 분리하는 소자 분리용 절연막을 갖는 소자 형성 영역을 더 구비하되, 상기 소자 분리용 절연막은 상기 반도체 기판의 상층부에 형성된 제2 도량 내에 충전되고,

상기 제1 도량의 적어도 에지부 근방 영역을 덮어 형성되는 제1 더미층(dummy layer)을 더 구비하고,

상기 소자 형성 영역 상에는 상기 제1 더미층과 동일한 재료로 형성된 게이트 전극층을 더 구비하고,

상기 소자 형성 영역의 표면 내에 상기 게이트 전극부에 인접하여 형성된 확산층을 더 구비한

것을 특징으로 하는 반도체 장치.

## 청구항 2

도량형의 소자 분리 구조를 갖는 반도체 장치의 제조 방법에 있어서,

- (a) 얼라인먼트 마크 영역 및 소자 형성 영역을 갖는 반도체 기판을 준비하는 단계; 및
- (b) 상기 반도체 기판의 상기 얼라인먼트 마크 영역 및 상기 소자 형성 영역의 상층부에 각각 제1 및 제2 도량을 동시에 형성하는 단계

을 구비하되,

- (c) 상기 반도체 기판상의 전면에 절연막을 형성하는 단계;
- (d) 적어도 상기 얼라인먼트 마크 영역에 대응하는 상기 절연막 부분을 제외하고 상기 절연막상에 제1 레지스트 패턴을 형성하는 단계;

- (e) 상기 제1 레지스트 패턴을 마스크로서 상기 절연막을 제거하는 단계;

(f) 상기 제1 레지스트 패턴을 제거한 후, 상기 절연막 전체를 더 제거하는 단계 - 상기 단계(f)은 상기 제1 도량 내에 상기 절연막이 일부 남고, 또 상기 제2 도량 내에 매립된 상기 절연막이 남도록 행하며, 상기 단계 (f) 후의 상기 제1 도량 부분이 제1 얼라인먼트 마크로서 규정되고, 상기 제1 도량 내의 상기 절연막인 얼라인먼트 마크 도량 내 절연막의 표면 높이가 상기 반도체 기판의 표면 높이보다 낮게 됨으로써, 그들 표면의 사이에 고저차를 둠 - ;

- (g) 상기 반도체 기판상의 전면에 도전층을 형성하는 단계;

(h) 상기 제1 얼라인먼트 마크의 위치를 인식하여 상기 소자 형성 영역의 소정의 게이트 형성 영역 위 및 적어도 상기 제1 도량의 에지부 근방 영역상에 제2 레지스트 패턴을 형성하는 단계; 및

(i) 상기 제2 레지스트 패턴을 마스크로서 상기 도전층을 제거하여 상기 소정의 게이트 형성 영역상에 게이트 전극부를 형성함과 동시에, 적어도 상기 제1 도량의 에지부 근방 영역상에 제1 더미 전극부를 형성하는 단계;

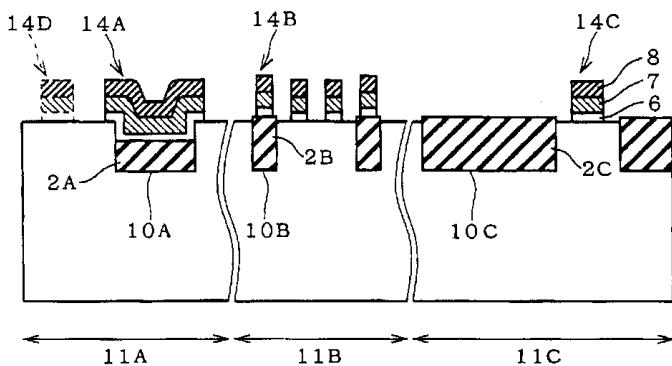
(j) 상기 소자 형성 영역 상에 상기 제1 더미 전극부와 동일한 재료로 게이트 전극부를 형성하는 단계; 및

(k) 상기 소자 형성 영역의 표면 내에 상기 게이트 전극부에 인접하여 확산층을 형성하는 단계

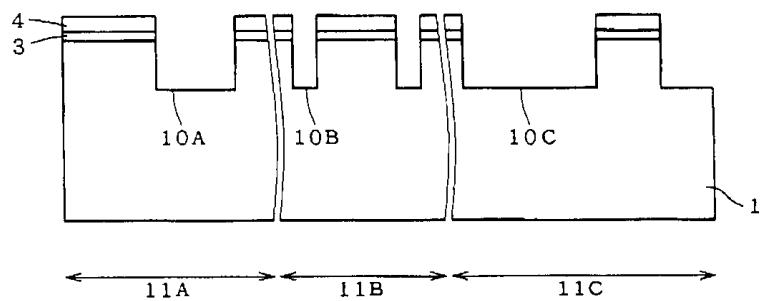
를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 도면

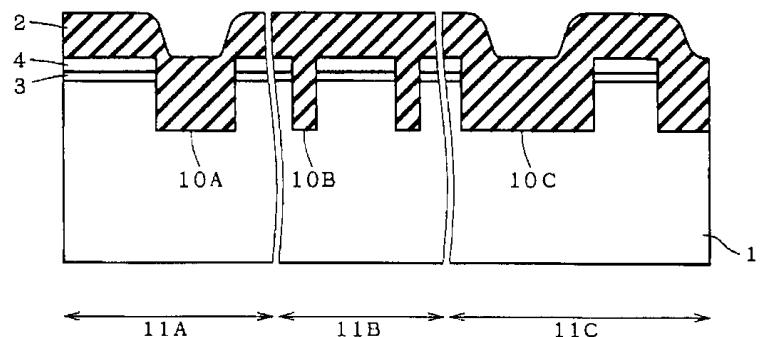
### 도면1



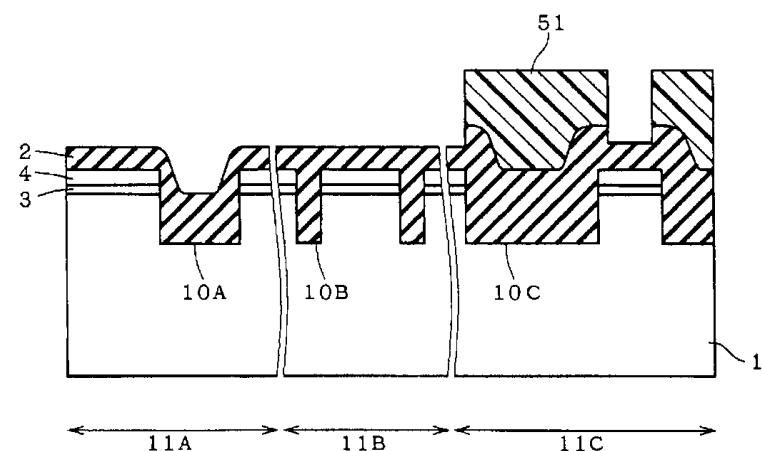
도면2



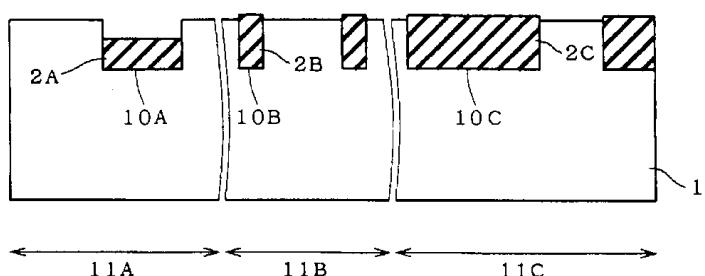
도면3



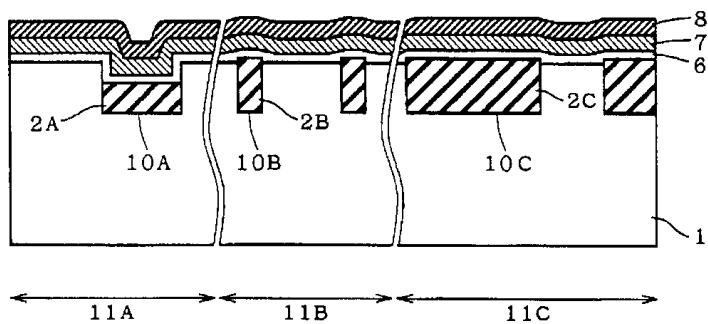
도면4



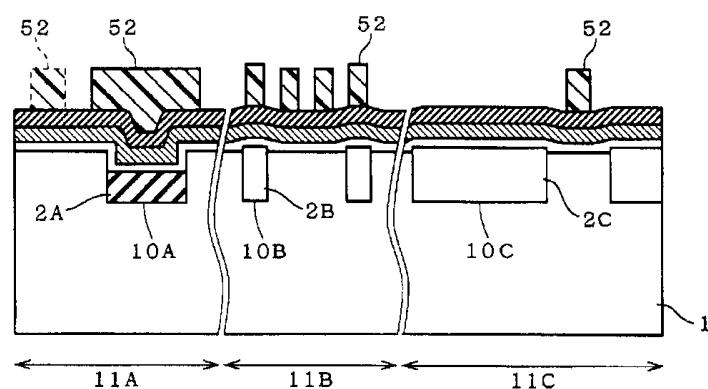
도면5



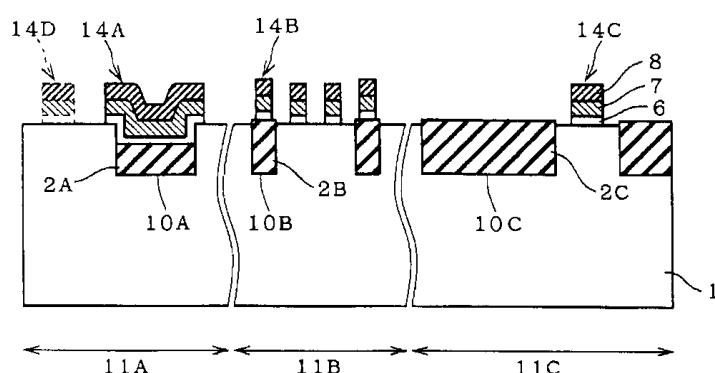
도면6



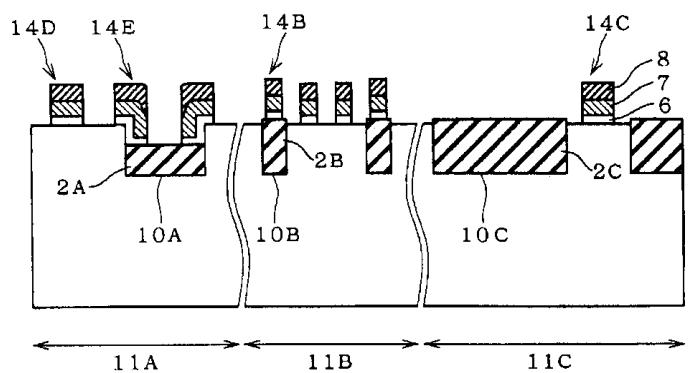
도면7



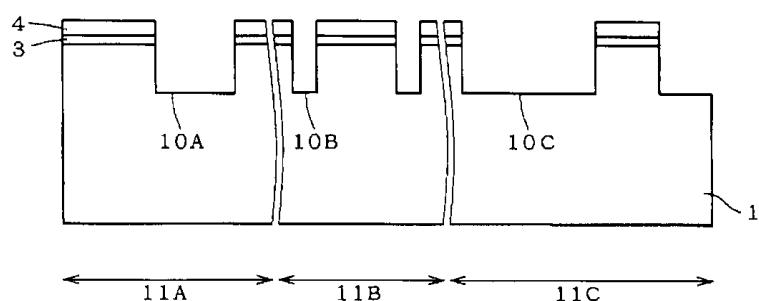
도면8



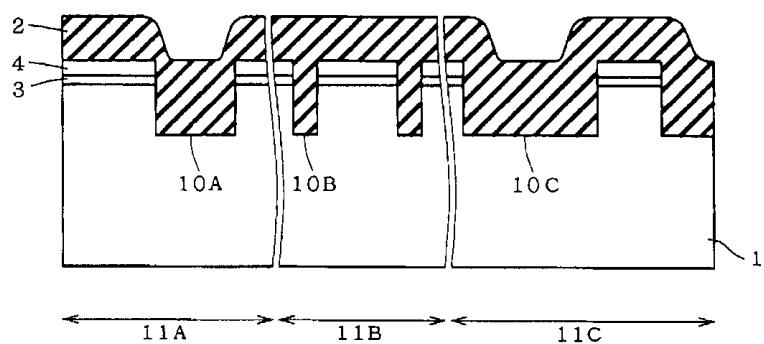
도면9



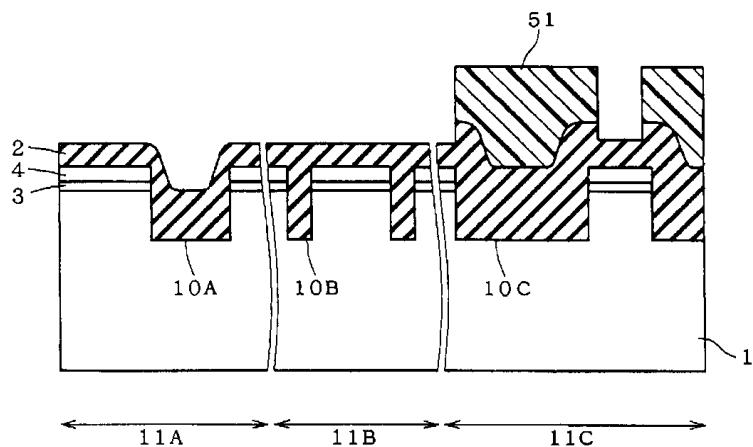
도면10



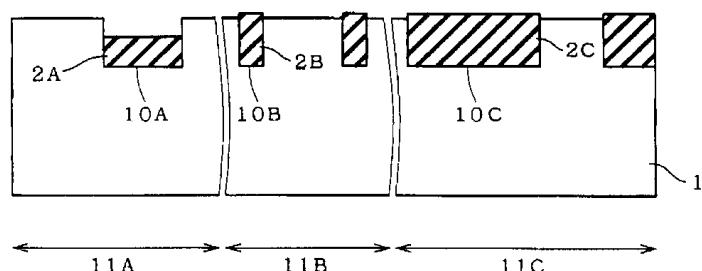
도면11



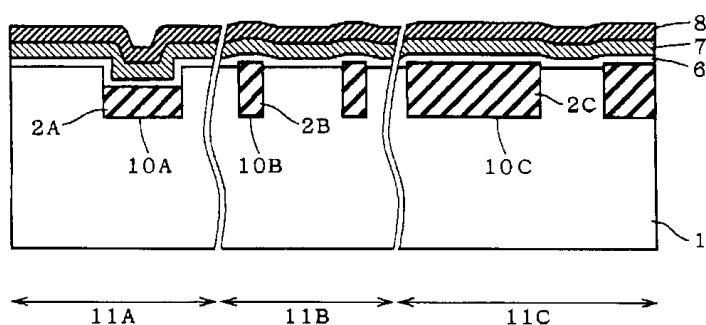
도면12



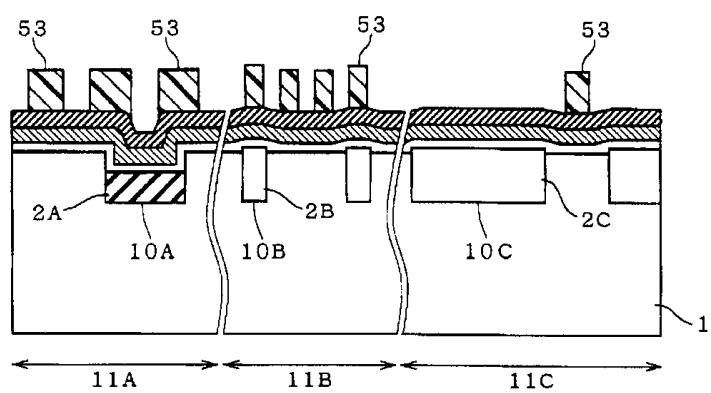
도면13



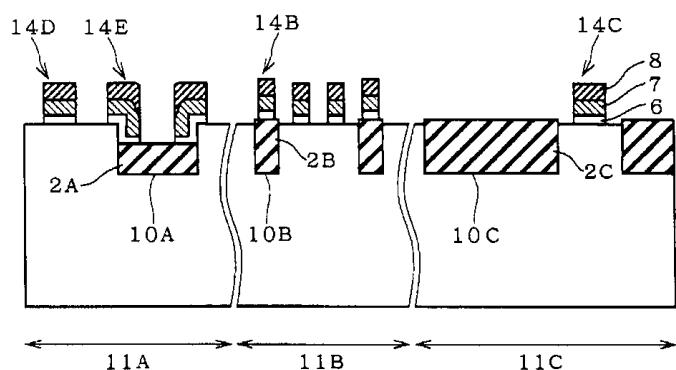
도면14



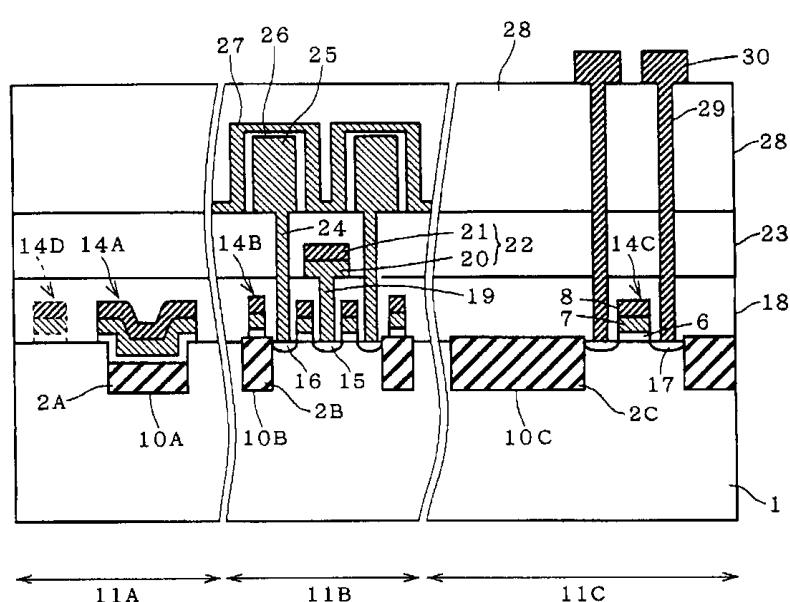
도면15



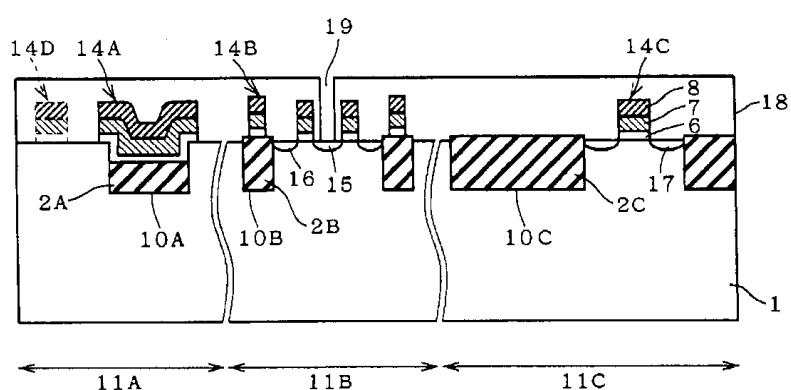
도면16



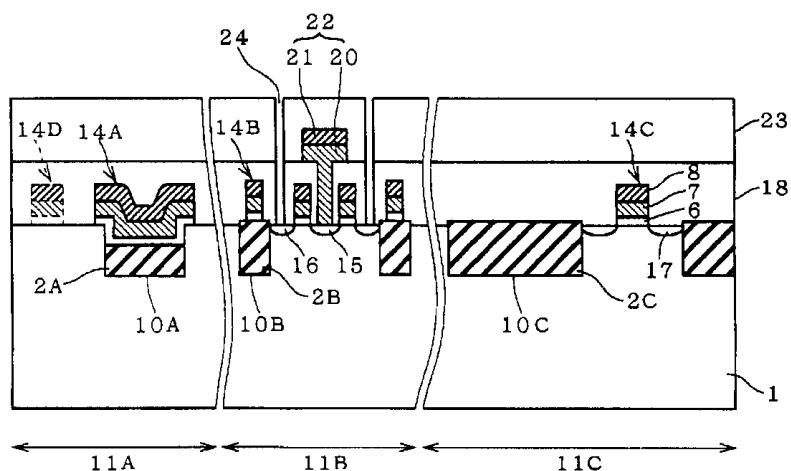
도면17



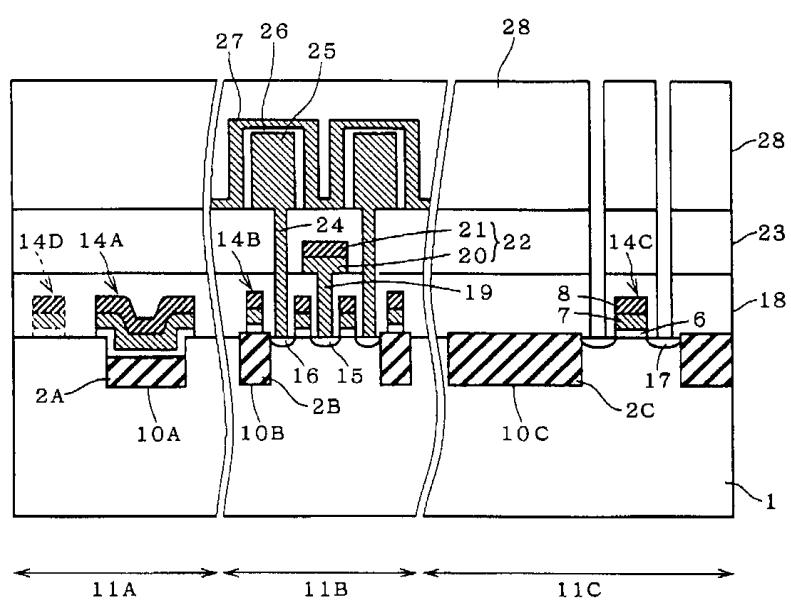
도면18



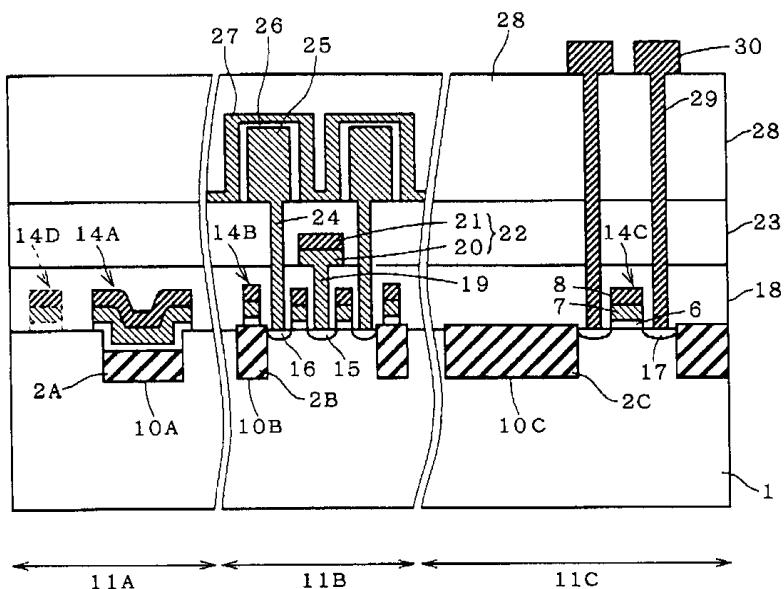
도면19



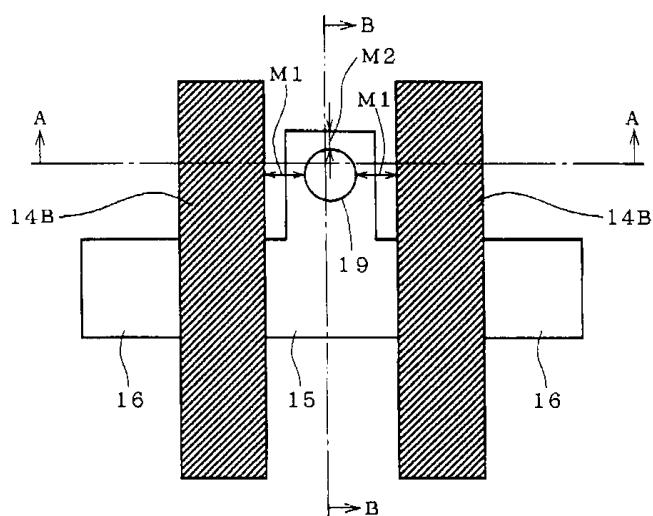
도면20



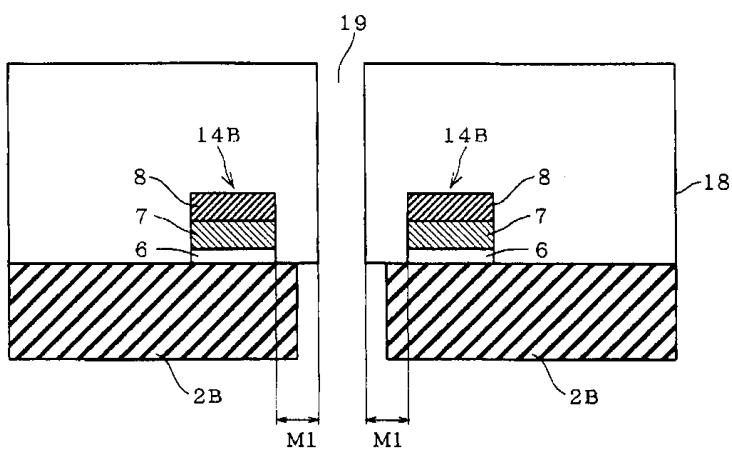
도면21



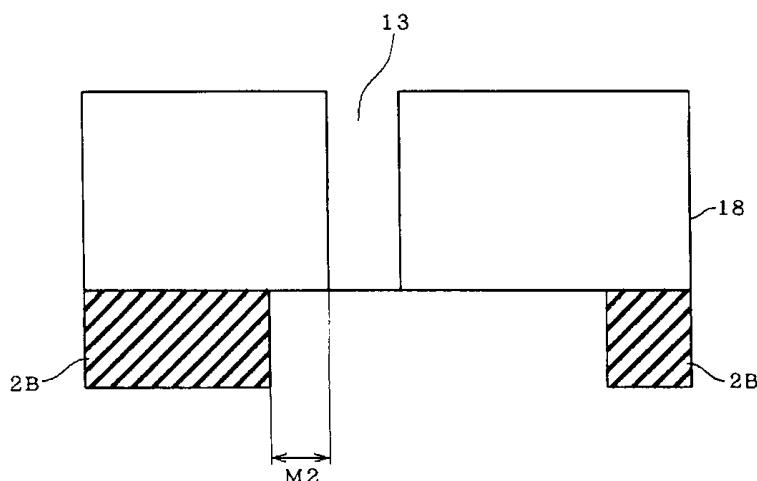
도면22



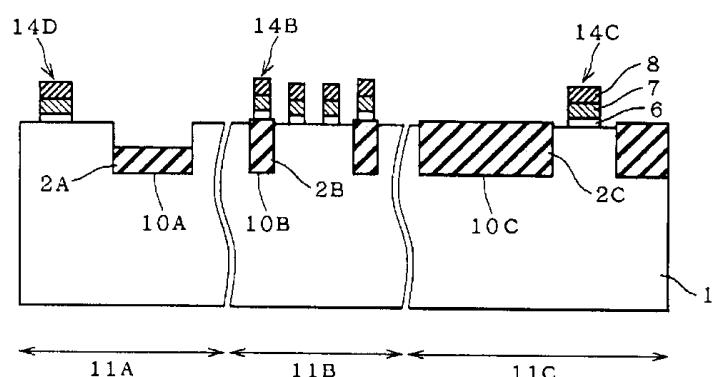
도면23



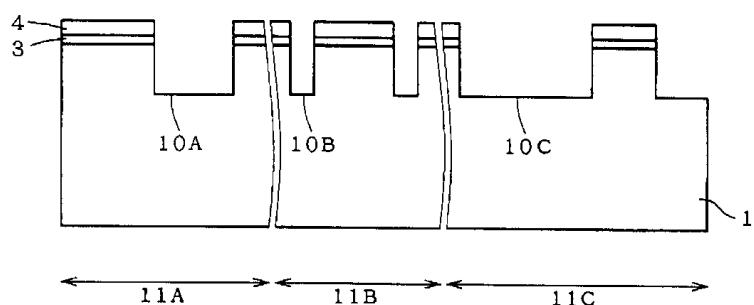
도면24



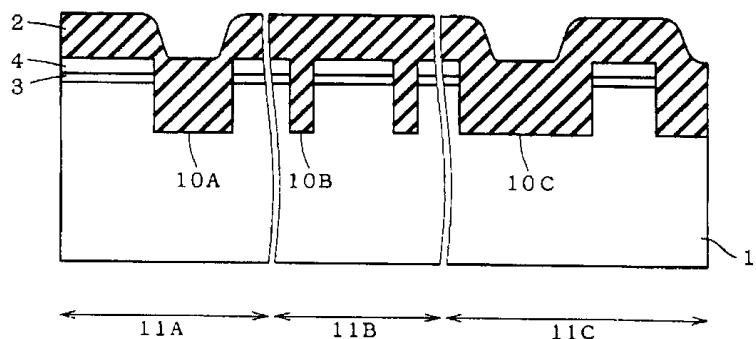
도면25



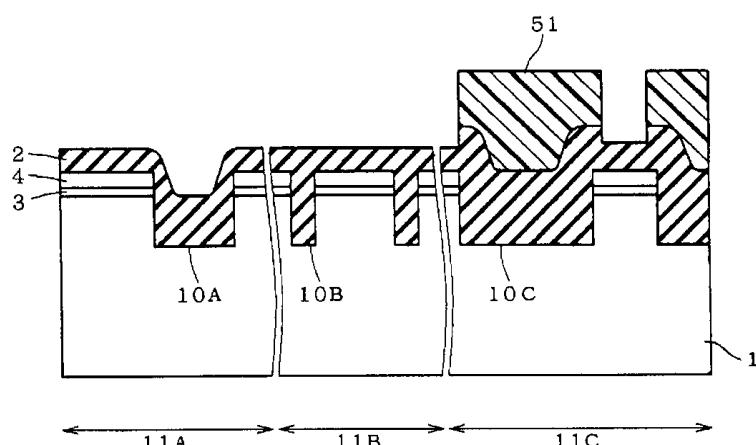
도면26



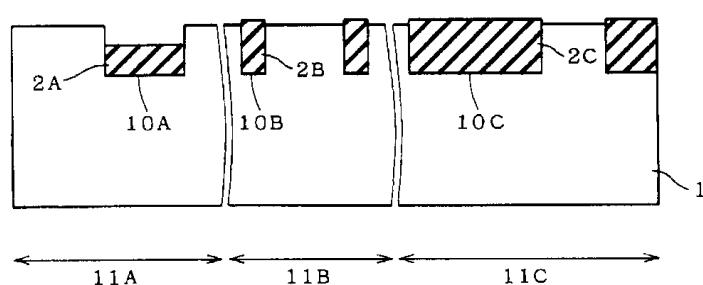
도면27



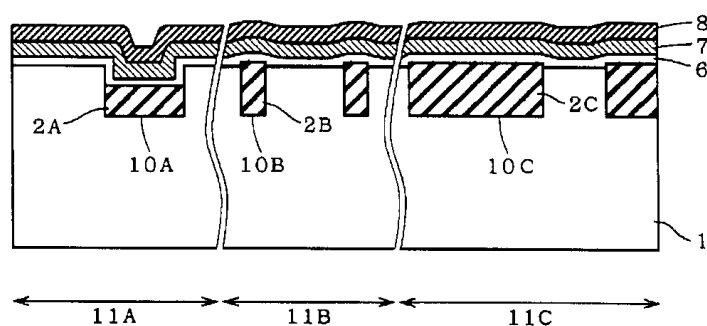
도면28



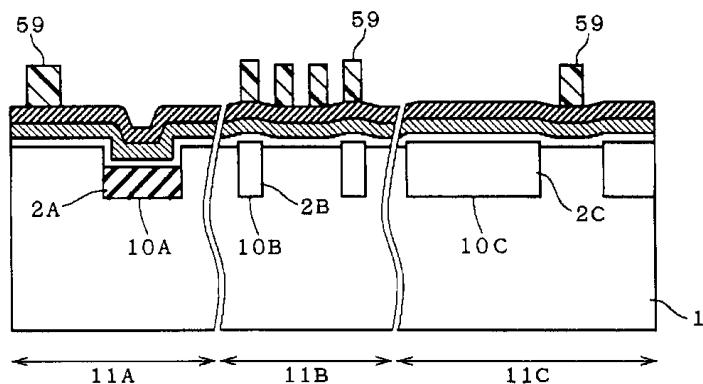
도면29



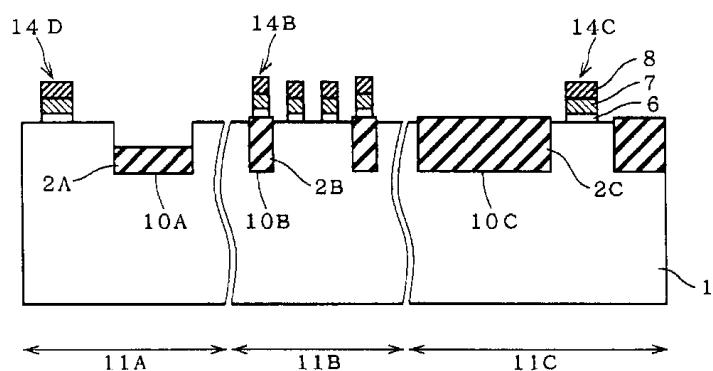
도면30



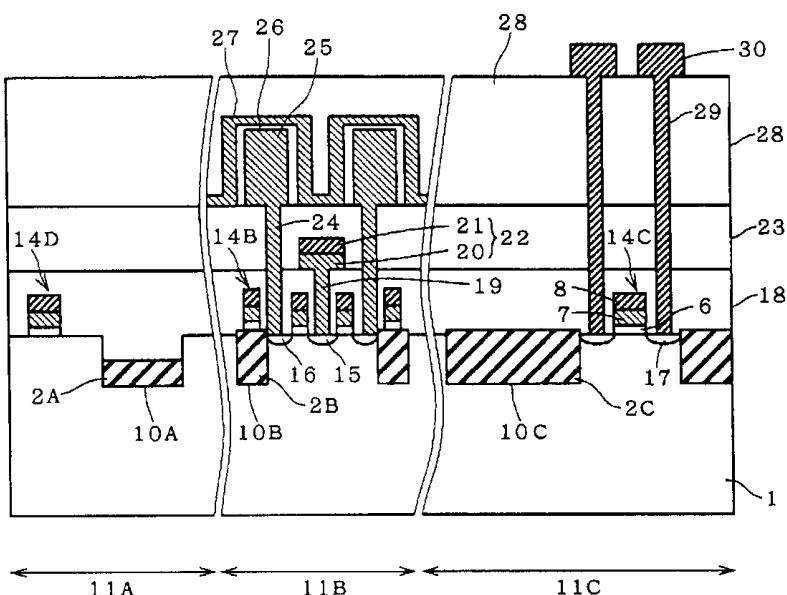
도면31



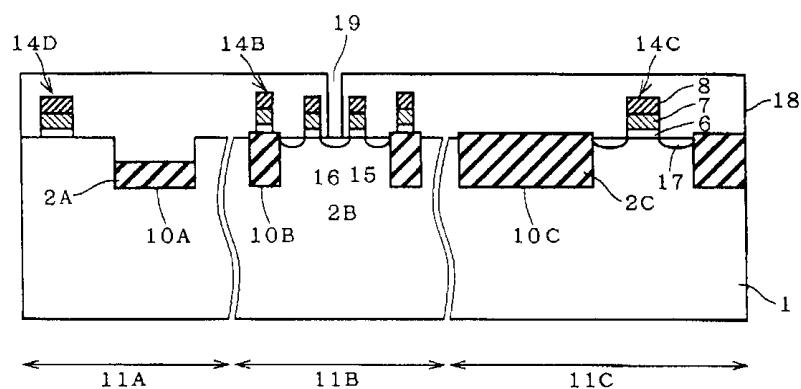
도면32



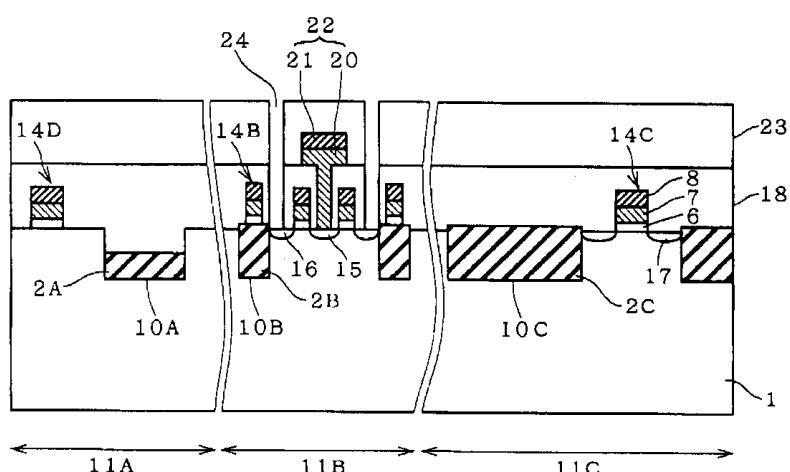
도면33



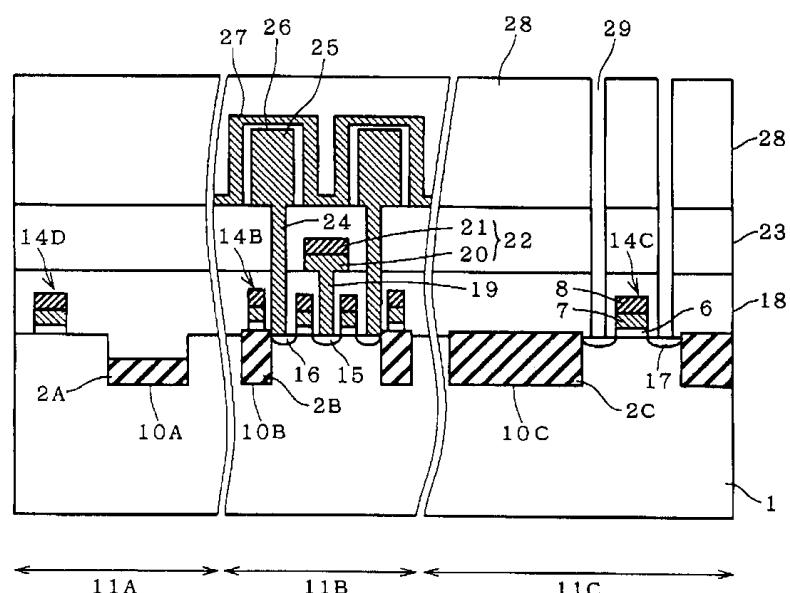
도면34



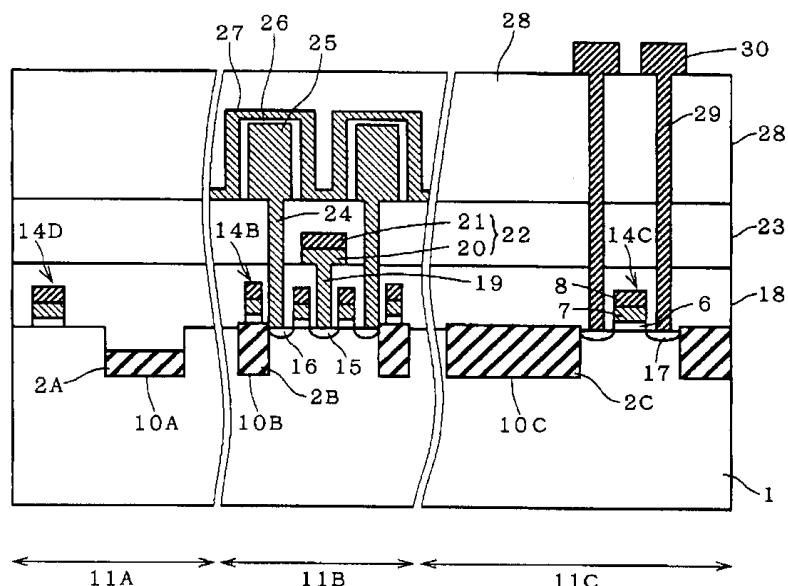
도면35



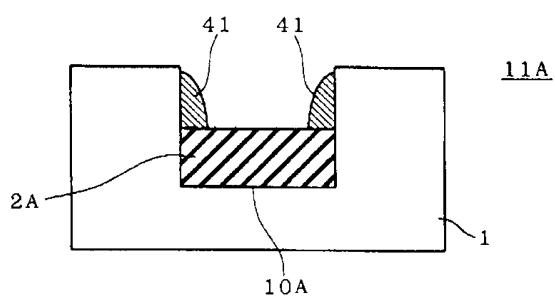
도면36



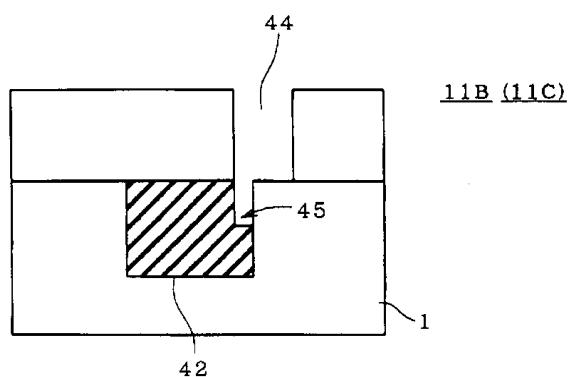
도면37



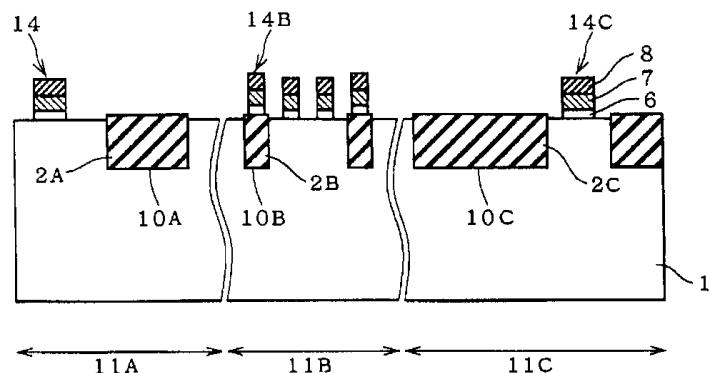
도면38



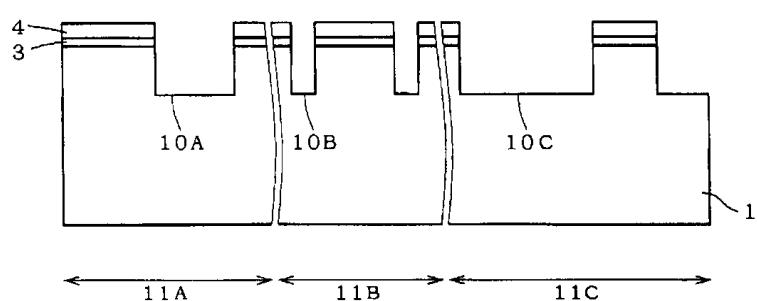
도면39



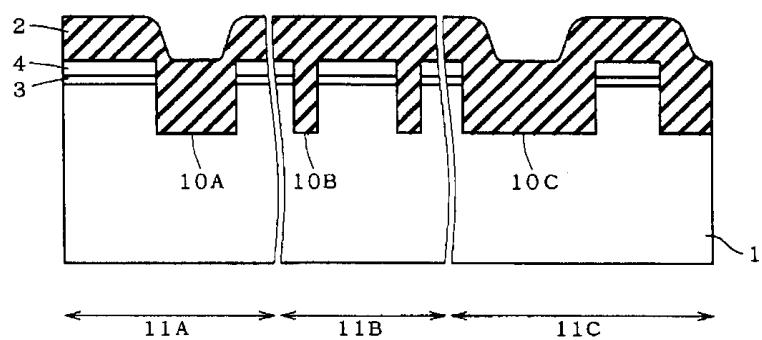
도면40



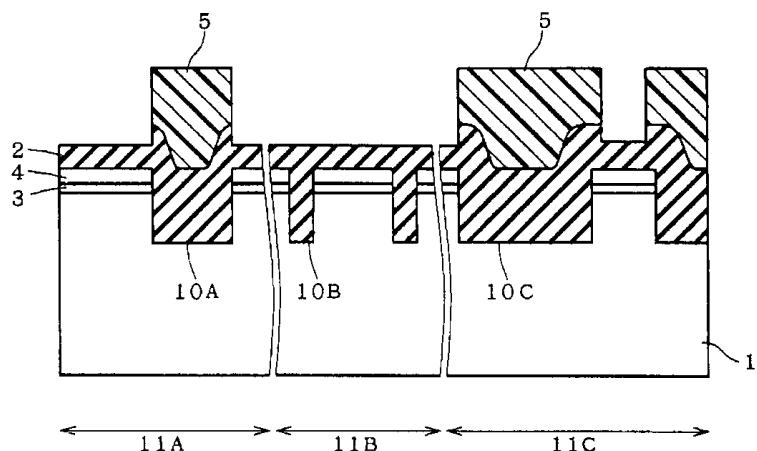
도면41



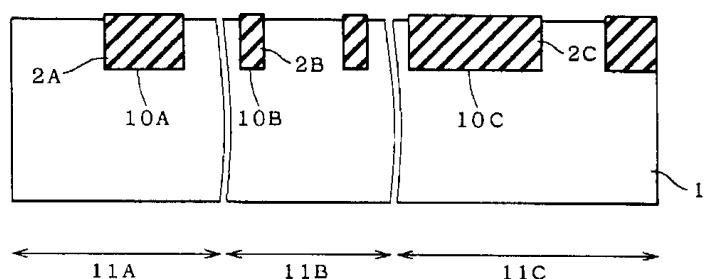
도면42



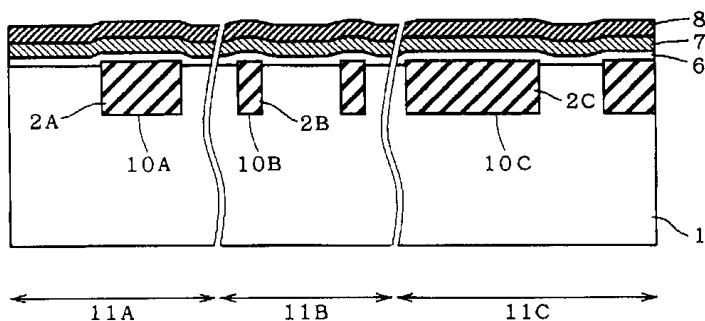
도면43



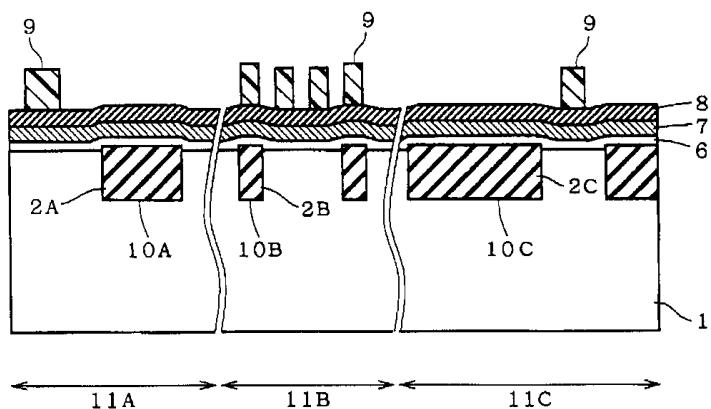
도면44



도면45



도면46



도면47

