

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
2. Februar 2012 (02.02.2012)

(10) Internationale Veröffentlichungsnummer
WO 2012/013431 A1

(51) Internationale Patentklassifikation:

H01L 23/66 (2006.01) H03H 9/05 (2006.01)
H01L 23/498 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2011/060640

(22) Internationales Anmeldedatum:
24. Juni 2011 (24.06.2011)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102010032763.8 29. Juli 2010 (29.07.2010) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): EPCOS AG [DE/DE]; St.-Martin-Straße 53,
81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KU, Cik Ling
[MY/SG]; Blk 166 Bishan St. 13, # 09-240, Singapore
570166 (SG). HUESGEN, Marc [DE/SG]; 78, Lorong K
Telok, Kurau #05-01, Singapore 425701 (SG). ENG,
Chee Khooon [SG/SG]; Blk 525 Bedok North St. 3, #
07-402, Singapore 460525 (SG).

(74) Anwalt: EPPING HERMANN FISCHER PATENT-
ANWALTSGESELLSCHAFT MBH; Zusam-

menschluss Nr. 175, Ridlerstraße 55, 80339 München
(DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN,
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG,
NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC,
SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ,
UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: FLIP-CHIP HOUSING FOR TWO FILTER TOPOLOGIES

(54) Bezeichnung : FLIP-CHIP-GEHÄUSE FÜR ZWEI FILTERTOPOLOGIEN

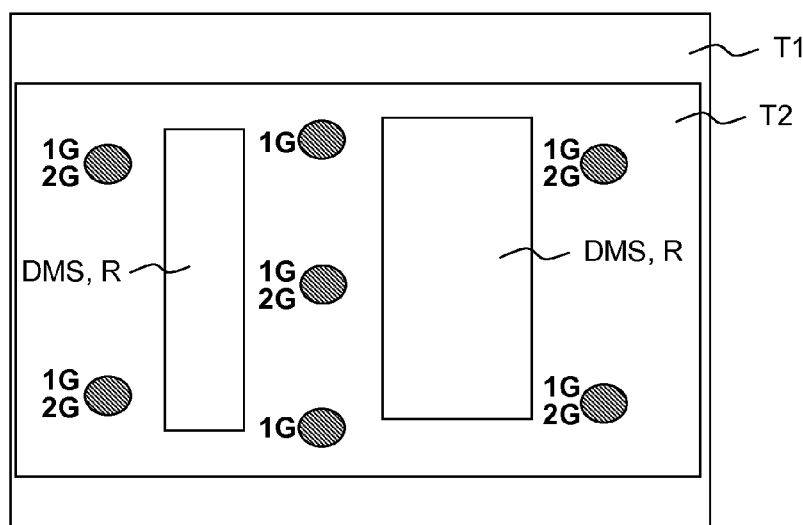


Fig. 5

(57) Abstract: A flip-chip housing that can be produced in an expedient manner is specified. For this purpose, the housing is provided for being connected to a first chip or to a second chip.

(57) Zusammenfassung: Es wird ein günstig herzustellendes Flip-Chip-Gehäuse angegeben. Dafür ist Gehäuse ist dazu vorgesehen, mit einem ersten Chip oder mit einem zweiten Chip verbunden zu sein.

WO 2012/013431 A1

Beschreibung

Flip-Chip-Gehäuse für zwei Filtertopologien

- 5 Die Erfindung betrifft Gehäuse für in Flip-Chip-Bauweise verschaltete Chips.

In Flip-Chip-Bauweise montierte Chips werden im Allgemeinen über Bump-Verbindungen mit einer Trägerplatte verbunden und
10 verschaltet. Ein Flip-Chip-Bauelement benötigt keine wesentlich größere Grundfläche als der Chip. Dadurch ist es möglich, die Grundfläche eines mit einem "geflippten" Chip bestückten Bauelements relativ gering zu halten; insbesondere der Randbereich des Bauelements, welcher nicht von der Chip-
15 fläche überlappt wird, kann besonders klein gehalten werden. Bump-Verbindungen, stellen dabei eine elektrische und eine mechanische Verbindung zwischen Kontaktflächen des Gehäuses und Anschlussflächen des Chips her. Flip-Chip-Bauelemente sind beispielsweise aus der US 7,388,281 bekannt.

20

Ein Problem bei bekannten Flip-Chip-Bauelementen ist, dass die entsprechenden Kontaktflächen des Gehäuses und die entsprechenden Anschlussflächen auf dem Chip sowie die Größe des Gehäuses und des Chips individuell aneinander angepasst sein
25 müssen, um einerseits eine mechanisch stabile Verbindung und andererseits eine optimal geringe Grundfläche zu erhalten.

Nachteilig daran ist, dass die durch die Individualität der Bauelemente verursachten Stückkosten nicht in wünschenswertem
30 Maße gesenkt werden können.

Es ist daher eine Aufgabe der vorliegenden Erfindung, ein Flip-Chip-Gehäuse und entsprechende Chip-Topologien an-

zugeben, die eine kostengünstige Herstellung eines Flip-Chip-Bauelements ermöglichen.

Diese Aufgabe wird durch ein Flip-Chip-Gehäuse nach Anspruch 1 gelöst. Ein nebengeordneter, das Flip-Chip-Gehäuse nicht einschränkender Anspruch gibt Chip-Topologien an, welche in einfacher, aber effektiver Weise mit dem Flip-Chip-Gehäuse des unabhängigen Anspruchs 1 zusammenwirken. Abhängige Ansprüche geben vorteilhafte Ausgestaltungen der Erfindung an.

Es wird ein Flip-Chip-Gehäuse mit einer ersten Kontaktfläche und einer zweiten Kontaktfläche angegeben. Die erste Kontaktfläche ist zur Verschaltung über eine Bump-Verbindung mit einer Anschlussfläche eines ersten Chips vorgesehen. Die zweite Kontaktfläche ist zur Verschaltung über eine Bump-Verbindung mit einer Anschlussfläche eines zweiten Chips vorgesehen. Der erste Chip umfasst dabei eine andere Topologie als der zweite Chip. Das Flip-Chip-Gehäuse ist dafür vorgesehen, entweder mit dem ersten Chip oder mit dem zweiten Chip verbunden zu sein.

Die Erfinder fanden heraus, dass ein günstiger herzustellen- des Bauelement dann erhalten wird, wenn ein Flip-Chip-Gehäuse so designt wird, dass es alternativ mit verschiedenen Chips verbunden werden kann. Dadurch ist es möglich, die Anzahl an unterschiedlichen Flip-Chip-Gehäusen zu verringern, wodurch eine entsprechende Anzahl an Verarbeitungsanlagen zur Massenanfertigung von Gehäusen eingespart werden kann. Ebenso wird die Gesamtentwicklungszeit vermindert, weil nicht mehrere Gehäuse unabhängig voneinander entwickelt werden müssen. Zusätzlich können die Gehäuse in größeren Auflagen gefertigt werden, was die Stückkosten senkt. Trotzdem kann ein Flip-Chip-Gehäuse erhalten werden, welches bezüglich der

Gehäusegröße einen guten Kompromiss darstellt und welches bezüglich seiner elektrischen Eigenschaften individuell angepassten Gehäusen gegenüber keinen Nachteil aufweist.

- 5 Der erste Chip kann dabei in einem Ausführungsbeispiel eine Grundfläche von ca. $800 \times 700 \mu\text{m}^2$, der zweite Chip kann eine Grundfläche von $700 \times 600 \mu\text{m}^2$ aufweisen. Ein entsprechendes Bauelement kann eine Größe von $1400 \times 1100 \mu\text{m}^2$ aufweisen.
- 10 In einer Ausführungsform umfasst das Flip-Chip-Gehäuse ferner eine Eingangskontaktfläche, die zur Verschaltung über eine Bump-Verbindung mit einer Eingangsanschlussfläche des ersten oder zweiten Chips vorgesehen ist. Die Ausführungsform um-
- 15 fasst weiterhin eine Ausgangskontaktfläche, die zur Verschaltung über eine Bump-Verbindung mit einer Ausgangsanschlussfläche des ersten oder zweiten Chips vorgesehen ist.

- Mit einem entsprechenden Gehäuse verbundene und verschaltete Chips können zur Verrichtung vielfältiger Aufgaben vorgesehen
- 20 sein. Insbesondere können sie dafür vorgesehen sein, ein elektrisches Signal, z. B. ein HF-Signal, zu manipulieren. Die Eingangskontaktfläche des Gehäuses dient während des Betriebs eines entsprechenden Bauelements dazu, Signale über die Bump-Verbindung an eine Eingangsanschlussfläche des Chips
- 25 weiterzuleiten. Auf dem Chip werden dann die Manipulationen des elektrischen Signals vorgenommen, wobei das entsprechend bearbeitete und zum Beispiel nach einem Frequenzbereich gefilterte Signal dann von der Ausgangsanschlussfläche des Chips über die Bump-Verbindung an die Ausgangskontaktfläche
- 30 des Gehäuses weitergeleitet wird.

Das Eingangssignal kann dabei erdsymmetrisch (engl.: balanced) oder erdunsymmetrisch (engl.: unbalanced) geführt sein.

Entsprechend kann ein Flip-Chip-Gehäuse auch weitere Eingangskontaktflächen aufweisen, die mit weiteren Eingangsanschlussflächen des Chips verschaltet sind. Auch das Ausgangssignal kann erdsymmetrisch oder erdunsymmetrisch geführt
5 sein. Entsprechend kann das Gehäuse auch weitere Ausgangskontaktflächen umfassen, die mit weiteren Ausgangsanschlussflächen des Chips verschaltet sind. Es ist beispielsweise möglich, dass ein mit dem Flip-Chip-Gehäuse zu verschaltender Chip eine Balun-Funktionalität (Balun = balanced-unbalanced
10 Konverter) umfasst.

In einer Ausführungsform des Flip-Chip-Gehäuses ist einer der zur Verschaltung vorgesehenen Chips, ausgewählt aus erstem Chip und zweitem Chip, ein HF-Filterchip für Frequenzen des 1
15 GHz-Bandes. Der andere Chip ist ein HF-Filterchip für Frequenzen des 2 GHz-Bandes. Die entsprechenden Frequenzen können jeweils auch ein Frequenzband im 1 GHz-Band oder ein Frequenzband im 2GHz-Band sein. HF-Filterchips können z. B. mit akustischen Wellen arbeiten und SAW (SAW = Surface
20 Acoustic Wave = akustische Oberflächenwelle)
Bauelementstrukturen oder GBAW (GBAW = Guided Bulk Acoustic Wave = geführte akustische Volumenwelle) Bauelementstrukturen oder BAW (BAW = Bulk Acoustic Wave = akustische
Volumenwellen) Bauelementstrukturen umfassen. Solche
25 Strukturen sind empfindlich und benötigen im Allgemeinen eine akustische Entkopplung von ihrer Umgebung. Flip-Chip-Gehäuse bieten für diese Bauelementstrukturen einen guten Schutz und ermöglichen eine einfache aber wirkungsvolle hermetische Abkapselung solcher Bauelementstrukturen. Flip-Chip-Gehäuse
30 sind also sehr gut geeignet, um mit akustischen Wellen arbeitenden Bauelementen verbunden zu werden. Ferner eignen sich mit akustischen Wellen arbeitende Bauelemente insbesondere dazu, HF-Signale zu manipulieren.

Als Frequenzen des 1 GHz-Bandes werden hierbei Frequenzen betrachtet, die geringer als 1 GHz sind. Als Frequenzen des 2 GHz-Bandes werden Frequenzen betrachtet, die zwischen 1 GHz und 2 GHz liegen. Frequenzen des 1 GHz Bandes und Frequenzen des 2 GHz Bandes unterscheiden sich dabei also um etwa eine Oktave. Aufgrund der unterschiedlichen Wellenlänge erfordern beide Frequenzbänder unterschiedlich ausgestaltete Filterstrukturen. Die Wellenlänge der Signale des 1 GHz-Bandes ist dabei größer als die Wellenlänge der Signale des 2 GHz-Bandes. Die Erfinder fanden eine Möglichkeit, die entsprechenden Filterstrukturen der HF-Filter so auf je einem Chip anzuordnen sowie entsprechende Kontaktflächen im Gehäuse so anzuordnen, dass das Gehäuse sowohl mit einem 1 GHz-Filterchip als auch alternativ mit einem 2 GHz-Filterchip verschaltet werden kann.

In einer Ausführungsform ist das Gehäuse dazu vorgesehen, mit Chips verschiedener Größe verbunden zu werden.

Wie oben schon angedeutet, erfordern im 1 GHz-Band arbeitende Filterchips im Allgemeinen größere Bauelement- oder Filterstrukturen als im 2 GHz-Band arbeitende Filterchips.

Ein erfindungsgemäßes Gehäuse, welches einen größeren und einen kleineren Chip aufnehmen kann, ist im Allgemeinen größer als ein Gehäuse, welches lediglich den kleineren Chip aufnimmt. Trotzdem kann noch ein klein zu bauendes - und relativ günstig herzustellendes - Bauelement erhalten werden.

In einer Ausführungsform ist für jeden der beiden Chips ein Set von Kontaktflächen vorgesehen. Das Flip-Chip-Gehäuse umfasst ferner eine Kontaktfläche, die beiden Sets zugehörig

ist. Dadurch, dass mindestens eine Kontaktfläche des Gehäuses dazu vorgesehen ist, mit dem ersten Chip und mit dem zweiten Chip verschaltet werden zu können, kann ein Gehäuse mit einer verringerten Grundfläche erhalten werden.

5

Eine Filterchip-Topologie, welche die Topologie des ersten oder zweiten Chips sein kann und somit in einfacher Weise mit dem Flip-Chip-Gehäuse zusammenwirkt, umfasst eine DMS-Struktur (DMS = Double-Mode SAW Filter), einen Resonator, eine
10 Eingangsanschlussfläche, eine Ausgangsanschlussfläche und eine Masseanschlussfläche. Die Masseanschlussfläche ist zwischen der DMS-Struktur und dem Resonator angeordnet. Die Masseanschlussfläche ist zur Verschaltung mit einer Kontaktfläche, ausgewählt aus erster und zweiter Kontaktfläche, eines
15 erfindungsgemäßen Flip-Chip-Gehäuses vorgesehen. Die Arbeitsfrequenzen der DMS-Struktur und des Resonators sind Frequenzen des 1 GHz-Bandes oder des 2 GHz-Bandes.

DMS-Strukturen sind mit akustischen Oberflächenwellen arbeitende Strukturen, welche einen Eingangswandler oder eine
20 Vielzahl von Eingangswandlern und einen Ausgangswandler oder eine Vielzahl von Ausgangswandlern aufweisen können. DMS-Strukturen benötigen eine Vielzahl an Signalleitungen, die Interdigitalwandler mit einer Masseanschlussfläche oder einer
25 Signalanschlussfläche verschalten. Gleichzeitig umfassen DMS-Strukturen eine Vielzahl an Signalleitungen, die Interdigitalstrukturen mit anderen Schaltungskomponenten verschalten. Der Resonator kann ein SAW-, ein GBAW- oder ein BAW-Resonator sein. Die Filterchip-Topologie kann weitere
30 Resonatoren, die in Serie oder parallel zur DMS-Struktur oder zum Resonator verschaltet sind, umfassen.

Der erste Chip kann eine entsprechende Topologie umfassen und Arbeitsfrequenzen des 1 GHz Bandes aufweisen, während der zweite Chip eine entsprechende Filtertopologie umfasst und eine Arbeitsfrequenz des 2 GHz Bandes hat.

5

In einer Ausführungsform umfasst die Filterchip-Topologie eine Signalleitung und eine Masseleitung. Die Signalleitung verschaltet die DMS-Struktur mit dem Resonator. Die Masseleitung ist mit der Masseanschlussfläche und weiteren

10 Filterstrukturen verschaltet. Sind Kreuzungen erforderlich, so kreuzt die Masseleitung die Signalleitung ohne galvanischen Kontakt.

In einer Ausführungsform der Filterchip-Topologie umfasst die DMS-Struktur eine Symmetrieachse. Masseleitungen und Kreuzungspunkte zwischen Masseleitungen und Signalleitungen können symmetrisch oder unsymmetrisch bezüglich der Symmetrieachse angeordnet sein.

20 Im Folgenden werden das Flip-Chip-Gehäuse und die Filterchip-Topologie anhand von Ausführungsbeispielen und zugehörigen schematischen Figuren näher erläutert. Es zeigen:

Figur 1: die Grundidee der vorliegenden Erfindung, wobei
25 Kontaktflächen des Gehäuses vorgesehen sind, die mit Anschlussflächen verschiedener Chips verschaltet werden können,

Figur 2: eine mögliche Filterchip-Topologie für den ersten
30 Chip,

Figur 3: eine mögliche Filterchip-Topologie für den zweiten Chip,

Figur 4: eine weitere mögliche Filterchip-Topologie für den zweiten Chip,

5 Figur 5: eine mögliche räumliche Anordnung von Kontaktflächen und deren Zuordnung zu für verschiedene Chips vorgesehenen Sets,

10 Figur 6: einen Querschnitt durch ein elektrisches Bauelement mit einem Flip-Chip-Gehäuse und einem darin angeordneten Chip,

Figur 7: verschiedene Einfügedämpfungen verschiedener Flip-Chip-Bauelemente.

15

Figur 1 zeigt schematisch einen Teil eines Flip-Chip-Gehäuses FCG mit einer ersten Kontaktfläche FK1 und einer zweiten Kontaktfläche KF2. Das Flip-Chip-Gehäuse FCG kann wahlweise mit einem ersten Chip CH1 oder mit einem zweiten Chip CH2 verbunden und verschaltet werden. Der erste Chip CH1 umfasst eine erste Anschlussfläche AF1. Der zweite Chip CH2 umfasst eine zweite Anschlussfläche AF2. Die Position der ersten Kontaktfläche KF1 auf dem Flip-Chip-Gehäuse FCG sowie die Position der ersten Anschlussfläche AF1 des ersten Chips CH1 sind so gewählt, dass sie im Fall einer Verschaltung des Flip-Chip-Gehäuses FCG mit dem ersten Chip CH1 übereinstimmen und mit einer Bump-Verbindung verschaltet werden können. Analog ist die Position der zweiten Kontaktfläche KF2 auf dem Flip-Chip-Gehäuse FCG sowie die Position der zweiten Anschlussfläche AF2 auf dem zweiten Chip CH2 so gewählt, dass sie im Fall einer Verschaltung des Flip-Chip-Gehäuses FCG mit dem zweiten Chip CH2 übereinstimmen und über einer Bump-Verbindung verbunden und verschaltet werden können.

20

25

30

Das Flip-Chip-Gehäuse FCG und die Anordnung seiner Kontaktflächen KF1, KF2 sowie gegebenenfalls anderer Kontaktflächen können nicht nur mit einer einzigen Chip-Topologien sondern mit verschiedenen Chip-Topologien verschaltet werden. Dies erfordert einen erhöhten Aufwand bei der Entwicklung sowohl des Flip-Chip-Gehäuses als auch der unterschiedlichen Chip-Topologien. Dieser Aufwand lohnt sich dennoch, weil einerseits nicht eine Vielzahl verschiedene Flip-Chip-Gehäuse entwickelt werden müssen und weil andererseits die Produktion eines Typs von Flip-Chip-Gehäusen günstiger als die Produktion zweier verschiedener Typen von Flip-Chip-Gehäusen ist.

Figur 2 zeigt eine mögliche Filter-Chip-Topologie. Der Chip ist dabei ein HF-Filterchip, der mit akustischen Oberflächenwellen arbeitet. Die Topologie umfasst eine DMS-Struktur DMS sowie zwei Resonatoren R1, R2. Über Signalleitungen SL auf dem Filter-Chip ist einer der Resonatoren R1, ein Serienresonator, mit einer Eingangsanschlussfläche EAF einerseits und mit der DMS-Struktur DMS andererseits verschaltet. Über den anderen Resonator R2, einen Parallelresonator, und über eine Masseleitung ML ist der Serienresonator mit einer Masseanschlussfläche MAF verschaltet. Signalleitungen werden dabei durch durchgezogene Linien symbolisiert; Masseleitungen werden durch gestrichelte Linien symbolisiert.

Ausgangsseitig ist die DMS-Struktur DMS mit einer ersten Ausgangsanschlussfläche AAF1 und einer zweiten Ausgangsanschlussfläche AAF2 verschaltet. Die Eingangsanschlussfläche EAF empfängt ein erdunsymmetrisch geführtes Eingangssignal. Die beiden Ausgangsanschlussflächen AAF1, AAF2 stellen ein

erdsymmetrisches Ausgangssignal zur Verfügung. Die DMS-Struktur DMS verfügt über eine BALUN-Funktionalität. Zwischen dem Serienresonator R1 und der DMS-Struktur DMS sind drei Masseanschlussflächen MAF angeordnet. Eine der

5 Masseanschlussflächen stellt dabei die zweite Anschlussfläche AF2 dar. Die Reflektoren der DMS-Struktur DMS sind mit einer Masseanschlussfläche verschaltet.

Im Allgemeinen problematisch ist die Anordnung von Masseanschlussflächen bei einer Filtertopologie mit einer DMS-Struktur, denn DMS-Strukturen umfassen im Allgemeinen eine Vielzahl von Interdigitalwandlern, welche jeweils einen Masseanschluss benötigen können. Eine DMS-Struktur kann beispielsweise 5 oder 6 Wandler umfassen und entsprechend 5

15 oder 6 Masseanschlüsse benötigen.

Die 2 GHz Filtertopologie kann eine DMS-Struktur mit z. B. 6 Interdigitalwandlern umfassen. Jeder der Interdigitalwandler der DMS-Struktur kann mit Masse verschaltet sein. Die 1 GHz

20 Filtertopologie kann eine DMS-Struktur und ein Grundglied einer Ladder-Type-Schaltung sowie 5 Interdigitalwandler umfassen. Der Begriff Masse bezeichnet die Gehäusemasse.

Da Masseleitungen und Signalleitungen galvanisch voneinander

25 getrennt sein sollen, besteht prinzipiell die Möglichkeit, Interdigitalwandler der DMS-Struktur mit jeweils eigenen Masseanschlussflächen MAF zu verschalten. Problematisch daran ist, dass eine große Anzahl an Masseanschlussflächen MAF viel Platz auf dem entsprechenden Chip benötigen. Die Lage von

30 Masseanschlussflächen kann üblicherweise nicht beliebig gewählt werden.

Figur 3 zeigt eine Topologie mit einer DMS-Struktur DMS und einem Resonator R. Zwischen der DMS-Struktur DMS und dem Resonator R ist eine Masseanschlussfläche MAF angeordnet. Eine Eingangsanschlussfläche EAF ist über Signalleitungen SL mit unterschiedlichen Interdigitalwandlern der DMS-Struktur DMS verschaltet. Zwei Ausgänge des Resonators R sind über weitere Signalleitungen mit jeweils einer Ausgangsanschlussfläche AAF1, AAF2 verschaltet. Zwischen der DMS-Struktur DMS und dem Resonator R angeordnete Signal- und Masseleitungen sind um die Masseanschlussfläche MAF herum geführt. Signalleitungen SL und Masseleitungen ML müssen galvanisch voneinander getrennt sein. Deswegen verlaufen Signalleitungen SL und Masseleitungen ML abschnittsweise parallel zueinander. Verschiedene nicht mit Signalpfaden sondern mit Masse verschaltete Interdigitalwandler der DMS-Struktur sind mit der einzigen Masseanschlussfläche MAF zwischen der DMS-Struktur und dem Resonator R verschaltet. Das Problem, dass dazwischen nur eine einzige Masseanschlussfläche vorhanden ist, ist gelöst, indem Masseleitungen und Signalleitungen sich überkreuzen. Dies geschieht an Kreuzungspunkten KP, an denen die galvanische Trennung zwischen Masseleitungen und Signalleitungen durch ein dazwischen angeordnetes Dielektrikum sichergestellt ist.

Die Figuren 2 und 3 stellen somit unterschiedliche Filtertopologien dar, welche mit einem erfindungsgemäßen Flip-Chip-Gehäuse verbunden und verschaltet werden können. Ein erfindungsgemäßes Flip-Chip-Gehäuse kann dabei eine Kontaktfläche umfassen, die sowohl mit Anschlussflächen der in Figur 2 gezeigten Topologie als auch mit Anschlussflächen der in Figur 3 gezeigten Topologie verschaltet werden kann. Dazu zählen insbesondere die Eingangs- und Ausgangsanschlussflächen sowie

die zwischen der DMS-Struktur DMS und dem Resonator R der Figur 3 angeordnete Masseanschlussfläche MAF.

Figur 4 zeigt eine Filterchip-Topologie mit einer DMS-Struktur DMS und einem Resonator R. Die DMS-Struktur DMS hat dabei Interdigitalwandler und Reflektoren, welche spiegelsymmetrisch zu einer Symmetrieachse SY angeordnet sind. Signalleitungen SL und Masseanschlussflächen MAF verlaufen zwischen der DMS-Struktur DMS und dem Resonator R teilweise nebeneinander. Kreuzungspunkte der Signalleitungen und der Masseleitungen sind - im Unterschied zur Topologie der Figur 3 - unsymmetrisch bezüglich der durch die DMS-Struktur vorgegebene Symmetrieachse SY angeordnet. Die Kreuzungspunkte können ferner entweder asymmetrisch oder symmetrisch zu einer Symmetrieachse des Eingangsresonators angeordnet sein.

Es kann ferner vorteilhaft sein, Signalleitungen im Wesentlichen nicht parallel zu Masseleitungen anzuordnen. Insbesondere kann die Länge, entlang der Abschnitte von Signalleitungen die parallel zu Abschnitten von Masseleitungen verlaufen, minimiert sein.

Figur 5 zeigt Anschlussflächen einer ersten Topologie T1 und einer überlagerten zweiten Topologie T2. Beide Topologien umfassen DMS-Strukturen DMS oder Resonatoren R. Mit "1G" sind Anschlussflächen eines HF-Filters mit einer Arbeitsfrequenz im 1 GHz-Band bezeichnet. Entsprechend sind mit "2G" Anschlussflächen eines HF-Filterchips mit einer Arbeitsfrequenz im 2 GHz-Band bezeichnet. Dabei werden fünf Anschlussflächen von beiden Filtertopologien gemeinsam verwendet. Zwei der Anschlussflächen sind einem HF-Filter mit einer Arbeitsfrequenz im 1 GHz-Band vorbehalten. Die Filtertopologie T1 hat dabei - wegen der größeren Wellenlänge der akustischen Wellen - einen

größeren Flächenbedarf als die Filtertopologie T2. Die Gesamtzahl an Anschlussflächen wird durch die gemeinsame Nutzung der Position von beiden Topologien gering gehalten.

- 5 Da das Flip-Chip-Gehäuse mit beiden Topologien arbeiten können muss, sind im Gehäuse entsprechende Kontaktflächen für alle Anschlussflächen beider Topologien vorzusehen. Ist das Gehäuse mit einem 2 GHz-Filterchip verschaltet, so werden entsprechend zwei Kontaktflächen des Gehäuses nicht mit An-
10 schlussflächen des 2 GHz-Filterchips verschaltet.

Figur 6 zeigt einen Querschnitt durch ein elektrisches Bauelement mit einem Flip-Chip-Gehäuse FCG und einem Filterchip CH. Der Filterchip CH ist in Flip-Chip-Bauweise über Bump-
15 Verbindungen BU mit dem Flip-Chip-Gehäuse FCG verbunden und verschaltet. Das Flip-Chip-Gehäuse FCG umfasst dabei mehrere dielektrische Lagen DL sowie eine Abdeckung AD. Der Chip CH ist durch die Abdeckung AD und durch die dielektrischen Lagen DL hermetisch abgeschlossen. Auf der Oberfläche des Flip-
20 Chip-Gehäuses FCG und zwischen dessen dielektrischen Lagen sind Signalleitungen und Impedanzelemente, z. B. induktive Elemente, resistive Elemente oder kapazitive Elemente KE in Form von Metallisierungen angeordnet. Auf der Unterseite des Flip-Chip-Gehäuses FCG sind eine oder mehrere externe Kon-
25 taktfläche EKF angeordnet, die über Durchkontaktierungen mit den Kontaktflächen verschaltet sind, die wiederum mit dem Chip verschaltet sind. Über externe Kontaktflächen kann das Gehäuse mit einer externen Schaltungsumgebung verschaltet werden. Externe Kontaktflächen EKF können mit den Anschluss-
30 flächen einer oder beider Topologien verschaltet sein.

Figur 7 zeigt drei berechnete frequenzabhängige Verläufe der Einfügedämpfung. Kurve K1 zeigt dabei die Einfügedämpfung

eines konventionellen Filterchip-Bauelements. Das konventionelle Bauelement ist ein Bandpassfilter mit einem Passband im 2 GHz-Frequenzbereich.

5 Kurve K2 zeigt die Einfügedämpfung eines erfindungsgemäßen Flip-Chip-Gehäuses mit einem HF-Filter mit Passband im 2 GHz-Frequenzbereich. Im Vergleich zur Kurve K1 ist die Sperrbereichsunterdrückung bei Frequenzen zwischen 2500 und 3000 MHz deutlich verbessert. Kurve K2 zeigt dabei die Einfügedämpfung
10 eines Bauelements, wobei der Filterchip bezüglich einer Symmetrieebene einer DMS-Struktur symmetrischen angeordnete Anschlussflächen aufweist.

Kurve K3 zeigt die Einfügedämpfung eines Flip-Chip-Gehäuses
15 mit HF-Filterchip, wobei die Anschlussflächen bezüglich einer Symmetrieebene einer DMS-Struktur unsymmetrisch angeordnet sind. Oberhalb von Frequenzen von etwa 2600 MHz ist die Sperrbereichsunterdrückung besser als die der Kurve K1. Speziell bei Frequenzen zwischen 3000 und 3600 MHz ist die
20 Sperrbereichsunterdrückung besonders verbessert.

Erfindungsgemäße Flip-Chip-Gehäuse und erfindungsgemäße HF-Filtertopologien sind nicht auf die beschriebenen Ausführungsbeispiele beschränkt. Flip-Chip-Gehäuse, welche be-
25 spielsweise noch weitere dielektrische Lagen oder induktive oder kapazitive Elemente oder weitere Kontaktflächen, insbesondere zum gleichzeitigen Anschließen verschiedener Chips umfassen, stellen ebenso erfindungsgemäße Flip-Chip-Gehäuse dar. Analog stellen Filtertopologien, welche weitere Resona-
30 toren, Anschlussflächen oder Signalleitungen umfassen, ebenfalls erfindungsgemäße Topologien dar.

Bezugszeichenliste:

1G:	Anschlussfläche eines HF-Filters für das 1 GHz-Band
2G:	Anschlussfläche eines HF-Filters für das 2 GHz-Band
AAF1, AAF2:	erste, zweite Ausgangsanschlussfläche
AD:	Abdeckung
BU:	Bump-Verbindung
CH; CH1, CH2:	Chip; erster, zweiter Chip
DL:	dielektrische Lage
DMS:	DMS (Double-Mode SAW Filter) Struktur
EAF:	Eingangsanschlussfläche
EKF:	externe Kontaktfläche
FCG:	Flip-Chip-Gehäuse
HF1, HF2:	erste, zweite Anschlussfläche
K1, K2, K3:	Einfügedämpfungen
KE:	kapazitives Element
KF1, KF2:	erste, zweite Kontaktfläche
KP:	Kreuzungspunkt
MAF:	Masseanschlussfläche
ML:	Masseleitung
R, R1, R2:	Resonator
SL:	Signalleitung
SY:	Symmetrieebene
T1, T2:	verschiedene Filtertopologien

Patentansprüche

1. Flip-Chip-Gehäuse (FCG), umfassend

- eine erste Kontaktfläche (KF1) und eine zweite

5 Kontaktfläche (KF2), wobei

- die erste Kontaktfläche (KF1) zur Verschaltung über eine Bump-Verbindung (BU) mit einer Anschlussfläche (AF1) eines ersten Chips (CH1) vorgesehen ist,

10 - die zweite Kontaktfläche (KF2) zur Verschaltung über eine Bump-Verbindung (BU) mit einer Anschlussfläche (AF2) eines zweiten Chips (CH2) vorgesehen ist,

- der erste Chip (CH1) eine andere Topologie (T1, T2) als der zweite Chip (CH2) umfasst und

15 - das Flip-Chip-Gehäuse (FCG) dafür vorgesehen ist, entweder mit dem ersten Chip (CH1) oder mit dem zweiten Chip (CH2) verbunden zu sein.

2. Flip-Chip-Gehäuse nach dem vorhergehenden Anspruch, ferner umfassend

20 - eine Eingangskontaktfläche, die zur Verschaltung über eine Bump-Verbindung (BU) mit einer Eingangsanschlussfläche (EAF) des ersten (CH1) oder zweiten (CH2) Chips vorgesehen ist,

- eine Ausgangskontaktfläche, die zur Verschaltung über eine Bump-Verbindung (BU) mit einer Ausgangsanschlussfläche (AAF1, AAF2) des ersten (CH1) oder zweiten (CH2) Chips vorgesehen
25 ist.

3. Flip-Chip-Gehäuse nach einem der vorherigen Ansprüche, wobei

30 - der eine der Chips, ausgewählt aus erstem Chip (CH1) und zweitem Chip (CH2), ein HF-Filter-Chip für Frequenzen des 1 GHz-Bands ist,

- der andere Chip (CH2, CH1) ein HF-Filter-Chip für Frequenzen des 2 GHz-Bands ist.

4. Flip-Chip-Gehäuse nach einem der vorherigen Ansprüche, welches dazu vorgesehen ist, mit Chips (CH, CH1, CH2) verschiedener Größe verbunden zu werden.

5. Flip-Chip-Gehäuse nach einem der vorherigen Ansprüche, wobei

- 10 - für jeden der beiden Chips (CH1, CH2) ein Set von Kontaktflächen (KF1, KF2) vorgesehen ist und
- das Flip-Chip-Gehäuse (FCG) eine Kontaktfläche umfasst, die beiden Sets zugehörig ist.

15 6. Filterchip-Topologie, umfassend

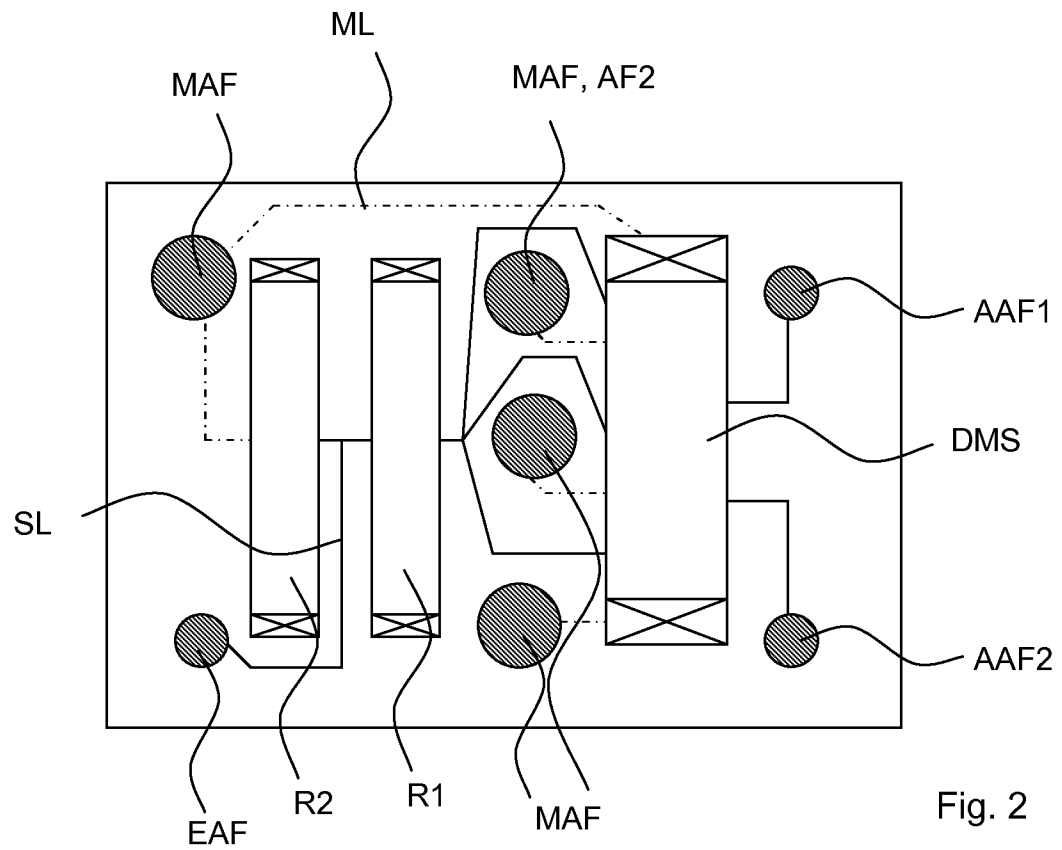
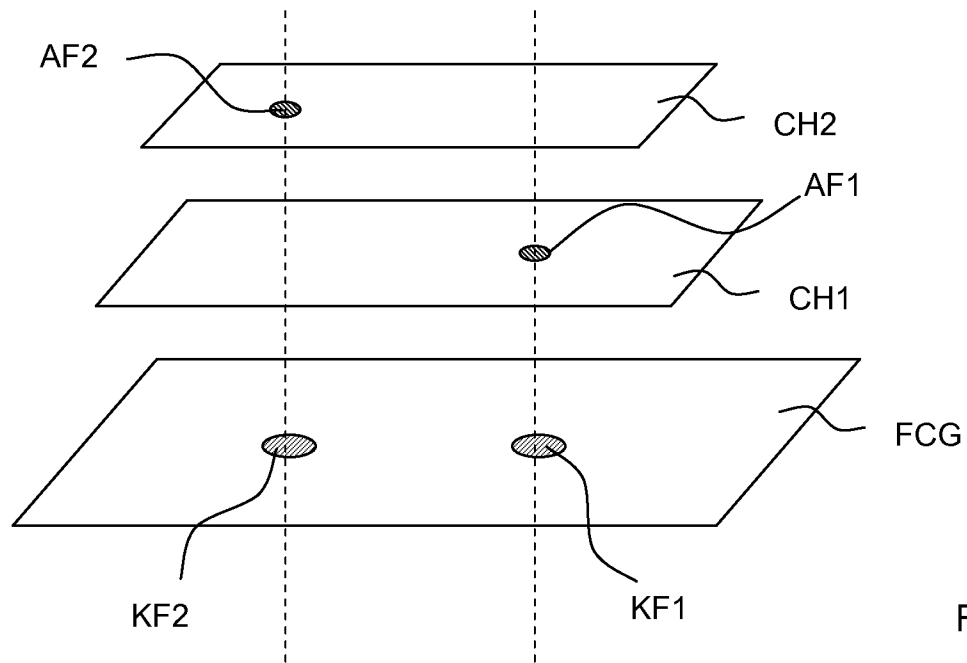
- eine DMS-Struktur (DMS), einen Resonator (R, R1, R2), eine Eingangsanschlussfläche (EAF), eine Ausgangsanschlussfläche (AAF1, AAF2) und eine Masseanschlussfläche (MAF), wobei
- die Masseanschlussfläche (MAF) zwischen der DMS-Struktur (DMS) und dem Resonator (R, R1, R2) angeordnet ist,
20 - die Masseanschlussfläche (MAF) zur Verschaltung mit einer Kontaktfläche, ausgewählt aus erster (KF1) und zweiter (KF2) Kontaktfläche eines Flip-Chip-Gehäuse (FCG) nach Anspruch 1, vorgesehen ist,
25 - die Arbeitsfrequenzen der DMS-Struktur (DMS) und des Resonators (R, R1, R2) Frequenzen des 1 GHz-Bands oder des 2 GHz-Bands sind.

7. Filterchip-Topologie nach dem vorherigen Anspruch, ferner
30 umfassend eine Signalleitung (SL) und eine Masseleitung (ML), wobei

- die Signalleitung (SL) die DMS-Struktur (DMS) mit dem Resonator (R, R1, R2) verschaltet,

- die Masseleitung (ML) mit der Masseanschlussfläche (MAF) verschaltet ist und die Signalleitung (SL) ohne galvanischen Kontakt kreuzt.

- 5 8. Filterchip-Topologie nach dem vorherigen Anspruch, wobei
- die DMS-Struktur (DMS) eine Symmetrieachse (SY) umfasst und
 - Masseleitungen (ML) und Kreuzungspunkte (KP) zwischen Masseleitungen (ML) und Signalleitungen (SL) unsymmetrisch bezüglich der Symmetrieachse (SY) angeordnet sind.



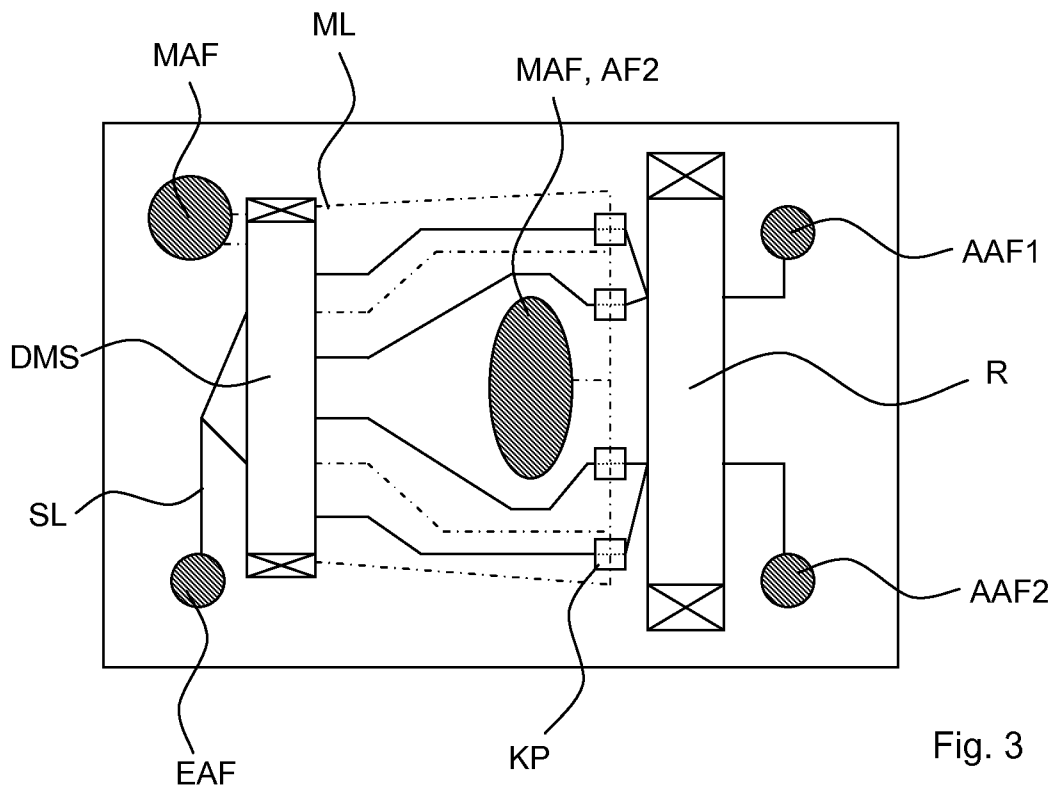


Fig. 3

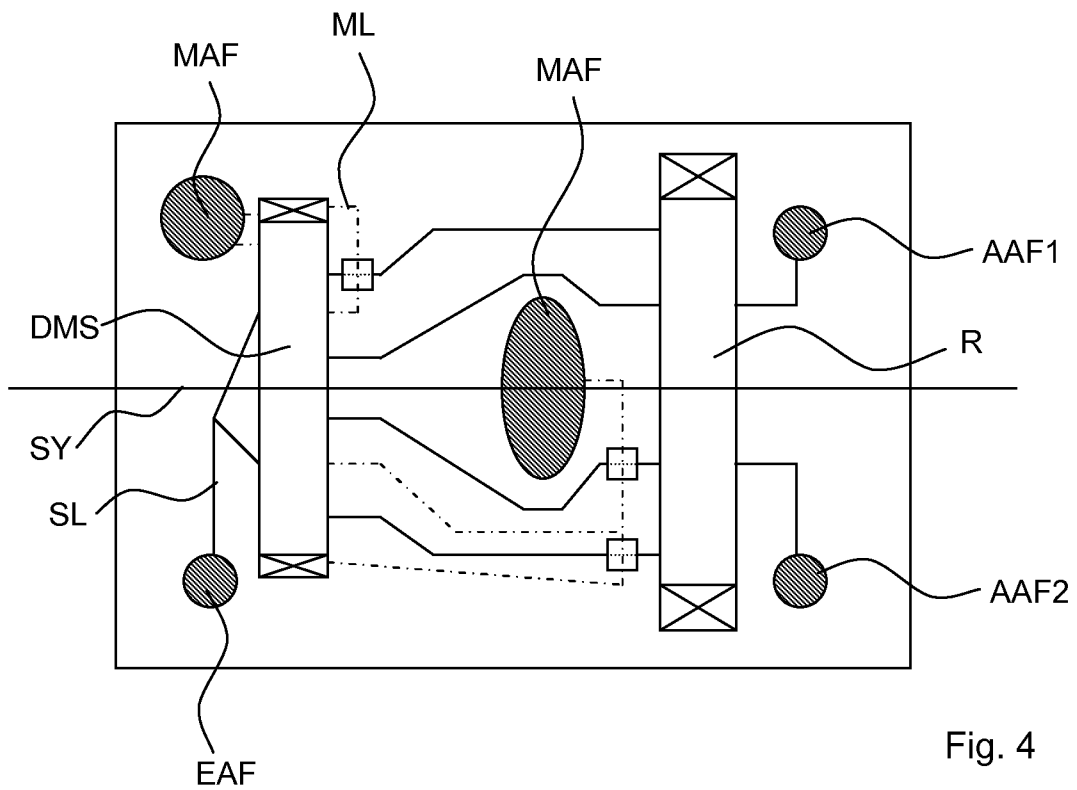


Fig. 4

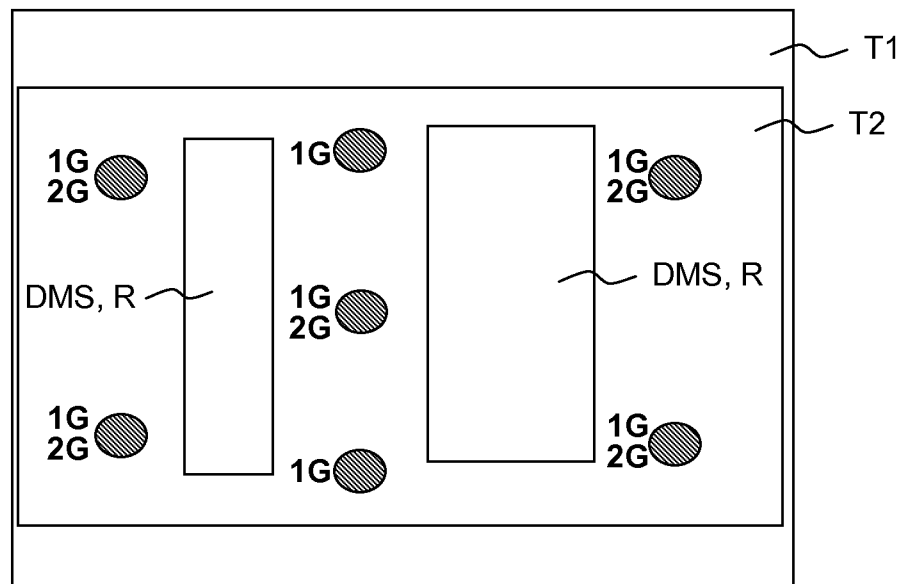


Fig. 5

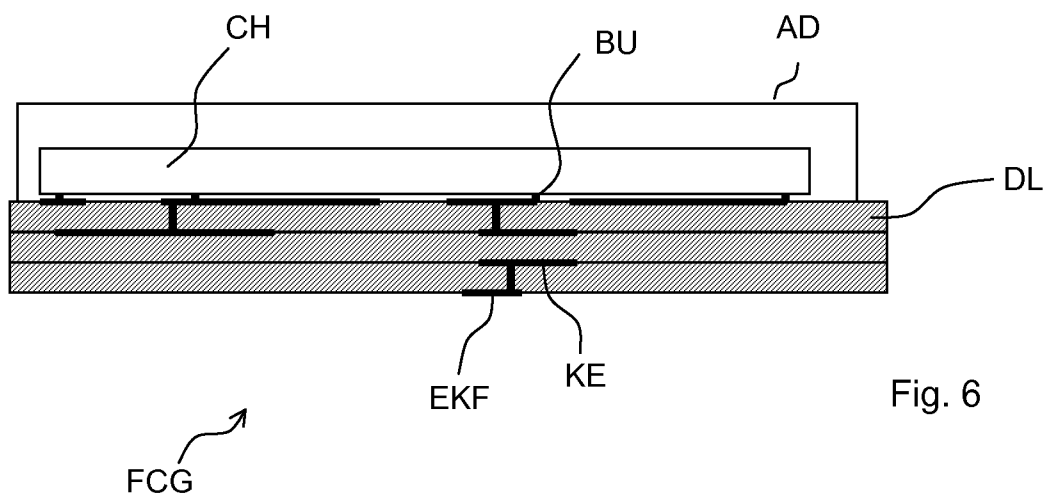


Fig. 6

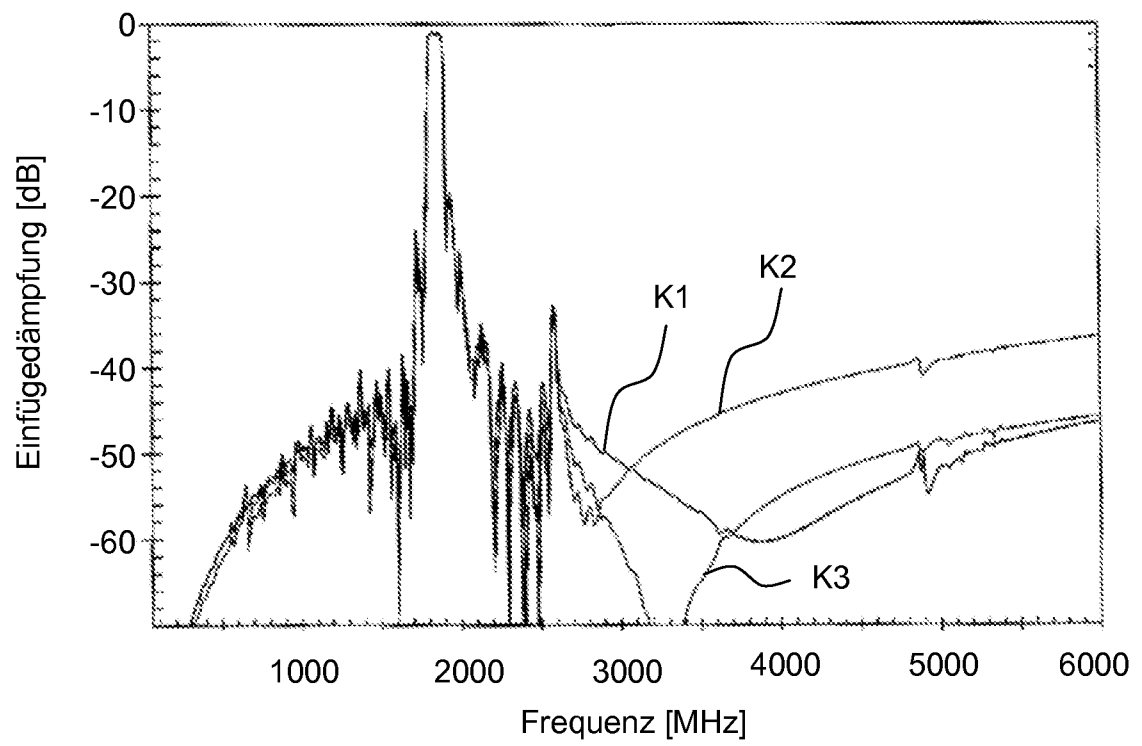


Fig. 7

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2011/060640

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L23/66 H01L23/498 H03H9/05
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2007/013396 A1 (KIM DONG-HAN [KR] ET AL) 18 January 2007 (2007-01-18)	1,2
Y	paragraph [0044] - paragraph [0059]; figures 2C, 4, 5B, 5G, 5H, 5I paragraph [0076] paragraph [0083]	3,6-8
X	JP 10 163248 A (HITACHI LTD; HITACHI YONEZAWA DENSHI KK) 19 June 1998 (1998-06-19)	1,2,4,5
Y	abstract; figures 1-3 paragraph [0014] - paragraph [0024]	3,6-8
X	DE 10 2005 009527 A1 (SIEMENS AG [DE]) 7 September 2006 (2006-09-07)	1,2,5
Y	paragraph [0021]; figure 1 paragraph [0025]	3,6-8
	-/--	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

26 September 2011

Date of mailing of the international search report

06/10/2011

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Gospodinova, M

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2011/060640

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2008/129062 A1 (EPCOS AG [DE]; DETLEFSEN ANDREAS [DE]; WALDHERR ANDREAS [DE]) 30 October 2008 (2008-10-30) page 3, line 13 - page 9, line 2; figures 1-4 page 9, line 24 - page 11, line 17 page 12, line 25 - page 13, line 16 -----	3,6,7
Y	DE 10 2005 032058 A1 (EPCOS AG [DE]) 18 January 2007 (2007-01-18) paragraph [0001] - paragraph [0009]; figures 1,2A-2C,3A,3C,5-10 paragraph [0041] - paragraph [0054] paragraph [0061] - paragraph [0068] -----	3,6-8
A	US 2010/148887 A1 (MATSUDA TAKASHI [JP] ET AL) 17 June 2010 (2010-06-17) paragraph [0097] - paragraph [0127]; figures 2A,2B,3-13 -----	3,6-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2011/060640

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007013396 A1	18-01-2007	KR 20070009840 A US 2010038438 A1	19-01-2007 18-02-2010
JP 10163248 A	19-06-1998	JP 3854350 B2	06-12-2006
DE 102005009527 A1	07-09-2006	WO 2006092345 A1	08-09-2006
WO 2008129062 A1	30-10-2008	DE 102007019325 A1	06-11-2008
DE 102005032058 A1	18-01-2007	WO 2007006375 A1 JP 2009500928 A KR 20080028465 A US 2010127799 A1	18-01-2007 08-01-2009 31-03-2008 27-05-2010
US 2010148887 A1	17-06-2010	CN 101796722 A WO 2009063559 A1	04-08-2010 22-05-2009

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H01L23/66 H01L23/498 H03H9/05
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L H03H

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2007/013396 A1 (KIM DONG-HAN [KR] ET AL) 18. Januar 2007 (2007-01-18)	1,2
Y	Absatz [0044] - Absatz [0059]; Abbildungen 2C, 4, 5B, 5G, 5H, 5I Absatz [0076] Absatz [0083]	3,6-8

X	JP 10 163248 A (HITACHI LTD; HITACHI YONEZAWA DENSHI KK) 19. Juni 1998 (1998-06-19)	1,2,4,5
Y	Zusammenfassung; Abbildungen 1-3 Absatz [0014] - Absatz [0024]	3,6-8

X	DE 10 2005 009527 A1 (SIEMENS AG [DE]) 7. September 2006 (2006-09-07)	1,2,5
Y	Absatz [0021]; Abbildung 1 Absatz [0025]	3,6-8

	-/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. September 2011

Absendedatum des internationalen Recherchenberichts

06/10/2011

Name und Postanschrift der Internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gospodinova, M

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	WO 2008/129062 A1 (EPCOS AG [DE]; DETLEFSEN ANDREAS [DE]; WALDHERR ANDREAS [DE]) 30. Oktober 2008 (2008-10-30) Seite 3, Zeile 13 - Seite 9, Zeile 2; Abbildungen 1-4 Seite 9, Zeile 24 - Seite 11, Zeile 17 Seite 12, Zeile 25 - Seite 13, Zeile 16 -----	3,6,7
Y	DE 10 2005 032058 A1 (EPCOS AG [DE]) 18. Januar 2007 (2007-01-18) Absatz [0001] - Absatz [0009]; Abbildungen 1,2A-2C,3A,3C,5-10 Absatz [0041] - Absatz [0054] Absatz [0061] - Absatz [0068] -----	3,6-8
A	US 2010/148887 A1 (MATSUDA TAKASHI [JP] ET AL) 17. Juni 2010 (2010-06-17) Absatz [0097] - Absatz [0127]; Abbildungen 2A,2B,3-13 -----	3,6-8

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2011/060640

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2007013396	A1	18-01-2007	KR 20070009840	A	19-01-2007
			US 2010038438	A1	18-02-2010

JP 10163248	A	19-06-1998	JP 3854350	B2	06-12-2006

DE 102005009527	A1	07-09-2006	WO 2006092345	A1	08-09-2006

WO 2008129062	A1	30-10-2008	DE 102007019325	A1	06-11-2008

DE 102005032058	A1	18-01-2007	WO 2007006375	A1	18-01-2007
			JP 2009500928	A	08-01-2009
			KR 20080028465	A	31-03-2008
			US 2010127799	A1	27-05-2010

US 2010148887	A1	17-06-2010	CN 101796722	A	04-08-2010
			WO 2009063559	A1	22-05-2009
