

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

位準轉換電路

Level shifter circuit

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或者組合物 (composition of matter)。例如，本發明的一個方式尤其係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、其驅動方法或其製造方法。例如，本發明的一個方式尤其係關於一種包括氧化物半導體的半導體裝置、顯示裝置或發光裝置。

【先前技術】

[0002] 與普通電路同樣，藉由以低電壓進行邏輯運算，能夠降低 FPGA (LSI) 的功耗。另一方面，為了彌補穩定的電路工作或進行與外部電路的電壓相配，需要使經過 I/O 端子輸出的信號的位準與外部電路的電壓位準大致相同。一般而言，藉由使用升壓電路或位準轉換電路等 DC-DC 轉換電路將內部的低電壓信號轉換為輸出到外部的高電壓信號。

[0003] 為了降低功耗，非常有效的是停止高電壓電路的電源供應。另一方面，在停止高電壓電路的電源供應時，需要由低電壓電路控制高電壓電路的電源系統。當低電壓電路在臨界電壓以下的低電壓區域中工作時，由於電晶體的通態電流極小，所以驅動大負載需要長時間。另外，在由低電壓電路直接驅動高電壓電路時，會發生貫通電流產生等的問題，因此，由低電壓電路控制高電壓電路的驅動是較困難的。作為解決上述課題的結構，在下述的非專利文獻 1 中公開了用來以高速將低電壓信號轉換成高電壓信號的位準轉換器的結構。

[0004] [專利文獻 1] A Robust Low Power, High Speed Voltage Level Shifter With Built-in Short Circuit Current Reduction: ECCTD, 2011: 142-145.

【發明內容】

[0005] 然而，在上述論文的一個結構中，n 通道型矽電晶體（以下，稱為 n 型 Si-FET）的關態洩漏電流（off-state leakage current）成為在待機時位準轉換器的功耗增大的主要原因。鑒於上述問題，本發明的一個方式的目的之一是降低在能夠以低電壓工作的位準轉換器待機時發生的洩漏電流。本發明的一個方式的目的之一是提供一種新穎的半導體裝置。

[0006] 注意，對上述目的的描述並不妨礙其他目的的存在。注意，本發明的一個方式並不需要實現所有上述

目的。除上述目的外的目的從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中抽出。

[0007] 為了解決上述習知技術的課題，在位準轉換器的輸出信號線與 GND 電源線之間串聯設置 n 型 Si-FET 和氧化物半導體電晶體（以下，稱為 OS-FET）。與 n 型 Si-FET 相比，OS-FET 的關態洩漏電流極小，因此即便在待機時形成有關態洩漏電流的路徑也能夠降低關態洩漏電流。藉由與輸出信號線的電容耦合使上述 OS-FET 的閘極電極的電位上升到比輸入信號電壓高的電位，由此增大 OS-FET 的 V_{gs} 及通態電流。藉由使 OS-FET 具有與 n 型 Si-FET 的通態電流特性同等以上的通態電流特性，該位準轉換器能夠維持與習知的位準轉換器相同的回應速度。另外，在該位準轉換器的電路結構中，為了維持由於電容耦合上升的閘極電極的電位而使該閘極電極處於浮動狀態。

[0008] 本發明的一個方式是一種位準轉換電路，其中在輸出信號線與低電位電源線之間串聯設置 n 通道型矽電晶體和氧化物半導體電晶體，並且藉由電容耦合使該氧化物半導體電晶體的閘極電極的電位上升到比輸入信號電壓高的電位，從而增大氧化物半導體電晶體的通態電流。

[0009] 本發明的其他一個方式是一種位準轉換電路，包括：第一及第二 p 通道型矽電晶體；第一、第二、第五至第八 n 通道型矽電晶體；第一至第四氧化物半導體

電晶體；第一及第二電容器；高電位電源線；接地電位電源線；低電位電源線；輸出信號線；反轉輸出信號線；輸入信號線；以及反轉輸入信號線，其中，第一 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第一 p 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第一 p 通道型矽電晶體的閘極與第六 n 通道型矽電晶體的源極和汲極中的一個電連接，第二 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第二 p 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第二 p 通道型矽電晶體的閘極與第五 n 通道型矽電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第一 n 通道型矽電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的閘極與輸入信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的源極和汲極中的一個電連接，第二 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第五 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第五 n 通道型矽電晶體的閘極與輸入信號線電連接，第六 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第六 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第七 n 通道型矽電晶體的

源極和汲極中的一個與第一 p 通道型矽電晶體的閘極電連接，第七 n 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第七 n 通道型矽電晶體的閘極與高電位電源線電連接，第八 n 通道型矽電晶體的源極和汲極中的一個與第二 p 通道型矽電晶體的閘極電連接，第八 n 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第八 n 通道型矽電晶體的閘極與高電位電源線電連接，第一氧化物半導體電晶體的源極和汲極中的一個與輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的閘極電連接，第一氧化物半導體電晶體的閘極與低電位電源線電連接，第二氧化物半導體電晶體的源極和汲極中的一個與反轉輸入信號線電連接，第二氧化物半導體電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的閘極電連接，第二氧化物半導體電晶體的閘極與低電位電源線電連接，第三氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第一電容器的第一電極與輸出信號線電連接，第一電容器的第二電極與第三氧化物半導體電晶體的閘極電連接，第二電容器的第一電極與反轉輸出信號線電連接，並且，第二電容器的第二電極與第四氧化物半導體電晶體的閘極電連接。

[0010] 本發明的其他一個方式是一種位準轉換電路，包括：第一及第二 p 通道型矽電晶體；第一、第二、

第五、第六 n 通道型矽電晶體；第一至第四氧化物半導體電晶體；第一及第二電容器；第一及第二電阻元件；高電位電源線；接地電位電源線；低電位電源線；輸出信號線；反轉輸出信號線；輸入信號線；以及反轉輸入信號線，其中，第一 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第一 p 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第一 p 通道型矽電晶體的閘極與第六 n 通道型矽電晶體的源極和汲極中的一個電連接，第二 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第二 p 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第二 p 通道型矽電晶體的閘極與第五 n 通道型矽電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第一 n 通道型矽電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的閘極與輸入信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的源極和汲極中的一個電連接，第二 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第五 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第五 n 通道型矽電晶體的閘極與輸入信號線電連接，第六 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，

第六 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的一個與輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的閘極電連接，第一氧化物半導體電晶體的閘極與低電位電源線電連接，第二氧化物半導體電晶體的源極和汲極中的一個與反轉輸入信號線電連接，第二氧化物半導體電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的閘極電連接，第二氧化物半導體電晶體的閘極與低電位電源線電連接，第三氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第一電阻元件的第一端子與第一 p 通道型矽電晶體的閘極電連接，第一電阻元件的第二端子與輸出信號線電連接，第二電阻元件的第一端子與第二 p 通道型矽電晶體的閘極電連接，第二電阻元件的第二端子與反轉輸出信號線電連接，第一電容器的第一電極與輸出信號線電連接，第一電容器的第二電極與第三氧化物半導體電晶體的閘極電連接，第二電容器的第一電極與反轉輸出信號線電連接，並且，第二電容器的第二電極與第四氧化物半導體電晶體的閘極電連接。

[0011] 本發明的其他一個方式是一種位準轉換電路，包括：第一至第四 p 通道型矽電晶體；第一至第四 n 通道型矽電晶體；第一至第四氧化物半導體電晶體；第一及第二電容器；高電位電源線；接地電位電源線；低電位

電源線；輸出信號線；反轉輸出信號線；輸入信號線；以及反轉輸入信號線，其中，第一 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第一 p 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第一 p 通道型矽電晶體的閘極與第四 p 通道型矽電晶體的閘極電連接，第二 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第二 p 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第二 p 通道型矽電晶體的閘極與第三 p 通道型矽電晶體的閘極電連接，第三 p 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第三 p 通道型矽電晶體的源極和汲極中的另一個與第三 p 通道型矽電晶體的閘極電連接，第三 p 通道型矽電晶體的閘極與第三 n 通道型矽電晶體的源極和汲極中的一個電連接，第四 p 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第四 p 通道型矽電晶體的源極和汲極中的另一個與第四 p 通道型矽電晶體的閘極電連接，第四 p 通道型矽電晶體的閘極與第四 n 通道型矽電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第一 n 通道型矽電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的閘極與輸入信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的另一個與第四氧

化物半導體電晶體的源極和汲極中的一個電連接，第二 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第三 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第三 n 通道型矽電晶體的閘極與輸入信號線電連接，第四 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的一個與輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的閘極電連接，第一氧化物半導體電晶體的閘極與低電位電源線電連接，第二氧化物半導體電晶體的源極和汲極中的一個與反轉輸入信號線電連接，第二氧化物半導體電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的閘極電連接，第二氧化物半導體電晶體的閘極與低電位電源線電連接，第三氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第一電容器的第一電極與輸出信號線電連接，第一電容器的第二電極與第三氧化物半導體電晶體的閘極電連接，第二電容器的第一電極與反轉輸出信號線電連接，並且，第二電容器的第二電極與第四氧化物半導體電晶體的閘極電連接。

[0012] 本發明的其他一個方式是一種位準轉換電路，包括：第一至第四 p 通道型矽電晶體；第一至第八 n

通道型矽電晶體；第一至第四氧化物半導體電晶體；第一及第二電容器；高電位電源線；接地電位電源線；低電位電源線；輸出信號線；反轉輸出信號線；輸入信號線；以及反轉輸入信號線，其中，第一 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第一 p 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第一 p 通道型矽電晶體的閘極與第六 n 通道型矽電晶體的源極和汲極中的一個電連接，第二 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第二 p 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第二 p 通道型矽電晶體的閘極與第五 n 通道型矽電晶體的源極和汲極中的一個電連接，第三 p 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第三 p 通道型矽電晶體的源極和汲極中的另一個與第三 p 通道型矽電晶體的閘極電連接，第三 p 通道型矽電晶體的閘極與第三 n 通道型矽電晶體的源極和汲極中的一個電連接，第四 p 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第四 p 通道型矽電晶體的源極和汲極中的另一個與第四 p 通道型矽電晶體的閘極電連接，第四 p 通道型矽電晶體的閘極與第四 n 通道型矽電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第一 n 通道型矽電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的閘極與輸

入信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的源極和汲極中的一個電連接，第二 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第三 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第三 n 通道型矽電晶體的閘極與輸入信號線電連接，第四 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第五 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第五 n 通道型矽電晶體的閘極與輸入信號線電連接，第六 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第六 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第七 n 通道型矽電晶體的源極和汲極中的一個與第一 p 通道型矽電晶體的閘極電連接，第七 n 通道型矽電晶體的源極和汲極中的另一個與第四 p 通道型矽電晶體的閘極電連接，第七 n 通道型矽電晶體的閘極與高電位電源線電連接，第八 n 通道型矽電晶體的源極和汲極中的一個與第二 p 通道型矽電晶體的閘極電連接，第八 n 通道型矽電晶體的源極和汲極中的另一個與第三 p 通道型矽電晶體的閘極電連接，第八 n 通道型矽電晶體的閘極與高電位電源線電連接，第一氧化物半導體電晶體的源極和汲極中的一個與輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的另一個與第三氧化物

半導體電晶體的閘極電連接，第一氧化物半導體電晶體的閘極與低電位電源線電連接，第二氧化物半導體電晶體的源極和汲極中的一個與反轉輸入信號線電連接，第二氧化物半導體電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的閘極電連接，第二氧化物半導體電晶體的閘極與低電位電源線電連接，第三氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第一電容器的第一電極與輸出信號線電連接，第一電容器的第二電極與第三氧化物半導體電晶體的閘極電連接，第二電容器的第一電極與反轉輸出信號線電連接，並且，第二電容器的第二電極與第四氧化物半導體電晶體的閘極電連接。

[0013] 本發明的其他一個方式是一種位準轉換電路，包括：第一及第二 p 通道型矽電晶體；第一、第二、第五至第八 n 通道型矽電晶體；第一至第四氧化物半導體電晶體；高電位電源線；接地電位電源線；低電位電源線；輸出信號線；反轉輸出信號線；輸入信號線；以及反轉輸入信號線，其中，第一 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第一 p 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第一 p 通道型矽電晶體的閘極與第六 n 通道型矽電晶體的源極和汲極中的一個電連接，第二 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第二 p 通道型矽

電晶體的源極和汲極中的另一個與輸出信號線電連接，第二 p 通道型矽電晶體的閘極與第五 n 通道型矽電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第一 n 通道型矽電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的閘極與輸入信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的源極和汲極中的一個電連接，第二 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第五 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第五 n 通道型矽電晶體的閘極與輸入信號線電連接，第六 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第六 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第七 n 通道型矽電晶體的源極和汲極中的一個與第一 p 通道型矽電晶體的閘極電連接，第七 n 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第七 n 通道型矽電晶體的閘極與高電位電源線電連接，第八 n 通道型矽電晶體的源極和汲極中的一個與第二 p 通道型矽電晶體的閘極電連接，第八 n 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第八 n 通道型矽電晶體的閘極與高電位電源線電連接，第一氧化物半導體電晶體的源極和汲極中的一個與輸入信號線電連接，第

一氧化物半導體電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的閘極電連接，第一氧化物半導體電晶體的閘極與低電位電源線電連接，第二氧化物半導體電晶體的源極和汲極中的一個與反轉輸入信號線電連接，第二氧化物半導體電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的閘極電連接，第二氧化物半導體電晶體的閘極與低電位電源線電連接，第三氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，並且，第四氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接。

[0014] 本發明的其他一個方式是一種位準轉換電路，包括：第一及第二 p 通道型矽電晶體；第一、第二、第五、第六 n 通道型矽電晶體；第一至第四氧化物半導體電晶體；第一及第二電阻元件；高電位電源線；接地電位電源線；低電位電源線；輸出信號線；反轉輸出信號線；輸入信號線；以及反轉輸入信號線，其中，第一 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第一 p 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第一 p 通道型矽電晶體的閘極與第六 n 通道型矽電晶體的源極和汲極中的一個電連接，第二 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第二 p 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第二 p 通道型矽電晶體的閘極與第五 n 通道型矽電晶體的源極和汲極中的一個電連接，第一 n 通

道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第一 n 通道型矽電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的閘極與輸入信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的源極和汲極中的一個電連接，第二 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第五 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第五 n 通道型矽電晶體的閘極與輸入信號線電連接，第六 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第六 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的一個與輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的閘極電連接，第一氧化物半導體電晶體的閘極與低電位電源線電連接，第二氧化物半導體電晶體的源極和汲極中的一個與反轉輸入信號線電連接，第二氧化物半導體電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的閘極電連接，第二氧化物半導體電晶體的閘極與低電位電源線電連接，第三氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，第一電阻元件的第一端子與第一 p 通道型矽電晶體

的閘極電連接，第一電阻元件的第二端子與輸出信號線電連接，第二電阻元件的第一端子與第二 p 通道型矽電晶體的閘極電連接，並且，第二電阻元件的第二端子與反轉輸出信號線電連接。

[0015] 本發明的其他一個方式是一種位準轉換電路，包括：第一至第四 p 通道型矽電晶體；第一至第四 n 通道型矽電晶體；第一至第四氧化物半導體電晶體；高電位電源線；接地電位電源線；低電位電源線；輸出信號線；反轉輸出信號線；輸入信號線；以及反轉輸入信號線，其中，第一 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第一 p 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第一 p 通道型矽電晶體的閘極與第四 p 通道型矽電晶體的閘極電連接，第二 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第二 p 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第二 p 通道型矽電晶體的閘極與第三 p 通道型矽電晶體的閘極電連接，第三 p 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第三 p 通道型矽電晶體的源極和汲極中的另一個與第三 p 通道型矽電晶體的閘極電連接，第三 p 通道型矽電晶體的閘極與第三 n 通道型矽電晶體的源極和汲極中的一個電連接，第四 p 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第四 p 通道型矽電晶體的源極和汲極中的另一個與第四 p 通道型矽電晶體的閘極電連接，第四 p 通

道型矽電晶體的閘極與第四 n 通道型矽電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第一 n 通道型矽電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的閘極與輸入信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的源極和汲極中的一個電連接，第二 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第三 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第三 n 通道型矽電晶體的閘極與輸入信號線電連接，第四 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的一個與輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的閘極電連接，第一氧化物半導體電晶體的閘極與低電位電源線電連接，第二氧化物半導體電晶體的源極和汲極中的一個與反轉輸入信號線電連接，第二氧化物半導體電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的閘極電連接，第二氧化物半導體電晶體的閘極與低電位電源線電連接，第三氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，並且，第四氧化物半導體電晶體的源極和

汲極中的另一個與接地電位電源線電連接。

[0016] 本發明的其他一個方式是一種位準轉換電路，包括：第一至第四 p 通道型矽電晶體；第一至第八 n 通道型矽電晶體；第一至第四氧化物半導體電晶體；高電位電源線；接地電位電源線；低電位電源線；輸出信號線；反轉輸出信號線；輸入信號線；以及反轉輸入信號線，其中，第一 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第一 p 通道型矽電晶體的源極和汲極中的另一個與反轉輸出信號線電連接，第一 p 通道型矽電晶體的閘極與第六 n 通道型矽電晶體的源極和汲極中的一個電連接，第二 p 通道型矽電晶體的源極和汲極中的一個與高電位電源線電連接，第二 p 通道型矽電晶體的源極和汲極中的另一個與輸出信號線電連接，第二 p 通道型矽電晶體的閘極與第五 n 通道型矽電晶體的源極和汲極中的一個電連接，第三 p 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號線電連接，第三 p 通道型矽電晶體的源極和汲極中的另一個與第三 p 通道型矽電晶體的閘極電連接，第三 p 通道型矽電晶體的閘極與第三 n 通道型矽電晶體的源極和汲極中的一個電連接，第四 p 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第四 p 通道型矽電晶體的源極和汲極中的另一個與第四 p 通道型矽電晶體的閘極電連接，第四 p 通道型矽電晶體的閘極與第四 n 通道型矽電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的源極和汲極中的一個與反轉輸出信號

線電連接，第一 n 通道型矽電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的源極和汲極中的一個電連接，第一 n 通道型矽電晶體的閘極與輸入信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的一個與輸出信號線電連接，第二 n 通道型矽電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的源極和汲極中的一個電連接，第二 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第三 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第三 n 通道型矽電晶體的閘極與輸入信號線電連接，第四 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第四 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第五 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第五 n 通道型矽電晶體的閘極與輸入信號線電連接，第六 n 通道型矽電晶體的源極和汲極中的另一個與接地電位電源線電連接，第六 n 通道型矽電晶體的閘極與反轉輸入信號線電連接，第七 n 通道型矽電晶體的源極和汲極中的一個與第一 p 通道型矽電晶體的閘極電連接，第七 n 通道型矽電晶體的源極和汲極中的另一個與第四 p 通道型矽電晶體的閘極電連接，第七 n 通道型矽電晶體的閘極與高電位電源線電連接，第八 n 通道型矽電晶體的源極和汲極中的一個與第二 p 通道型矽電晶體的閘極電連接，第八 n 通道型矽電晶體的源極和汲極中的另一個與第三 p 通道型矽電晶體的閘極電連接，第八 n 通道型矽電晶體的閘極與高電位

電源線電連接，第一氧化物半導體電晶體的源極和汲極中的一個與輸入信號線電連接，第一氧化物半導體電晶體的源極和汲極中的另一個與第三氧化物半導體電晶體的閘極電連接，第一氧化物半導體電晶體的閘極與低電位電源線電連接，第二氧化物半導體電晶體的源極和汲極中的一個與反轉輸入信號線電連接，第二氧化物半導體電晶體的源極和汲極中的另一個與第四氧化物半導體電晶體的閘極電連接，第二氧化物半導體電晶體的閘極與低電位電源線電連接，第三氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接，並且，第四氧化物半導體電晶體的源極和汲極中的另一個與接地電位電源線電連接。

[0017] 在本發明的一個方式中，藉由在關態洩漏電流的路徑中串聯設置 n 型 Si-FET 和 OS-FET，降低靜態的洩漏電流及功耗。或者，本發明的一個方式提供一種新穎的半導體裝置。注意，對上述效果的描述並不妨礙其他效果的存在。注意，本發明的一個方式並不需要具有所有上述效果。除上述效果外的效果從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中抽出。

【圖式簡單說明】

在圖式中：

[0018] 圖 1 是本發明的一個方式的位準轉換器的電路圖；

圖 2 是本發明的一個方式的位準轉換電路的工作時序圖；

圖 3 是本發明的一個方式的位準轉換器的電路圖；

圖 4 是本發明的一個方式的位準轉換器的電路圖；

圖 5 是本發明的一個方式的位準轉換器的電路圖；

圖 6 是說明本發明的一個方式的電晶體的結構的一個例子的圖；

圖 7A 至圖 7C 是說明本發明的一個方式的電晶體結構的一個例子的圖；

圖 8A 至圖 8C 是說明本發明的一個方式的電晶體結構的一個例子的圖；

圖 9 是說明本發明的一個方式的電晶體結構的一個例子的圖；

圖 10A 至圖 10D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像及 CAAC-OS 的剖面示意圖；

圖 11A 至圖 11D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 12A 至圖 12C 是說明藉由 XRD 的 CAAC-OS 及單晶氧化物半導體的結構分析的圖；

圖 13A 和圖 13B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 14 是示出藉由電子照射的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 15A 至圖 15F 是說明電子裝置的圖。

【實施方式】

[0019]

實施方式 1

使用圖 1 對本發明的一個方式的位準轉換器進行說明。

[0020] 圖 1 示出本發明的一個方式的位準轉換器的電路圖。本發明的一個方式的位準轉換器包括：第一 p 通道型矽電晶體（以下，稱為 p 型 Si-FET）101；第二 p 型 Si-FET102；第三 p 型 Si-FET103；第四 p 型 Si-FET104；第一 n 通道型矽電晶體（以下，稱為 n 型 Si-FET）111；第二 n 型 Si-FET112；第三 n 型 Si-FET113；第四 n 型 Si-FET114；第一氧化物半導體電晶體（以下，稱為 OS-FET）121；第二 OS-FET122；第三 OS-FET123；第四 OS-FET124；第一電容器（C1）131；第二電容器（C2）132；接地電源線（GND）141；低電位電源線（VDD_L）142；高電位電源線（VDD_H）143；輸入信號線（IN）151；反轉輸入信號線（INB）152；輸出信號線（OUT）161；以及反轉輸出信號線（OUTB）162。

[0021] 第一 p 型 Si-FET101 的閘極端子與第四 p 型 Si-FET104 的閘極端子、第四 p 型 Si-FET104 的源極和汲極中的另一個端子以及第四 n 型 Si-FET114 的源極和汲極中的一個端子連接。另外，第一 p 型 Si-FET101 的源極和汲極中的一個端子與高電位電源線（VDD_H）143 連接。

另外，第一 p 型 Si-FET101 的源極和汲極中的另一個端子與第三 p 型 Si-FET103 的源極和汲極中的一個端子、第一 n 型 Si-FET111 的源極和汲極中的一個端子、第二電容器 (C2) 132 的一個端子以及反轉輸出信號線 (OUTB) 162 連接。注意，可以將第一 p 型 Si-FET101 的閘極端子所連接的節點稱為 N2。

[0022] 第二 p 型 Si-FET102 的閘極端子與第三 p 型 Si-FET103 的閘極端子、第三 p 型 Si-FET103 的源極和汲極中的另一個端子以及第三 n 型 Si-FET113 的源極和汲極中的一個端子連接。另外，第二 p 型 Si-FET102 的源極和汲極中的一個端子與高電位電源線 (VDD_H) 143 連接。另外，第二 p 型 Si-FET102 的源極和汲極中的另一個端子與第四 p 型 Si-FET104 的源極和汲極中的一個端子、第二 n 型 Si-FET112 的源極和汲極中的一個端子、第一電容器 (C1) 131 的一個端子以及輸出信號線 (OUT) 161 連接。注意，可以將第二 p 型 Si-FET102 的閘極端子所連接的節點稱為 N1。

[0023] 第一 n 型 Si-FET111 的閘極端子與輸入信號線 (IN) 151、第三 n 型 Si-FET113 的閘極端子以及第一 OS-FET121 的源極和汲極中的一個端子連接。另外，第一 n 型 Si-FET111 的源極和汲極中的另一個端子與第三 OS-FET123 的源極和汲極中的一個端子連接。注意，可以將第一 n 型 Si-FET111 的源極和汲極中的另一個端子所連接的節點稱為 N3。

[0024] 第二 n 型 Si-FET112 的閘極端子與反轉輸入信號線 (INB) 152、第四 n 型 Si-FET114 的閘極端子以及第二 OS-FET122 的源極和汲極中的一個端子連接。另外，第二 n 型 Si-FET112 的源極和汲極中的另一個端子與第四 OS-FET124 的源極和汲極中的一個端子連接。注意，可以將第二 n 型 Si-FET112 的源極和汲極中的另一個端子所連接的節點稱為 N4。

[0025] 第三 n 型 Si-FET113 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0026] 第四 n 型 Si-FET114 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0027] 第一 OS-FET121 的閘極端子與低電位電源線 (VDD_L) 142 連接。另外，第一 OS-FET121 的源極和汲極中的另一個端子與第三 OS-FET123 的閘極端子以及第一電容器 (C1) 131 的另一個端子連接。注意，可以將第一 OS-FET121 的源極和汲極中的另一個端子所連接的節點稱為 N5。

[0028] 第二 OS-FET122 的閘極端子與低電位電源線 (VDD_L) 142 連接。第二 OS-FET122 的源極和汲極中的另一個端子與第四 OS-FET124 的閘極端子以及第二電容器 (C2) 132 的另一個端子連接。注意，可以將第二 OS-FET122 的源極和汲極中的另一個端子所連接的節點稱為 N6。

[0029] 第三 OS-FET123 的源極和汲極中的另一個端

子與接地電源線（GND）141 連接。

[0030] 第四 OS-FET124 的源極和汲極中的另一個端子與接地電源線（GND）141 連接。

[0031] 第一 p 型 Si-FET101 具有根據 N2 的電位控制高電位電源線（VDD_H）143 的電源供應的功能。

[0032] 第二 p 型 Si-FET102 具有根據 N1 的電位控制高電位電源線（VDD_H）143 的電源供應的功能。

[0033] 藉由採用二極體連接結構，第三 p 型 Si-FET103 具有如下功能：控制經過第一 p 型 Si-FET101 的高電位電源線（VDD_H）143 的電位供應而不使 N1 的電位完全上升到高電位電源線（VDD_H）143 的電位，以使經過第三 n 型 Si-FET113 的接地電源線（GND）141 的電位供應變得容易。

[0034] 藉由採用二極體連接結構，第四 p 型 Si-FET104 具有如下功能：控制經過第二 p 型 Si-FET102 的高電位電源線（VDD_H）143 的電位供應而不使 N2 的電位完全上升到高電位電源線（VDD_H）143 的電位，以使經過第四 n 型 Si-FET114 的接地電源線（GND）141 的電位供應變得容易。

[0035] 第一 n 型 Si-FET111 具有比第三 OS-FET123 更早成為關閉狀態來抑制貫通電流的發生的功能。

[0036] 第二 n 型 Si-FET112 具有比第四 OS-FET124 更早成為關閉狀態來抑制貫通電流的發生的功能。

[0037] 第三 n 型 Si-FET113 具有抑制接地電源線

5

(GND) 141 向 N1 供應電源的功能。

[0038] 第四 n 型 Si-FET114 具有控制接地電源線 (GND) 141 向 N2 供應電源的功能。

[0039] 第一 OS-FET121 具有如下功能：當 IN151 的電位為 H 電位，並且 N5 的電位由於電容耦合上升到比低電位電源線 (VDD_L) 142 的電位高的電位時，成為關閉狀態而維持 N5 的電位。

[0040] 第二 OS-FET122 具有如下功能：當 INB152 的電位為 H 電位，並且 N6 的電位由於電容耦合上升到比低電位電源線 (VDD_L) 142 的電位高的電位時，成為關閉狀態而維持 N6 的電位。

[0041] 第三 OS-FET123 具有減少關態洩漏電流的功能。

[0042] 第四 OS-FET124 具有減少關態洩漏電流的功能。

[0043] N5 與 OUT161 之間的第一電容器 (C1) 131 具有對 N5 供應由於電容耦合上升的高電位以使第三 OS-FET123 的通態電流得到提高的功能。注意，只要電位由於電容耦合充分上升就可以使用佈線之間的寄生電容等來代替第一電容器 (C1) 131。

[0044] N6 與 OUTB162 的第二電容器 (C2) 132 具有對 N6 供應由於電容耦合上升的高電位以使第四 OS-FET124 的通態電流得到提高的功能。注意，只要電位由於電容耦合充分上升就可以使用佈線之間的寄生電容等來

代替第二電容器（C2）132。

[0045] 注意，本實施方式可以與其他實施方式適當地組合而實施。

[0046]

實施方式 2

使用圖 2 所示的時序圖對圖 1 的位準轉換器的電路工作進行說明。

[0047] 在初始狀態下，IN151 的電位維持 L 電位，INB152 的電位維持 H 電位。因為供應到 IN151、INB152 的信號基於低電位電源電路，所以 H 電位是低電位電源線（VDD_L）142 的電位。此時，N1 的電位為 H 電位，而比高電位電源線（VDD_H）143 的電位低出第三 p 型 Si-FET103 的臨界電壓的電位施加到 N1。另外，N2 的電位和 N5 的電位都是 L 電位，並且，藉由與 OUTB162 的電容耦合使比作為輸入信號的 H 電位的低電位電源線（VDD_L）142 的電位高的電位施加到 N6。

[0048] 在時刻 T0，在 IN151 的電位成為 H 電位時，第一 n 型 Si-FET111、第三 n 型 Si-FET113 以及第三 OS-FET123 處於開啟狀態，而在 INB152 的電位成為 L 電位時，第二 n 型 Si-FET112 以及第四 n 型 Si-FET114 處於關閉狀態。經過第二 OS-FET122 向第四 OS-FET124 供應 INB152 的電位，並且該第四 OS-FET124 直到其閘極電位降低到 L 電位（GND）為止維持開啟狀態。注意，第四 OS-FET124 維持開啟狀態多長時間取決於第二 OS-FET122

的通態電流。藉由使 IN151 的電位成為 H 電位並使第三 n 型 Si-FET113 成為開啟狀態，N1 的電位下降。其結果，經過第二 p 型 Si-FET102 向 OUT161 供應高電位電源線（VDD_H）143 的電位，而 OUT161 的電位開始上升。在 OUT161 的電位上升時，經過第四 p 型 Si-FET104 向 N2 供應高電位電源線（VDD_H）143 的電位。

[0049] 另外，藉由使 IN151 的電位成為 H 電位，N5 的電位上升到低電位電源線（VDD_L）142 的電位。再者，藉由使 OUT161 的電位上升，經過第一電容器（C1）131 發生電容耦合而使 N5 的電位上升到比低電位電源線（VDD_L）142 的電位高的電位。因此，藉由使第三 OS-FET123 的通態電流比第一 n 型 Si-FET111 的通態電流大，能夠以與習知的位準轉換器相同的回應速度進行上升工作。

[0050] 在時刻 T0 與時刻 T1 之間，高電位電源線（VDD_H）143 經過第一 p 型 Si-FET101、第一 n 型 Si-FET111 以及第三 OS-FET123 與接地電源線（GND）141 連接而發生貫通電流。該貫通電流的量取決於第一 n 型 Si-FET111 和第三 OS-FET123 中的任一其通態電流小的 FET。注意，因為低電位電源驅動的 n 型 Si-FET 的 V_{gs} 與高電位電源驅動的 p 型 Si-FET 的 V_{gs} 互不相同，所以與供應接地電源線（GND）141 的電位的 n 型 Si-FET 的通態電流相比，供應高電位電源線（VDD_H）143 的電位的 p 型 Si-FET 的通態電流大，由此即便在貫通電流發生

時 OUTB162 的電位也維持為 H 電位。同樣地，與供應接地電源線（GND）141 的電位的第三 n 型 Si-FET113 相比，供應高電位電源線（VDD_H）143 的電位的第一 p 型 Si-FET101 和第三 p 型 Si-FET103 的通態電流大，所以 N1 的電位也維持為 H 電位。

[0051] 在時刻 T1，當 N2 的電位上升到比高電位電源線（VDD_H）143 的電位低出第四 p 型 Si-FET104 的臨界電壓的電位時，使第一 p 型 Si-FET101 成為關閉狀態。停止從高電位電源線（VDD_H）143 向 OUTB162 供應電源，經過第一 n 型 Si-FET111 和第三 OS-FET123 從接地電源線（GND）141 供應電源，而 OUTB162 的電位下降。另外，在 OUTB162 的電位下降時，N6 的電位由於經過第二電容器（C2）132 發生的電容耦合而下降。若 N6 的電位為接地電源線（GND）141 的電位，即為 L 電位，N6 的電位則維持其狀態。在 N6 的電位成為 L 電位時，第四 OS-FET124 成為關閉狀態。與 Si-FET 相比，OS-FET 的關態電流極小，因此能夠減少洩漏到接地電源線（GND）141 的電流量，並能夠抑制 OUT161 的 H 電位降低。注意，N4 的電位因第二 n 型 Si-FET112 的關態洩漏電流而漸漸上升。隨著 N4 的電位上升，第二 n 型 Si-FET112 的 V_{ds} 和第四 OS-FET124 的 V_{ds} 發生變化，因此其關態電流的值根據第二 n 型 Si-FET112 的 V_{ds} 特性而變化。

[0052] 另外，藉由使第一 p 型 Si-FET101 成為關閉

狀態，經過第三 n 型 Si-FET113 供應接地電源線（GND）141 的電位，從而在 OUTB162 的電位發生變化的同時 N1 的電位也下降。

[0053] 在時刻 T2，藉由使 OUTB162、N1、N6 的電位成為 L 電位，低電位信號的升壓就結束。

[0054] 由於圖 1 的電路具有左右對稱性，所以除了各工作的元件或節點調換之外，時刻 T3 至時刻 T5 的工作與時刻 T0 至時刻 T2 的工作相同，因此省略其說明。

[0055] 藉由進行上述電路工作，在第四 OS-FET124 或第三 OS-FET123 成為導通狀態時，閘極電位由於電容耦合上升，而使該第四 OS-FET124 或第三 OS-FET123 的通態電流比 n 型 Si-FET 大，因此，即便包括 OS-FET 也能夠將位準轉換器的工作保持為正常狀態並維持與習知的位準轉換器相同的回應速度。另外，與 n 型 Si-FET 相比，OS-FET 的關態電流極小，因此藉由使第四 OS-FET124 或第三 OS-FET123 成為關閉狀態，能夠減少在 OUT161 或 OUTB162 的電位為 H 電位時洩漏到接地電源線（GND）141 的電流量。其結果，能夠降低處於恆電位輸出狀態的待機時的功耗。

[0056] 注意，本實施方式可以與其他實施方式適當地組合而實施。

[0057]

實施方式 3

使用圖 3 對本發明的一個方式的位準轉換器的其他結

構進行說明。

[0058] 圖 3 示出位準轉換器的電路圖。本發明的一個方式的位準轉換器包括：第一 p 型 Si-FET101；第二 p 型 Si-FET102；第一 n 型 Si-FET111；第二 n 型 Si-FET112；第五 n 型 Si-FET115；第六 n 型 Si-FET116；第七 n 型 Si-FET117；第八 n 型 Si-FET118；第一 OS-FET121；第二 OS-FET122；第三 OS-FET123；第四 OS-FET124；第一電容器（C1）131；第二電容器（C2）132；接地電源線（GND）141；低電位電源線（VDD_L）142；高電位電源線（VDD_H）143；輸入信號線（IN）151；反轉輸入信號線（INB）152；輸出信號線（OUT）161；以及反轉輸出信號線（OUTB）162。

[0059] 第一 p 型 Si-FET101 的閘極端子與第六 n 型 Si-FET116 的源極和汲極中的一個端子以及第七 n 型 Si-FET117 的源極和汲極中的一個端子連接。另外，第一 p 型 Si-FET101 的源極和汲極中的一個端子與高電位電源線（VDD_H）143 連接。另外，第一 p 型 Si-FET101 的源極和汲極中的另一個端子與第一 n 型 Si-FET111 的源極和汲極中的一個端子、第八 n 型 Si-FET118 的源極和汲極中的另一個端子、第二電容器（C2）132 的一個端子以及反轉輸出信號線（OUTB）162 連接。

[0060] 第二 p 型 Si-FET102 的閘極端子與第五 n 型 Si-FET115 的源極和汲極中的一個端子以及第八 n 型 Si-FET118 的源極和汲極中的一個端子連接。第二 p 型 Si-

FET102 的源極和汲極中的一個端子與高電位電源線 (VDD_H) 143 連接。第二 p 型 Si-FET102 的源極和汲極中的另一個端子與第二 n 型 Si-FET112 的源極和汲極中的一個端子、第七 n 型 Si-FET117 的源極和汲極中的另一個端子、第一電容器 (C1) 131 的一個端子以及輸出信號線 (OUT) 161 連接。

[0061] 第一 n 型 Si-FET111 的閘極端子與輸入信號線 (IN) 151、第五 n 型 Si-FET115 的閘極端子以及第一 OS-FET121 的源極和汲極中的一個端子連接。第一 n 型 Si-FET111 的源極和汲極中的另一個端子與第三 OS-FET123 的源極和汲極中的一個端子連接。注意，可以將第一 n 型 Si-FET111 的源極和汲極中的另一個端子所連接的節點稱為 N3。

[0062] 第二 n 型 Si-FET112 的閘極端子與反轉輸入信號線 (INB) 152、第六 n 型 Si-FET116 的閘極端子以及第二 OS-FET122 的源極和汲極中的一個端子連接。第二 n 型 Si-FET112 的源極和汲極中的另一個端子與第四 OS-FET124 的源極和汲極中的一個端子連接。注意，可以將第二 n 型 Si-FET112 的源極和汲極中的另一個端子所連接的節點稱為 N4。

[0063] 第五 n 型 Si-FET115 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0064] 第六 n 型 Si-FET116 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0065] 第七 n 型 Si-FET117 的閘極端子與高電位電源線 (VDD_H) 143 連接。

[0066] 第八 n 型 Si-FET118 的閘極端子與高電位電源線 (VDD_H) 143 連接。

[0067] 第一 OS-FET121 的閘極端子與低電位電源線 (VDD_L) 142 連接。第一 OS-FET121 的源極和汲極中的另一個端子與第三 OS-FET123 的閘極端子以及第一電容器 (C1) 131 的另一個端子連接。注意，可以將第一 OS-FET121 的源極和汲極中的另一個端子所連接的節點稱為 N5。

[0068] 第二 OS-FET122 的閘極端子與低電位電源線 (VDD_L) 142 連接，並且第二 OS-FET122 的源極和汲極中的另一個端子與第四 OS-FET124 的閘極端子以及第二電容器 (C2) 132 的另一個端子連接。注意，可以將第二 OS-FET122 的源極和汲極中的另一個端子所連接的節點稱為 N6。

[0069] 第三 OS-FET123 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0070] 第四 OS-FET124 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0071] 第一 p 型 Si-FET101 具有根據第一 p 型 Si-FET101 的閘極端子的電位控制高電位電源線 (VDD_H) 143 的電源供應的功能。

[0072] 第二 p 型 Si-FET102 具有根據第二 p 型 Si-

FET102 的閘極端子的電位控制高電位電源線（VDD_H）143 的電源供應的功能。

[0073] 第一 n 型 Si-FET111 具有比第三 OS-FET123 更早成為關閉狀態來抑制貫通電流的發生的功能。

[0074] 第二 n 型 Si-FET112 具有比第四 OS-FET124 更早成為關閉狀態來抑制貫通電流的發生的功能。

[0075] 第五 n 型 Si-FET115 具有向第二 p 型 Si-FET102 的閘極端子直接供應接地電源線（GND）141 的電位而使位準轉換器的轉移工作變得容易的功能。

[0076] 第六 n 型 Si-FET116 具有向第一 p 型 Si-FET101 的閘極端子直接供應接地電源線（GND）141 的電位而使位準轉換器的轉移工作變得容易的功能。

[0077] 第七 n 型 Si-FET117 用作其電阻根據源極或汲極的電位變化的可變電阻器，並具有使位準轉換器的轉移工作變得容易的功能。

[0078] 第八 n 型 Si-FET118 用作其電阻根據源極或汲極的電位變化的可變電阻器，並具有使位準轉換器的轉移工作變得容易的功能。

[0079] 第一 OS-FET121 具有如下功能：當輸入信號線（IN）151 的電位為 H 電位，並且 N5 的電位由於電容耦合上升到比低電位電源線（VDD_L）142 的電位高的電位時，成為關閉狀態而維持 N5 的電位。

[0080] 第二 OS-FET122 具有如下功能：當反轉輸入信號線（INB）152 的電位為 H 電位，並且 N6 的電位由

於電容耦合上升到比低電位電源線（VDD_L）142 的電位高的電位時，成為關閉狀態而維持 N6 的電位。

[0081] 第三 OS-FET123 具有降低關態洩漏電流的功能。

[0082] 第四 OS-FET124 具有降低關態洩漏電流的功能。

[0083] N5 與輸出信號線（OUT）161 之間的第一電容器（C1）131 具有對 N5 供應由於電容耦合上升的高電位以使第三 OS-FET123 的通態電流得到提高的功能。注意，只要電位由於電容耦合充分上升就可以使用佈線之間的寄生電容等來代替第一電容器（C1）131。

[0084] N6 與反轉輸出信號線（OUTB）162 之間的第二電容器（C2）132 具有對 N6 供應由於電容耦合上升的高電位以使第四 OS-FET124 的通態電流得到提高的功能。注意，只要電位由於電容耦合充分上升就可以使用佈線之間的寄生電容等來代替第二電容器（C2）132。

[0085] 注意，本實施方式可以與其他實施方式適當地組合而實施。

[0086]

實施方式 4

使用圖 4 對本發明的一個方式的位準轉換器的其他結構進行說明。

[0087] 圖 4 示出位準轉換器的電路圖。本發明的一個方式的位準轉換器包括：第一 p 型 Si-FET101；第二 p 5

型 Si-FET102；第一 n 型 Si-FET111；第二 n 型 Si-FET112；第五 n 型 Si-FET115；第六 n 型 Si-FET116；第一 OS-FET121；第二 OS-FET122；第三 OS-FET123；第四 OS-FET124；第一電容器（C1）131；第二電容器（C2）132；第一電阻元件 171；第二電阻元件 172；接地電源線（GND）141；低電位電源線（VDD_L）142；高電位電源線（VDD_H）143；輸入信號線（IN）151；反轉輸入信號線（INB）152；輸出信號線（OUT）161；以及反轉輸出信號線（OUTB）162。

[0088] 第一 p 型 Si-FET101 的閘極端子與第六 n 型 Si-FET116 的源極和汲極中的一個端子以及第一電阻元件 171 的一個端子連接。另外，第一 p 型 Si-FET101 的源極和汲極中的一個端子與高電位電源線（VDD_H）143 連接。另外，第一 p 型 Si-FET101 的源極和汲極中的另一個端子與第一 n 型 Si-FET111 的源極和汲極中的一個端子、第二電阻元件 172 的一個端子、第二電容器（C2）132 的一個端子以及反轉輸出信號線（OUTB）162 連接。

[0089] 第二 p 型 Si-FET102 的閘極端子與第五 n 型 Si-FET115 的源極和汲極中的一個端子以及第二抵抗元件 172 的另一個端子連接。另外，第二 p 型 Si-FET102 的源極和汲極中的一個端子與高電位電源線（VDD_H）143 連接。另外，第二 p 型 Si-FET102 的源極和汲極中的另一個端子與第二 n 型 Si-FET112 的源極和汲極中的一個端子、第一電阻元件 171 的另一個端子、第一電容器（C1）131

的一個端子以及輸出信號線（OUT）161 連接。

[0090] 第一 n 型 Si-FET111 的閘極端子與輸入信號線（IN）151、第一 OS-FET121 的源極和汲極中的一個端子以及第五 n 型 Si-FET115 的閘極端子連接。另外，第一 n 型 Si-FET111 的源極和汲極中的另一個端子與第三 OS-FET123 的源極和汲極中的一個端子連接。注意，可以將第一 n 型 Si-FET111 的源極和汲極中的另一個端子所連接的節點稱為 N3。

[0091] 第二 n 型 Si-FET112 的閘極端子與反轉輸入信號線（INB）152、第二 OS-FET122 的源極和汲極中的一個端子以及第六 n 型 Si-FET116 的閘極端子連接。另外，第二 n 型 Si-FET112 的源極和汲極中的另一個端子與第四 OS-FET124 的源極和汲極中的一個端子連接。注意，可以將第二 n 型 Si-FET112 的源極和汲極中的另一個端子所連接的節點稱為 N4。

[0092] 第五 n 型 Si-FET115 的源極和汲極中的另一個端子與接地電源線（GND）141 連接。

[0093] 第六 n 型 Si-FET116 的源極和汲極中的另一個端子與接地電源線（GND）141 連接。

[0094] 第一 OS-FET121 的閘極端子與低電位電源線（VDD_L）142 連接。另外，第一 OS-FET121 的源極和汲極中的另一個端子與第三 OS-FET123 的閘極端子以及第一電容器（C1）131 的另一個端子連接。注意，可以將第一 OS-FET121 的源極和汲極中的另一個端子所連接的節

點稱為 N5。

[0095] 第二 OS-FET122 的閘極端子與低電位電源線 (VDD_L) 142 連接。另外，第二 OS-FET122 的源極和汲極中的另一個端子與第四 OS-FET124 的閘極端子以及第二電容器 (C2) 132 的另一個端子連接。注意，可以將第二 OS-FET122 的源極和汲極中的另一個端子所連接的節點稱為 N6。

[0096] 第三 OS-FET123 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0097] 第四 OS-FET124 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0098] 第一電阻元件 171 的另一個端子與輸出信號線 (OUT) 161 連接。

[0099] 第二電阻元件 172 的一個端子與反轉輸出信號線 (OUTB) 162 連接。

[0100] 第一 p 型 Si-FET101 具有根據第一 p 型 Si-FET101 的閘極端子的電位控制高電位電源線 (VDD_H) 143 的電源供應的功能。

[0101] 第二 p 型 Si-FET102 具有根據第二 p 型 Si-FET102 的閘極端子的電位控制高電位電源線 (VDD_H) 143 的電源供應的功能。

[0102] 第一 n 型 Si-FET111 具有比第三 OS-FET123 更早成為關閉狀態來抑制貫通電流的發生的功能。

[0103] 第二 n 型 Si-FET112 具有比第四 OS-FET124

更早成為關閉狀態來抑制貫通電流的發生的功能。

[0104] 第五 n 型 Si-FET115 具有向第二 p 型 Si-FET102 的閘極端子直接供應接地電源線 (GND) 141 的電位而使位準轉換器的轉移工作變得容易的功能。

[0105] 第六 n 型 Si-FET116 具有向第一 p 型 Si-FET101 的閘極端子直接供應接地電源線 (GND) 141 的電位而使位準轉換器的轉移工作變得容易的功能。

[0106] 第一 OS-FET121 具有如下功能：當輸入信號線 (IN) 151 的電位為 H 電位，並且 N5 的電位由於電容耦合上升到比低電位電源線 (VDD_L) 142 的電位高的電位時，成為關閉狀態而維持 N5 的電位。

[0107] 第二 OS-FET122 具有如下功能：當反轉輸入信號線 (INB) 152 的電位為 H 電位，並且 N6 的電位由於電容耦合上升到比低電位電源線 (VDD_L) 142 的電位高的電位時，成為處於關閉狀態而維持 N6 的電位。

[0108] 第三 OS-FET123 具有降低關態洩漏電流的功能。

[0109] 第四 OS-FET124 具有降低關態洩漏電流的功能。

[0110] N5 與輸出信號線 (OUT) 161 之間的第一電容器 (C1) 131 具有對 N5 供應由於電容耦合上升的高電位以使第三 OS-FET123 的通態電流得到提高的功能。注意，只要電位由於電容耦合充分上升就可以使用佈線之間的寄生電容等來代替第一電容器 (C1) 131。

[0111] N6 與反轉輸出信號線 (OUTB) 162 之間的第二電容器 (C2) 132 具有對 N6 供應由於電容耦合上升的高電位以使第四 OS-FET124 的通態電流得到提高的功能。注意，只要電位由於電容耦合充分上升就可以使用佈線之間的寄生電容等來代替第二電容器 (C2) 132。

[0112] 第一電阻元件 171 具有用來控制經過第一 p 型 Si-FET101 的高電位電源線 (VDD_H) 143 的電位供應的電阻器的功能。由此，經過第六 n 型 Si-FET116 的接地電源線 (GND) 141 的電位供應以及位準轉換器的轉移工作變得容易。

[0113] 第二電阻元件 172 具有用來控制經過第二 p 型 Si-FET102 的高電位電源線 (VDD_H) 143 的電位供應的電阻器的功能。由此，經過第五 n 型 Si-FET115 的接地電源線 (GND) 141 的電位供應以及位準轉換器的轉移工作變得容易。

[0114] 注意，本實施方式可以與其他實施方式適當地組合而實施。

[0115]

實施方式 5

使用圖 5 對本發明的一個方式的位準轉換器的其他結構實例進行說明。

[0116] 圖 5 示出位準轉換器的電路圖。本發明的一個方式的位準轉換器包括：第一 p 型 Si-FET101；第二 p 型 Si-FET102；第三 p 型 Si-FET103；第四 p 型 Si-

FET104；第一 n 型 Si-FET111；第二 n 型 Si-FET112；第三 n 型 Si-FET113；第四 n 型 Si-FET114；第五 n 型 Si-FET115；第六 n 型 Si-FET116；第七 n 型 Si-FET117；第八 n 型 Si-FET118；第一 OS-FET121；第二 OS-FET122；第三 OS-FET123；第四 OS-FET124；第一電容器（C1）131；第二電容器（C2）132；接地電源線（GND）141；低電位電源線（VDD_L）142；高電位電源線（VDD_H）143；輸入信號線（IN）151；反轉輸入信號線（INB）152；輸出信號線（OUT）161；以及反轉輸出信號線（OUTB）162。

[0117] 第一 p 型 Si-FET101 的閘極端子與第六 n 型 Si-FET116 的源極和汲極中的一個端子以及第七 n 型 Si-FET117 的源極和汲極中的一個端子連接。另外，第一 p 型 Si-FET101 的源極和汲極中的一個端子與高電位電源線（VDD_H）143 連接。另外，第一 p 型 Si-FET101 的源極和汲極中的另一個端子與第三 p 型 Si-FET103 的源極和汲極中的一個端子、第一 n 型 Si-FET111 的源極和汲極中的一個端子、第二電容器（C2）132 的一個端子以及反轉輸出信號線（OUTB）162 連接。

[0118] 第二 p 型 Si-FET102 的閘極端子與第五 n 型 Si-FET115 的源極和汲極中的一個端子以及第八 n 型 Si-FET118 的源極和汲極中的一個端子連接。另外，第二 p 型 Si-FET102 的源極和汲極中的一個端子與高電位電源線（VDD_H）143 連接。另外，第二 p 型 Si-FET102 的源極

和汲極中的另一個端子與第四 p 型 Si-FET104 的源極和汲極中的一個端子、第二 n 型 Si-FET112 的源極和汲極中的一個端子、第一電容器 (C1) 131 的一個端子以及輸出信號線 (OUT) 161 連接。

[0119] 第三 p 型 Si-FET103 的閘極端子與第三 p 型 Si-FET103 的源極和汲極中的另一個端子、第三 n 型 Si-FET113 的源極和汲極中的一個端子以及第八 n 型 Si-FET118 的源極和汲極中的另一個端子連接。

[0120] 第四 p 型 Si-FET104 的閘極端子與第四 p 型 Si-FET104 的源極和汲極中的另一個端子、第四 n 型 Si-FET114 的源極和汲極中的一個端子以及第七 n 型 Si-FET117 的源極和汲極中的另一個端子連接。

[0121] 第一 n 型 Si-FET111 的閘極端子與輸入信號線 (IN) 151、第三 n 型 Si-FET113 的閘極端子、第五 n 型 Si-FET115 的閘極端子以及第一 OS-FET121 的源極和汲極中的一個端子連接。另外，第一 n 型 Si-FET111 的源極和汲極中的另一個端子與第三 OS-FET123 的源極和汲極中的一個端子連接。注意，可以將第一 n 型 Si-FET111 的源極和汲極中的另一個端子所連接的節點稱為 N3。

[0122] 第二 n 型 Si-FET112 的閘極端子與反轉輸入信號線 (INB) 152、第四 n 型 Si-FET114 的閘極端子、第六 n 型 Si-FET116 的閘極端子以及第二 OS-FET122 的源極和汲極中的一個端子連接。另外，第二 n 型 Si-FET112 的源極和汲極中的另一個端子與第四 OS-FET124 的源極

和汲極中的一個端子連接。注意，可以將第二 n 型 Si-FET112 的源極和汲極中的另一個端子所連接的節點稱為 N4。

[0123] 第三 n 型 Si-FET113 的源極和汲極中的另一個端子與接地電源線（GND）141 連接。

[0124] 第四 n 型 Si-FET114 的源極和汲極中的另一個端子與接地電源線（GND）141 連接。

[0125] 第五 n 型 Si-FET115 的源極和汲極中的另一個端子與接地電源線（GND）141 連接。

[0126] 第六 n 型 Si-FET116 的源極和汲極中的另一個端子與接地電源線（GND）141 連接。

[0127] 第七 n 型 Si-FET117 的閘極端子與高電位電源線（VDD_H）143 連接。

[0128] 第八 n 型 Si-FET118 的閘極端子與高電位電源線（VDD_H）143 連接。

[0129] 第一 OS-FET121 的閘極端子與低電位電源線（VDD_L）142 連接。另外，第一 OS-FET121 的源極和汲極中的另一個端子與第三 OS-FET123 的閘極端子以及第一電容器（C1）131 的另一個端子連接。注意，可以將第一 OS-FET121 的源極和汲極中的另一個端子所連接的節點稱為 N5。

[0130] 第二 OS-FET122 的閘極端子與低電位電源線（VDD_L）142 連接。第二 OS-FET122 的源極和汲極中的另一個端子與第四 OS-FET124 的閘極端子以及第二電容

器 (C2) 132 的另一個端子連接。注意，可以將第二 OS-FET122 的源極和汲極中的另一個端子所連接的節點稱為 N6。

[0131] 第三 OS-FET123 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0132] 第四 OS-FET124 的源極和汲極中的另一個端子與接地電源線 (GND) 141 連接。

[0133] 第一 p 型 Si-FET101 具有根據第一 p 型 Si-FET101 的閘極端子的電位控制高電位電源線 (VDD_H) 143 的電源供應的功能。

[0134] 第二 p 型 Si-FET102 具有根據第二 p 型 Si-FET102 的閘極端子的電位控制高電位電源線 (VDD_H) 143 的電源供應的功能。

[0135] 藉由採用二極體連接結構，第三 p 型 Si-FET103 具有如下功能：控制經過第一 p 型 Si-FET101 的高電位電源線 (VDD_H) 143 的電位供應而不使閘極端子的電位完全上升到高電位電源線 (VDD_H) 143 的電位，以使經過第三 n 型 Si-FET113 的接地電源線 (GND) 141 的電位供應變得容易。

[0136] 藉由採用二極體連接結構，第四 p 型 Si-FET104 具有如下功能：控制經過第二 p 型 Si-FET102 的高電位電源線 (VDD_H) 143 的電位供應而不使閘極端子的電位完全上升到高電位電源線 (VDD_H) 143 的電位，以使經過第四 n 型 Si-FET114 的接地電源線 (GND) 141

的電位供應變得容易。

[0137] 第一 n 型 Si-FET111 具有比第三 OS-FET123 更早成為關閉狀態來降低貫通電流的發生的功能。

[0138] 第二 n 型 Si-FET112 具有比第四 OS-FET124 更早成為關閉狀態來降低貫通電流的發生的功能。

[0139] 第三 n 型 Si-FET113 具有控制接地電源線 (GND) 141 向第三 p 型 Si-FET103 的閘極端子供應電源的功能。

[0140] 第四 n 型 Si-FET114 具有控制接地電源線 (GND) 141 向第四 p 型 Si-FET104 的閘極端子供應電源的功能。

[0141] 第五 n 型 Si-FET115 具有向第二 p 型 Si-FET102 的閘極端子直接供應接地電源線 (GND) 141 的電位而使位準轉換器的轉移工作變得容易的功能。

[0142] 第六 n 型 Si-FET116 具有向第一 p 型 Si-FET101 的閘極端子直接供應接地電源線 (GND) 141 的電位而使位準轉換器的轉移工作變得容易的功能。

[0143] 第七 n 型 Si-FET117 用作其電阻根據源極或汲極的電位變化的可變電阻器，並具有使位準轉換器的轉移工作變得容易的功能。

[0144] 第八 n 型 Si-FET118 用作其電阻根據源極或汲極的電位變化的可變電阻器，並具有使位準轉換器的轉移工作變得容易的功能。

[0145] 第一 OS-FET121 具有如下功能：當輸入信號

線 (IN) 151 的電位為 H 電位，並且 N5 的電位由於電容耦合上升到比低電位電源線 (VDD_L) 142 的電位高的電位時，成為關閉狀態而維持 N5 的電位。

[0146] 第二 OS-FET122 具有如下功能：當反轉輸入信號線 (INB) 152 的電位為 H 電位，並且 N6 的電位由於電容耦合上升到比低電位電源線 (VDD_L) 142 的電位高的電位時，成為關閉狀態而維持 N6 的電位。

[0147] 第三 OS-FET123 具有降低關態洩漏電流的功能。

[0148] 第四 OS-FET124 具有降低關態洩漏電流的功能。

[0149] N5 與輸出信號線 (OUT) 161 之間的第一電容器 (C1) 131 具有對 N5 供應由於電容耦合上升的高電位以使第三 OS-FET123 的通態電流得到提高的功能。注意，只要電位由於電容耦合充分上升就可以使用佈線之間的寄生電容等來代替第一電容器 (C1) 131。

[0150] N6 與反轉輸出信號線 (OUTB) 162 之間的第二電容器 (C2) 132 具有對 N6 供應由於電容耦合上升的高電位以使第四 OS-FET124 的通態電流得到提高的功能。注意，只要電位由於電容耦合充分上升就可以使用佈線之間的寄生電容等來代替第二電容器 (C2) 132。

[0151] 注意，本實施方式可以與其他實施方式適當地組合而實施。

[0152]

實施方式 6

在本實施方式中，說明可用於本發明的一個方式的位準轉換電路的電晶體的結構實例。

[0153]

〈電晶體的結構〉

圖 6 示出電晶體的剖面結構。在圖 6 中，示出將在氧化物半導體膜中具有通道形成區的電晶體（以下，還稱為 OS 電晶體）1101 形成於在單晶的矽基板中具有通道形成區的電晶體（以下，還稱為 Si 電晶體）1102 上的情況。例如，作為電晶體 1101 可以使用 OS-FET121，而作為電晶體 1102 可以使用 n 型 Si-FET113。

[0154] 電晶體 1102 可以在非晶、微晶、多晶或單晶的矽或鍺等的半導體膜或半導體基板中具有通道形成區。或者，電晶體 1102 可以在氧化物半導體膜或氧化物半導體基板中具有通道形成區。當所有電晶體在氧化物半導體膜或氧化物半導體基板中具有通道形成區時，可以不將電晶體 1101 層疊於電晶體 1102 上而將電晶體 1101 及電晶體 1102 形成於同一層中。

[0155] 當使用矽薄膜形成電晶體 1102 時，作為該薄膜可以使用：利用電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射照射等的處理使非晶矽晶化而形成的多晶矽；以及藉由對單晶矽晶圓注入氫離子等來使表層部剝離而得到的單晶矽等。

[0156] 作為形成有電晶體 1102 的半導體基板 801 例

5

如可以使用矽基板、鍺基板、矽鍺基板等。在圖 6 中示出將單晶矽基板用於半導體基板 801 時的例子。

[0157] 另外，電晶體 1102 利用元件隔離法被電隔離。作為元件隔離法，可以使用矽的局部氧化（LOCOS：Local Oxidation of Silicon）法或淺溝槽隔離法（STI 法：Shallow Trench Isolation）等。在圖 6 中示出利用淺溝槽隔離法使電晶體 1102 電隔離時的例子。明確而言，在圖 6 中示出利用元件隔離區 810 使電晶體 1102 元件隔離的情況的例子，該元件隔離區 810 是藉由在半導體基板 801 中利用蝕刻等形成溝槽之後將含有氧化矽等的絕緣物嵌入在該溝槽中而形成的。

[0158] 在電晶體 1102 上設置有絕緣膜 811。在絕緣膜 811 中形成有開口部。並且，在上述開口部中形成有分別電連接到電晶體 1102 的源極及汲極的導電膜 825 及導電膜 826 和電連接到電晶體 1102 的閘極的導電膜 827。

[0159] 導電膜 825 與形成在絕緣膜 811 上的導電膜 834 電連接，導電膜 826 與形成在絕緣膜 811 上的導電膜 835 電連接，導電膜 827 與形成在絕緣膜 811 上的導電膜 836 電連接。

[0160] 在導電膜 834 至導電膜 836 上形成有絕緣膜 812。在絕緣膜 812 中形成有開口部，在上述開口部中形成有電連接到導電膜 836 的導電膜 837。並且，導電膜 837 與形成在絕緣膜 812 上的導電膜 851 電連接。

[0161] 另外，在導電膜 851 上形成有絕緣膜 813。在

絕緣膜 813 中形成有開口部，在上述開口部中形成有電連接到導電膜 851 的導電膜 852。並且，導電膜 852 與形成在絕緣膜 813 上的導電膜 853 電連接。此外，在絕緣膜 813 上形成有導電膜 844。

[0162] 在導電膜 853 及導電膜 844 上形成有絕緣膜 861。並且，在圖 6 中，在絕緣膜 861 上形成有電晶體 1101。

[0163] 電晶體 1101 包括：絕緣膜 861 上的包含氧化物半導體的半導體膜 901；半導體膜 901 上的用作源極電極或汲極電極的導電膜 921 及導電膜 922；半導體膜 901、導電膜 921 及導電膜 922 上的閘極絕緣膜 862；以及位於閘極絕緣膜 862 上且在導電膜 921 與導電膜 922 之間的區域重疊於半導體膜 901 的閘極電極 931。另外，導電膜 922 在設置於絕緣膜 861 中的開口部中電連接到導電膜 853。

[0164] 在電晶體 1101 中，在半導體膜 901 中的重疊於導電膜 921 的區域與重疊於閘極電極 931 的區域之間存在有區域 910。另外，在電晶體 1101 中，在半導體膜 901 中的重疊於導電膜 922 的區域與重疊於閘極電極 931 的區域之間存在有區域 911。藉由以導電膜 921、導電膜 922 及閘極電極 931 為遮罩對區域 910 及區域 911 添加氬、對半導體膜 901 賦予 p 型導電性的雜質或者對半導體膜 901 賦予 n 型導電性的雜質，與半導體膜 901 中的重疊於閘極電極 931 的區域相比，可以降低區域 910 及區域 911 的電

阻率。

[0165] 在電晶體 1101 上設置有絕緣膜 863。

[0166] 另外，雖然在圖 6 中電晶體 1101 在半導體膜 901 的至少一側具有閘極電極 931 即可，但是電晶體 1101 也可以具有夾著半導體膜 901 存在的一對閘極電極。

[0167] 在電晶體 1101 具有夾著半導體膜 901 存在的一對閘極電極的情況下，可以對一個閘極電極施加用來控制導通狀態或非導通狀態的信號，並從其他元件對另一個閘極電極施加電位。在此情況下，既可以對一對閘極電極施加相同位準的電位，又可以只對另一個閘極電極施加接地電位等固定電位。藉由控制對另一個閘極電極施加的電位的位準，可以控制電晶體的臨界電壓。

[0168] 另外，圖 6 例示出電晶體 1101 具有單閘極結構的情況，即包括對應於一個閘極電極 931 的一個通道形成區。但是，電晶體 1101 也可以具有多閘極結構，其中藉由具有相互電連接的多個閘極電極，在一個活性層中具有多個通道形成區。

[0169]

〈電晶體的其他結構實例〉

接下來，使用圖 7A 至圖 7C 說明在氧化物半導體膜中具有通道形成區的電晶體 90 的結構實例。

[0170] 圖 7A 至圖 7C 示出在氧化物半導體膜中具有通道形成區的電晶體 90 的結構的一個例子。圖 7A 示出電晶體 90 的俯視圖。注意，在圖 7A 中，為了明確地示出電

晶體 90 的佈局，省略了各種絕緣膜。此外，圖 7B 示出沿著圖 7A 所示的俯視圖的點劃線 A1-A2 的剖面圖，圖 7C 示出沿著點劃線 A3-A4 的剖面圖。

[0171] 如圖 7A 至圖 7C 所示，電晶體 90 包括：在形成於基板 97 的絕緣膜 91 上依次層疊的氧化物半導體膜 92a 及氧化物半導體膜 92b；電連接於氧化物半導體膜 92b 且被用作源極電極或汲極電極的導電膜 93 及導電膜 94；氧化物半導體膜 92b、導電膜 93 及導電膜 94 上的氧化物半導體膜 92c；具有閘極絕緣膜的功能且位於氧化物半導體膜 92c 上的絕緣膜 95；以及被用作閘極電極且在絕緣膜 95 上與氧化物半導體膜 92a 至氧化物半導體膜 92c 重疊的導電膜 96。注意，基板 97 既可以是玻璃基板或半導體基板等，又可以是玻璃基板或半導體基板上形成有半導體元件的元件基板。

[0172] 此外，圖 8A 至圖 8C 示出電晶體 90 的具體結構的其他一個例子。圖 8A 示出電晶體 90 的俯視圖。注意，在圖 8A 中，為了明確地示出電晶體 90 的佈局，省略了各種絕緣膜。此外，圖 8B 示出沿著圖 8A 所示的俯視圖的點劃線 A1-A2 的剖面圖，圖 8C 示出沿著點劃線 A3-A4 的剖面圖。

[0173] 如圖 8A 至圖 8C 所示，電晶體 90 包括：在絕緣膜 91 上依次層疊的氧化物半導體膜 92a 至氧化物半導體膜 92c；電連接於氧化物半導體膜 92c 且被用作源極電極或汲極電極的導電膜 93 及導電膜 94；具有閘極絕緣膜

的功能且位於氧化物半導體膜 92c、導電膜 93 及導電膜 94 上的絕緣膜 95；以及被用作閘極電極且在絕緣膜 95 上與氧化物半導體膜 92a 至氧化物半導體膜 92c 重疊的導電膜 96。

[0174] 另外，在圖 7A 至圖 8C 中，示出使用層疊的氧化物半導體膜 92a 至氧化物半導體膜 92c 的電晶體 90 的結構。電晶體 90 所包括的氧化物半導體膜不限於由層疊的多個氧化物半導體膜構成的結構，還可以由單層的氧化物半導體膜構成。

[0175] 當電晶體 90 包括氧化物半導體膜 92a 至氧化物半導體膜 92c 被依次層疊的半導體膜時，氧化物半導體膜 92a 及氧化物半導體膜 92c 為如下氧化物膜：在其構成要素中包含構成氧化物半導體膜 92b 的金屬元素的至少一個，並且其導帶底的能量比氧化物半導體膜 92b 離真空能階近 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。並且，當氧化物半導體膜 92b 至少包含銦時，載子移動率變高，所以是較佳的。

[0176] 在電晶體 90 包括上述結構的半導體膜的情況下，在對閘極電極施加電壓而對半導體膜施加電場時，通道區形成在半導體膜中的導帶底的能量小的氧化物半導體膜 92b 中。即，藉由在氧化物半導體膜 92b 與絕緣膜 95 之間設置有氧化物半導體膜 92c，可以在與絕緣膜 95 分開的氧化物半導體膜 92b 中形成通道區。

[0177] 另外，由於氧化物半導體膜 92c 在其構成要素中包含至少一個構成氧化物半導體膜 92b 的金屬元素，因此在氧化物半導體膜 92b 與氧化物半導體膜 92c 的介面處不容易發生介面散射。因此，在該介面處載子的移動不容易被阻礙，所以電晶體 90 的場效移動率變高。

[0178] 另外，當在氧化物半導體膜 92b 與氧化物半導體膜 92a 的介面處形成介面能階時，由於在介面附近的區域中也會形成通道區，因此電晶體 90 的臨界電壓變動。但是，由於氧化物半導體膜 92a 在其構成要素中包含至少一個構成氧化物半導體膜 92b 的金屬元素，因此在氧化物半導體膜 92b 與氧化物半導體膜 92a 的介面處不容易形成介面能階。因此，藉由上述結構可以減少電晶體 90 的臨界電壓等的電特性的偏差。

[0179] 另外，較佳的是，以不使因氧化物半導體膜間的雜質的存在而在各膜的介面形成有阻礙載子移動的介面能階的方式將多個氧化物半導體膜層疊。這是因為，在被層疊的氧化物半導體膜間存在雜質時，氧化物半導體膜間的導帶底的能量失去連續性，於是在介面附近，載子被俘獲或因再結合而消失。藉由減少膜間的雜質，與將作為主成分至少包含相同一種金屬的多個氧化物半導體膜單純地層疊的情況相比，更容易形成連續接合（這裡尤其是指具有導帶底的能量在各膜之間連續地變化的 U 字型井結構的狀態）。

[0180] 為了形成連續接合，需要使用具備負載鎖定

室的多室方式的成膜裝置（濺射裝置）在不使各膜暴露於大氣的情況下連續地層疊。在濺射裝置中的各處理室中，為了儘可能地去除成為氧化物半導體的雜質的水等，較佳為使用如低溫泵的吸附式真空抽氣泵進行高真空抽氣（抽氣到 $5 \times 10^{-7} \text{Pa}$ 至 $1 \times 10^{-4} \text{Pa}$ 左右）。或者，較佳為組合渦輪分子泵與冷阱使氣體不從排氣系統倒流到處理室內。

[0181] 為了得到高純度的本質氧化物半導體，對各處理室不僅進行高真空抽氣，還需要將用於濺射的氣體高度純化。藉由將用作上述氣體的氧氣體或氬氣體的露點設定為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下，實現氣體的高度純化，可以儘可能地防止水分等混入氧化物半導體膜。明確而言，當氧化物半導體膜 92b 包含 In-M-Zn 氧化物（M 是 Ga、Y、Zr、La、Ce 或 Nd），並且用於形成氧化物半導體膜 92b 的靶材中的金屬元素的原子數比為 $\text{In}:\text{M}:\text{Zn}=x_1:y_1:z_1$ 時， x_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。另外，藉由將 z_1/y_1 設定為 1 以上且 6 以下，作為氧化物半導體膜 92b 容易形成 CAAC-OS 膜。作為靶材的金屬元素的原子數比的典型例子，有 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 等。

[0182] 明確而言，當氧化物半導體膜 92a 及氧化物半導體膜 92c 包含 In-M-Zn 氧化物（M 為 Ga、Y、Zr、La、Ce 或 Nd）時，在用來形成氧化物半導體膜 92a 及氧化物半導體膜 92c 的靶材中的金屬元素的原子數比為

In:M:Zn= $x_2:y_2:z_2$ 的情況下，較佳的是， $x_2/y_2 < x_1/y_1$ ， z_2/y_2 是 1/3 以上且 6 以下，更佳的是 1 以上且 6 以下。另外，藉由將 z_2/y_2 設定為 1 以上且 6 以下，容易形成用作氧化物半導體膜 92a 及氧化物半導體膜 92c 的 CAAC-OS 膜。作為靶材的金屬元素的原子數比的典型例子，有 In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8 等。

[0183] 氧化物半導體膜 92a 及氧化物半導體膜 92c 的厚度為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。此外，氧化物半導體膜 92b 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0184] 在三層結構的半導體膜中，氧化物半導體膜 92a 至氧化物半導體膜 92c 既可以是非晶又可以是結晶。但是，由於在形成有通道區的氧化物半導體膜 92b 是結晶時可以賦予電晶體 90 穩定的電特性，因此氧化物半導體膜 92b 較佳是結晶。

[0185] 注意，通道形成區是指在電晶體 90 的半導體膜中與閘極電極重疊且被源極電極和汲極電極夾著的區域。另外，通道區是指在通道形成區中電流主要流動的區域。

[0186] 例如，作為氧化物半導體膜 92a 及氧化物半導體膜 92c，在使用由濺射法形成的 In-Ga-Zn 氧化物膜的情況下，在進行氧化物半導體膜 92a 及氧化物半導體膜

92c 的成膜時，可以使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:3:2[原子數比]）的靶材。作為成膜條件，例如作為成膜氣體使用 30sccm 的氫氣體和 15sccm 的氧氣體，將壓力設定為 0.4Pa，基板溫度為 200℃，DC 功率為 0.5kW，即可。

[0187] 另外，當作為氧化物半導體膜 92b 使用 CAAC-OS 膜時，氧化物半導體膜 92b 較佳為使用包含 In-Ga-Zn 氧化物（In:Ga:Zn=1:1:1[原子數比]）的多晶靶材來形成。例如，可以採用如下成膜條件：作為成膜氣體使用 30sccm 的氫氣體和 15sccm 的氧氣體，將壓力設定為 0.4Pa，基板溫度為 300℃，DC 功率為 0.5kW。當作為氧化物半導體膜 92b 使用 CAAC-OS 膜時，也可以作為靶材使用 In-Ga-Zn 氧化物（In:Ga:Zn=2:1:3[原子數比]）來形成氧化物半導體膜 92b。在使用上述靶材成膜的 CAAC-OS 膜中，在一定範圍內得到 CAAC-OS 的繞射圖案的区域比率（還稱為 CAAC 化率）可以得到提高，所以能夠提高在該 CAAC-OS 膜中包括通道形成區的電晶體的頻率特性（f 特性）。

[0188] 注意，氧化物半導體膜 92a 至 92c 可以藉由濺射法形成。

[0189] 因為其中的載子發生源少，所以藉由減少用作電子施體（施體）的水分或氫等雜質且減少氧缺陷來實現高度純化的氧化物半導體（purified Oxide Semiconductor）可以是 i 型（本質半導體）或無限趨近於 i 型。因此，

在被高度純化的氧化物半導體膜中具有通道形成區的電晶體的關態電流極小且可靠性高。並且，在該氧化物半導體膜中形成有通道形成區的電晶體容易具有臨界電壓為正的電特性（也稱為常關閉（normally-off）特性）。

[0190] 明確而言，根據各種實驗可以證明在被高度純化的氧化物半導體膜中具有通道形成區的電晶體的關態電流小。例如，通道寬度為 $1 \times 10^6 \mu\text{m}$ 且通道長度為 $10 \mu\text{m}$ 的元件也可以在源極電極與汲極電極之間的電壓（汲極電壓）為 1V 至 10V 的範圍內獲得關態電流為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13} \text{A}$ 以下的特性。在此情況下，可知以電晶體的通道寬度標準化的關態電流為 $100 \text{zA}/\mu\text{m}$ 以下。此外，在電路中將電容器與電晶體連接且由該電晶體控制流入電容器或從電容器流出的電荷，並藉由使用該電路來測量關態電流。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，且根據電容器的每單位時間的電荷量推移來測量該電晶體的關態電流。其結果，可知當電晶體的源極電極與汲極電極之間的電壓為 3V 時，可以獲得更小的關態電流，即為幾十 $\text{yA}/\mu\text{m}$ 。由此，將被高度純化的氧化物半導體膜用於通道形成區的電晶體的關態電流比使用具有結晶性的矽的電晶體的關態電流要小得多。

[0191] 另外，當作為半導體膜使用氧化物半導體膜時，作為氧化物半導體，較佳為至少包含銦（In）或鋅（Zn）。另外，作為用來降低使用這種氧化物半導體的電

晶體的電特性偏差的穩定劑，除了上述元素以外較佳為還包含鎵（Ga）。此外，作為穩定劑較佳為包含錫（Sn）。此外，作為穩定劑較佳為包含鈪（Hf）。此外，作為穩定劑較佳為包含鋁（Al）。此外，作為穩定劑較佳為包含銦（Zr）。

[0192] 在氧化物半導體中，In-Ga-Zn 氧化物、In-Sn-Zn 氧化物等與碳化矽、氮化鎵或氧化鎵不同，可以藉由濺射法或濕處理製造電特性優良的電晶體，並具有生產性高等優點。此外，與使用碳化矽、氮化鎵或氧化鎵的情況不同，在使用上述 In-Ga-Zn 氧化物的情況下，可以在玻璃基板上製造電特性優良的電晶體。此外，還可以應對基板的大型化。

[0193] 此外，作為其他穩定劑，也可以包含鑰系元素的鑰（La）、鈰（Ce）、鐑（Pr）、釹（Nd）、鈾（Sm）、鎔（Eu）、釷（Gd）、錽（Tb）、鐿（Dy）、釹（Ho）、鉕（Er）、銩（Tm）、鑷（Yb）、鑷（Lu）中的一種或多種。

[0194] 例如，作為氧化物半導體，可以使用：氧化銦、氧化鎵、氧化錫、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物（也稱為 IGZO）、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧

化物、In-Ce-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

[0195] 注意，例如，In-Ga-Zn 氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。In-Ga-Zn 氧化物在無電場時的電阻足夠高而能夠充分地降低關態電流且移動率也高。

[0196] 例如，使用 In-Sn-Zn 氧化物比較容易得到高移動率。但是，在使用 In-Ga-Zn 氧化物時，也可以藉由降低塊體內的缺陷密度而提高移動率。

[0197] 另外，在電晶體 90 中，根據用於源極電極及汲極電極的導電性材料，有時源極電極及汲極電極中的金屬會抽出氧化物半導體膜中的氧。此時，氧化物半導體膜中的接觸於源極電極及汲極電極的區域由於氧缺陷的形成而成為 n 型。因為成為 n 型的區域被用作源極區或汲極區，所以可以降低氧化物半導體膜與源極電極及汲極電極之間的接觸電阻。因此，藉由形成 n 型的區域，可以增大電晶體 90 的移動率及通態電流，從而可以實現使用電晶體 90 的半導體裝置的高速工作。

[0198] 另外，源極電極及汲極電極中的金屬所引起的氧的抽出有可能在利用濺射法等形成源極電極及汲極電極時發生，還有可能在形成源極電極及汲極電極之後進行的加熱處理時發生。另外，藉由將容易與氧鍵合的導電材料用於源極電極及汲極電極，更容易形成 n 型的區域。作為上述導電材料，可以舉出例如 Al、Cr、Cu、Ta、Ti、Mo、W 等。

[0199] 當將包括多個層疊的氧化物半導體膜的半導體膜用於電晶體 90 時，為了提高電晶體 90 的移動率及通態電流以實現半導體裝置的更高速的工作，較佳為使 n 型的區域到達用作通道區的氧化物半導體膜 92b。

[0200] 絕緣膜 91 較佳為具有藉由加熱將上述氧的一部分供應到氧化物半導體膜 92a 至氧化物半導體膜 92c 的功能。此外，較佳為使絕緣膜 91 中的缺陷較少，典型的是，藉由 ESR 測量所得到的起因於矽的懸空鍵的 $g=2.001$ 的自旋密度較佳為 $1 \times 10^{18} \text{spins/cm}^3$ 以下。

[0201] 由於絕緣膜 91 具有藉由加熱將上述氧的一部分供應到氧化物半導體膜 92a 至氧化物半導體膜 92c 的功能，因此絕緣膜 91 較佳為氧化物，例如可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氧化鎳、氧化鋅、氧化鈮、氧化鈳、氧化釧、氧化鈹、氧化鈳及氧化鈹等。絕緣膜 91 可以利用電漿 CVD (Chemical Vapor Deposition) 法或濺射法等形成。

[0202] 注意，在本說明書中，“氧氮化物”是指在

其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在其組成中氮含量多於氧含量的材料。

[0203] 另外，圖 7A 至圖 8C 所示的電晶體 90 具有如下結構：在形成有通道區的氧化物半導體膜 92b 的端部中不與導電膜 93 及導電膜 94 重疊的端部（換言之，位於與導電膜 93 及導電膜 94 所在的區域不同的區域的端部）與導電膜 96 重疊。在用來形成氧化物半導體膜 92b 的端部的蝕刻中該端部暴露於電漿時，從蝕刻氣體產生的氯自由基、氟自由基等容易與構成氧化物半導體的金屬元素鍵合。因此，在氧化物半導體膜的端部中，與該金屬元素鍵合的氧處於容易脫離的狀態，而形成氧缺陷，所以容易成為 n 型。然而，在圖 7A 至圖 8C 所示的電晶體 90 中，由於不與導電膜 93 及導電膜 94 重疊的氧化物半導體膜 92b 的端部與導電膜 96 重疊，因此藉由控制導電膜 96 的電位可以控制施加於該端部的電場。由此，可以由供應到導電膜 96 的電位控制經過氧化物半導體膜 92b 的端部流過導電膜 93 與導電膜 94 之間的電流。將這種電晶體 90 的結構稱為 Surrounded Channel（S-Channel：圍繞通道）結構。

[0204] 明確而言，若採用 S-Channel 結構，當將使電晶體 90 關閉的電位供應到導電膜 96 時，可以使經過該端部流過導電膜 93 與導電膜 94 之間的關態電流較小。因此，在電晶體 90 中，即使為了得到大通態電流而縮短通道長度，其結果使氧化物半導體膜 92b 的端部的導電膜

93 與導電膜 94 之間的長度變短，也可以降低電晶體 90 的關態電流。因此，在電晶體 90 中，藉由縮短通道長度，在處於導通狀態時可以得到較大的通態電流，在處於關閉狀態時降低關態電流。

[0205] 明確而言，若採用 S-Channel 結構，當將使電晶體 90 導通的電位供應到導電膜 96 時，可以使經過該端部流過導電膜 93 與導電膜 94 之間的電流較大。該電流有助於電晶體 90 的場效移動率和通態電流的增大。並且，藉由使氧化物半導體膜 92b 的端部與導電膜 96 重疊，氧化物半導體膜 92b 中的載子不僅在近於絕緣膜 95 的氧化物半導體膜 92b 的介面附近流動，還在氧化物半導體膜 92b 中的較廣的範圍內流動，所以電晶體 90 中的載子的移動量增加。其結果，電晶體 90 的通態電流（on-state current）增大且場效移動率增高，典型的是，場效移動率為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上，進一步為 $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上。注意，在此的場效移動率是電晶體的飽和區域中的電流驅動力的指標，即外觀上的場效移動率，而不是作為氧化物半導體膜的物性值的移動率的近似值。

[0206] 另外，本實施方式可以與其他實施方式適當地組合而實施。

[0207]

實施方式 7

在本實施方式中，說明具有與圖 6 不同結構的半導體裝置的一個例子。

[0208] 圖 9 示出包括對應於圖 1 所示的 OS-FET121 以及 n 型 Si-FET113 的 FET 的半導體裝置的剖面結構的一個例子。另外，在以虛線 A1-A2 表示的區域中示出電晶體 1102 及電晶體 1101 的通道長度方向上的結構，在以虛線 A3-A4 表示的區域中示出電晶體 1102 及電晶體 1101 的通道寬度方向上的結構。注意，在本發明的一個方式中，電晶體 1102 的通道長度方向與電晶體 1101 的通道長度方向可以不一致。

[0209] 另外，電晶體的通道長度方向是指在源極（源極區或源極電極）與汲極（汲極區或汲極電極）之間載子移動的方向，通道寬度方向是指在與基板平行的面內垂直於通道長度方向的方向。

[0210] 另外，圖 9 例示出將在氧化物半導體膜中具有通道形成區的電晶體 1101 形成於在單晶矽基板中具有通道形成區的電晶體 1102 上的情況。注意，這種層疊有 Si 電晶體和 OS 電晶體的結構可以適當地用於圖 1 所示的 OS-FET121、n 型 Si-FET113、OS-FET122 及 n 型 Si-FET114。例如，如圖 9 中的電晶體 1102，可以使用單晶矽基板形成圖 1 所示的 p 型 Si-FET101、102、103、104 以及 n 型 Si-FET111、112、113、114，並且，如圖 9 中的電晶體 1101，可以在使用單晶矽基板製造的電晶體的上方形成圖 1 所示的 OS-FET121、122、123、124。

[0211] 電晶體 1102 可以在非晶、微晶、多晶或單晶的矽或鍺等的半導體膜或半導體基板中具有通道形成區。

或者，電晶體 1102 可以在氧化物半導體膜或氧化物半導體基板中具有通道形成區。當所有電晶體在氧化物半導體膜或氧化物半導體基板中具有通道形成區時，可以不將電晶體 1101 層疊於電晶體 1102 上而將電晶體 1101 與電晶體 1102 形成於同一層中。

[0212] 當使用矽薄膜形成電晶體 1102 時，作為該薄膜可以使用：利用電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射照射等的處理使非晶矽晶化而形成的多晶矽；以及藉由對單晶矽晶圓注入氬離子等來使表層部剝離而得到的單晶矽等。

[0213] 形成有電晶體 1102 的基板 1000 例如可以使用矽基板、鍺基板、矽鍺基板等。在圖 9 中示出將單晶矽基板用於基板 1000 時的例子。

[0214] 另外，電晶體 1102 利用元件隔離法被電隔離。作為元件隔離法，可以採用淺溝槽隔離法（STI 法：Shallow Trench Isolation）等。在圖 9 中示出利用淺溝槽隔離法使電晶體 1102 電隔離時的例子。明確而言，在圖 9 中示出利用元件隔離區 1001 使電晶體 1102 元件隔離的情況的例子，該元件隔離區 1001 是將含有氧化矽等的絕緣物嵌入在藉由蝕刻等形成於基板 1000 中的溝槽中，然後利用蝕刻等部分去除該絕緣物而形成的。

[0215] 另外，在位於溝槽以外的區域的基板 1000 的凸部中設置有電晶體 1102 的雜質區 1002 及雜質區 1003 以及夾在雜質區 1002 與雜質區 1003 之間的通道形成區

1004。再者，電晶體 1102 包括覆蓋通道形成區 1004 的絕緣膜 1005 以及隔著絕緣膜 1005 與通道形成區 1004 重疊的閘極電極 1006。

[0216] 在電晶體 1102 中，藉由使通道形成區 1004 中的凸部的側部及上部隔著絕緣膜 1005 與閘極電極 1006 重疊，可以使載子流過包括通道形成區 1004 的側部及上部的較廣的範圍。由此，可以縮小電晶體 1102 在基板上所占的面積，並可以增加電晶體 1102 中的載子的移動量。其結果，可以在增大電晶體 1102 的通態電流的同時提高場效移動率。尤其在將通道形成區 1004 中的凸部的通道寬度方向上的長度（通道寬度）設定為 W 並將通道形成區 1004 中的凸部的膜厚度設定為 T 時，在膜厚 T 與通道寬度 W 的縱橫比較高的情況下，載子流過的範圍變得更廣，因此可以增大電晶體 1102 的通態電流並提高場效移動率。

[0217] 另外，當電晶體 1102 使用塊狀半導體基板時，縱橫比較佳為 0.5 以上，更佳為 1 以上。

[0218] 在電晶體 1102 上設置有絕緣膜 1011。在絕緣膜 1011 中形成有開口部。並且，在上述開口部中形成有分別與雜質區 1002、雜質區 1003 電連接的導電膜 1012、導電膜 1013 以及與閘極電極 1006 電連接的導電膜 1014。

[0219] 並且，導電膜 1012 與形成於絕緣膜 1011 上的導電膜 1016 電連接，導電膜 1013 與形成於絕緣膜

5

1011 上的導電膜 1017 電連接，導電膜 1014 與形成於絕緣膜 1011 上的導電膜 1018 電連接。

[0220] 在導電膜 1016 至導電膜 1018 上設置有絕緣膜 1020。並且，在絕緣膜 1020 上設置有具有防止氧、氫、水的擴散的阻擋效果的絕緣膜 1021。絕緣膜 1021 的密度越高越緻密或者懸空鍵越少化學性質上越穩定，越具有更高的阻擋效果。作為具有防止氧、氫、水的擴散的阻擋效果的絕緣膜 1021，例如可以採用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔、氧化鉛、氧氮化鉛等。另外，作為具有防止氫、水的擴散的阻擋效果的絕緣膜 1021，例如還可以採用氮化矽、氮氧化矽等。

[0221] 在絕緣膜 1021 上設置有絕緣膜 1022，在絕緣膜 1022 上設置有電晶體 1101。

[0222] 電晶體 1101 在絕緣膜 1022 上包括：含有氧化物半導體的半導體膜 1030；與半導體膜 1030 電連接的用作源極電極或汲極電極的導電膜 1032 及導電膜 1033；覆蓋半導體膜 1030 的閘極絕緣膜 1031；以及隔著閘極絕緣膜 1031 與半導體膜 1030 重疊的閘極電極 1034。另外，絕緣膜 1020 至絕緣膜 1022 中設置有開口部，導電膜 1033 在上述開口部中與導電膜 1018 連接。

[0223] 另外，在圖 9 中，雖然電晶體 1101 只要在半導體膜 1030 的一側至少具有閘極電極 1034 即可，但是還可以具有隔著絕緣膜 1022 與半導體膜 1030 重疊的閘極電極。

[0224] 當電晶體 1101 具有一對閘極電極時，可以對一個閘極電極施加用來控制導通狀態或非導通狀態的信號，並從其他元件對另一個閘極電極施加電位。在該情況下，可以對一對閘極電極施加相同位準的電位，也可以只對另一個閘極電極施加接地電位等固定電位。可以藉由控制對另一個閘極電極施加的電位的位準來控制電晶體的臨界電壓。

[0225] 另外，圖 9 例示出電晶體 1101 具有單閘極結構的情況，即包括對應於一個閘極電極 1034 的一個通道形成區。但是，電晶體 1101 也可以具有多閘極結構，其中藉由具有相互電連接的多個閘極電極，在一個活性層中具有多個通道形成區。

[0226] 另外，圖 9 示出電晶體 1101 中的半導體膜 1030 包括依次層疊於絕緣膜 1022 上的氧化物半導體膜 1030a 至氧化物半導體膜 1030c 的例子。但是，在本發明的一個方式中，電晶體 1101 所具有半導體膜 1030 也可以由單層的金屬氧化物膜構成。

[0227] 另外，在形成電晶體時，導電膜、半導體膜及絕緣膜等各種膜可以利用濺射法或電漿 CVD 法形成，但是也可以利用熱 CVD 法等其他方法形成。作為熱 CVD 法的例子，也可以使用 MOCVD (Metal Organic Chemical Vapor Deposition: 有機金屬化學氣相沉積) 法或 ALD (Atomic Layer Deposition: 原子層沉積) 法等。

[0228] 由於熱 CVD 法是不使用電漿的成膜方法，因

此具有不產生因電漿損傷而引起的缺陷的優點。

[0229] 可以以如下方法進行利用熱 CVD 法的成膜：將源氣體及氧化劑同時供應到處理室內，將處理室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上起反應。

[0230] 此外，可以以如下方法進行利用 ALD 法的成膜：將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室，並且按該順序反復地引入氣體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到處理室內。為了防止多種源氣體混合，例如，在引入第一源氣體的同時或之後引入惰性氣體（氬或氦等）等，然後引入第二源氣體。注意，當同時引入第一源氣體及惰性氣體時，惰性氣體被用作載子氣體，另外，可以在引入第二源氣體的同時引入惰性氣體。另外，也可以不引入惰性氣體而藉由真空抽氣將第一源氣體排出，然後引入第二源氣體。第一源氣體附著到基板表面形成第一層，然後第二源氣體被引入以與該第一層起反應，由此第二層層疊於第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據按順序反復引入氣體的次數來調整，因此，ALD 法可以準確地調節厚度，因而適用於製造微型 FET。

[0231] 利用 MOCVD 法或 ALD 法等熱 CVD 法可以形成上述實施方式所公開的導電膜、半導體膜、絕緣膜等

的各種膜，例如，當形成 In-Ga-Zn-O 膜時，使用三甲基銦、三甲基鎵及二甲基鋅。三甲基銦的化學式為 $\text{In}(\text{CH}_3)_3$ 。三甲基鎵的化學式為 $\text{Ga}(\text{CH}_3)_3$ 。二甲基鋅的化學式為 $\text{Zn}(\text{CH}_3)_2$ 。另外，不侷限於上述組合，也可以使用三乙基鎵（化學式為 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二乙基鋅（化學式為 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）代替二甲基鋅。

[0232] 例如，在使用利用 ALD 法的成膜裝置形成氧化鈺膜時，使用如下兩種氣體：藉由使包含溶劑和鈺前體化合物的液體（鈺醇鹽或鈺醯胺諸如四（二甲基胺基）鈺（TDMAH））氣化而得到的源氣體；以及用作氧化劑的臭氧（ O_3 ）。四（二甲基胺基）鈺的化學式為 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 。另外，作為其它材料液有四（乙基甲基胺基）鈺等。

[0233] 例如，在使用利用 ALD 法的成膜裝置形成氧化鋁膜時，使用如下兩種氣體：藉由使包含溶劑和鋁前體化合物的液體（三甲基鋁（TMA）等）氣化而得到的源氣體；以及用作氧化劑的 H_2O 。三甲基鋁的化學式為 $\text{Al}(\text{CH}_3)_3$ 。另外，作為其它材料液有三（二甲基醯胺）鋁、三異丁基鋁、鋁三（2,2,6,6-四甲基-3,5-庚二酮）等。

[0234] 例如，在使用利用 ALD 法的成膜裝置形成氧化矽膜時，使六氯乙矽烷附著在被成膜面上，去除附著物所包含的氯，供應氧化性氣體（ O_2 、一氧化二氮）的自由基使其與附著物起反應。

[0235] 例如，在使用利用 ALD 法的成膜裝置形成鎢

膜時，依次反復引入 WF_6 氣體和 B_2H_6 氣體形成初始鎢膜，然後同時引入 WF_6 氣體和 H_2 氣體形成鎢膜。也可以使用 SiH_4 氣體代替 B_2H_6 氣體。

[0236] 例如，在使用利用 ALD 的成膜裝置形成氧化物半導體膜如 In-Ga-Zn-O 膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 In-O 層，然後同時引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 GaO 層，之後同時引入 $\text{Zn}(\text{CH}_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體來形成混合化合物層如 In-Ga-O 層、In-Zn-O 層、Ga-Zn-O 層等。注意，雖然也可以使用利用 Ar 等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含 H 的 O_3 氣體。還可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{Ga}(\text{CH}_3)_3$ 氣體。另外，也可以使用 $\text{Zn}(\text{CH}_3)_2$ 氣體。

[0237] 注意，本實施方式可以與其他實施方式適當地組合而實施。

[0238]

實施方式 8

〈氧化物半導體的結構〉

在本實施方式中，對氧化物半導體的結構進行說明。

[0239] 在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。另外，“大致平行”是指

兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。此外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。另外，“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

[0240] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0241] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多晶氧化物半導體、nc-OS (nanocrystalline Oxide Semiconductor)、a-like OS (amorphous-like Oxide Semiconductor)、非晶氧化物半導體等。

[0242] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0243] 已知，非晶結構一般被定義為處於介穩狀態並沒有固定化，並且為各向同性且不具有非均勻結構等。另外，也可以換句話說為鍵角撓性且具有短程有序而不具有長程有序的結構。

[0244] 從相反的角度來看，不能將本質上穩定的氧化物半導體稱為完全是非晶 (completely amorphous) 的氧化物半導體。另外，不能將不是等方性 (例如，在微小

區域中具有週期性結構）的氧化物半導體稱為完全是非晶的氧化物半導體。注意，a-like OS 在微小區域中具有週期性結構，但同時具有空洞（void），所以是不穩定的結構。因此，a-like OS 在物性上接近於非晶氧化物半導體。

[0245]

〈CAAC-OS〉

首先，對 CAAC-OS 進行說明。

[0246] CAAC-OS 是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導體之一。

[0247] 在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所得到的 CAAC-OS 的明視野影像與繞射圖案的複合分析影像（也稱為高解析度 TEM 影像）中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊界，即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0248] 下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 10A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯

微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0249] 圖 10B 示出將圖 10A 中的區域 (1) 放大的 Cs 校正高解析度 TEM 影像。由圖 10B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 膜的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0250] 如圖 10B 所示, CAAC-OS 具有特有的原子排列。圖 10C 是以輔助線示出特有的原子排列的圖。由圖 10B 和圖 10C 可知, 一個顆粒的尺寸為 1nm 以上且 3nm 以下左右, 由顆粒與顆粒之間的傾斜產生的空隙的尺寸為 0.8nm 左右。因此, 也可以將顆粒稱為奈米晶 (nc: nanocrystal)。另外, 也可以將 CAAC-OS 稱為具有 CANC (C-Axis Aligned nanocrystals: c 軸配向奈米晶) 的氧化物半導體。

[0251] 在此, 根據 Cs 校正高解析度 TEM 影像, 將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為堆積磚塊或塊體的結構 (參照圖 10D)。在圖 10C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 10D 所示的區域 5161。

[0252] 圖 11A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 11B、圖 11C 和圖 11D 分別示出將圖 11A 中的區域 (1)、區域 (2) 和區域 (3) 放大的 Cs 校正高解析度

TEM 影像。由圖 11B、圖 11C 和圖 11D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0253] 接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 InGaZnO_4 結晶的 CAAC-OS 的結構時，如圖 12A 所示，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0254] 注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ 為 31° 附近的峰值以外，有時在 2θ 為 36° 附近時也出現峰值。 2θ 為 36° 附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0255] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ 為 56° 附近時出現峰值。該峰值來源於 InGaZnO_4 結晶的（110）面。在 CAAC-OS 中，即使將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描），也如圖 12B 所示的那樣觀察不到明確的峰值。相比之下，在 InGaZnO_4 的單晶

氧化物半導體中，在將 2θ 固定為 56° 附近來進行 ϕ 掃描時，如圖 12C 所示的那樣觀察到來源於相等於 (110) 面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0256] 接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 InGaZnO_4 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 13A 所示的繞射圖案（也稱為選區穿透式電子繞射圖案）。在該繞射圖案中包含起因於 InGaZnO_4 結晶的 (009) 面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 13B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線時的繞射圖案。由圖 13B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 13B 中的第一環起因於 InGaZnO_4 結晶的 (010) 面和 (100) 面等。另外，可以認為圖 13B 中的第二環起因於 (110) 面等。

[0257] 如上所述，CAAC-OS 是結晶性高的氧化物半導體。氧化物半導體的結晶性有時會因為雜質的混入或缺陷的產生等而得到降低，所以從相反的角度來看，CAAC-OS 也可以說是雜質或缺陷（氧缺陷等）少的氧化物半導體。

[0258] 此外，雜質是指氧化物半導體的主要成分以 5

外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0259] 在氧化物半導體具有雜質或缺陷的情況下，其特性有時因為光或熱等而發生變動。例如，包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺損有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0260] 雜質或氧缺陷少的 CAAC-OS 為載子密度低的氧化物半導體。明確而言，可以是載子密度低於 $8 \times 10^{11}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{11}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{10}/\text{cm}^3$ 且為 $1 \times 10^{-9}/\text{cm}^3$ 以上的氧化物半導體。將這種氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。即，CAAC-OS 可以說是具有穩定的特性的氧化物半導體。

[0261]

<nc-OS>

接著說明 nc-OS。

[0262] 在 nc-OS 的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸大多為 1nm 以上且 10nm 以下或

1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸大於 10nm 且為 100nm 以下的氧化物半導體稱為微晶氧化物半導體。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0263] 在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，當藉由利用使用其直徑比顆粒大的 X 射線束的 out-of-plane 法對 nc-OS 進行分析時，檢測不到表示結晶面的峰值。此外，在使用其束徑比顆粒大（例如，50nm 以上）的電子束對 nc-OS 進行電子繞射時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。並且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0264] 如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧

化物半導體或包含 NANC (Non-Aligned nanocrystals：無配向奈米晶) 的氧化物半導體。

[0265] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比 a-like OS 及非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0266]

〈a-like OS〉

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0267] 在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0268] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0269] 作為進行電子照射的樣本，準備 a-like OS (樣本 A)、nc-OS (樣本 B) 和 CAAC-OS (樣本 C)。每個樣本都是 In-Ga-Zn 氧化物。

[0270] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0271] 注意，如下那樣決定將哪個部分作為一個結

晶部。例如，已知 InGaZnO_4 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的 9 個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層の間隔與 (009) 面的晶格表面間隔（也稱為 d 值）是幾乎相等的，由結晶結構分析求出其值為 0.29nm 。由此，可以將晶格條紋の間隔為 0.28nm 以上且 0.30nm 以下的部分作為 InGaZnO_4 結晶部。每個晶格條紋對應於 InGaZnO_4 結晶的 a - b 面。

[0272] 圖 14 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 14 可知，在 a -like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 14 中的（1）所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 14 中的（2）及（3）所示，可知無論電子的累積照射量如何， nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0273] 如此，有時電子照射引起 a -like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。即， a -like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0274] 此外，由於 a -like OS 包含空洞，所以其密度

比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6% 以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3% 以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78% 的氧化物半導體。

[0275] 例如，在原子個數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，具有菱方晶系結構的單晶 InGaZnO_4 的密度為 6.357g/cm^3 。因此，例如，在原子個數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，a-like OS 的密度為 5.0g/cm^3 以上且小於 5.9g/cm^3 。另外，例如，在原子個數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 5.9g/cm^3 以上且小於 6.3g/cm^3 。

[0276] 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳為儘可能減少所組合的單晶氧化物半導體的種類來計算密度。

[0277] 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、nc-OS 和 CAAC-OS 中的兩種以上的疊層膜。

[0278] 注意，本實施方式可以與其他實施方式適當地組合而實施。

[0279]

實施方式 9

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示其影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、視頻攝影機、數位相機等影像拍攝裝置、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）、自動販賣機以及醫療設備等。在圖 15A 至圖 15F 中示出這些電子裝置的具體例子。

[0280] 圖 15A 示出一種可攜式遊戲機，該可攜式遊戲機包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007 以及觸控筆 5008 等。可以將根據本發明的一個方式的半導體裝置用於可攜式遊戲機的各种積體電路。注意，雖然圖 15A 所示的可攜式遊戲機包括兩個顯示部即顯示部 5003 和顯示部 5004，但是可攜式遊戲機所具有的顯示部的數量不限

於兩個。

[0281] 圖 15B 示出可攜式資訊終端，該可攜式資訊終端包括第一外殼 5601、第二外殼 5602、第一顯示部 5603、第二顯示部 5604、連接部 5605 以及操作鍵 5606 等。可以將根據本發明的一個方式的半導體裝置用於可攜式資訊終端的各種積體電路。第一顯示部 5603 設置在第一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602 中。並且，第一外殼 5601 和第二外殼 5602 由連接部 5605 連接，由連接部 5605 可以改變第一外殼 5601 和第二外殼 5602 之間的角度。第一顯示部 5603 的影像也可以根據連接部 5605 所形成的第一外殼 5601 和第二外殼 5602 之間的角度切換。此外，也可以將附加有作為位置輸入裝置的功能的顯示裝置用於第一顯示部 5603 和第二顯示部 5604 中的至少一個。作為位置輸入裝置的功能可以藉由在顯示裝置中設置觸控面板而附加。或者，還可以藉由將被稱為光感測器的光電轉換元件設置在顯示裝置的像素部中來附加作為位置輸入裝置的功能。

[0282] 圖 15C 示出筆記本式個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403、指向裝置 5404 等。可以將根據本發明的一個方式的半導體裝置用於筆記本式個人電腦的各種積體電路。

[0283] 圖 15D 示出電冷藏冷凍箱，其包括外殼 5301、冷藏室門 5302、冷凍室門 5303 等。可以將根據本發明的一個方式的半導體裝置用於電冷藏冷凍箱的各種積

體電路。

[0284] 圖 15E 示出視頻攝影機，該視頻攝影機包括第一外殼 5801、第二外殼 5802、顯示部 5803、操作鍵 5804、鏡頭 5805 以及連接部 5806 等。可以將根據本發明的一個方式的半導體裝置用於視頻攝影機的各種積體電路。操作鍵 5804 及鏡頭 5805 設置在第一外殼 5801 中，顯示部 5803 設置在第二外殼 5802 中。並且，第一外殼 5801 和第二外殼 5802 由連接部 5806 連接，由連接部 5806 可以改變第一外殼 5801 和第二外殼 5802 之間的角度。顯示部 5803 的影像也可以根據連接部 5806 所形成的第一外殼 5801 和第二外殼 5802 之間的角度切換。

[0285] 圖 15F 示出普通汽車，其包括車身 5101、車輪 5102、儀表板 5103 及燈 5104 等。可以將根據本發明的一個方式的半導體裝置用於普通汽車的各種積體電路。

[0286] 例如，當在本說明書等中明確地記載為“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。因此，還包括圖式或文章所示的連接關係以外的連接關係，而不侷限於指定的連接關係，例如圖式或文章所示的連接關係。

[0287] 這裡，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

[0288] 作為 X 和 Y 電連接時的一個例子，可以在 X 和 Y 之間連接一個以上的能夠電連接 X 和 Y 的元件（例

如開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）。另外，開關具有控制開啟和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。

[0289] 作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。

[0290] 此外，當明確地記載為“X 與 Y 電連接”時，包括如下情況：X 與 Y 電連接的情況（換言之，以中間夾有其他元件或其他電路的方式連接 X 與 Y 的情況）；X 與 Y 在功能上連接的情況（換言之，以中間夾有其他電路的方式在功能上連接 X 與 Y 的情況）；以及 X 與 Y 直接連接的情況（換言之，以中間不夾有其他元件或其他電路的方式連接 X 與 Y 的情況）。換言之，明確記

載為“電連接”的情況與簡單地明確記載為“連接”的情況相同。

[0291] 注意，例如，在電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況下以及在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表現為如下。

[0292] 例如，可以表達為“X、Y、電晶體的源極（或第一端子等）及電晶體的汲極（或第二端子等）互相電連接，並按 X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）及 Y 的順序電連接”。或者，可以表達為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，並按 X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）及 Y 的順序電連接”。或者，可以表達為“X 藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，並按 X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）及 Y 的順序連接”。藉由使用與這些例子相同的表達方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。注意，上述表達方法只是一個例子，不侷限於上述表達方法。在此，

X、Y、Z1 及 Z2 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0293] 另外，即使圖式示出在電路圖上獨立的構成要素相互電連接，也有一個構成要素兼有多個構成要素的功能的情況。例如，在佈線的一部分被用作電極時，一個導電膜兼有佈線和電極的兩個構成要素的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個構成要素的功能的情況。

[0294] 另外，在一個實施方式中描述的內容（也可以是其一部分的內容）可以應用於、組合於或者替換成在該實施方式中描述的其他內容（也可以是其一部分的內容）和/或在一個或多個其他實施方式中描述的內容（也可以是其一部分的內容）。

[0295] 注意，在實施方式中描述的內容是指在各實施方式中利用各種圖式來說明的內容或利用說明書中的文章來說明的內容。

[0296] 另外，藉由使在一個實施方式中示出的圖式（也可以是其一部分）與該圖式的其他部分、在該實施方式中示出的其他圖式（也可以是其一部分）和/或在一個或多個其他實施方式中示出的圖式（也可以是其一部分）組合，可以構成更多圖式。

[0297] 另外，關於在說明書中的圖式或文章中未規定的內容，可以規定發明的一個方式不包括該內容而構成。另外，當有某一個值的數值範圍的記載（上限值和下

限值等)時，藉由任意縮小該範圍或者去除該範圍中的一部分，可以規定發明的一個方式不包括該範圍的一部分。由此，例如，可以規定習知技術不包括在本發明的一個方式的技術範圍內。

[0298] 作為具體例子，假設將某一個電路記載為包括第一至第五電晶體的電路的電路圖。在該情況下，可以將發明規定為該電路不包括第六電晶體。也可以將發明規定為該電路不包括電容器。再者，可以規定為該電路不包括具有特定連接結構的第六電晶體而構成發明。還可以規定為該電路不包括具有特定連接結構的電容器而構成發明。例如，可以將發明規定為不包括其閘極與第三電晶體的閘極連接的第六電晶體。或者，例如，可以將發明規定為不包括其第一電極與第三電晶體的閘極連接的電容器。

[0299] 作為其他具體例子，假設將某一個值例如記載為“某一個電壓較佳為 3V 以上且 10V 以下”。在該情況下，例如，可以將發明的一個方式規定為不包括該電壓為 -2V 以上且 1V 以下的情況。例如，可以將發明的一個方式規定為不包括該電壓為 13V 以上的情况。例如，可以將發明規定為該電壓為 5V 以上且 8V 以下。例如，可以將發明規定為該電壓大約為 9V。例如，可以將發明規定為該電壓是 3V 以上且 10V 以下但不包括是 9V 的情况。注意，即使記載為“某一個值較佳為某個範圍”、“某一個值最好滿足某個條件”，該某一個值也不侷限於該記載。換言之，“較佳”、“最好”等的記載並不一定意味

著需要受限於該記載。

[0300] 作為其他具體例子，假設將關於某一個值例如記載為“某一個電壓較佳為 10V”。在該情況下，例如，可以將發明的一個方式規定為不包括該電壓為 -2V 以上且 1V 以下的情況。或者，例如，可以將發明的一個方式規定為不包括該電壓為 13V 以上的情況。

[0301] 作為其他具體例子，假設將關於某一個物質的性質例如記載為“某一個膜為絕緣膜”。在該情況下，例如，可以將發明的一個方式規定為不包括該絕緣膜為有機絕緣膜的情況。例如，可以將發明的一個方式規定為不包括該絕緣膜為無機絕緣膜的情況。例如，可以將發明的一個方式規定為不包括該膜為導電膜的情況。或者，例如，可以將發明的一個方式規定為不包括該膜為半導體膜的情況。

[0302] 作為其他具體例子，假設將某一個層疊結構例如記載為“在 A 膜與 B 膜之間設置有某一個膜”。在該情況下，例如，可以將發明規定為不包括該膜為四層以上的疊層膜的情況。例如，可以將發明規定為不包括在 A 膜與該膜之間設置有導電膜的情況。

[0303] 此外，在本說明書等中記載的發明的一個方式可以由各種各樣人實施。但是，有時多個人參與該實施。例如，在收發系統中，A 公司製造銷售發送器，而 B 公司製造銷售接收器。作為另一個例子，在具有電晶體及發光元件的發光裝置中，A 公司製造銷售形成有電晶體的

半導體裝置。然後，B 公司購買該半導體裝置，在該半導體裝置中形成發光元件，而完成發光裝置。

[0304] 在此情況下，可以將發明的一個方式構成為可對 A 公司和 B 公司中的兩者主張侵犯專利。換言之，可以將發明的一個方式構成為僅由 A 公司實施，作為發明的另一個方式，也可以將發明的一個方式構成為僅由 B 公司實施。另外，可對 A 公司或 B 公司主張侵犯專利的發明的一個方式是明確的，且可以判斷是記載於本說明書等中的。例如，關於收發系統，即使在本說明書等中沒有僅包含發送器的結構的記載或僅包含接收器的結構的記載，也可以僅由發送器構成發明的一個方式，還可以僅由接收器構成發明的另一個方式，這些發明的一個方式是明確的，且可以判斷是記載於本說明書等中的。作為另一個例子，關於包含電晶體及發光元件的發光裝置，即使在本說明書等沒有僅包括形成有電晶體的半導體裝置的結構的記載或僅包括具有發光元件的發光裝置的結構的記載，也可以僅由形成有電晶體的半導體裝置構成發明的一個方式，還可以僅由具有發光元件的發光裝置構成發明的一個方式，這些發明的一個方式是明確的，且可以判斷是記載於本說明書等中的。

[0305] 另外，在本說明書等中，即使未指定主動元件（電晶體、二極體等）、被動元件（電容器、電阻元件等）等所具有的所有端子的連接目標，所屬技術領域的普通技術人員有時也能夠構成發明的一個方式。即，可以

說，即使未指定連接目標，發明的一個方式也是明確的。並且，當指定了連接目標的內容記載於本說明書等中時，有時可以判斷未指定連接目標的發明的一個方式記載於本說明書等中。尤其是在端子連接目標有可能是多個的情況下，該端子的連接目標不必限定在指定的部分。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容器、電阻元件等）等所具有的一部分的端子的連接目標，就能構成發明的一個方式。

[0306] 另外，在本說明書等中，只要至少指定某一個電路的連接目標，所屬技術領域的普通技術人員就有時可以構成發明。或者，只要至少指定某一個電路的功能，所屬技術領域的普通技術人員就有時可以構成發明。即，可以說只要指定功能，發明的一個方式就是明確的。另外，有時可以判斷指定了功能的發明的一個方式是記載於本說明書等中的。因此，即使未指定某一個電路的功能，只要指定連接目標，就算是所公開的發明的一個方式，而可以構成發明的一個方式。另外，即使未指定某一個電路的連接目標，只要指定其功能，就算是所公開的發明的一個方式，而可以構成發明的一個方式。此外，在本說明書中，在電路的說明中使用的“信號”這術語有時意味著“電路”，而“電路”這術語有時意味著“信號”。

[0307] 注意，在本說明書等中，可以在某一個實施方式中示出的圖式或者文章中取出其一部分而構成發明的一個方式。因此，在記載有說明某一部分的圖式或者文章

的情況下，取出的圖式或者文章的一部分的內容也算是所公開的發明的一個方式，所以能夠構成發明的一個方式。並且，可以說該發明的一個方式是明確的。因此，例如，可以在記載有主動元件（電晶體、二極體等）、佈線、被動元件（電容器、電阻元件等）、導電層、絕緣層、半導體層、有機材料、無機材料、零件、裝置、工作方法、製造方法等中的一個或多個的圖式或者文章中，可以取出其一部分而構成發明的一個方式。例如，可以從由 N 個（ N 是整數）電路元件（電晶體、電容器等）構成的電路圖中取出 M 個（ M 是整數， $M < N$ ）電路元件（電晶體、電容器等）來構成發明的一個方式。作為其他例子，可以從由 N 個（ N 是整數）層構成的剖面圖中取出 M 個（ M 是整數， $M < N$ ）層來構成發明的一個方式。再者，作為其他例子，可以從由 N 個（ N 是整數）要素構成的流程圖中取出 M 個（ M 是整數， $M < N$ ）要素來構成發明的一個方式。作為其他的例子，當從“A 包括 B、C、D、E 或 F”的記載中任意抽出一部分的要素時，可以構成“A 包括 B 和 E”、“A 包括 E 和 F”、“A 包括 C、E 和 F”或者“A 包括 B、C、D 和 E”等的發明的一個方式。

[0308] 在本說明書等中，當在某一個實施方式中示出的圖式或文章示出至少一個具體例子的情況下，所屬技術領域的普通技術人員可以很容易地理解一個事實就是可由上述具體例子導出該具體例子的上位概念。因此，當在某一個實施方式中示出的圖式或文章示出至少一個具體例

子的情況下，該具體例子的上位概念也是所公開的發明的一個方式，而可以構成發明的一個方式。因此，可以說該發明的一個方式是明確的。

[0309] 另外，在本說明書等中，至少示於圖式中的內容（也可以是其一部分）是所公開的發明的一個方式，而可以構成發明的一個方式。因此，即使在文章中沒有該某一個內容的描述，如果該內容示於圖式中，就可以說該內容是所公開的發明的一個方式，而可以構成發明的一個方式。同樣地，取出圖式的一部分的圖式也是所公開的發明的一個方式，而可以構成發明的一個方式。因此，可以說該發明的一個方式是明確的。

【符號說明】

[0310]

90：電晶體

91：絕緣膜

92a：氧化物半導體膜

92b：氧化物半導體膜

92c：氧化物半導體膜

93：導電膜

94：導電膜

95：絕緣膜

96：導電膜

97：基板

101 : p 型 Si-FET
 102 : p 型 Si-FET
 103 : p 型 Si-FET
 104 : p 型 Si-FET
 111 : n 型 Si-FET
 112 : n 型 Si-FET
 113 : n 型 Si-FET
 114 : n 型 Si-FET
 115 : n 型 Si-FET
 116 : n 型 Si-FET
 117 : n 型 Si-FET
 118 : n 型 Si-FET
 121 : OS-FET
 122 : OS-FET
 123 : OS-FET
 124 : OS-FET
 131 : 電 容 器
 132 : 電 容 器
 151 : IN
 152 : INB
 161 : OUT
 162 : OUTB
 171 : 電 阻 元 件
 172 : 電 阻 元 件

801：半導體基板
810：元件隔離區
811：絕緣膜
812：絕緣膜
813：絕緣膜
825：導電膜
826：導電膜
827：導電膜
834：導電膜
835：導電膜
836：導電膜
837：導電膜
844：導電膜
851：導電膜
852：導電膜
853：導電膜
861：絕緣膜
862：閘極絕緣膜
863：絕緣膜
901：半導體膜
910：區域
911：區域
921：導電膜
922：導電膜

931：閘極電極
 1000：基板
 1001：元件隔離區
 1002：雜質區
 1003：雜質區
 1004：通道形成區
 1005：絕緣膜
 1006：閘極電極
 1011：絕緣膜
 1012：導電膜
 1013：導電膜
 1014：導電膜
 1016：導電膜
 1017：導電膜
 1018：導電膜
 1020：絕緣膜
 1021：絕緣膜
 1022：絕緣膜
 1030：半導體膜
 1030a：氧化物半導體膜
 1030c：氧化物半導體膜
 1031：閘極絕緣膜
 1032：導電膜
 1033：導電膜

1034：閘極電極

1101：電晶體

1102：電晶體

5001：外殼

5002：外殼

5003：顯示部

5004：顯示部

5005：麥克風

5006：揚聲器

5007：操作鍵

5008：觸控筆

5100：顆粒

5101：車身

5102：車輪

5103：儀表板

5104：燈

5120：基板

5161：區域

5301：外殼

5302：冷藏室門

5303：冷凍室門

5401：外殼

5402：顯示部

5403：鍵盤

5404：指向裝置

5601：外殼

5602：外殼

5603：顯示部

5604：顯示部

5605：連接部

5606：操作鍵

5801：外殼

5802：外殼

5803：顯示部

5804：操作鍵

5805：鏡頭

5806：連接部

發明摘要

※申請案號：104106501

※申請日：104 年 03 月 02 日

※IPC 分類：

【發明名稱】(中文/英文)

位準轉換電路

Level shifter circuit

【中文】

本發明降低在能夠以低電壓工作的位準轉換器待機時發生的洩漏電流。本發明的一個方式是一種位準轉換電路，其中在輸出信號線與低電位電源線之間串聯設置 n 通道型矽電晶體和氧化物半導體電晶體，並且藉由電容耦合使該氧化物半導體電晶體的閘極電極的電位上升到比輸入信號電壓高的電位，從而增大氧化物半導體電晶體的通態電流。

【英文】

Leakage current in a standby mode of a level shifter capable of operating with low voltage is reduced. Provided is a level shifter circuit in which an n-channel silicon transistor and an oxide semiconductor transistor are provide in series between an output signal line and a low potential power supply line. The potential of a gate electrode of the oxide semiconductor transistor is raised to a potential higher than input signal voltage by capacitive coupling, so that on-state current of the oxide semiconductor transistor is increased.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

101：p 型 Si-FET

102：p 型 Si-FET

103：p 型 Si-FET

104：p 型 Si-FET

111：n 型 Si-FET

112：n 型 Si-FET

113：n 型 Si-FET

114：n 型 Si-FET

121：OS-FET

122：OS-FET

123：OS-FET

124：OS-FET

131：電容器

132：電容器

141：GND

142：VDD_L

143：VDD_H

151：IN

152：INB

161：OUT

162：OUTB

N1、N2、N3、N4、N5、N6：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

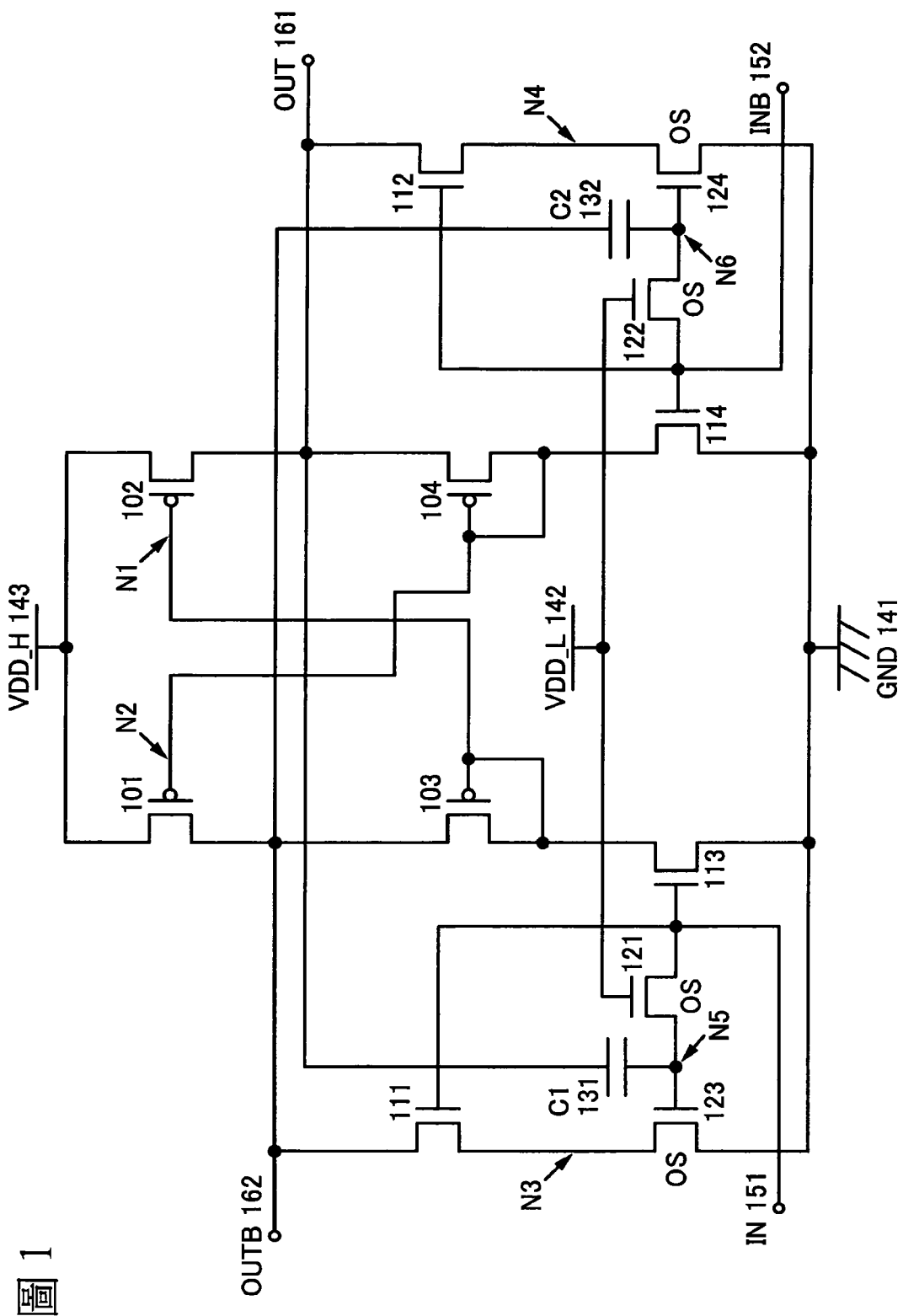


圖 1

圖 2

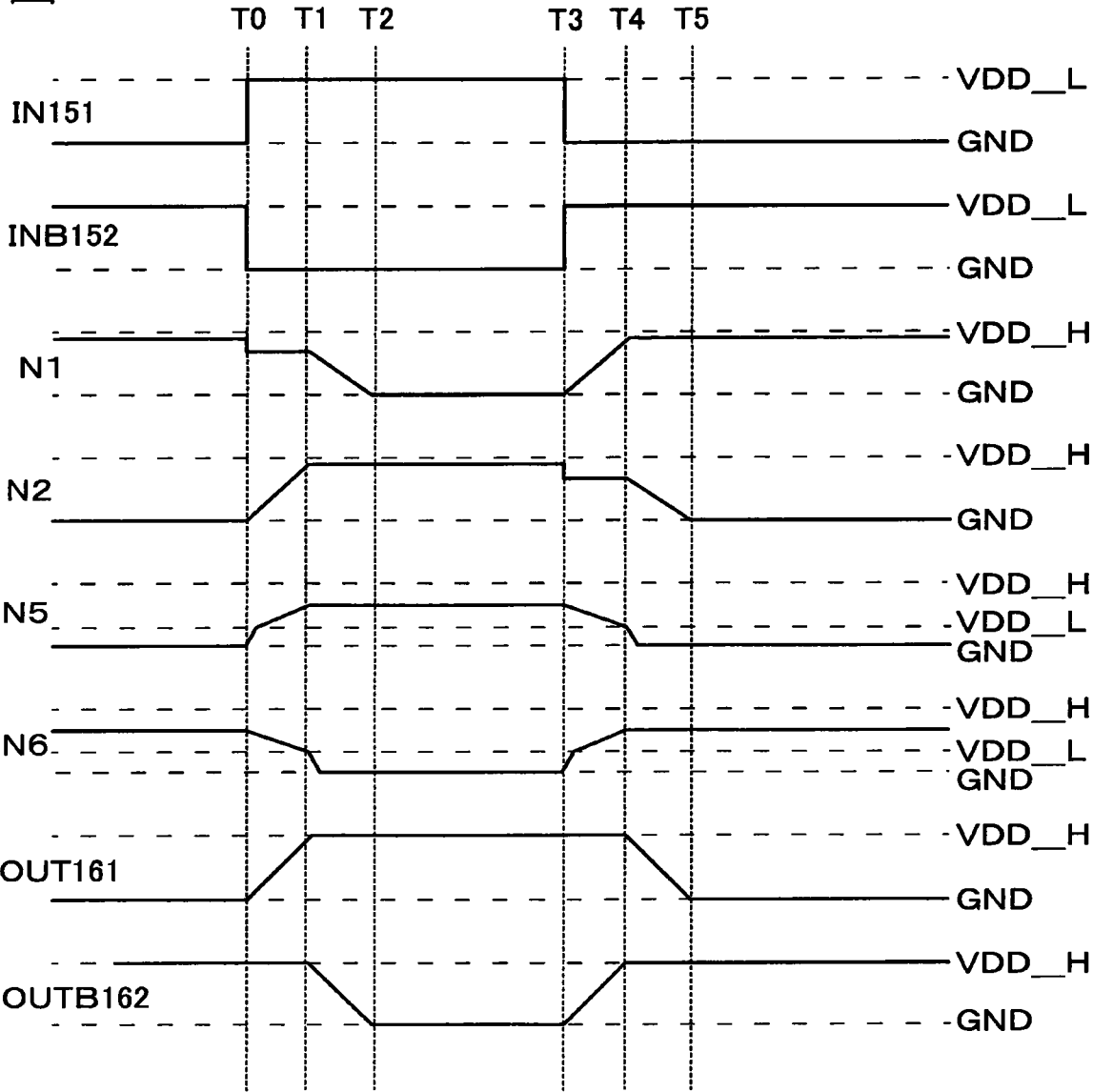


圖 4

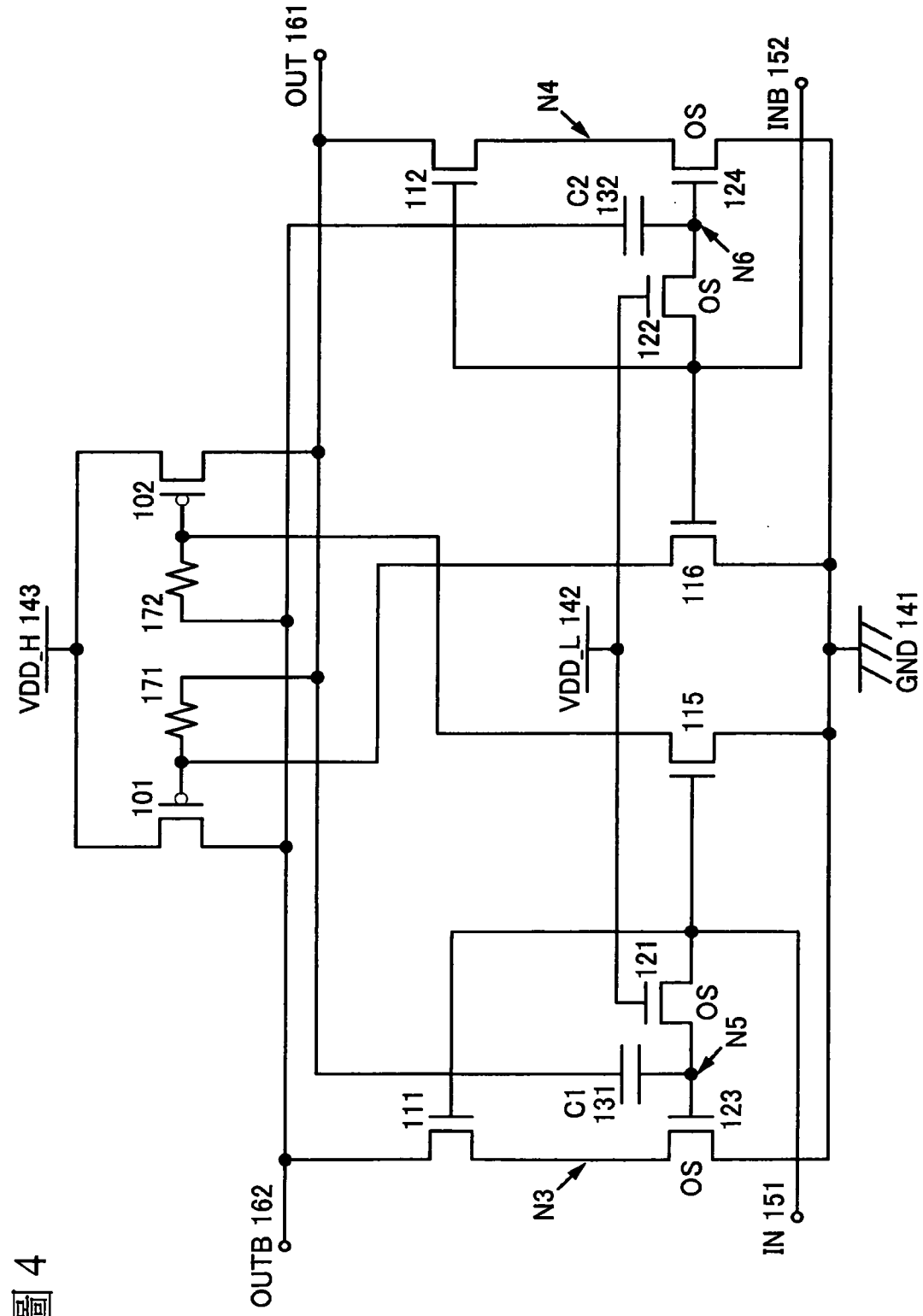


圖 5

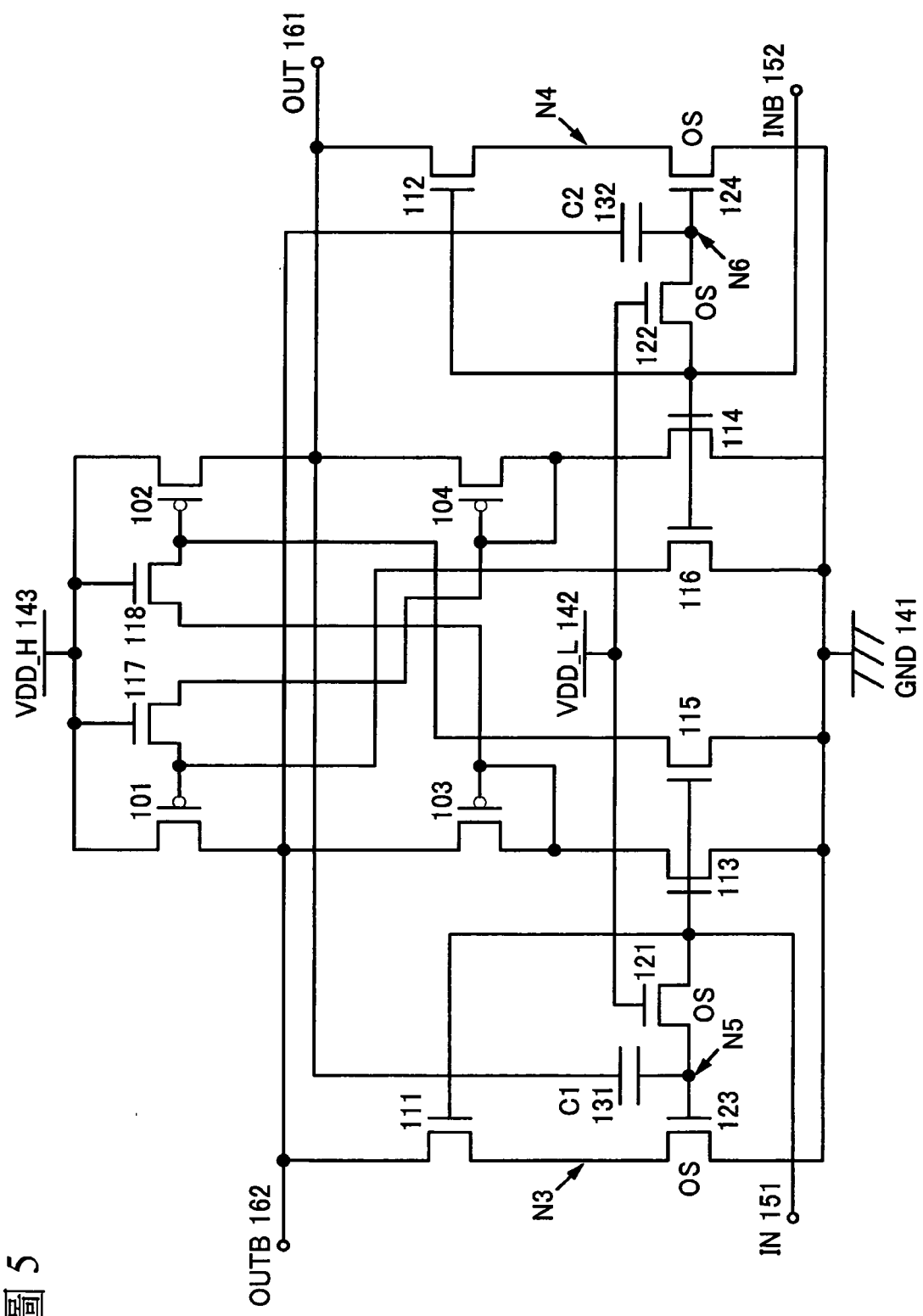


圖 6

32

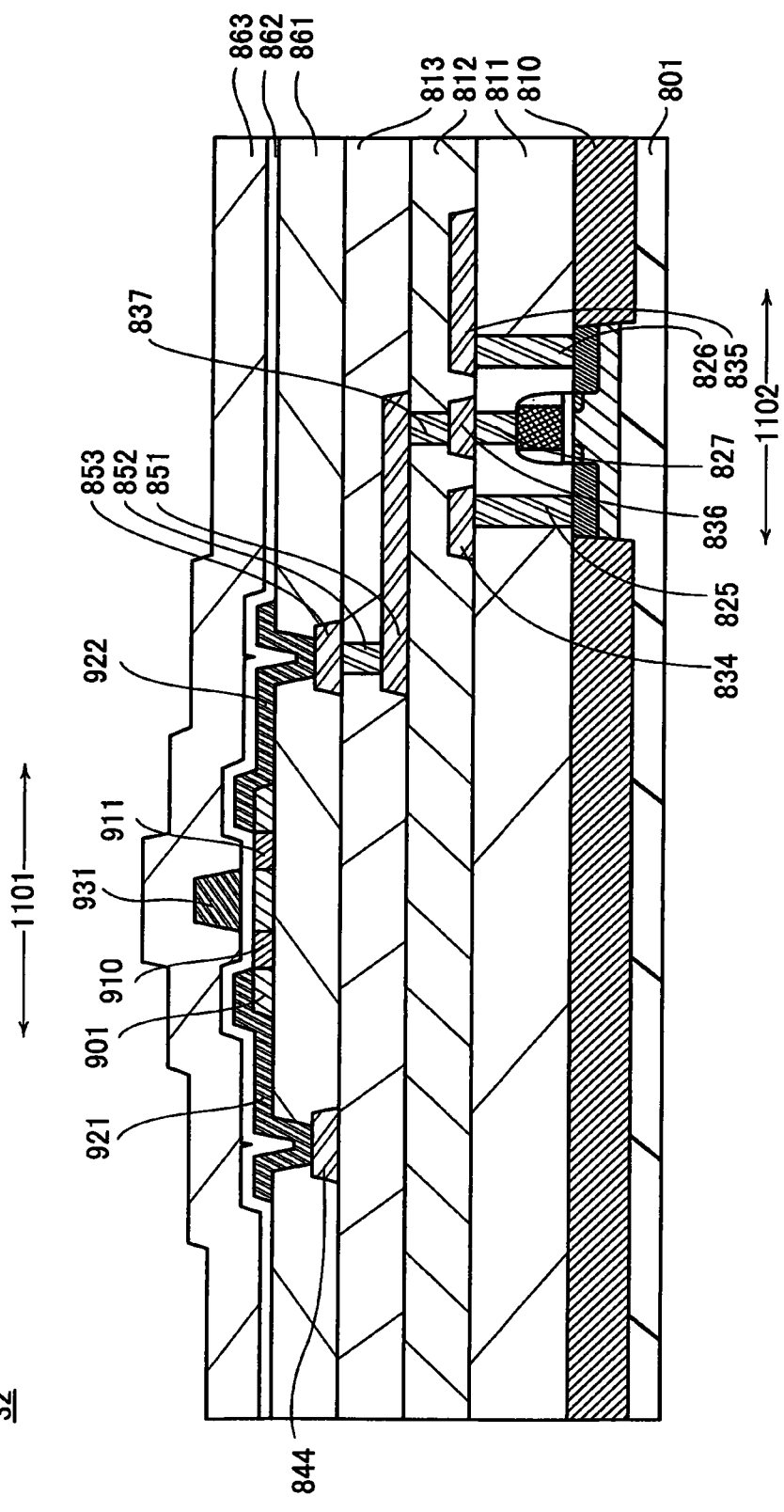


圖 7A

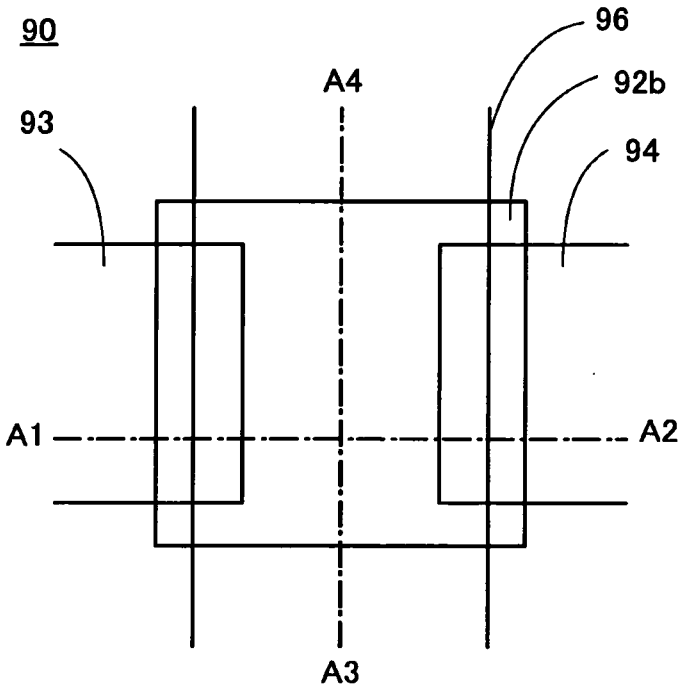


圖 7C

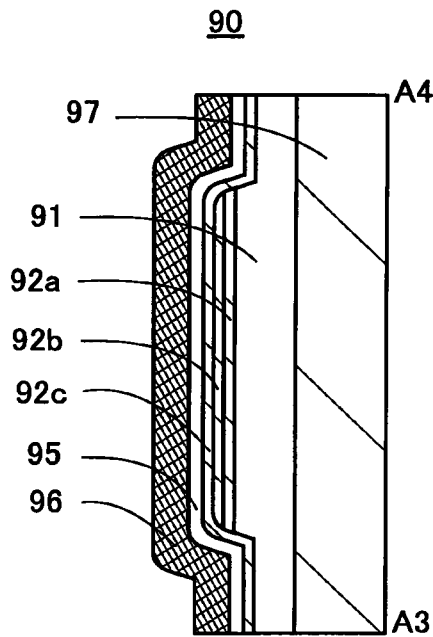


圖 7B

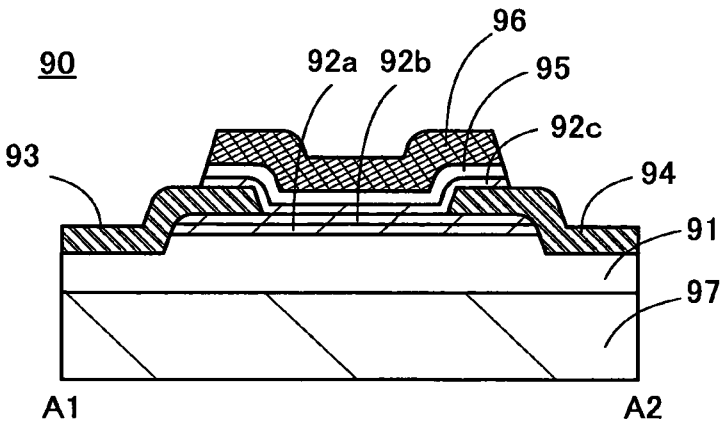


圖 12A

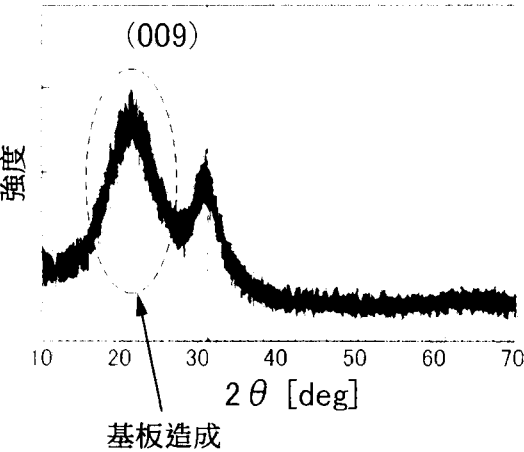


圖 12B

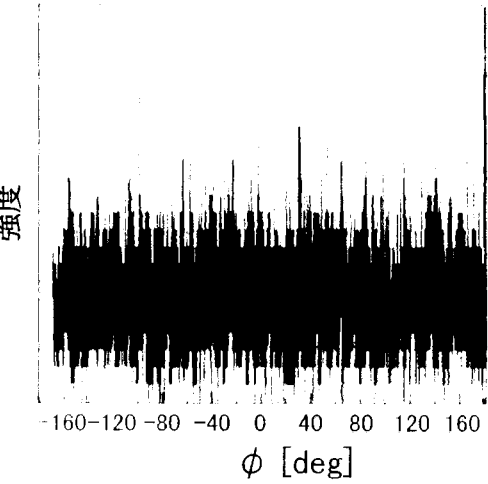


圖 12C

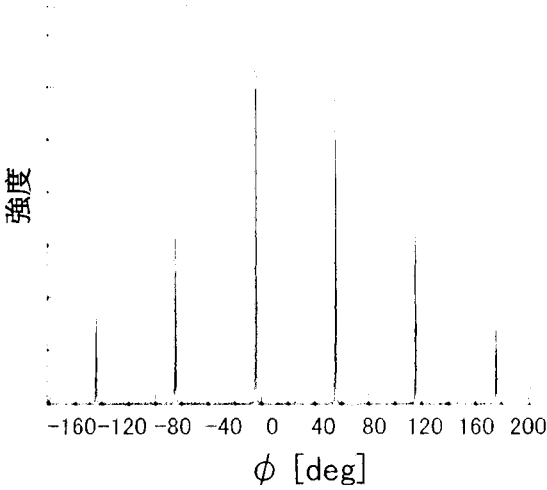


圖 14

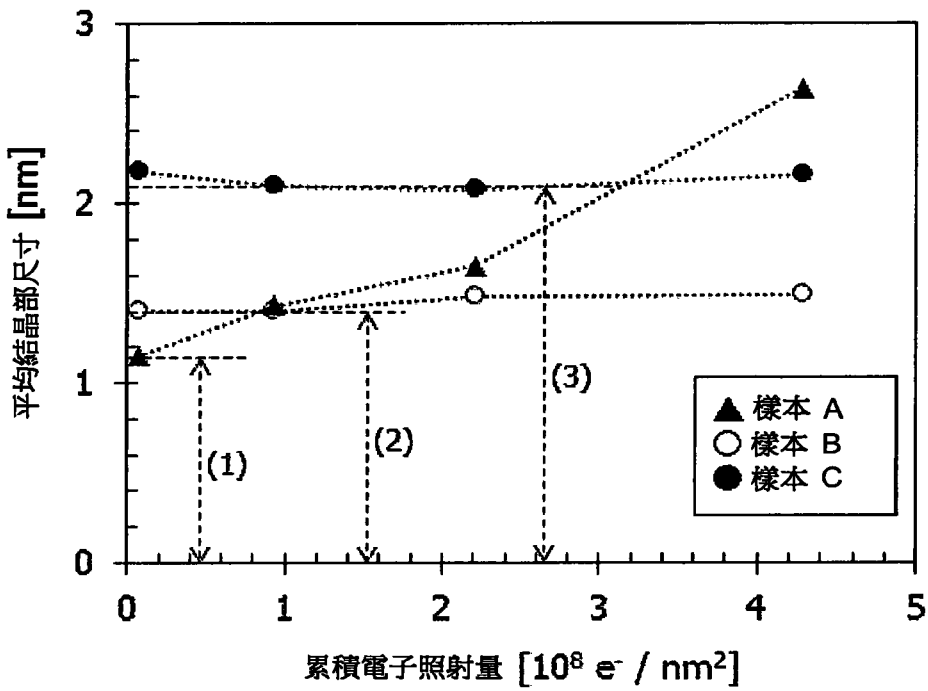


圖 15A

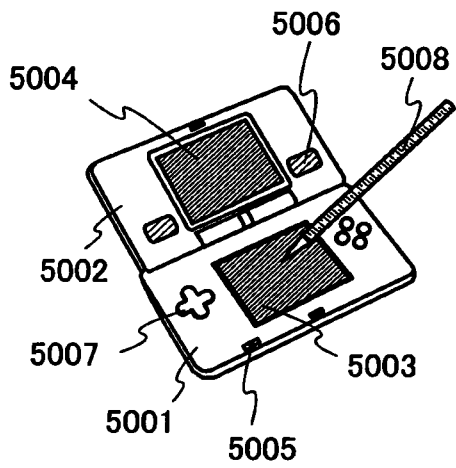


圖 15B

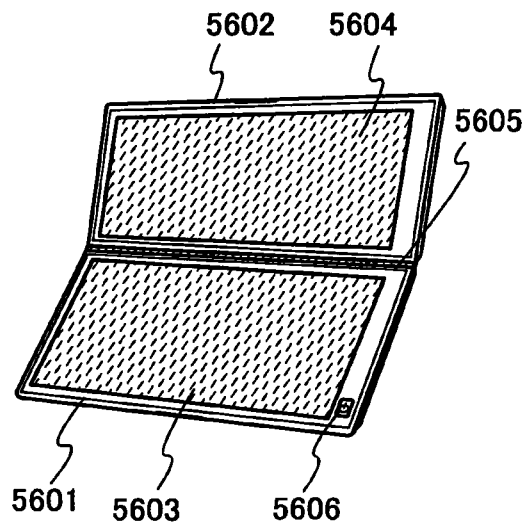


圖 15C

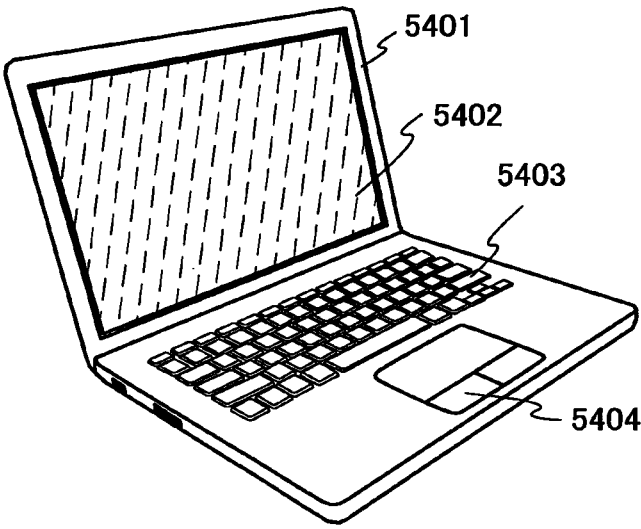


圖 15D

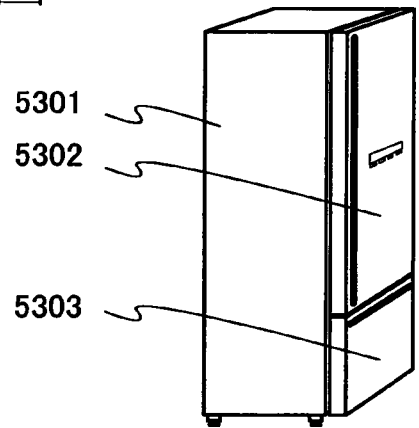


圖 15E

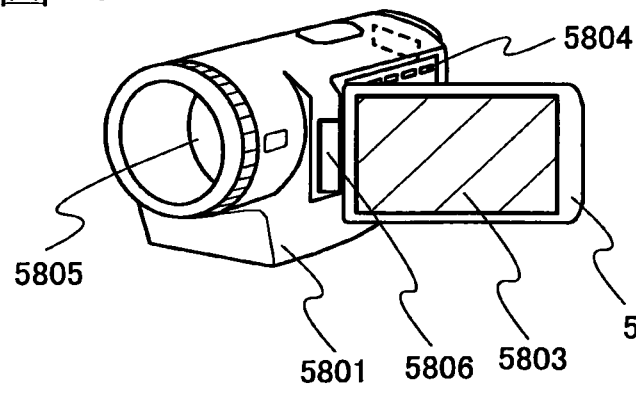
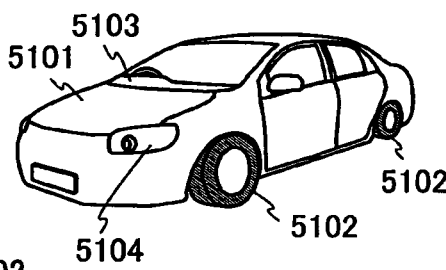


圖 15F



申請專利範圍

1. 一種位準轉換電路，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；

第八電晶體；

第九電晶體；

第十電晶體；

第一電容器；

第二電容器；

第一電位電源線；

第二電位電源線；

第三電位電源線；

輸出信號線；

反轉輸出信號線；

輸入信號線；以及

反轉輸入信號線，

其中，該第一電晶體的源極和汲極中的一個與該第一電位電源線電連接，

該第一電晶體的該源極和該汲極中的另一個與該反轉

輸出信號線電連接，

該第一電晶體的閘極與該第六電晶體的源極和汲極中的一個電連接，

該第二電晶體的源極和汲極中的一個與該第一電位電源線電連接，

該第二電晶體的該源極和該汲極中的另一個與該輸出信號線電連接，

該第二電晶體的閘極與該第五電晶體的源極和汲極中的一個電連接，

該第三電晶體的源極和汲極中的一個與該反轉輸出信號線電連接，

該第三電晶體的該源極和該汲極中的另一個與該第九電晶體的源極和汲極中的一個電連接，

該第三電晶體的閘極與該輸入信號線電連接，

該第四電晶體的源極和汲極中的一個與該輸出信號線電連接，

該第四電晶體的該源極和該汲極中的另一個與該第十電晶體的源極和汲極中的一個電連接，

該第四電晶體的閘極與該反轉輸入信號線電連接，

該第五電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

該第五電晶體的閘極與該輸入信號線電連接，

該第六電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

該第六電晶體的閘極與該反轉輸入信號線電連接，

該第七電晶體的源極和汲極中的一個與該輸入信號線電連接，

該第七電晶體的該源極和該汲極中的另一個與該第九電晶體的閘極電連接，

該第七電晶體的閘極與該第三電位電源線電連接，

該第八電晶體的源極和汲極中的一個與該反轉輸入信號線電連接，

該第八電晶體的該源極和該汲極中的另一個與該第十電晶體的閘極電連接，

該第八電晶體的閘極與該第三電位電源線電連接，

該第九電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

該第十電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

該第一電容器的第一電極與該輸出信號線電連接，

該第一電容器的第二電極與該第九電晶體的該閘極電連接，

該第二電容器的第一電極與該反轉輸出信號線電連接，

並且，該第二電容器的第二電極與該第十電晶體的該閘極電連接。

2. 一種位準轉換電路，包括：

第一電晶體；

第二電晶體；
第三電晶體；
第四電晶體；
第五電晶體；
第六電晶體；
第七電晶體；
第八電晶體；
第九電晶體；
第十電晶體；
第一電位電源線；
第二電位電源線；
第三電位電源線；
輸出信號線；
反轉輸出信號線；
輸入信號線；以及
反轉輸入信號線，

其中，該第一電晶體的源極和汲極中的一個與該第一電位電源線電連接，

該第一電晶體的該源極和該汲極中的另一個與該反轉輸出信號線電連接，

該第一電晶體的閘極與該第六電晶體的源極和汲極中的一個電連接，

該第二電晶體的源極和汲極中的一個與該第一電位電源線電連接，

該第二電晶體的該源極和該汲極中的另一個與該輸出信號線電連接，

該第二電晶體的閘極與該第五電晶體的源極和汲極中的一個電連接，

該第三電晶體的源極和汲極中的一個與該反轉輸出信號線電連接，

該第三電晶體的該源極和該汲極中的另一個與該第九電晶體的源極和汲極中的一個電連接，

該第三電晶體的閘極與該輸入信號線電連接，

該第四電晶體的源極和汲極中的一個與該輸出信號線電連接，

該第四電晶體的該源極和該汲極中的另一個與該第十電晶體的源極和汲極中的一個電連接，

該第四電晶體的閘極與該反轉輸入信號線電連接，

該第五電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

該第五電晶體的閘極與該輸入信號線電連接，

該第六電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

該第六電晶體的閘極與該反轉輸入信號線電連接，

該第七電晶體的源極和汲極中的一個與該輸入信號線電連接，

該第七電晶體的該源極和該汲極中的另一個與該第九電晶體的閘極電連接，

該第七電晶體的閘極與該第三電位電源線電連接，

該第八電晶體的源極和汲極中的一個與該反轉輸入信號線電連接，

該第八電晶體的該源極和該汲極中的另一個與該第十電晶體的閘極電連接，

該第八電晶體的閘極與該第三電位電源線電連接，

該第九電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

並且，該第十電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接。

3. 根據申請專利範圍第 1 或 2 項之位準轉換電路，

其中該第一電晶體及該第二電晶體是 p 通道型矽電晶體，

該第三電晶體、該第四電晶體、該第五電晶體及該第六電晶體是 n 通道型矽電晶體，

並且該第七電晶體、該第八電晶體、該第九電晶體及該第十電晶體是氧化物半導體電晶體。

4. 根據申請專利範圍第 1 或 2 項之位準轉換電路，還包括：

第十一電晶體；以及

第十二電晶體，

其中該第一電晶體的該閘極與該第十二電晶體的閘極電連接，

該第二電晶體的該閘極與該第十一電晶體的閘極電連

接，

該第十一電晶體的源極和汲極中的一個與該反轉輸出信號線電連接，

該第十一電晶體的該源極和該汲極中的另一個與該第十一電晶體的該閘極電連接，

該第十二電晶體的源極和汲極中的一個與該輸出信號線電連接，

並且該第十二電晶體的該源極和該汲極中的另一個與該第十二電晶體的該閘極電連接。

5. 根據申請專利範圍第 4 項之位準轉換電路，

其中該第一電晶體、該第二電晶體、該第十一電晶體及該第十二電晶體是 p 通道型矽電晶體，

該第三電晶體、該第四電晶體、該第五電晶體及該第六電晶體是 n 通道型矽電晶體，

並且該第七電晶體、該第八電晶體、該第九電晶體及該第十電晶體是氧化物半導體電晶體。

6. 根據申請專利範圍第 1 或 2 項之位準轉換電路，還包括：

第十三電晶體；以及

第十四電晶體，

其中該第十三電晶體的源極和汲極中的一個與該第一電晶體的該閘極電連接，

該第十三電晶體的該源極和該汲極中的另一個與該輸出信號線電連接，

該第十三電晶體的閘極與該第一電位電源線電連接，
該第十四電晶體的源極和汲極中的一個與該第二電晶體的該閘極電連接，
該第十四電晶體的該源極和該汲極中的另一個與該反轉輸出信號線電連接，
並且該第十四電晶體的閘極與該第一電位電源線電連接。

7. 根據申請專利範圍第 6 項之位準轉換電路，
其中該第一電晶體及該第二電晶體是 p 通道型矽電晶體，

該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第十三電晶體及該第十四電晶體是 n 通道型矽電晶體，

並且該第七電晶體、該第八電晶體、該第九電晶體及該第十電晶體是氧化物半導體電晶體。

8. 根據申請專利範圍第 1 或 2 項之位準轉換電路，
還包括：

第一電阻器；以及

第二電阻器，

其中該第一電阻器的第一端子與該第一電晶體的該閘極電連接，

該第一電阻器的第二端子與該輸出信號線電連接，

該第二電阻器的第一端子與該第二電晶體的該閘極電連接，

並且該第二電阻器的第二端子與該反轉輸出信號線電連接。

9. 根據申請專利範圍第 1 或 2 項之位準轉換電路，還包括：

第十五電晶體；

第十六電晶體；

第十七電晶體；

第十八電晶體；

第十九電晶體；以及

第二十電晶體，

其中該第十五電晶體的閘極與該第一電位電源線電連接，

該第十六電晶體的閘極與該第一電位電源線電連接，

該第一電晶體的該閘極與該第十五電晶體的源極和汲極中的一個電連接，

該第二電晶體的該閘極與該第十六電晶體的源極和汲極中的一個電連接，

該第十七電晶體的源極和汲極中的一個與該反轉輸出信號線電連接，

該第十七電晶體的該源極和該汲極中的另一個與該第十七電晶體的閘極電連接，

該第十七電晶體的該閘極與該第十六電晶體的該源極和該汲極中的另一個電連接，

該第十八電晶體的源極和汲極中的一個與該輸出信號

線電連接，

該第十八電晶體的該源極和該汲極中的另一個與該第十八電晶體的閘極電連接，

該第十八電晶體的該閘極與該第十五電晶體的該源極和該汲極中的另一個電連接，

該第十九電晶體的源極和汲極中的一個與該第十七電晶體的該源極和該汲極中的另一個電連接，

該第十九電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

該第十九電晶體的閘極與該輸入信號線電連接，

該第二十電晶體的源極和汲極中的一個與該第十八電晶體的該源極和該汲極中的另一個電連接，

該第二十電晶體的該源極和該汲極中的另一個與該第二電位電源線電連接，

並且該第二十電晶體的閘極與該反轉輸入信號線電連接。

10. 根據申請專利範圍第 9 項之位準轉換電路，

其中該第一電晶體、該第二電晶體、該第十七電晶體及該第十八電晶體是 p 通道型矽電晶體，

該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第十五電晶體、該第十六電晶體、該第十九電晶體及該第二十電晶體是 n 通道型矽電晶體，

並且該第七電晶體、該第八電晶體、該第九電晶體及該第十電晶體是氧化物半導體電晶體。

11. 一種位準轉換電路，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第一電容器；

第二電容器；

電位電源線；

第一輸出信號線；

第二輸出信號線；

第一輸入信號線；以及

第二輸入信號線，

其中，該第一電晶體的源極和汲極中的一個與該第一輸入信號線電連接，

該第一電晶體的該源極和該汲極中的另一個與該第二電晶體的閘極電連接，

該第一電容器的第一電極與該第二電晶體的該閘極電連接，

該第一電容器的第二電極與該第一輸出信號線電連接，

該第二電晶體的源極和汲極中的一個與該電位電源線電連接，

該第二電晶體的該源極和該汲極中的另一個與該第三電晶體的源極和汲極中的一個電連接，

該第三電晶體的該源極和該汲極中的另一個與該第二輸出信號線電連接，

該第四電晶體的源極和汲極中的一個與該第二輸入信號線電連接，

該第四電晶體的該源極和該汲極中的另一個與該第五電晶體的閘極電連接，

該第二電容器的第一電極與該第五電晶體的該閘極電連接，

該第二電容器的第二電極與該第二輸出信號線電連接，

該第五電晶體的源極和汲極中的一個與該電位電源線電連接，

該第五電晶體的該源極和該汲極中的另一個與該第六電晶體的源極和汲極中的一個電連接，並且

該第六電晶體的該源極和該汲極中的另一個與該第一輸出信號線電連接。

12. 根據申請專利範圍第 11 項之位準轉換電路，

其中該第三電晶體及該第六電晶體是 n 通道型矽電晶體，並且

該第一電晶體、該第二電晶體、該第四電晶體及該第五電晶體是氧化物半導體電晶體。