

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5385682号
(P5385682)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.	F 1
HO 1 L 23/32	(2006.01) HO 1 L 23/32 D
HO 1 L 23/13	(2006.01) HO 1 L 23/12 C
HO 1 L 23/12	(2006.01) HO 1 L 23/12 F
HO 1 L 21/60	(2006.01) HO 1 L 23/12 501B HO 1 L 21/60 311S

請求項の数 6 (全 17 頁)

(21) 出願番号 特願2009-120634 (P2009-120634)
 (22) 出願日 平成21年5月19日 (2009.5.19)
 (65) 公開番号 特開2010-272562 (P2010-272562A)
 (43) 公開日 平成22年12月2日 (2010.12.2)
 審査請求日 平成24年2月14日 (2012.2.14)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 小林 壮
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 堀内 道夫
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 清水 幸男
 長野県長野市小島田町80番地 新光電気
 工業株式会社内

最終頁に続く

(54) 【発明の名称】電子部品の実装構造

(57) 【特許請求の範囲】

【請求項 1】

端子を有する電子部品と、
 端子を有する配線基板と、
 絶縁性基材にその厚さ方向に貫通する多数の線状導体が設けられて隣り合う該線状導体間の距離が該線状導体の直径よりも小さくなるように配置され、前記絶縁性基材の両面に、前記複数の線状導体を共有する形でそれぞれ導体層からなる1対のパッドが形成された介在基板とを備え、

前記電子部品と前記配線基板の間に前記介在基板が配置されて、一方の前記パッドに前記電子部品の端子が接続され、他方の前記パッドに前記配線基板の端子が接続されて、前記電子部品の端子と前記配線基板の端子とが前記複数の線状導体を介して電気的に接続され、

前記1対のパッドは、それぞれ、当該パッドの周囲に所定の間隔を空けて、前記絶縁性基材の両面に複数の前記線状導体を共有する形で形成された、グランドに繋がる1対の導体層によって囲まれ、

前記介在基板はアルミナ絶縁性基材を有し、前記電子部品はシリコンを有し、前記配線基板は樹脂基板及び銅配線を有し、前記介在基板の熱膨張係数は、前記電子部品の熱膨張係数よりも大きく、かつ、前記配線基板の熱膨張係数よりも小さく選定されていることを特徴とする電子部品の実装構造。

【請求項 2】

前記電子部品と前記介在基板の間の空隙、及び、前記配線基板と前記介在基板の間の空隙に、体積収縮性を有する樹脂が充填されていることを特徴とする請求項1記載の電子部品の実装構造。

【請求項3】

前記樹脂に無機フィラーが混合されていることを特徴とする請求項2記載の電子部品の実装構造。

【請求項4】

前記1対のパッドの表面に、それぞれ低融点金属の導体層が形成されていることを特徴とする請求項1記載の電子部品の実装構造。

【請求項5】

前記絶縁性基材における多数の線状導体は、いずれのパッドにも接続されていない孤立した線状導体を含むことを特徴とする請求項1記載の電子部品の実装構造。

【請求項6】

前記絶縁性基材はアルミニウム基板を陽極酸化して得た酸化アルミニウムの多孔質酸化膜からなり、前記線状導体は当該絶縁性基材の多孔部分に充填された導電体からなることを特徴とする請求項1記載の電子部品の実装構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子等の電子部品を配線基板に実装するための技術に係り、特に、実装される電子部品と配線基板との間にインターポーザとしての役割を果たす基板を介在してなる電子部品の実装構造に関する。

【0002】

かかる実装構造において配線基板は、半導体素子等の電子部品を搭載する役割を果たすという点で、以下の記述では便宜上、「半導体パッケージ」もしくは単に「パッケージ」ともいう。

【背景技術】

【0003】

半導体素子等の電子部品(チップ)を配線基板(パッケージ)に表面実装する一つの方法として、フリップチップ・ボンディングがある。このフリップチップ・ボンディングによる実装においては、チップとパッケージの電気的な接続は、チップ側とパッケージ側に同じ金属材料もしくは異なる金属材料からなるバンプを設け、あるいはチップ側にのみ金属バンプを設け、これら同一金属もしくは異種金属のバンプを介して両者を接合する方法を用いて行われている。例えば、同一金属による接合の態様としては、はんだバンプとはんだバンプの接合があり、異種金属による接合の態様としては、銅(Cu)バンプとはんだバンプの接合、金(Au)バンプとはんだバンプの接合などがある。

【0004】

いずれの接合態様においても、チップとパッケージの電気的な接続は、少なくともはんだバンプを介して行われている。このバンプの材料としては、錫(Sn)と鉛(Pb)の組成からなる共晶はんだや、Sn-銀(Ag)系、Sn-Cu系、Sn-亜鉛(Zn)系などに代表される鉛フリーはんだが用いられており、いずれのはんだ材もその主要金属として錫(Sn)を含有している。

【0005】

具体的な実装構造を例にとって説明すると、パッケージのチップ実装面側の最表層の絶縁層(典型的にはソルダレジスト層)から露出するパッド(例えば、銅(Cu)/ニッケル(Ni)/金(Au)の導体層)上にはんだ材(バンプ)を設けておき、実装されるチップの保護膜から露出する電極パッド上に設けた突起状の端子(例えば、Cuバンプ)をパッケージ側のはんだバンプに当接させ、このはんだバンプをリフローにより溶融させて電気的に接続する(フリップチップ実装)。さらに、その実装されたチップとパッケージとの間隙にアンダーフィル樹脂(熱硬化性の樹脂)を充填し、熱硬化させて、チップをパ

10

20

30

40

50

ッケージに固定化している。

【0006】

かかる従来技術に関連する技術の一例として、下記の特許文献1に記載されたフリップチップ実装構造がある。この文献に開示されたフリップチップ実装構造では、その電極上に貴金属(Au)バンプが形成された半導体チップと、その表面に接続端子(Cu等)を備えた配線基板との間に、熱硬化性の樹脂シートを挿入し、加圧及び加熱し、さらに超音波振動を与えて、上記の貴金属バンプと接続端子とを金属接合により接続するとともに、熱硬化された樹脂によりチップを配線基板に固定化している。

【先行技術文献】

【特許文献】

10

【0007】

【特許文献1】特開2002-151551号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上述したように従来のフリップチップ・ボンディングによる実装技術では、チップとパッケージの電気的な接続は、少なくともその主要金属として錫(Sn)を含有するはんだバンプを介して行われていた。このため、チップをパッケージに実装した後の使用時(通電時)において、以下の問題があった。

【0009】

20

すなわち、チップと共にパッケージの小型化、配線パターンの高密度化(微細化)等により端子間のピッチがより一層狭くなってくると、チップ・パッケージ間の接続部を流れる電流によりエレクトロマイグレーションが発生し易くなる。その結果、その接続部の一部にボイドが形成され、その部分の電気抵抗が増大したり、また接合強度が劣化したり、場合によってはその部分で破断(断線)をひき起こしたりする。特に、電気的物質移動を起こし易い低融点金属の一つであるはんだ(Snを含有した合金)が介在していると、エレクトロマイグレーションは一層顕著に表れる。

【0010】

つまり、チップをパッケージに実装後の使用時(通電時)に、バンプ材のはんだ(Snを含有した合金)と端子金属(Au、Ni、Cu等)との間に電気的物質移動現象が発生し、これが累積的に接続部での電気抵抗の増大や断線等をひき起こし、接続信頼性の低下をきたすといった課題があった。

30

【0011】

本発明は、かかる従来技術における課題に鑑み創作されたもので、電子部品を配線基板に実装後の使用時(通電時)において接続部での電気的物質移動による電気抵抗の増大や断線等の不都合を実質的に解消し、ひいては接続信頼性の向上に寄与することができる電子部品の実装構造を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記の従来技術の課題を解決するため、本発明の基本形態によれば、端子を有する電子部品と、端子を有する配線基板と、絶縁性基材にその厚さ方向に貫通する多数の線状導体が設けられて隣り合う該線状導体間の距離が該線状導体の直径よりも小さくなるように配置され、前記絶縁性基材の両面に、前記複数の線状導体を共有する形でそれぞれ導体層からなる1対のパッドが形成された介在基板とを備え、前記電子部品と前記配線基板の間に前記介在基板が配置されて、一方の前記パッドに前記電子部品の端子が接続され、他方の前記パッドに前記配線基板の端子が接続されて、前記電子部品の端子と前記配線基板の端子とが前記複数の線状導体を介して電気的に接続され、前記1対のパッドは、それぞれ、当該パッドの周囲に所定の間隔を空けて、前記絶縁性基材の両面に複数の前記線状導体を共有する形で形成された、グランドに繋がる1対の導体層によって囲まれ、前記介在基板はアルミナ絶縁性基材を有し、前記電子部品はシリコンを有し、前記配線基板は樹脂基板

40

50

及び銅配線を有し、前記介在基板の熱膨張係数は、前記電子部品の熱膨張係数よりも大きく、かつ、前記配線基板の熱膨張係数よりも小さく選定されていることを特徴とする電子部品の実装構造が提供される。

【発明の効果】

【0013】

本発明に係る電子部品の実装構造によれば、電子部品と配線基板とは、従来のようにチップ(電子部品)の端子とパッケージ(配線基板)上の対応する端子(パッド)との間にはんだバンプを介在させて接続されているのではなく、電子部品の端子とこれに対応する配線基板の端子との間に複数の線状導体を介在させて接続されている。つまり、電気的物質移動を起こしやすい低融点金属の一つであるはんだを使用せずに、電子部品を配線基板に実装している。

10

【0014】

この構造により、実装後の使用時(通電時)において、従来技術に見られたような不都合(チップと基板の接続部での電気的物質移動による電気抵抗の増大や断線等)を実質的に解消することができる。これは、電子部品と配線基板の接続信頼性の向上に寄与するものである。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態に係る電子部品の実装構造を示す断面図である。

20

【図2】図1の実装構造において使用されるインターポーザ用基板の製造工程の一例を示す断面図である。

【図3】図2の製造工程に続く工程を示す断面図(一部は斜視図)である。

【図4】図3の工程を経て作製されたインターポーザ用基板を用いて電子部品(半導体素子)を配線基板(パッケージ)に実装する工程を示す断面図である。

【図5】図1の実装構造において使用されるインターポーザ用基板の第1の変形例に係るインターポーザ用基板の構成を示す断面図である。

【図6】図1の実装構造において使用されるインターポーザ用基板の第2の変形例に係るインターポーザ用基板の構成を示す断面図である。

【図7】図1の実装構造において使用されるインターポーザ用基板の第3の変形例に係るインターポーザ用基板の構成を示す図であり、(a)はその断面図、(b)は(a)のA-A'線に沿って見たときの平面図(一部)である。

30

【図8】図7のインターポーザ用基板の効果を説明するための図である。

【発明を実施するための形態】

【0016】

以下、本発明の好適な実施の形態について、添付の図面を参照しながら説明する。

【0017】

図1は本発明の一実施形態に係る電子部品の実装構造を断面図の形態で示したものである。

【0018】

本実施形態に係る電子部品の実装構造50は、基本的には、実装される電子部品としての半導体素子(チップ)10と、この半導体素子(チップ)10を実装するための配線基板(パッケージ)20と、チップ10とパッケージ20の間に介在されて両者を電気的に接続し、かつ機械的に接合するインターポーザとしての役割を果たす基板30とを備えている。つまり、本実施形態の電子部品の実装構造50は半導体装置を構成している。チップ10とパッケージ20の間に介在される基板30は、本発明を特徴付ける部材であり、配線基板20と区別するために、以下の記述では便宜上、「インターポーザ用基板」と呼ぶこととする。

40

【0019】

実装される半導体素子(チップ)10は、後述するようにシリコン(Si)ウエハを用いたウエハレベルパッケージのプロセスを用いて作製することができる。チップ10は、

50

このプロセスにおいて最終的にウエハを各デバイス単位に分割（ダイシング）して得られるが、そのデバイス（集積回路）が形成されている側の面（図示の例では下側）には、面全体に亘り突起状の端子（バンプ）11がエリアアレイ状に配置されている。本実施形態では、このエリアアレイ状の端子配列を例にとっているが、端子配列の形態がこれに限定されないことはもちろんである。例えば、チップのフェイス面（回路形成面）側の周辺領域に沿ってペリフェラル状に端子が配列された形態としてもよい。

【0020】

配線基板（パッケージ）20は、図示のように基板本体を構成する樹脂基板21と、この樹脂基板21の両面に所要の形状にパターニングされた配線層22及び23と、各配線層22, 23のそれぞれ所要の箇所に画定されたパッド22P, 23Pを露出させて両面を覆うように形成された保護膜としての絶縁層24及び25とを備えている。ただし、チップ実装面側のパッド22Pについては、その露出面が絶縁層24の表面と同じ面上に位置するように形成されている。配線層22, 23の材料としては典型的に銅（Cu）が用いられ、絶縁層24, 25の材料としては典型的にエポキシ系樹脂が用いられる。

10

【0021】

樹脂基板21の形態としては、少なくとも最表層に配線層が形成された基板であって、各配線層が基板内部を通して電気的に接続されている形態のものであれば十分である。樹脂基板21の内部には配線層が形成されていてもよいし、形成されていなくてもよい。

【0022】

本実施形態では、チップ実装面側の絶縁層24から露出するパッド22Pには、後述するようにインターポーラ用基板30を介して半導体チップ10の端子11が電気的に接続されるようになっている。また、チップ実装面側と反対側の絶縁層25から露出するパッド23Pには、本パッケージ20をマザーボード等に実装する際に使用されるはんだボール26（図中破線で表示）や金属ピン等の外部接続端子が接合されるようになっている。このような外部接続端子は出荷する際に設けておいてもよいし、後で必要なときに外部接続端子を接合できるようにパッド23Pを露出させた状態のままにしておいてもよい。この場合、当該パッド23Pの表面にニッケル（Ni）/金（Au）めっき等の処理を施しておく。

20

【0023】

本発明を特徴付けるインターポーラ用基板30は、その基本構成として、所要の厚さを有した絶縁性基材31に、その厚さ方向に貫通する微小径の線状導体32が所定の間隔で高密度に設けられた構造を有している。つまり、線状導体32は、その両端が絶縁性基材31の両面に露出するように形成されている。さらに、この絶縁性基材31の両面に、複数の線状導体32を共有する形で、それぞれ導体層からなる1対のパッド33及び34が形成されている（図3参照）。つまり、絶縁性基材31の両面に露出している複数の線状導体32の一端側にパッド33が電気的に接続され、他端側にパッド34が電気的に接続されている。

30

【0024】

このように絶縁性基材31を厚さ方向に貫通して設けられた各線状導体32には、それぞれ対応するパッド33, 34が接続され、さらに各パッド33, 34を介してそれぞれチップ10の端子11、配線基板20の端子（パッド）22Pが電気的に接続されるようになっている。このように線状導体32は、これを介して基板両面を電気的に接続しているという点で、以下の記述では便宜上、「ビア」ともいう。

40

【0025】

このビア（線状導体）32は、後述するように絶縁性基材31に形成された貫通孔に金属材料を充填することによって形成される。そして、このビア32の役割は、その一端側で信号を受けて他端側に確実に伝えることである。このため、設計の際にその信号の接続部分として絶縁性基材31上の任意の領域を選択したときに、その選択したいずれの領域においても平均的に多数のビア32が含まれていることが望ましい。

【0026】

50

従って、可能な限り絶縁性基材31における金属充填密度を高くする必要があり、このため、上述したように微小径のビア32を高密度に配置している。本実施形態では、ビア32間の距離(D)がビア32の直径(d)よりも小さくなるように(D < d)、各ビア32を配置している。さらに好適には、ビア32の直径(d)が30nm~1μm程度となるように選定している。各ビア32の配置形態については、D < dを満たしていれば、特に限定されない。例えば、ヘキサゴナル状に配置されていてもよいし、グリッド状に配置されていてもよい。

【0027】

また、絶縁性基材31の両面に形成される各パッド33, 34は、複数のビア32を共有する形で接続されているが、例えば、パッドの直径を90~100μm程度に選定すると、数千本のビア32を介して接続されることになる。

10

【0028】

また、上述したようにビア32を高密度に配置しているため、パッド33(34)間の距離は、少なくとも、ビア32の直径よりも大きくなるように選定する必要がある。その理由は以下の通りである。すなわち、パッド33(34)間の距離は限りなく近接させることは可能であるが、ある一定距離以内に近接させると、隣りのパッド33(34)の周縁上に位置するビア32(つまり、その隣りのパッド内に完全に包含されているのではなく、部分的にそのパッドの外に出てるビア32)と接触するおそれがある。金属充填密度が高いので、このような状態は起こり得るからである。

【0029】

20

また、インターポーラ用基板30を挟んで上下に配置される半導体素子(チップ)10と配線基板(パッケージ)20の熱膨張係数(CTE)の差は大きいため、インターポーラ用基板30には、そのCTEの違いに起因する応力(これは、パッケージ20の反りをひき起こす要因になり得る)を緩和する機能をもたせておくのが望ましい。このため、インターポーラ用基板30(特に絶縁性基材31)を構成する材料には、チップ10のCTEと配線基板20のCTEの中間的なCTEを有した材料を選定している。つまり、インターポーラ用基板30のCTEは、実装されるチップ10のCTEよりも大きく、かつ、配線基板20のCTEよりも小さく選定されている。

【0030】

本実施形態では、実装されるチップ10はシリコン(CTEは3ppm/程度)を用いて構成されており、配線基板20は銅(CTEは16~17ppm/程度)の配線層22, 23を有しているので、絶縁性基材31の材料として、アルミナ(CTEは6~7ppm/程度)やムライト(CTEは4.5ppm/程度)等のセラミックスを使用することができる。ムライトを使用した場合、アルミナに比べて誘電率が低い(アルミナの誘電率が8~10程度であるのに対し、ムライトの誘電率は6.5である)ため、信号伝播の高速化という点で好適である。

30

【0031】

また、チップ10とインターポーラ用基板30との間、及び、パッケージ20とインターポーラ用基板30との間の、接続部(端子11とパッド33の接続部、端子22Pとパッド34の接続部)以外の空隙は、アンダーフィル樹脂35により充填されている。このアンダーフィル樹脂35は、後述するように基板30の両面に未硬化状態で形成された接着剤層35Aを溶融及び硬化させて形成されたものである。このアンダーフィル樹脂35には、体積収縮性を有する樹脂が用いられ、典型的には、エポキシ系樹脂等に代表される熱硬化性の樹脂が使用される。

40

【0032】

本実施形態では、チップ10の端子11及び配線基板20の端子(パッド)22Pとインターポーラ用基板30上の対応する各パッド33, 34とは、電気的に接続されてはいるが、単に接触(コンタクト)しているにすぎない。このため、熱硬化の際のアンダーフィル樹脂35(接着剤層35A)の体積収縮性を利用して、各端子11、22Pと各パッド33, 34との接触状態を樹脂35で固定化することで、基板30とチップ10及びパ

50

ッケージ 20 との電気的な接続を安定化させている。これは、実装後の使用時（通電時）において端子 11 とパッド 33 の接続部、及び、端子（パッド）22P とパッド 34 の接続部の電気抵抗を安定化させることに寄与する。

【0033】

なお、アンダーフィル樹脂 35 には、熱膨張係数（CTE）を調整するために無機フィラー（例えば、非晶質のシリカ）が適宜混合されている。このシリカの CTE は 0.5 ppm と小さいため、インターポーナ用基板 30 全体の CTE を下げるのに寄与する。つまり、インターポーナ用基板 30 については、上述したようにチップ 10 側とパッケージ 20 側との中間的な CTE を確保する必要があるからである。なお、無機フィラーとしては、シリカ以外に、アルミナ、窒化シリコン、窒化アルミニウム等を使用することができる。

【0034】

本実施形態に係る電子部品の実装構造（半導体装置）50 は、実装される半導体チップ 10 と配線基板（パッケージ）20 との間にインターポーナ用基板 30 を介在させ、この基板 30 の絶縁性基材 31 に厚さ方向に貫通する線状導体（ビア）32 を高密度に設けるとともに、複数のビア 32 を共有する形でその両端面にパッド 33, 34 を接続し（図 3 参照）、各パッド 33, 34（複数のビア 32）を介してチップ 10 側の端子 11 とパッケージ 20 側の端子（パッド）22P とを電気的に接続したことを特徴とする。このインターポーナ用基板 30 を含めて他の構成部材の具体的な材料や大きさ等については、以下に記述するプロセスに関連させて説明する。

【0035】

以下、本実施形態に係る電子部品の実装構造（半導体装置）50 を製造する方法について、図 2 ~ 図 4 を参照しながら説明する。図 2 及び図 3 は、図 1 の実装構造 50 において使用されるインターポーナ用基板 30 の製造工程を示しており、図 4 は、そのインターポーナ用基板 30 を用いて半導体素子（チップ）10 を配線基板（パッケージ）20 に実装する工程を示している。

【0036】

先ず最初の工程では（図 2 (a) 参照）、絶縁性基材 31 として、アルミナ（酸化アルミニウム）のグリーンシート（厚さは $70 \sim 100 \mu\text{m}$ 程度で、大きさは $10 \times 10 \text{ mm}$ 程度を用意し、このシート全体に亘りその厚さ方向に、パンチャ等により多数の貫通孔 TH を形成する。すなわち、この貫通孔 TH にはビア 32 が充填されるので、上述した所定の関係： D （ビア 32 間の距離） $< d$ （ビア 32 の直径）を満たすように貫通孔 TH を高密度に形成する。

【0037】

本実施形態では、上述したように絶縁性基材 31 における金属充填密度を高くすることを意図している。このため、ビア 32 の直径（d）は可能な限り小さい方が望ましい（好適には、 $30 \text{ nm} \sim 1 \mu\text{m}$ 程度）。このような微小径の孔（貫通孔 TH）は、陽極酸化法を用いて形成することができる。

【0038】

例えば、アルミニウム（A1）の基板の一方の面を絶縁被膜したもの、又はガラス基板上にスパッタリング等によりアルミニウム（A1）の電極層を形成したものを用意し、この A1 基板（A1 電極層）の表面を洗浄後、電解液（好適には硫酸水溶液）中に浸漬し、この A1 基板（A1 電極層）を陽極とし、これに対向配置される白金（Pd）電極を陰極として通電（パルス電圧を印加）することで、A1 基板（A1 電極層）の表面に多孔質金属酸化膜（微小径の孔が規則正しく形成された酸化アルミニウムの膜）を形成することができる。この後、陽極酸化とは逆電位の電圧を各電極に印加（A1 基板（A1 電極層）を陰極とし、Pd 電極を陽極として通電）することで、多孔質金属酸化膜を A1 基板（A1 電極層）から分離する。これによって、所望の微小径（ $30 \text{ nm} \sim 1 \mu\text{m}$ 程度）の貫通孔 TH が高密度に形成された絶縁性基材（アルミナ）31 が得られる。

【0039】

10

20

30

40

50

なお、絶縁性基材31の材料としては、アルミナ（酸化アルミニウム）以外に、ムライト、窒化アルミニウム、ガラスセラミックス（ガラスとセラミックスの複合材料）等を使用してもよい。また、このようなセラミックス（無機材料）に限定されないことはもちろんであり、樹脂等の有機材料を使用することも可能である。

【0040】

ただし、有機系の樹脂（エポキシ系樹脂、ポリイミド系樹脂等）を用いる場合、シリカ等の無機フィラーを高密度に混合させたものを使用するのが望ましい。パッケージ20側も同等の樹脂（樹脂基板21）を使用し、熱膨張係数（CTE）も近似しているため、インターポーラ用基板30（絶縁性基材31）に使用する樹脂については、そのCTEを上げてチップ10側とパッケージ20側との中間的なCTEを確保する必要があるからである。この場合、絶縁性基材31に設けられる貫通孔THは、炭酸ガスレーザ、エキシマレーザ等を用いた穴明け加工により形成される。

10

【0041】

次の工程では（図2（b）参照）、絶縁性基材31に形成された貫通孔THに金属材料を充填してビア（線状導体）32を形成する。例えば、銀（Ag）や銅（Cu）等の導電性ペーストを用いたスクリーン印刷法やインクジェット法等により、貫通孔THを当該金属材料（Ag、Cu等）で充填する。

【0042】

また、絶縁性基材31として有機系の樹脂（エポキシ系樹脂等）を用いた場合には、めっき法により、貫通孔THに金属材料（Cu、Ni等）を充填する。例えば、金属材料としてCuを用いる場合、絶縁性基材31の表面（貫通孔THの内壁面を含む）に、無電解Cuめっきによりシード層を形成し、このシード層を給電層として利用した電解Cuめっきにより、貫通孔THに導体（Cu）を充填する。これに代えて、無電解Cuめっきのみで充填してもよい。あるいは、他の方法として、スクリーン印刷法等によりCu等の金属材料を貫通孔THに充填することも可能である。

20

【0043】

さらに、必要に応じて機械研磨、化学機械研磨（CMP）等により両面を研磨して平坦化し、ビア32の両端を絶縁性基材31の両面に露出させる。これによって、図示のように絶縁性基材31にその厚さ方向に貫通する微小径のビア32が高密度に設けられた構造体が形成されたことになる。

30

【0044】

次の工程では（図2（c）参照）、その構造体の両面に、スパッタリングや無電解めっき等により、後の工程で電解めっきを行う際の給電層として利用されるシード層SDを形成する。例えば、両面にスパッタリングによりチタン（Ti）の導体層を0.1μm程度の厚さに形成し（Ti層）、さらにその上にスパッタリングにより銅（Cu）の導体層を0.5μm程度の厚さに形成して（Cu層）、2層構造（Ti/Cu）のシード層SDを形成する。このシード層SDの下層のTi層は、その下層の絶縁性基材31と上層のCu層との密着性を高めるための金属層である。Ti以外の金属材料として、クロム（Cr）を用いてもよい。

40

【0045】

次の工程では（図2（d）参照）、両面の各シード層SD上に、パターニング材料を使用してめっき用レジストを形成し、それぞれ所要の箇所を開口する（開口部OPを備えたレジスト層PRの形成）。各開口部OPは、次の工程で形成される両面の各パッド33, 34の形状に従い、かつ、対向する各パッド33, 34の位置が同じ位置となるようにパターニングされる。パターニング材料としては、感光性のドライフィルム（レジスト材料をポリエステルのカバーシートとポリエチレンのセパレータシートの間に挟んだ構造のフィルム）、又は液状のフォトレジスト（例えば、ノボラック系樹脂、エポキシ系樹脂等の液状レジスト）を用いることができる。

【0046】

例えば、ドライフィルムを使用する場合、両面の各シード層SDの表面を洗浄した後、

50

その表面にドライフィルム（セパレータシートを剥離したもの）を熱圧着によりラミネートし、このドライフィルムに対し、所要のパッド 33, 34 の形状にパターニングされたマスク（図示せず）を用いて紫外線（UV）照射による露光を施して硬化させ、さらにカバーシートを剥離した後、所定の現像液（ネガ型のレジストの場合には有機溶剤を含む現像液、ポジ型のレジストの場合にはアルカリ系の現像液）を用いて当該部分をエッチングし（開口部 OP の形成）、所要のレジスト層 PR を形成する。同様に液状のフォトレジストを用いた場合にも、表面洗浄 表面にレジスト塗布 乾燥 露光 現像の工程を経て、所要の形状にパターニングされたレジスト層 PR を形成することができる。

【0047】

次の工程では（図 2（e）参照）、そのパターニングされた両面の各レジスト層 PR の開口部 OP（図 2（d））から露出している各シード層 SD 上に、当該シード層 SD を給電層として利用した電解めっきにより、所要のパッド 33, 34 を形成する。 10

【0048】

本実施形態では、各シード層 SD 上に、電解銅（Cu）めっきにより Cu 層を 5 μm 程度の厚さに形成し、次にこの Cu 層上に、電解ニッケル（Ni）めっきにより Ni 層を 5 μm 程度の厚さに形成し、更にこの Ni 層上に、金（Au）フラッシュめっきにより Au 層を 1 μm 程度の厚さに形成して、3 層構造（Cu / Ni / Au）のパッド 33, 34 を形成している。ここで、Ni 層は、Cu 層と Au 層との密着性を高め、Cu が Au 層中へ拡散するのを防止するために設けられており、最上層の Au 層は、最終的にチップ 10 の端子 11 及び配線基板 20 の端子（パッド）22P と接合されたときのコンタクト性を良くするために設けられている。また、Au 層は Ni 層と協働して、最終的に露出するシード層（Ti（Cr）/ Cu）SD をエッチングする際に、パッド 33, 34 の Cu がエッチングされるのを防ぐためのバリヤ層として機能する。 20

【0049】

次の工程では（図 3（a）参照）、めっき用レジストとして用いたレジスト層 PR を除去する。例えば、めっき用レジストとしてドライフィルムを使用した場合には、水酸化ナトリウムやモノエタノールアミン系等のアルカリ性の薬液を用いて除去することができ、ノボラック系樹脂、エポキシ系樹脂等の液状レジストを使用した場合には、アセトンやアルコール等を用いて除去することができる。これにより、レジスト層 PR で覆われていた部分のシード層 SD（図 2（e）参照）が露出する。 30

【0050】

さらに、その露出しているシード層（Ti（Cr）/ Cu）SD を各パッド 33, 34 に対して選択的に除去する。すなわち、各パッド（Cu / Ni / Au）33, 34 をマスクにして、先ず Cu に対してのみ可溶性の薬液を用いたウエットエッチングを施し、次に Ti（Cr）に対してのみ可溶性の薬液を用いたウエットエッチングを施すことにより、露出しているシード層 SD のみを選択的にエッチングすることができる。この後、所定の表面洗浄を行う。

【0051】

これによって、図示のように隣り合う各パッド 33（34）が相互に絶縁された状態になるとともに、絶縁性基材 31 を貫通して形成された線状導体（ビア）32 に対し、複数のビア 32 を共有する形で基材 31 の両面に各パッド 33, 34 が対向配置（接続）された構造体が作製されたことになる。なお、図 3（a）の例では、各パッド 33, 34 の直下に残存している部分のシード層 SD（図 2（e）参照）についてはその図示を省略している。 40

【0052】

次の工程では（図 3（b）参照）、その構造体の両面（ただし、パッド 33, 34 の部分を除く）に、アンダーフィル材として用いられる接着剤（未硬化状態）35A を被着させる。この接着剤 35A には、体積収縮性を有する樹脂が用いられ、好適には、熱硬化性のエポキシ系樹脂が使用される。

【0053】

10

20

30

40

50

以上の工程により、絶縁性基材31の両面に対向配置された各パッド33, 34が、絶縁性基材31を貫通する複数のビア32を介して電気的に接続され、基材31上の隣り合う各パッド33(34)間の部分に接着剤層35Aが形成された構造体、すなわち、インターポーザ用基板30が作製されることになる。

【0054】

次の工程では(図4(a)参照)、そのインターポーザ用基板30を介在させて電気的に接続され、かつ機械的に接合されるべき半導体素子(チップ)10と配線基板(パッケージ)20を用意し、これら各部材の位置合わせを行う。

【0055】

(半導体チップ10の用意)

10

実装されるチップ10は、例えば、以下のようにして作製することができる。

【0056】

先ず、所要の大きさ(直径が8インチもしくは12インチ)のシリコン(Si)ウエハに対し、その一方の面側に所要のデバイスプロセスを施して複数のデバイスをアレイ状に作り込み、そのデバイスが形成されている側の面に窒化シリコン(SiN)やリンガラス(PSG)等からなるパッシベーション膜12(図4(a)において破線表示で囲んだ部分の拡大図参照)を形成し、各デバイス上にパターニングされたアルミニウム(Al)の配線層の一部分に画定される電極パッド13に対応する部分のパッシベーション膜12を除去する(つまり、当該部分を開口して電極パッド13を露出させる)。

【0057】

20

次に、パッシベーション膜12上に、必要に応じてポリイミド樹脂等の絶縁膜(図示せず)を形成した後、この絶縁膜が形成されている側の全面に、図2(c)の工程で行った処理と同様にして、スパッタリング等により2層構造(Ti(Cr)/Cu)のシード層14を形成する。さらに、このシード層14上に、図2(d)の工程で行った処理と同様にして、形成すべきバンプ(突起状の端子11)の形状及びその配置間隔に応じた開口部を有するようパターニングされためっき用のレジスト層(図示せず)を形成する。

【0058】

次いで、このレジスト層の開口部から露出しているシード層14(電極パッド13)上に、このシード層14を利用した電解Cuめっきを施し、所要の突起状の端子(Cuバンプ)11を形成する。さらに、適当な研削装置を用いてウエハ裏面(デバイスが形成されている側と反対側の面)を研削し、所定の厚さに薄くした後、図3(a)の工程で行った処理と同様にして、めっき用のレジスト層を除去し、露出しているシード層14を選択エッチングする。この後、所定の表面洗浄等を行い、ウエハを各デバイス単位に分割(ダイシング)する。

30

【0059】

これによって、図示のようにデバイス形成面側がパッシベーション膜12で覆われ、突起状の端子(バンプ)11がエリアアレイ状に配置された構造を有する半導体チップ10が作製されたことになる。

【0060】

(配線基板20の用意)

40

配線基板20の本体を構成する樹脂基板21の形態としては、上述したように少なくとも最表層に配線層が形成された基板であって、各配線層が基板内部を通して電気的に接続されている形態のものであれば十分である。

【0061】

樹脂基板21の内部に配線層が形成されている形態の場合、例えば、ビルドアップ法を用いた多層構造の配線基板を利用することができます。その典型的な製造プロセスは、ベース基材としてのコア基板を中心としてその両面に、絶縁層(エポキシ系樹脂)の形成、絶縁層におけるビアホールの形成、ビアホールの内部を含めた配線層(Cu)の形成を順次繰り返して積み上げていくものである。かかるプロセスを経て形成された最表層の配線層22, 23は、基板内部の所要箇所に適宜形成された各配線層及び各配線層間を相互に接

50

続するピアホール（に充填された導体）を介して電気的に接続されている。

【0062】

あるいは、樹脂基板21の内部に配線層が形成されていない形態の場合には、この樹脂基板21の所要箇所に適宜形成されたスルーホール（に充填された導体）を介して最表層の各配線層22, 23が電気的に接続されている。

【0063】

最表層の配線層22, 23の所要の箇所に画定される各パッド22P, 23Pには、インターポーナ用基板30上に設けたパッド34、外部接続端子（図中破線で示すはんだボール26等）が接合されるので、配線層（Cu）22, 23上にNiめっき及びAuめっきをこの順に施しておくのが望ましい。これは、外部接続端子等を接合したときのコンタクト性を良くするためと、パッド22P, 23Pを構成するCu層とAu層との密着性を高め、CuがAu層中へ拡散するのを防止するためである。

【0064】

さらに樹脂基板21の両面に、それぞれ保護膜として機能するソルダレジスト層24及び25を形成する。例えば、感光性のエポキシ系樹脂を樹脂基板21及び各配線層22, 23上に塗布し、各樹脂層をそれぞれ所要の形状（パッド22P, 23Pの部分を露出させた形状）にパターニングすることで、ソルダレジスト層24, 25を形成することができる。

【0065】

これによって、図示のように樹脂基板21の両面に所要の形状にパターニングされた配線層22及び23を有し、各配線層22, 23の所要の箇所に画定されたパッド22P, 23Pを露出させて両面を覆うように形成されたソルダレジスト層24及び25を備えた配線基板（パッケージ）20が作製されることになる。

【0066】

このようにして用意された各部材（配線基板20、インターポーナ用基板30、チップ10）を、図4（a）に示すように位置合わせする。すなわち、配線基板20のチップ実装面側の各端子（パッド）22Pの上方にインターポーナ用基板30上の対応する各パッド34が位置し、かつ、このインターポーナ用基板30上の反対側の各パッド33の上方にチップ10の対応する各端子11が位置するように、各部材20, 30, 10の位置合わせを行う。

【0067】

次の工程では（図4（b）参照）、その位置合わせされた各部材（配線基板20、インターポーナ用基板30、チップ10）を重ね合わせ、1対のプレス熱盤（図示せず）の間に配置し、真空プレス等により上下両面から加熱・加圧して積層し、一体構造とする。

【0068】

この加熱・加圧処理により、インターポーナ用基板30の両面に形成された未硬化状態の接着剤層35A（熱硬化性のエポキシ系樹脂）が溶融し、その溶融した樹脂が、図示のようにアンダーフィル樹脂35としてチップ10と配線基板20の間の空隙を充填する。そして、この樹脂35が硬化されることで、インターポーナ用基板30とチップ10及び配線基板20との機械的な接合が確保される。

【0069】

また、その加熱・加圧処理の過程で、チップ10の端子11及び配線基板20の端子22Pがそれぞれインターポーナ用基板30上の対応する各パッド33, 34に圧接（コンタクト）し、電気的に接続される（フリップチップ実装）。その際、熱硬化されたアンダーフィル樹脂35の体積収縮性により、各端子11、22Pと各パッド33, 34との接触状態が樹脂35で固定化されるので、インターポーナ用基板30とチップ10及び配線基板20との電気的な接続が安定に維持される。

【0070】

以上の工程により、図1に示す半導体装置（電子部品の実装構造）50が作製されたことになる。

10

20

30

40

50

【0071】

以上説明したように、本実施形態に係る電子部品の実装構造（半導体装置）50によれば、電子部品としての半導体チップ10と配線基板（パッケージ）20との間にインター・ポーザ用基板30が介在され、この基板30の絶縁性基材31に厚さ方向に貫通する微小径の線状導体（ビア）32が高密度に設けられるとともに、複数のビア32を共有する形で基材31の両面にパッド33, 34が対向配置（接続）され、さらに、各パッド33, 34（複数のビア32）を介してチップ10の端子11とパッケージ20上の対応する端子（パッド）22Pとが電気的に接続されている。

【0072】

つまり、チップ10の端子11とパッケージ20上の対応する端子22Pとは、従来の10ように電気的物質移動を起こし易い低融点金属の一つであるはんだ（はんだバンプ）を用いて接続されているのではなく、複数のビア32（及び各パッド33, 34）を介在させて接続されている。これにより、チップ10を実装した後の使用時（通電時）において、従来技術に見られたような、チップと基板の接続部での電気的物質移動による電気抵抗の増大や断線等の不都合を実質的に解消することができる。その結果、チップ10と配線基板（パッケージ）20の接続信頼性を高めることができることが可能となる。

【0073】

また、チップ10とパッケージ20の間に介在されるインター・ポーザ用基板30（特に絶縁性基材31）を構成する材料には、チップ10とパッケージ20の中間的な熱膨張係数（CTE）を有した材料を選定しているので、チップ実装後の使用時（通電時）において、チップ10とパッケージ20のCTEの違いに起因して両者間に応力（熱ストレス）が発生した場合でも、その発生した熱ストレス（これは、パッケージの反りをひき起こす要因になり得る）をインター・ポーザ用基板30において有効に吸収（緩和）することができる。これは、チップ10とパッケージ20の接続信頼性の向上に寄与する。

【0074】

＜他の実施形態…図5～図8参照＞

図5は、上述した実施形態（図1～図4）で使用されるインター・ポーザ用基板30の第1の変形例に係るインター・ポーザ用基板30aの構成（断面図）を示したものである。

【0075】

本実施形態のインター・ポーザ用基板30aは、上述した実施形態のインター・ポーザ用基板30の構成（図3（b）参照）と比べて、絶縁性基材31の両面に対向配置された各パッド33, 34が、絶縁性基材31を貫通する複数のビア32を介して電気的に接続されるとともに、基材31の両面にそれぞれパッド33, 34を覆うように接着剤層36Aが形成されている点で相違する。他の構成については、上述した実施形態の場合と同様であるので、その説明は省略する。

【0076】

接着剤層36Aは、上述した実施形態における接着剤層35Aと同様に、体積収縮性を有する樹脂（熱硬化性のエポキシ系樹脂）からなり、未硬化状態で形成される。そして、チップ10をインター・ポーザ用基板30aを介して配線基板（パッケージ）20に実装する際に（図4（b）参照）、その加熱・加圧処理の過程で、未硬化状態の接着剤層36Aが溶融する一方で、チップ10の端子11と配線基板20の端子22Pが、その溶融した樹脂を突き抜けてインター・ポーザ用基板30a上の対応する各パッド33, 34にコンタクトし、電気的に接続される（フリップチップ実装）。また、その溶融した樹脂（接着剤層36A）は、アンダーフィル樹脂35としてチップ10と配線基板20の間の空隙を充填する。

【0077】

これにより、上述した実施形態と同様の電子部品（チップ10）の実装構造（半導体装置）50を作製することができる。従って、本実施形態においても、上述した実施形態と同様の作用効果を奏することができる。

【0078】

10

20

30

40

50

図6は、上述した実施形態(図1～図4)で使用されるインターポーザ用基板30の第2の変形例に係るインターポーザ用基板30bの構成(断面図)を示したものである。

【0079】

本実施形態のインターポーザ用基板30bは、第1の変形例に係るインターポーザ用基板30a(図5)の構成と比べて、絶縁性基材31の両面に形成されたパッド33,34の表面に、それぞれ低融点金属の導体層37,38が形成されている点で相違する。他の構成については、第1の変形例の場合と同様であるので、その説明は省略する。

【0080】

各パッド33,34の表面に形成される低融点金属の導体層37,38は、チップ10をインターポーザ用基板30bを介して配線基板(パッケージ)20に実装する際に(図4(b)参照)、その加熱・加圧処理の過程で溶融状態となる金属材料から形成されている。低融点金属の材料としては、例えば、融点温度が300以下である錫(Sn)や、Snを主成分として含むはんだ(Sn-Pb, Sn-Ag, Sn-Ag-Cu等)が好適に用いられる。ただし、Snもしくはその合金は、電気的物質移動を起こし易いため、その使用量は極力少なくするのが望ましい。

【0081】

上述した各実施形態(図4、図5)では、インターポーザ用基板30とチップ10及び配線基板20との電気的な接続は、チップ10の端子11及び配線基板20の端子(パッド)22Pとインターポーザ用基板30上の対応する各パッド33,34との接触(コンタクト)により実現しているが、この実施形態(図6)では、低融点金属の導体層37,38を介してチップ10の端子11及び配線基板20の端子22Pとインターポーザ用基板30bの各パッド33,34とが固定的に接続されるようになっている。

【0082】

つまり、インターポーザ用基板30bを介してチップ10を配線基板20に実装する際に(図4(b)参照)、加熱・加圧処理の過程で低融点金属(Snもしくはその合金)が溶融し硬化することで、この低融点金属の導体層37,38を介して各端子11,22Pと各パッド33,34が機械的に固定化され、チップ10及び配線基板20とインターポーザ用基板30bとの電気的な接続をより確実なものにすることができる。これにより、実装後の使用時(通電時)において接続部の電気抵抗を安定化させることができる。これは、接続信頼性の向上に寄与する。

【0083】

図7は、上述した実施形態(図1～図4)で使用されるインターポーザ用基板30の第3の変形例に係るインターポーザ用基板30cの構成を示したものであり、(a)はそのインターポーザ用基板30cの断面図、(b)は(a)のA-A'線に沿って見たときの平面図(一部)を示している。

【0084】

本実施形態のインターポーザ用基板30cは、第1の変形例に係るインターポーザ用基板30a(図5)の構成と比べて、絶縁性基材31の両面に対向配置された1対のパッド33,34が、それぞれ当該パッドの周囲に所定の間隔を空けて、グランドに繋がる導体層(グランド層)33G,34Gによって囲まれている点で相違する。他の構成については、第1の変形例の場合と同様であるので、その説明は省略する。

【0085】

各パッド33,34の周囲を囲むよう形成されたグランド層33G,34Gは、各パッド33,34と同様に、絶縁性基材31に設けられた複数のビア32を共有する形で対向配置(接続)されている。また、パッド33,34とこれに対応するグランド層33G,34Gとの間に空けるべき間隔は、上述したパッド33(34)間の距離と同様に、ビア32の直径よりも大きくなるよう選定されている。その理由は、上述したように金属充填密度を高くしている(つまり、ビア32を高密度に配置している)からである。

【0086】

この実施形態によれば、上述した各実施形態で得られた効果に加えて、さらに以下のメ

10

20

30

40

50

リットがある。すなわち、この構成は一種の同軸線路と同等の構造を有しているので、シールド（遮蔽）効果を奏することができる。また、各パッド 33, 34 の周囲を囲むようにグランド層 33G, 34G が設けられているので、当該パッドを信号端子として利用したときに、隣りの信号端子（パッド 33, 34）との間に生じる電気的結合（容量結合）を低減することができ、その信号端子自体がノイズ源となるのを防ぐことができる。

【0087】

この効果の一例を図 8 に示す。図 8 において、「従来技術」の端子間容量とは、パッケージに設けられた隣り合う端子（パッド）間の容量を指し、「発明技術（パッドのみ）」の端子間容量とは、パッケージ 20 上の隣り合う端子（パッド）22P 間の容量を指し、「発明技術（パッド + グランド層）」の端子間容量とは、本実施形態（図 7）のインターポーラ用基板 30c を用いた場合のパッケージ 20 上の隣り合う端子（パッド）22P 間の容量を指している。図示のグラフからわかるように、従来技術の場合と比べて、端子間容量は低減されている。10

【符号の説明】

【0088】

10 ... 半導体素子（チップ／電子部品）、

11 ...（突起状の）端子、

20 ... 配線基板（パッケージ）、

21 ... 樹脂基板（配線基板本体）、

22P ... パッド（端子）、20

24, 25 ... ソルダレジスト層（保護膜／絶縁層）、

30, 30a, 30b, 30c ... インターポーラ用基板（介在基板）、

31 ... 絶縁性基材、

32 ... ビア（線状導体）、

33, 34 ... パッド、

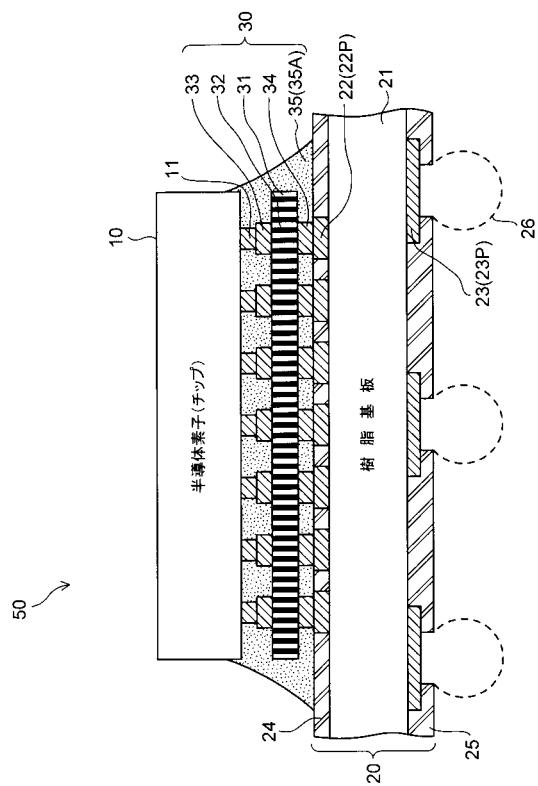
33G, 34G ... グランド層、

35 (35A, 36A) ... アンダーフィル樹脂（接着剤層）、

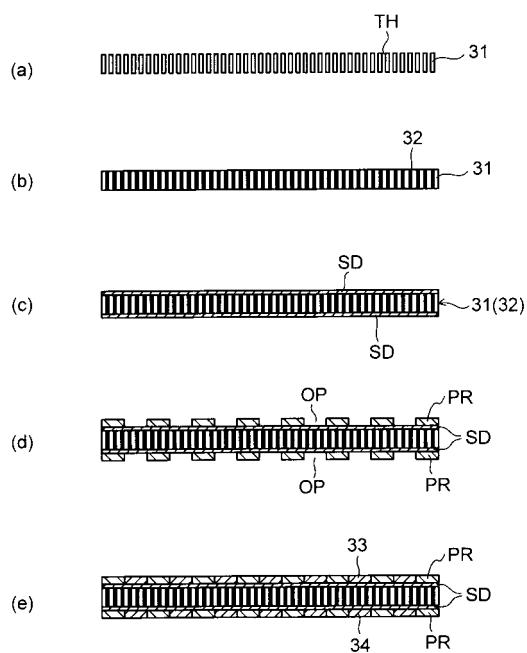
37, 38 ... 低融点金属の導体層、

50 ... 電子部品の実装構造（半導体装置）。

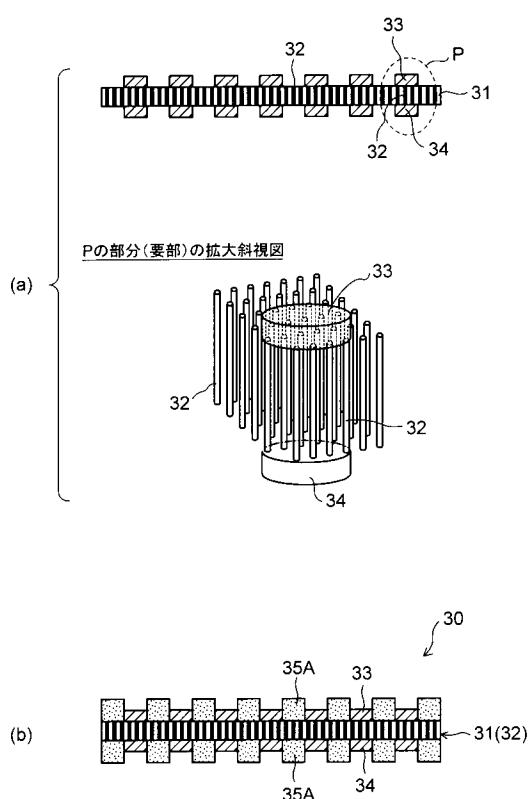
【図1】



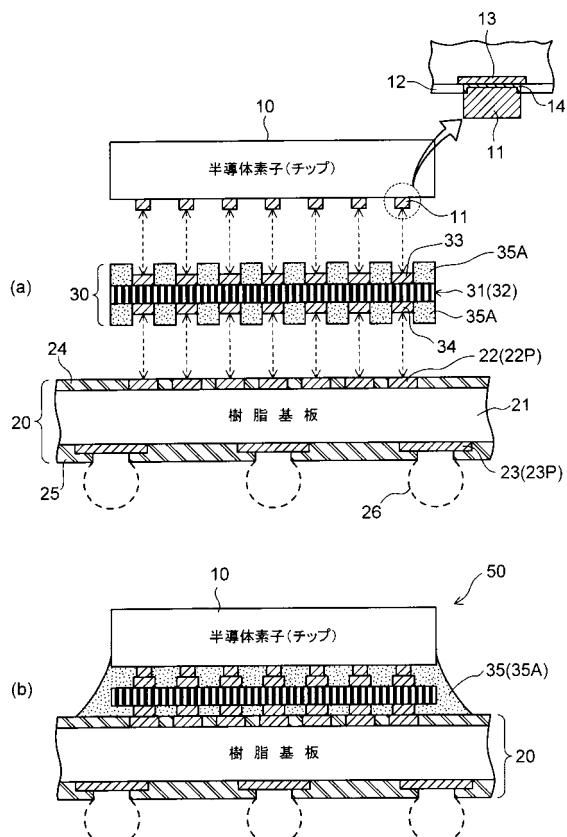
【図2】



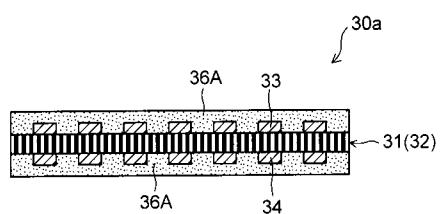
【図3】



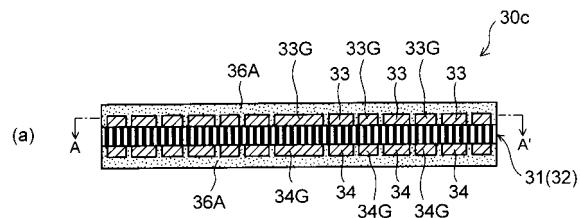
【図4】



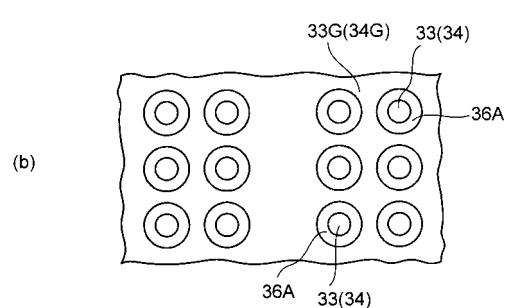
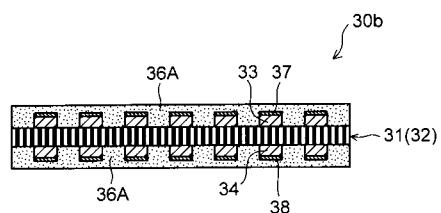
【図5】



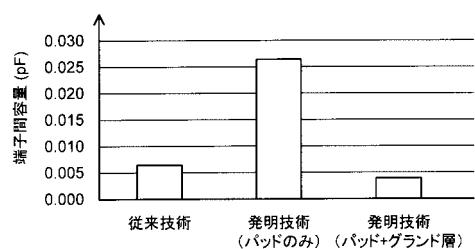
【図7】



【図6】



【図8】



フロントページの続き

(72)発明者 徳武 安衛
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 山本 雄一

(56)参考文献 特開平04-296036 (JP, A)
特開2008-270158 (JP, A)
特開2001-144511 (JP, A)
特開2000-243147 (JP, A)
特開昭62-234804 (JP, A)
特開平04-087213 (JP, A)
特開2001-156209 (JP, A)
特開2002-261455 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12-23/15
H01L 23/32