

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6719693号  
(P6719693)

(45) 発行日 令和2年7月8日(2020.7.8)

(24) 登録日 令和2年6月18日(2020.6.18)

(51) Int. Cl. F I  
 HO2M 7/483 (2007.01) HO2M 7/483  
 HO2M 1/00 (2007.01) HO2M 1/00 B

請求項の数 17 (全 30 頁)

<p>(21) 出願番号 特願2020-517616 (P2020-517616)</p> <p>(86) (22) 出願日 令和1年11月12日(2019.11.12)</p> <p>(86) 国際出願番号 PCT/JP2019/044417</p> <p>審査請求日 令和2年3月26日(2020.3.26)</p> <p>(出願人による申告)平成26年度、国立研究開発法人新エネルギー・産業技術総合開発機構「SIP(戦略的イノベーション創造プログラム)/次世代パワーエレクトロニクス/次世代パワーモジュールの応用に関する基盤研究開発/次世代パワーモジュールを使用したパワーエレクトロニクス機器とその統合システムの包括的研究開発」委託研究、産業技術力強化法第17条の適用を受ける特許出願</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号</p> <p>(74) 代理人 110001195 特許業務法人深見特許事務所</p> <p>(72) 発明者 中山 暁斗 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p>(72) 発明者 石井 佑季 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p>(72) 発明者 梶山 拓也 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p>
---	---

最終頁に続く

(54) 【発明の名称】 電力変換器の試験装置および試験方法

(57) 【特許請求の範囲】

【請求項1】

第1の端子を介して直列接続された第1及び第2の主スイッチング素子の直列接続体と、前記直列接続体と並列接続される第1の蓄電素子とを有する電力変換器の試験装置であって、

第2の端子を介して直列接続された第1及び第2の補助スイッチング素子の直列接続体と、前記直列接続体と並列接続される第2の蓄電素子とを有する補助変換器と、

前記電力変換器と前記補助変換器との間を電氣的に接続する配線と、

前記第1及び第2の端子と接続されて、交流電流指令値と直流電流指令値とが重畳された基準電流指令値に従う、前記電力変換器の試験用電流を出力する電流出力回路と、

前記電流出力回路、前記電力変換器、及び、前記補助変換器を制御する制御回路とを備え、

前記制御回路は、

前記電流出力回路からの前記基準電流指令値に従う前記試験用電流の出力開始後に、前記試験用電流の直流成分が予め定められたレベルに達するまでの間、前記第1及び第2の蓄電素子を迂回した電流経路が前記第1及び第2の端子間に形成されるように前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子のオンオフを固定する還流動作を実行し、

前記直流成分が前記予め定められたレベルに達した後は、蓄電素子電圧指令値に従った前記第1及び第2の蓄電素子の電圧の制御を少なくとも含む電圧制御のための前記第1及

び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子のオンオフ制御を開始する、電力変換器の試験装置。

【請求項2】

前記制御回路は、前記還流動作の前に、前記電流出力回路から直流成分を含まない交流電流が供給される状態の下で、前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子をオフに固定して、前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子の各々と逆並列に接続されたダイオードを経由する電流経路によって、前記第1及び第2の蓄電素子を充電する充電動作を実行する、請求項1記載の電力変換器の試験装置。

【請求項3】

前記電流出力回路は、

前記第1及び第2の端子のそれぞれと電氣的に接続される第1及び第2のテスト端子と

、  
複数のスイッチング素子を有し、当該複数のスイッチング素子のオンオフ制御によって、直流電圧を正のパルス電圧又は負のパルス電圧に変換して前記第1及び第2のテスト端子間に出力するヒステリシスコンバータと、

前記第1の端子及び前記第1のテスト端子の間、並びに、前記第2の端子及び前記第2のテスト端子の間との間の少なくとも一方に、前記試験用電流が通過するように接続されたリアクトルとを含み、

前記制御回路は、

前記正のパルス電圧の出力時に、前記試験用電流の検出値が、前記基準電流指令値よりも高く設定された上限電流指令値まで上昇すると前記負のパルス電圧の出力に切り替える一方で、前記負のパルス電圧の出力時には、前記試験用電流の検出値が、前記基準電流指令値よりも低く設定された下限電流指令値まで低下すると前記正のパルス電圧の出力に切り替えるように、前記ヒステリシスコンバータの前記複数のスイッチング素子のオンオフを制御する、請求項1記載の電力変換器の試験装置。

【請求項4】

前記制御回路は、前記還流動作の前に、前記第1及び第2の蓄電素子の充電動作を実行するように、前記ヒステリシスコンバータ、前記電力変換器、及び、前記補助変換器を制御し、

前記基準電流指令値と前記上限電流指令値との差の絶対値と、前記基準電流指令値と前記下限電流指令値との差の絶対値とは同一であるとともに、前記充電動作において、前記基準電流指令値はゼロに設定され、

前記充電動作において、前記電力変換器及び前記補助変換器では、前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子がオフに固定されて、前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子の各々と逆並列に接続されたダイオードを経由する電流経路によって、前記第1及び第2の蓄電素子が充電される、請求項3記載の電力変換器の試験装置。

【請求項5】

前記制御回路は、前記還流動作の前に、前記第1及び第2の蓄電素子の充電動作を実行するように、前記ヒステリシスコンバータ、前記電力変換器、及び、前記補助変換器を制御し、

前記充電動作において、前記ヒステリシスコンバータは、前記基準電流指令値とは無関係に、前記正のパルス電圧を出力する第1の期間と、前記負のパルス電圧を出力する第2の期間とが、予め定められたそれぞれの期間長の比率に従って交互に出現するように、前記複数のスイッチング素子のオンオフが制御され、

前記充電動作において、前記電力変換器及び前記補助変換器では、前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子がオフに固定されて、前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子の各々と逆並列に接続されたダイオードを経由する電流経路によって、前記第1及び第

10

20

30

40

50

2の蓄電素子が充電される、請求項3記載の電力変換器の試験装置。

【請求項6】

前記電圧制御において、前記電力変換器では、前記第1の端子の出力電圧が、第1の出力電圧指令値に追従するように前記第1及び第2の主スイッチング素子のオンオフが制御されるとともに、前記補助変換器では、前記第2の端子の出力電圧が、第2の出力電圧指令値に追従するように前記第1及び第2の補助スイッチング素子のオンオフが制御され、  
前記制御回路は、前記電圧制御において、

前記第1の蓄電素子の電圧と前記蓄電素子電圧指令値との第1の電圧偏差を補償するための第1の電圧制御指令値と、交流電圧指令値と直流電圧指令値とが重畳された基準出力電圧指令値とを加算した値に従って前記第1の出力電圧指令値を算出するとともに、

前記第2の蓄電素子の電圧と前記蓄電素子電圧指令値との第2の電圧偏差を補償するための第2の電圧制御指令値を、前記基準出力電圧指令値から減算した値に従って前記第2の出力電圧指令値を算出し、

前記第1の電圧制御指令値は、前記第1の電圧偏差と、前記基準電流指令値との乗算に従って算出され、

前記第2の電圧制御指令値は、前記第2の電圧偏差と、前記基準電流指令値との乗算に従って算出される、請求項1～5のいずれか1項に記載の電力変換器の試験装置。

【請求項7】

前記配線は、前記第1の蓄電素子の負極と、前記第2の蓄電素子の負極との間を接続することによって、前記電力変換器と前記補助変換器との間を電氣的に接続する、請求項1～6のいずれか1項に記載の電力変換器の試験装置。

【請求項8】

前記配線は、前記第1の蓄電素子の正極と、前記第2の蓄電素子の正極との間を接続することによって、前記電力変換器と前記補助変換器との間を電氣的に接続する、請求項1～6のいずれか1項に記載の電力変換器の試験装置。

【請求項9】

前記電力変換器は、

直列接続された第3及び第4の主スイッチング素子をさらに有し、

前記第3及び第4の主スイッチング素子の直列接続体は、前記第1の蓄電素子と並列接続され、

前記補助変換器は、

直列接続された第3及び第4の補助スイッチング素子をさらに有し、

前記第3及び第4の補助スイッチング素子の直列接続体は、前記第2の蓄電素子と並列接続され、

前記配線は、前記第3及び第4の主スイッチング素子の接続ノードと、前記第3及び第4の補助スイッチング素子の接続ノードとの間を接続することによって、前記電力変換器と前記補助変換器との間を電氣的に接続する、請求項1～6のいずれか1項に記載の電力変換器の試験装置。

【請求項10】

第1の端子を介して直列接続された第1及び第2の主スイッチング素子の直列接続体と、前記直列接続体と並列接続される第1の蓄電素子とを有する電力変換器の試験方法であって、

前記電力変換器は、配線を介して、第2の端子を介して直列接続された第1及び第2の補助スイッチング素子の直列接続体と、前記直列接続体と並列接続される第2の蓄電素子とを有する補助変換器と電氣的に接続された状態で試験され、

前記第1及び第2の端子と接続された電流出力回路からの、交流電流指令値と直流電流指令値とが重畳された基準電流指令値に従う試験用電流の出力開始後、前記試験用電流の直流成分が予め定められたレベルに達するまでの間、還流動作を実行するステップと、

前記直流成分が前記予め定められたレベルに達した後に、蓄電素子電圧指令値に従った前記第1及び第2の蓄電素子の電圧の制御を少なくとも含む電圧制御のための前記第1及

10

20

30

40

50

び第 2 の主スイッチング素子並びに前記第 1 及び第 2 の補助スイッチング素子のオンオフ制御を開始するステップとを備え、

前記還流動作において、前記電力変換器及び前記補助変換器では、前記第 1 及び第 2 の蓄電素子を迂回した電流経路が前記第 1 及び第 2 の端子間に形成されるように、前記第 1 及び第 2 の主スイッチング素子並びに前記第 1 及び第 2 の補助スイッチング素子のオンオフが固定される、電力変換器の試験方法。

【請求項 1 1】

前記還流動作の実行前に、前記電流出力回路から直流成分を含まない交流電流が供給される状態の下で、前記第 1 及び第 2 の蓄電素子を充電するステップを更に備え、

前記充電するステップにおいて、前記第 1 及び第 2 の主スイッチング素子並びに前記第 1 及び第 2 の補助スイッチング素子はオフに固定され、前記第 1 及び第 2 の主スイッチング素子並びに前記第 1 及び第 2 の補助スイッチング素子の各々と逆並列に接続されたダイオードを経由する電流経路によって、前記第 1 及び第 2 の蓄電素子は充電される、請求項 1 0 記載の電力変換器の試験方法。

【請求項 1 2】

前記電流出力回路は、

前記第 1 及び第 2 の端子のそれぞれと電氣的に接続される第 1 及び第 2 のテスト端子と

、複数のスイッチング素子を有し、当該複数のスイッチング素子のオンオフ制御によって、直流電圧を正のパルス電圧又は負のパルス電圧に変換して前記第 1 及び第 2 のテスト端子間に出力するヒステリシスコンバータと、

前記第 1 の端子及び前記第 1 のテスト端子の間、並びに、前記第 2 の端子及び前記第 2 のテスト端子の間との間の少なくとも一方に、前記試験用電流が通過するように接続されたリアクトルとを含み、

前記ヒステリシスコンバータは、前記正のパルス電圧の出力時に、前記試験用電流の検出値が、前記基準電流指令値よりも高く設定された上限電流指令値まで上昇すると前記負のパルス電圧の出力に切り替える一方で、前記負のパルス電圧の出力時には、前記試験用電流の検出値が、前記基準電流指令値よりも低く設定された下限電流指令値まで低下すると前記正のパルス電圧の出力に切り替えるように、前記複数のスイッチング素子のオンオフが制御される、請求項 1 0 記載の電力変換器の試験方法。

【請求項 1 3】

前記還流動作の前に、前記第 1 及び第 2 の蓄電素子の充電動作を実行するように、前記ヒステリシスコンバータ、前記電力変換器、及び、前記補助変換器を制御するステップを更に備え、

前記基準電流指令値と前記上限電流指令値との差の絶対値と、前記基準電流指令値と前記下限電流指令値との差の絶対値とは同一であるとともに、前記充電動作において、前記基準電流指令値はゼロに設定され、

前記充電動作において、前記電力変換器及び前記補助変換器では、前記第 1 及び第 2 の主スイッチング素子並びに前記第 1 及び第 2 の補助スイッチング素子がオフに固定されて、前記第 1 及び第 2 の主スイッチング素子並びに前記第 1 及び第 2 の補助スイッチング素子の各々と逆並列に接続されたダイオードを経由する電流経路によって、前記第 1 及び第 2 の蓄電素子が充電される、請求項 1 2 記載の電力変換器の試験方法。

【請求項 1 4】

前記還流動作の前に、前記第 1 及び第 2 の蓄電素子の充電動作を実行するように、前記ヒステリシスコンバータ、前記電力変換器、及び、前記補助変換器を制御するステップを更に備え、

前記充電動作において、前記基準電流指令値は設定されず、前記ヒステリシスコンバータは、前記正のパルス電圧を出力する第 1 の期間と、前記負のパルス電圧を出力する第 2 の期間とが、予め定められたそれぞれの期間長の比率に従って交互に出現するように、前記複数のスイッチング素子のオンオフが制御され、

前記充電動作において、前記電力変換器及び前記補助変換器では、前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子がオフに固定されて、前記第1及び第2の主スイッチング素子並びに前記第1及び第2の補助スイッチング素子の各々と逆並列に接続されたダイオードを経由する電流経路によって、前記第1及び第2の蓄電素子が充電される、請求項12記載の電力変換器の試験方法。

【請求項15】

前記電圧制御において、前記電力変換器では、前記第1の端子の出力電圧が、第1の出力電圧指令値に追従するように前記第1及び第2の主スイッチング素子のオンオフが制御されるとともに、前記補助変換器では、前記第2の端子の出力電圧が、第2の出力電圧指令値に追従するように前記第1及び第2の補助スイッチング素子のオンオフが制御され、

10

前記第1の出力電圧指令値は、前記電圧制御において、前記第1の蓄電素子の電圧と前記蓄電素子電圧指令値との第1の電圧偏差を補償するための第1の電圧制御指令値と、交流電圧指令値と直流電圧指令値とが重畳された基準出力電圧指令値とを加算した値に従って算出され、

前記第2の出力電圧指令値は、前記電圧制御において、前記第2の蓄電素子の電圧と前記蓄電素子電圧指令値との第2の電圧偏差を補償するための第2の電圧制御指令値を、前記基準出力電圧指令値から減算した値に従って算出され、

前記第1の電圧制御指令値は、前記第1の電圧偏差と、前記基準電流指令値との乗算に従って算出され、

前記第2の電圧制御指令値は、前記第2の電圧偏差と、前記基準電流指令値との乗算に従って算出される、請求項10～14のいずれか1項に記載の電力変換器の試験方法。

20

【請求項16】

前記還流動作を実行後における前記電圧制御の実行時において、前記基準電流指令値は、前記第1及び第2の端子の各々の出力電圧の指令値である基準出力電圧指令値と、前記基準電流指令値との積で示される瞬時電力を、前記基準電流指令値の基本波成分の一周期で積分した値が0になるように設定され、

前記基準出力電圧指令値は、交流電圧指令値と直流電圧指令値とが重畳されて設定される、請求項10～15のいずれか1項に記載の電力変換器の試験方法。

【請求項17】

前記基準電流指令値の瞬時値は、前記電流出力回路による前記試験用電流の出力開始時において0に設定される、請求項10～16のいずれか1項に記載の電力変換器の試験方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換器の試験装置および試験方法に関する。

【背景技術】

【0002】

近年、電力系統などの高圧用途に用いられる電力変換装置においては、複数台の変換器セルを直列多重接続して構成するマルチレベル変換器の実用化が図られている。これらの変換器はモジュラー・マルチレベル変換器(MMC)方式、又は、カスケード・マルチレベル変換器(CMC)方式等と呼ばれる。

40

【0003】

これらの変換器セル単体の試験のために、実際の運転時と同様の電流を模擬して変換器セルに通過させることで、変換器毎に動作検証を行う試験システムが、例えば、特開2016-10295号公報(特許文献1)、及び、下記の非特許文献1に記載されている。

【0004】

特許文献1では、複数の変換器(MMC)をブリッジ接続したブリッジ回路が、直流電源からの直流電力に変換して交流負荷に供給するように動作することにより、実運転時に各変換器の1個あたりに供給される電圧及び電流を模擬して、各変換器の動作検証を行う

50

ことができる。又、非特許文献1には、単位変換器と、その単位変換器とほぼ同じ構造の補助変換器、ヒステリシスコンバータ、及び、リアクトルで構成された試験システムが記載される。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2016-10295号公報

【非特許文献】

【0006】

【非特許文献1】Yung Tang, Li Ran他著、タイトル”Design and Control of a Compensated Submodule Testing Scheme for Modular Multilevel Converter”, 2016 IEEE Applied Power Electronics Conference and Exposition(APEC)

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1では、ブリッジ回路を構成するために変換器(MMC)は少なくとも4個接続される必要があるとともに、各変換器に直流リアクトルが接続される構成となる。このため、試験システムの大型化が懸念される。

【0008】

非特許文献1の構成は、単位変換器の試験システムとして有用であるが、試験対象となる単位変換器に含まれるコンデンサの初期充電については言及されていない。一方で、試験開始直後での当該初期充電時に、単位変換器と補助変換器との間でコンデンサの電圧がアンバランスとなることで、回路動作が不安定となることが懸念される。

20

【0009】

本発明はこのような問題点を解決するためになされたものであって、本発明の目的は、電力変換器の試験開始時における回路動作を安定化することである。

【課題を解決するための手段】

【0010】

本発明のある局面では、電力変換器の試験装置であって、試験対象となる電力変換器は、第1の端子を介して直列接続された第1及び第2の主スイッチング素子と、第1及び第2の主スイッチング素子の直列接続体と並列接続される第1の蓄電素子とを有する。試験装置は、補助変換器と、電力変換器と補助変換器との間を電氣的に接続する配線と、電流出力回路と、電流出力回路、電力変換器、及び、補助変換器を制御する制御回路とを備える。補助変換器は、第2の端子を介して直列接続された第1及び第2の補助スイッチング素子の直列接続体と、直列接続体と並列接続される第2の蓄電素子とを有する。電流出力回路は、第1及び第2の端子と接続されて、交流電流指令値と直流電流指令値とが重畳された基準電流指令値に従う、電力変換器の試験用電流を出力する。制御回路は、電流出力回路からの基準電流指令値に従う試験用電流の出力開始後に、試験用電流の直流成分が予め定められたレベルに達するまでの間、第1及び第2の蓄電素子を迂回した電流経路が第1及び第2の端子間に形成されるように第1及び第2の主スイッチング素子並びに第1及び第2の補助スイッチング素子のオンオフを固定する還流動作を実行する。更に、制御回路は、直流成分が予め定められたレベルに達した後は、蓄電素子電圧指令値に従った第1及び第2の蓄電素子の電圧の制御を少なくとも含む電圧制御のための第1及び第2の主スイッチング素子並びに第1及び第2の補助スイッチング素子のオンオフ制御を開始する。

30

40

【0011】

本発明の他のある局面では、電力変換器の試験方法であって、試験対象となる電力変換器は、第1の端子を介して直列接続された第1及び第2の主スイッチング素子と、第1及び第2の主スイッチング素子の直列接続体と並列接続される第1の蓄電素子とを有する。電力変換器は、配線を介して、第2の端子を介して直列接続された第1及び第2の補助スイッチング素子の直列接続体と、直列接続体と並列接続される第2の蓄電素子とを有する

50

補助変換器と電氣的に接続された状態で試験される。試験方法は、第1及び第2の端子と接続された電流出力回路からの、交流電流指令値と直流電流指令値とが重畳された基準電流指令値に従う試験用電流の出力開始後、試験用電流の直流成分が予め定められたレベルに達するまでの間、還流動作を実行するステップと、直流成分が予め定められたレベルに達した後に、蓄電素子電圧指令値に従った第1及び第2の蓄電素子の電圧の制御を少なくとも含む電圧制御のための第1及び第2の主スイッチング素子並びに第1及び第2の補助スイッチング素子のオンオフ制御を開始するステップとを備える。還流動作において、電力変換器及び補助変換器では、第1及び第2の蓄電素子を迂回した電流経路が第1及び第2の端子間に形成されるように、第1及び第2の主スイッチング素子並びに第1及び第2の補助スイッチング素子のオンオフが固定される。

10

【発明の効果】

【0012】

本発明によれば、電力変換器及び補助変換器に供給される試験用電流の直流成分が上昇してから、蓄電素子電圧指令値に従う第1及び第2の蓄電素子の電圧制御が開始されるので、電力出力回路から、電力変換器及び補助変換器に流入する有効電力を、第1及び第2の蓄電素子の電圧制御による電力のみとできる。この結果、電力変換器の試験開始時において、第1及び第2の蓄電素子の電圧が急激に不均衡となることを回避して、回路動作を安定化することができる。

【図面の簡単な説明】

【0013】

20

【図1】本実施の形態に係る試験装置を含む試験システムの構成例を説明する回路図である。

【図2】ヒステリシスコンバータの制御構成を説明するブロック図である。

【図3】ヒステリシスコンバータの制御動作を説明するためのアーム電流の波形図である。

【図4】電力変換器及び補助変換器の制御構成を説明するブロック図である。

【図5】試験システムの試験開始時における蓄電素子電圧指令値及びアーム電流の基準電流指令値の設定例を説明する概念図である。

【図6】図4に示された出力電圧指令値生成部の構成例を説明するためのブロック図である。

30

【図7】図4に示された出力電圧指令値生成部の他の構成例を説明するためのブロック図である。

【図8】図7に示されたPWM制御部の構成例を説明する回路図である。

【図9】本実施の形態に係る試験システムでの実施の形態1に係る試験時の制御処理を説明するフローチャートである。

【図10】実施の形態2に係る試験時の制御処理を説明するフローチャートである。

【図11】実施の形態2に係る充電ステップにおける動作波形図の一例である。

【図12】充電ステップにおける電力変換器及び補助変換器の動作を説明する第1の回路図である。

【図13】充電ステップにおける電力変換器及び補助変換器の動作を説明する第2の回路図である。

40

【図14】実施の形態3に係る試験時の制御処理を説明するフローチャートである。

【図15】実施の形態3に係る充電ステップにおける動作波形図の一例である。

【図16】実施の形態3に係る充電ステップにおける動作波形図の他の例である。

【図17】本実施の形態に係る試験装置を含む試験システムの構成の第1の変形例を説明する回路図である。

【図18】本実施の形態に係る試験装置を含む試験システムの構成の第2の変形例を説明する回路図である。

【発明を実施するための形態】

【0014】

50

以下に、本発明の実施の形態について、図面を参照して詳細に説明する。なお、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

**【 0 0 1 5 】**

実施の形態 1 .

図 1 は、本実施の形態に係る試験装置を含む試験システムの第 1 の構成例を説明する回路図である。

**【 0 0 1 6 】**

図 1 を参照して、本実施の形態に係る試験システム 1 a は、制御回路 2 と、試験対象となる電力変換器 1 0 0 x と、補助変換器 2 0 0 x と、配線 1 1 0 と、実動作時を模擬した試験用電流を出力するための電流出力回路とを備える。電流出力回路は、ヒステリシスコンバータ 3 0 0、及び、リアクトル L 1 によって構成することが可能である。以下では、リアクトル L 1 のインダクタンス値についても L 1 と表記する。尚、試験システム 1 a のうち、試験対象である電力変換器 1 0 0 x を除いた部分が、本実施の形態に係る試験装置を構成する。

10

**【 0 0 1 7 】**

試験対象となる電力変換器 1 0 0 x は、例えば、直列接続されたスイッチング素子 Q 1 1 及び Q 1 2 と、蓄電素子 C 1 とを有するように構成される。以下では、蓄電素子 C 1 のキャパシタンスについても C 1 と表記する。蓄電素子 C 1 は、スイッチング素子 Q 1 1、Q 1 2 の直列接続体と並列接続される。スイッチング素子 Q 1 1 及び Q 1 2 の接続ノードは、出力端子 T 1 1 と接続される。即ち、スイッチング素子 Q 1 1 及び Q 1 2 は、出力端子 T 1 1 を介して直列接続されている。スイッチング素子 Q 1 1 は、ゲート駆動回路 G d 1 1 によってオンオフ駆動され、スイッチング素子 Q 1 2 は、ゲート駆動回路 G d 1 2 によってオンオフ駆動される。

20

**【 0 0 1 8 】**

電力変換器 1 0 0 x において、出力端子 T 1 1 は「第 1 の端子」に対応し、スイッチング素子 Q 1 1 及び Q 1 2 は「第 1 及び第 2 の主スイッチング素子」に対応し、蓄電素子 C 1 は「第 1 の蓄電素子」に対応する。

**【 0 0 1 9 】**

補助変換器 2 0 0 x は、電力変換器 1 0 0 x と同様に構成されて、直列接続されたスイッチング素子 Q 2 1 及び Q 2 2 と、蓄電素子 C 2 とを有する。以下では、蓄電素子 C 2 のキャパシタンスについても C 2 と表記する。蓄電素子 C 2 は、スイッチング素子 Q 2 1 及び Q 2 2 の直列接続体と並列接続される。スイッチング素子 Q 2 1 及び Q 2 2 は、出力端子 T 2 1 を介して直列接続されている。スイッチング素子 Q 2 1 は、ゲート駆動回路 G d 2 1 によってオンオフ駆動され、スイッチング素子 Q 2 2 は、ゲート駆動回路 G d 2 2 によってオンオフ駆動される。

30

**【 0 0 2 0 】**

尚、補助変換器 2 0 0 x は、電力変換器 1 0 0 x と同様の回路構成を有するが、各構成要素が全く同一である必要はない。例えば、電力変換器 1 0 0 x のスイッチング素子 Q 1 1、Q 1 2 が S i C (Silicon Carbide) - M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) で構成されるのに対して、補助変換器 2 0 0 x のスイッチング素子 Q 2 1、Q 2 2 は、S i - I G B T (Insulated Gate Bipolar Transistor) によって構成される等の差異を設けることができる。

40

**【 0 0 2 1 】**

補助変換器 2 0 0 x において、出力端子 T 2 1 は「第 2 の端子」に対応し、スイッチング素子 Q 2 1 及び Q 2 2 は「第 1 及び第 2 の補助スイッチング素子」に対応し、蓄電素子 C 2 は「第 2 の蓄電素子」に対応する。

**【 0 0 2 2 】**

ヒステリシスコンバータ 3 0 0 は、第 1 レグ 3 0 1 と、第 2 レグ 3 0 2 と、蓄電素子 C 3 を有する。第 1 レグ 3 0 1 は、端子 T 3 1 を介して直列接続された、スイッチング素子

50



Q 3 1 及び Q 3 2 を有する。第 2 レグ 3 0 2 は、端子 T 3 2 を介して直列接続された、スイッチング素子 Q 3 3 及び Q 3 4 を有する。第 1 レグ 3 0 1、第 2 レグ 3 0 2、及び、蓄電素子 C 3 のそれぞれは並列に接続される。スイッチング素子 Q 3 1 ~ Q 3 4 は、ゲート駆動回路 G d 3 1 ~ G d 3 4 によってオンオフ駆動される。

【 0 0 2 3 】

リアクトル L 1 は、ヒステリシスコンバータ 3 0 0 の端子 T 3 1 と、電力変換器 1 0 0 x の出力端子 T 1 1 との間に接続される。ヒステリシスコンバータ 3 0 0 の端子 T 3 2 は、補助変換器 2 0 0 x の出力端子 T 2 1 と電氣的に接続される。尚、リアクトル L 1 は、ヒステリシスコンバータ 3 0 0 端子 T 3 2 及び補助変換器 2 0 0 x の出力端子 T 2 1 との間に接続されてもよい。この場合には、ヒステリシスコンバータ 3 0 0 の端子 T 3 1 と、電力変換器 1 0 0 x の出力端子 T 1 1 は、リアクトルを介さずに電氣的に接続されてもよい。即ち、リアクトル L 1 は、端子 T 3 1 及び出力端子 T 1 1 の間、及び、端子 T 3 2 及び出力端子 T 2 1 の間の少なくとも一方に接続される。尚、以下では、リアクトル L 1 のインダクタンスについても L 1 と表記する。

10

【 0 0 2 4 】

配線 1 1 0 は、電力変換器 1 0 0 x の蓄電素子 C 1 と、補助変換器 2 0 0 x の蓄電素子 C 2 の負極側同士を接続する。これによって、ヒステリシスコンバータ 3 0 0 の端子 T 3 1 及び T 3 2 の間に、ヒステリシスコンバータ 3 0 0 から出力された、電力変換器 1 0 0 x を試験するための電流 I a r m (以下、アーム電流 I a r m と称する) が、電力変換器 1 0 0 x 及び補助変換器 2 0 0 x を通過する電流経路を形成することができる。即ち、端子 T 3 1 は「第 1 のテスト端子」に対応し、端子 T 3 2 は「第 2 のテスト端子」に対応し、アーム電流 I a r m は「試験用電流」の一実施例に対応する。

20

【 0 0 2 5 】

制御回路 2 は、電力変換器 1 0 0 x、補助変換器 2 0 0 x、及び、ヒステリシスコンバータ 3 0 0 の動作を制御する。例えば、制御回路 2 は、C P U (Central Processing Unit) 2 a と、メモリ 2 b と、入出力 ( I / O ) 回路 2 c とを備えた、マイクロプロセッサによって構成することができる。入出力回路 2 c は、試験システム 1 a に配置されたセンサ類による検出値の入力、及び、試験システム 1 a の構成要素に対する制御信号の出力を実行する。

【 0 0 2 6 】

制御回路 2 は、メモリ 2 b に格納されたプログラムに従う演算処理を C P U 2 a で実行するソフトウェア処理によって、後述する各ブロック図に記載された各制御機能を実現することが可能である。或いは、制御回路 2 は、当該制御機能の一部又は全部を、専用の電子回路によるハードウェア処理によって実現することも可能である。

30

【 0 0 2 7 】

試験システム 1 a において、電力変換器 1 0 0 x には、蓄電素子 C 1 の電圧 V c a p 1 (以下、キャパシタ電圧 V c a p 1 と称する) を検知するセンサ V T 1 が配置される。同様に、補助変換器 2 0 0 x には、蓄電素子 C 2 の電圧 V c a p 2 (以下、キャパシタ電圧 V c a p 2 と称する) を検知するセンサ V T 2 が配置される。更に、試験システム 1 a には、アーム電流 I a r m を検知するセンサ C T 1 が配置される。これらのセンサ V T 1、V T 2、及び、C T 1 による検出値は、制御回路 2 へ伝達される。

40

【 0 0 2 8 】

制御回路 2 は、ヒステリシスコンバータ 3 0 0 に含まれるスイッチング素子 Q 3 1 ~ Q 3 4 のオンオフを制御するためのゲート信号 G 3 1 ~ G 3 4 と、電力変換器 1 0 0 x に含まれるスイッチング素子 Q 1 1、Q 1 2 のオンオフを制御するためのゲート信号 G 1 1、G 1 2、及び、補助変換器 2 0 0 x に含まれるスイッチング素子 Q 2 1、Q 2 2 のオンオフを制御するためのゲート信号 G 2 1、G 2 2 を生成する。

【 0 0 2 9 】

ゲート信号 G 1 1、G 1 2、G 2 1、G 2 2、G 3 1 ~ G 3 4 は、ゲート駆動回路 G d 1 1、G d 1 2、G d 2 1、G d 2 2、G d 3 1 ~ G d 3 4 へ伝送される。ゲート駆動回

50

路 G d 1 1 , G d 1 2 , G d 2 1 , G d 2 2 , G d 3 1 ~ G d 3 4 は、ゲート信号 G 1 1 , G 1 2 , G 2 1 , G 2 2 , G 3 1 ~ G 3 4 に応答して、スイッチング素子 Q 1 1 , Q 1 2 , Q 2 1 , Q 2 2 , Q 3 1 ~ Q 3 4 をオンオフ駆動する。尚、ゲート駆動回路 G d 1 1 , G d 1 2 , G d 2 1 , G d 2 2 , G d 3 1 ~ G d 3 4 に対して、ゲート信号 G 1 1 , G 1 2 , G 2 1 , G 2 2 , G 3 1 ~ G 3 4 は、光ファイバを用いて光信号として伝送されてもよく、ケーブルを用いて電気信号として伝送されてもよい。

【 0 0 3 0 】

又、制御回路 2、ゲート駆動回路 G d 1 1 , G d 1 2 , G d 2 1 , G d 2 2 , G d 3 1 ~ G d 3 4、及び、センサ V T 1 , V T 2 , C T 1 を駆動するための電源は、図示しないスイッチング電源等の外部電源を用いて供給することができる。或いは、蓄電素子 C 1 , C 2 の蓄積エネルギーから電圧変換機能によって上記電源として用いられる主回路給電装置を配置することも可能である。

10

【 0 0 3 1 】

次に、制御回路 2 による、電力変換器 1 0 0 x、補助変換器 2 0 0 x、及び、ヒステリシスコンバータ 3 0 0 の制御について説明する。

【 0 0 3 2 】

図 2 は、ヒステリシスコンバータ 3 0 0 の制御構成を説明するブロック図である。

図 2 を参照して、図 1 に示された制御回路 2 は、ヒステリシス制御部 2 0 を含む。ヒステリシス制御部 2 0 は、ヒステリシスコンバータ 3 0 0 から出力されるアーム電流 I a r m を、基準電流指令値 I a r m \* に従って制御する。具体的には、アーム電流 I a r m は、基準電流指令値 I a r m \* を中心とした、ヒステリシス幅指令値 I a r m \* によって規定される一定範囲内に制御される。上述のように、アーム電流 I a r m は、リアクトル L 1、電力変換器 1 0 0 x、及び、補助変換器 2 0 0 x を通過し、センサ C T 1 によって検出される。

20

【 0 0 3 3 】

図 3 には、ヒステリシスコンバータ 3 0 0 の制御動作を説明するためのアーム電流 I a r m の波形図が示される。

【 0 0 3 4 】

図 3 を参照して、基準電流指令値 I a r m \* は、直流電流指令値 I d c \* 及び交流電流指令値 I a c \* ・ s i n ( t + ) が重畳された、下記の式 ( 1 ) で示される。

30

【 0 0 3 5 】

$$I a r m * = I d c * + I a c * \cdot \sin ( t + ) \quad \dots ( 1 )$$

式 ( 1 ) において、時間 t に対して、及び は、交流成分の角周波数及び位相を示す。基準電流指令値 I a r m \* を直流電流指令値 ( I d c \* ) 及び交流電流指令値 ( I a c \* ・ s i n ( t + ) ) の重畳によって与えることにより、MMC の各変換器セルの実際の運転時における通過電流を模擬することが可能となる。尚、直流成分 ( 直流電流指令値 ) I d c \* は負値 ( 電力変換器 1 0 0 x からヒステリシスコンバータ 3 0 0 へ電流が流入する方向 ) に設定されてもよいが、以下では、I d c \* > 0 のケースを説明する。

【 0 0 3 6 】

基準電流指令値 I a r m \* と、予め設定されたヒステリシス幅指令値 I a r m とにより、上限電流指令値 I a r m h \* ( = I a r m \* + I a r m ) と、下限電流指令値 I a r m l \* ( = I a r m \* - I a r m ) とが設定される。

40

【 0 0 3 7 】

再び、図 1 を参照して、ヒステリシスコンバータ 3 0 0 において、スイッチング素子 Q 3 1 及び Q 3 4 をオンするとともに、スイッチング素子 Q 3 2 及び Q 3 3 をオフする第 1 の期間では、端子 T 3 1 及び T 3 2 の間に、蓄電素子 C 3 の直流電圧を振幅とする正のパルス電圧が出力される。反対に、スイッチング素子 Q 3 2 及び Q 3 3 をオンするとともに、スイッチング素子 Q 3 1 及び Q 3 4 をオンする第 2 の期間では、端子 T 3 1 及び T 3 2 の間に、蓄電素子 C 3 の直流電圧を振幅とする負のパルス電圧が出力される。正のパルス電圧が出力される第 1 の期間では、アーム電流 I a r m が上昇する一方で、負のパルス電

50

圧が出力される第2の期間では、アーム電流  $I_{arm}$  は低下する。

【0038】

再び図2及び図3を参照して、ヒステリシス制御部20は、検出されたアーム電流  $I_{arm}$  と、上限電流指令値  $I_{armh*}$  及び下限電流指令値  $I_{arml*}$  との比較に基づき、ゲート信号  $G_{31} \sim G_{34}$  を生成する。

【0039】

具体的には、アーム電流  $I_{arm}$  が上昇する第1の期間中には、アーム電流  $I_{arm}$  が上限電流指令値  $I_{armh*}$  に達するまで、第1の期間が維持される。即ち、スイッチング素子  $Q_{31}$  及び  $Q_{34}$  をオンするとともに、スイッチング素子  $Q_{32}$  及び  $Q_{33}$  をオフするように、ゲート信号  $G_{31} \sim G_{34}$  が生成される。

10

【0040】

そして、上昇したアーム電流  $I_{arm}$  が上限電流指令値  $I_{armh*}$  に達すると、第2の期間への切替えが実行される。これにより、スイッチング素子  $Q_{32}$  及び  $Q_{33}$  をオンするとともに、スイッチング素子  $Q_{31}$  及び  $Q_{34}$  をオフするように、ゲート信号  $G_{31} \sim G_{34}$  が生成される。

【0041】

第2の期間は、アーム電流  $I_{arm}$  が下限電流指令値  $I_{arml*}$  に低下するまで継続される。そして、アーム電流  $I_{arm}$  が下限電流指令値  $I_{arml*}$  まで低下すると、第1の期間への切替えが実行される。これにより、スイッチング素子  $Q_{31}$  及び  $Q_{34}$  をオンするとともに、スイッチング素子  $Q_{32}$  及び  $Q_{33}$  をオフするように、ゲート信号  $G_{31} \sim G_{34}$  が生成される。

20

【0042】

このように、上限電流指令値  $I_{armh*}$  及び下限電流指令値  $I_{arml*}$  との比較に基づいて上記第1の期間及び第2の期間が交互に設けられることで、アーム電流  $I_{arm}$  は、基準電流指令値  $I_{arm*}$  に追従して、 $I_{arm*} \pm I_{arm*}$  の範囲内に制御される。

【0043】

ヒステリシス制御部20には、ヒステリシスコンバータ300の動作指令信号  $HYS_n$  が更に入力される。ヒステリシス制御部20は、動作指令信号  $HYS_n = 「1」$  のときは、上述したアーム電流制御に従ってゲート信号  $G_{31} \sim G_{34}$  を生成する。一方で、動作指令信号  $HYS_n = 「0」$  のときは、スイッチング素子  $Q_{31} \sim Q_{34}$  をオフに維持するように、ヒステリシス制御部20は、全てのゲート信号  $G_{31} \sim G_{34}$  を「0」に固定する。

30

【0044】

次に、図4～図8を用いて、試験システム1aの定常動作時における電力変換器100x及び補助変換器200xの制御を説明する。

【0045】

図4を参照して、図1に示された制御回路2は、電力変換器100x及び補助変換器200xを制御する電圧制御部10を更を含む。電圧制御部10は、出力電圧指令値生成部11と、PWM (Pulse Width Modulation) 制御部12及び13を有する。

40

【0046】

出力電圧指令値生成部11は、電力変換器100xの出力電圧指令値  $V_{cell1}$  と、補助変換器200xの出力電圧指令値  $V_{cell2}$  を出力する。出力電圧指令値  $V_{cell1}$  は、電力変換器100xにおける蓄電素子C1の負極電圧に対する出力端子T11の電圧の指令値に相当する。同様に、出力電圧指令値  $V_{cell2}$  は、補助変換器200xにおける蓄電素子C2の負極電圧に対する出力端子T21の電圧の指令値に相当する。出力電圧指令値  $V_{cell1}$  は「第1の出力電圧指令値」に対応し、出力電圧指令値  $V_{cell2}$  は「第1の出力電圧指令値」に対応する。

【0047】

出力電圧指令値生成部11は、基準出力電圧指令値  $V_{cell*}$ 、基準電流指令値  $I_a$

50

$r m^*$ 、蓄電素子電圧指令値  $V c a p^*$ 、センサ  $V T 1$  によって検出されたキャパシタ電圧  $V c a p 1$ 、センサ  $V T 2$  によって検出されたキャパシタ電圧  $V c a p 2$  から、出力電圧指令値  $V c e l l 1$ 、 $V c e l l 2$  を算出する。更に、出力電圧指令値生成部 11 には、電圧制御の実行及び停止を指示するための電圧制御実行指令  $C T R L n$  がさらに入力される。

#### 【0048】

ここで、基準出力電圧指令値  $V c e l l^*$  は、下記の式 (2) で与えられる。

$$V c e l l^* = V d c^* + V a c^* \cdot \sin(\omega t + \theta) \quad \dots (2)$$

式 (2) において、時間  $t$  に対して、 $\omega$  は、交流成分の角周波数であり、式 (1) と共通である。 $\theta$  は、交流成分の位相であり、式 (1) の  $\theta_1$  とは個別に設定されるが、 $\theta_1$  及び  $\theta_2$  =  $\theta$  のいずれであってもよい。基準出力電圧指令値  $V c e l l^*$  についても、直流電圧指令値 ( $V d c^*$ ) 及び交流電圧指令値 ( $V a c^* \cdot \sin(\omega t + \theta)$ ) が重畳するように与えることにより、MMC の各変換器セルの実際の運転時における出力電圧を模擬することが可能となる。

10

#### 【0049】

図 5 には、試験システム 1 a の試験開始時における、蓄電素子電圧指令値  $V c a p^*$  及びアーム電流の基準電流指令値  $I a r m^*$  の設定例が示される。

#### 【0050】

図 5 を参照して、試験システム 1 a では、ヒステリシスコンバータ 300 からの、基準電流指令値  $I a r m^*$  に従ったアーム電流  $I a r m$  の供給の開始時 ( $t = 0$ ) において、式 (1) 中の直流成分  $I d c^*$  (絶対値) は、0 に設定され ( $|I d c^*| = 0$ )、 $t = 0$  以降では、定常状態での設定値 ( $I d c s$ ) に向けて徐々に上昇される。一方で、式 (1) 中の交流成分  $I a c^*$  は、基本的には、試験システム 1 a の試験開始時から一定値に維持される。

20

#### 【0051】

更に、式 (1) における位相  $\theta = 0$  とすることで、 $t = 0$  において、基準電流指令値  $I a r m^* = 0$  の状態から、ヒステリシスコンバータ 300 が動作を開始することができる。

#### 【0052】

蓄電素子電圧指令値  $V c a p^*$  は、キャパシタ電圧  $V c a p 1$ 、 $V c a p 2$  の指令値である。蓄電素子電圧指令値  $V c a p^*$  は、基本的には、MMC の各変換器セルの実際の運転時 (定常状態) における蓄電素子  $C 1$ 、 $C 2$  の電圧に相当する  $V c a p s$  に設定される。但し、電圧制御の開始時 (時刻  $t s$ ) には、蓄電素子  $C 1$ 、 $C 2$  は充電されていないので、 $V c a p^*$  は、初期値 (例えば、0 又は極小値) から徐々に上昇される。 $V c a p^* = V c a p s$  となった後は、 $V c a p^* = V c a p s$  が維持される。

30

#### 【0053】

図 6 は、出力電圧指令値生成部 11 の構成例を説明するためのブロック図である。

図 6 を参照して、出力電圧指令値生成部 11 は、電力変換器 100 x の電圧制御指令値  $V c 1$  を生成する第 1 演算部 11 a と、補助変換器 200 x の電圧制御指令値  $V c 2$  を算出する第 2 演算部 11 b とを含む。

40

#### 【0054】

第 1 演算部 11 a は、偏差演算部 11 a A と、ローパスフィルタ 11 a B と、比例制御部 11 a C と、乗算部 11 a D とを有する。偏差演算部 11 a A は、蓄電素子電圧指令値  $V c a p^*$  (図 5) に対するキャパシタ電圧  $V c a p 1$  (センサ  $V T 1$  による検出値) の電圧偏差を算出する。偏差演算部 11 a A によって算出された電圧偏差は、ローパスフィルタ 11 a B に入力される。電圧偏差 ( $V c a p^* - V c a p 1$ ) は「第 1 の電圧偏差」に対応する。

#### 【0055】

比例制御部 11 a C は、ローパスフィルタ 11 a B によって時間変化が平滑化された上記電圧偏差に、予め定められた制御ゲイン  $K p$  (比例ゲイン) を乗算した値を出力する。

50

乗算部 1 1 a D は、比例制御部 1 1 a C の出力値と、基準電流指令値  $I_{arm}^*$  との乗算値を、電圧偏差 ( $V_{cap}^* - V_{cap1}$ ) を補償するための電圧制御指令値  $V_{c1}$  として生成する。即ち、電圧制御指令値  $V_{c1}$  は「第 1 の電圧制御指令値」に対応する。

【 0 0 5 6 】

第 2 演算部 1 1 b は、偏差演算部 1 1 b A、ローパスフィルタ 1 1 b B、比例制御部 1 1 b C、及び、乗算部 1 1 b D を有する。偏差演算部 1 1 b A は、蓄電素子電圧指令値  $V_{cap}^*$  (図 5) に対するキャパシタ電圧  $V_{cap2}$  (センサ  $V_{T2}$  による検出値) の電圧偏差を算出する。電圧偏差 ( $V_{cap}^* - V_{cap2}$ ) は「第 2 の電圧偏差」に対応する。

【 0 0 5 7 】

偏差演算部 1 1 b A によって算出された電圧偏差は、ローパスフィルタ 1 1 b B に入力され、比例制御部 1 1 b C は、ローパスフィルタ 1 1 b B から出力された上記電圧偏差に、制御ゲイン  $K_p$  (比例ゲイン) を乗算した値を出力する。乗算部 1 1 b D は、比例制御部 1 1 b C の出力値と、基準電流指令値  $I_{arm}^*$  との乗算値を、電圧偏差 ( $V_{cap}^* - V_{cap2}$ ) を補償するための電圧制御指令値  $V_{c2}$  として生成する。即ち、電圧制御指令値  $V_{c2}$  は「第 2 の電圧制御指令値」に対応する。

【 0 0 5 8 】

出力電圧指令値生成部 1 1 は、更に、加算部 1 1 a E と、減算部 1 1 b E と、乗算部 1 1 a F, 1 1 b F とを有する。

【 0 0 5 9 】

加算部 1 1 a E は、基準出力電圧指令値  $V_{cell}^*$  と、第 1 演算部 1 1 a による電圧制御指令値  $V_{c1}$  とを加算した値を出力する。乗算部 1 1 a F は、加算部 1 1 a E の出力値と、「0」又は「1」に設定される電圧制御実行指令  $CTRL_n$  との乗算値を、電力変換器 1 0 0 x の出力電圧指令値  $V_{cell1}$  として出力する。

【 0 0 6 0 】

電圧制御のオン時には、 $CTRL_n = 「1」$  とされて、 $V_{cell1} = V_{cell}^* + V_{c1}$  に設定される。即ち、出力電圧指令値  $V_{cell1}$  は、電力変換器 1 0 0 x において、基準出力電圧指令値  $V_{cell}^*$  に従った電圧が出力端子  $T_{11}$  から出力されるとともに、蓄電素子  $C_1$  が蓄電素子電圧指令値  $V_{cap}^*$  に従って充放電されるように算出される。

【 0 0 6 1 】

一方で、減算部 1 1 b E は、基準出力電圧指令値  $V_{cell}^*$  から、第 2 演算部 1 1 b による電圧制御指令値  $V_{c2}$  を減算した値を出力する。乗算部 1 1 b F は、減算部 1 1 b E からの出力値と、上述の電圧制御実行指令  $CTRL_n$  との乗算値を、補助変換器 2 0 0 x の出力電圧指令値  $V_{cell2}$  として出力する。

【 0 0 6 2 】

従って、 $CTRL_n = 「1」$  のときは、 $V_{cell2} = V_{cell}^* - V_{c2}$  に設定される。これにより、電力変換器 1 0 0 x に入力されたアーム電流  $I_{arm}$  が、補助変換器 2 0 0 x からは出力される点を考慮して、キャパシタ電圧  $V_{cp1}$ ,  $V_{cp2}$  を同じ制御ブロック (図 6) によって制御することが可能となる。即ち、出力電圧指令値  $V_{cell2}$  は、補助変換器 2 0 0 x において、基準出力電圧指令値  $V_{cell}^*$  に従った電圧が出力端子  $T_{21}$  から出力され、かつ、蓄電素子  $C_2$  が蓄電素子電圧指令値  $V_{cap}^*$  に従って充放電されるように制御される。

【 0 0 6 3 】

尚、電圧制御をオフするために  $CTRL_n = 「0」$  とすると、 $V_{cell1} = V_{cell2} = 0$  に固定される。

【 0 0 6 4 】

図 7 には、出力電圧指令値生成部 1 1 の他の構成例が示される。

図 7 を参照して、第 1 演算部 1 1 a 及び第 2 演算部 1 1 b は、図 6 の構成例と比較して、ローパスフィルタ 1 1 a B 及び 1 1 b B の配置が異なる。具体的には、ローパスフィル

10

20

30

40

50

タ11aB及び11bBには、キャパシタ電圧 $V_{cap1}$ 及び $V_{cap2}$ （センサ $V_{T1}$ 及び $V_{T2}$ による検出値）が入力されて、偏差演算部11aA及び11bAは、ローパスフィルタを通過したキャパシタ電圧 $V_{cap1}$ 及び $V_{cap2}$ を、蓄電素子電圧指令値 $V_{cap*}$ （図5）から減算することによって、比例制御部11aC及び11bCに入力される電圧偏差を算出する。このような構成としても、図6と同様に、電力変換器100xの出力電圧指令値 $V_{cell1}$ （第1の出力電圧指令値）、及び、補助変換器200xの出力電圧指令値 $V_{cell2}$ （第2の出力電圧指令値）を算出することができる。

【0065】

又、図6及び図7での比例制御部11aC、11bCに代えて、比例積分（PI）制御等の他の公知の制御手法によって、電圧偏差に基づく制御演算を実行することも可能である。

10

【0066】

再び図4を参照して、電力変換器100xのPWM制御部12は、出力電圧指令値生成部11からの出力電圧指令値 $V_{cell1}$ と、キャリア信号の電圧値であるキャリア電圧 $V_{carr}$ に基づき、ゲート信号 $G_{11}$ 、 $G_{12}$ を生成する。キャリア信号は、例えば、一定周波数の三角波又はのこぎり波で構成される。従って、キャリア電圧 $V_{carr}$ は、予め定められた電圧範囲内で、キャリア波の周波数に従って、上昇及び下降を繰り返す。

【0067】

図8は、PWM制御部の構成例を説明する回路図である。

図8を参照して、PWM制御部12は、電圧比較器12aと、NOT回路12bと、AND回路12c、12dとを有する。電圧比較器12aは、出力電圧指令値 $V_{cell1}$ 及びキャリア電圧 $V_{carr}$ の比較結果を出力する。例えば、 $V_{cell1} > V_{carr}$ のときには、電圧比較器12aは「1」を出力し、 $V_{cell1} < V_{carr}$ のときには、電圧比較器12aは「0」を出力する。NOT回路12bは、電圧比較器12aの出力値を反転する。

20

【0068】

AND回路12cには、電圧比較器12aの出力値と、ゲートオン信号（GATEon）が入力される。AND回路12cには、NOT回路12bの出力値と、ゲートオン信号（GATEon）が入力される。

【0069】

GATEon = 「1」のとき、 $V_{cell1} > V_{carr}$ の期間では、 $G_{11} = 「1」$ 、 $G_{12} = 「0」$ に設定される。反対に、 $V_{cell1} < V_{carr}$ の期間では、 $G_{11} = 「0」$ 、 $G_{12} = 「1」$ に設定される。このように、ゲート信号 $G_{11}$ 及び $G_{12}$ は、互いに排反するレベルに設定される。尚、実際には、ゲート信号 $G_{11}$ 及び $G_{12}$ のレベルが入れ替わる際には、いわゆるデッドタイムとして、 $G_{11} = G_{12} = 「0」$ となる期間が設けられることが一般的である。本実施の形態での「排反するレベルへの設定」は、レベル遷移時におけるデッドタイムの付与を含むものである点を確認的に記載する。

30

【0070】

一方で、GATEon = 「0」のとき、 $G_{11} = G_{12} = 「0」$ に固定されて、スイッチング素子 $Q_{11}$ 、 $Q_{12}$ はオフ状態に維持される。これにより、ゲートオン信号（GATEon）を用いて電力変換器100xのスイッチング動作を停止することができる。

40

【0071】

尚、補助変換器200xのPWM制御部13についても、図8と同様に構成することが可能である。具体的には、電圧比較器12aに対して、出力電圧指令値 $V_{cell1}$ に代えて出力電圧指令値 $V_{cell2}$ を入力することにより、AND回路12cからゲート信号 $G_{21}$ を出力し、AND回路12dからゲート信号 $G_{22}$ を出力することが可能である。

【0072】

図4～図8に従って、電力変換器100x及び補助変換器200xを制御することにより、電力変換器100xでは、出力端子 $T_{11}$ の電圧が、出力電圧指令値 $V_{cell1}$ （

50

第1の出力電圧指令値)に追従するように、スイッチング素子Q11及びQ12のオンオフが制御される。これにより、電力変換器100xは、基準電流指令値 $I_{arm}^*$ に従ったアーム電流 $I_{arm}$ が通過する下で、蓄電素子C1が蓄電素子電圧指令値 $V_{cap}^*$ に従って充電された状態で、出力端子T11から基準出力電圧指令値 $V_{cell}^*$ に従った電圧を出力するように動作することができる。これにより、試験システム1aでは、MMCの各変換器セルの実際の運転時を模擬するように、電力変換器100xを試験することができる。

【0073】

同様に、補助変換器200xでは、出力端子T21の電圧が、出力電圧指令値 $V_{cell}^*$  (第2の出力電圧指令値)に追従するように、スイッチング素子Q21及びQ22のオンオフが制御される。これにより、補助変換器200xは、電力変換器100xが上記のように動作する際に発生する電圧変動を吸収して、電源側(ヒステリシスコンバータ300)へ影響を与えないように動作することになる。

10

【0074】

一方で、試験開始直後には、定常状態に至るまでの期間において、以下に説明する点が懸念される。

【0075】

電力変換器100xが、基準電流指令値 $I_{arm}^*$ に従った電流が通過する下で( $I_{arm}^* > 0$ )、基準出力電圧指令値 $V_{cell}^*$ に従った電圧を出力端子T11から出力する状態では、電力変換器100xに対して流入する電力 $P_{cell}^*$ は、角周波数 $\omega$ に従った基本波1周期における平均電力として、下記の式(3)で示される。

20

【0076】

$$P_{cell}^* = V_{dc}^* \times I_{dc}^* + V_{ac}^* \times I_{ac}^* \times \cos(\theta) / 2 \quad \dots (3)$$

式(3)は、式(1)の $I_{arm}^*$ と、式(2)の $V_{cell}^*$ との積で示される瞬時電力を、基本波1周期分、即ち、 $t = 0 \sim 2\pi/\omega$ の期間で積分することによって得られる。

【0077】

一方で、補助変換器200xでは、電力変換器100xとは反対方向の電流( $-I_{arm}^*$ )が通過する下で、基準出力電圧指令値 $V_{cell}^*$ に従った電圧を出力端子T21から出力する状態では、補助変換器200xに対して流入する電力 $P_{aux}^*$ は、角周波数 $\omega$ に従った基本波1周期における平均電力として、下記の式(4)で示される。

30

【0078】

$$P_{aux}^* = -V_{dc}^* \times I_{dc}^* - V_{ac}^* \times I_{ac}^* \times \cos(\theta) / 2 \quad \dots (4)$$

ここで、電力変換器100xに含まれる蓄電素子C1は、電力変換器100xに流入する瞬時電力によって充放電される。同様に、補助変換器200xに含まれる蓄電素子C2は、補助変換器200xに流入する瞬時電力によって充放電される。一方で、式(3)及び式(4)から理解されるように、電力変換器100xに流入する平均電力 $P_{cell}^*$ と、補助変換器200xに流入する平均電力 $P_{aux}^*$ との間には、 $P_{aux}^* = -P_{cell}^*$ の関係がある。

40

【0079】

このため、蓄電素子C1及びC2について、一方の蓄電素子が充電されると、他方の蓄電素子は放電される。従って、蓄電素子C1、C2のキャパシタ電圧 $V_{cap1}$ 、 $V_{cap2}$ が安定した状態、具体的には、基本波1周期の前後での電圧変動が0となる状態を定常状態とすると、定常状態となるための条件は、 $P_{cell}^* = 0$ であることが理解される。式(3)について、 $P_{cell}^* = 0$ を解くことにより、下記の式(5)を得ることができる。

【0080】

$$V_{dc}^* \times I_{dc}^* = -V_{ac}^* \times I_{ac}^* \times \cos(\theta) / 2 \quad \dots (5)$$

50

定常状態においては、式(5)が成り立つように、基準出力電圧指令値 $V_{cell}^*$ 及び基準電流指令値 $I_{arm}^*$ を与える。通常、実際のMMCにおける1個の変換器セルが出力する電圧と、当該変換器セルに流れる電流とに相当するように、基準出力電圧指令値 $V_{cell}^*$ ( $V_{dc}^*$ ,  $V_{ac}^*$ , )及び基準電流指令値 $I_{arm}^*$ ( $I_{dc}^*$ ,  $I_{ac}^*$ , )が設定される。即ち、図5に示された、定常状態における直流電流指令値 $I_{dc}^* = I_{dcs}$ は、上記式(5)が成立するように設定される。

#### 【0081】

ここで、図4で説明したように、ヒステリシスコンバータ300は、アーム電流 $I_{arm}$ が、上限電流指令値 $I_{armh}^* (= I_{arm}^* + I_{arm})$ と、下限電流指令値 $I_{arml}^* (= I_{arm}^* - I_{arm})$ との間に収まるように動作する。従って、動作開始時に、基準電流指令値 $I_{arm}^*$ が直流成分 $I_{dc}^*$ を有しているとき、実際のアーム電流 $I_{arm}$ は、下限電流指令値 $I_{arml}^*$ を大きく下回る可能性(特に、 $I_{dc}^* > 0$ のとき)、又は、上限電流指令値 $I_{armh}^*$ を大きく上回る可能性(特に、 $I_{dc}^* < 0$ のとき)がある。これにより、アーム電流 $I_{arm}$ の急激な変化が発生する虞がある。或いは、制御の人為的なミスが引き起こされることが懸念される。

#### 【0082】

上述のように、本実施の形態では、図5に示したように $I_{dc}^*$ を設定するとともに、式(1)での位相 $\theta = 0$ とすることで、基準電流指令値 $I_{arm}^* = 0$ の状態から、ヒステリシスコンバータ300によるアーム電流の供給が開始されるので、このようなアーム電流 $I_{arm}$ の急変を防止することができる。

#### 【0083】

図5に示された様に、基準電流指令値 $I_{arm}^*$ の直流成分 $I_{dc}^*$ は、 $t = 0$ から、時間経過とともに徐々に上昇する。この際に、上記の式(5)が成立する領域まで $I_{dc}^*$ が上昇するまでの間に、電力変換器100x及び補助変換器200xをスイッチング動作させると、蓄電素子C1及びC2の一方が充電し、他方が放電しようとするため、キャパシタ電圧 $V_{cap1}$ 及び $V_{cap2}$ が不均衡化することが懸念される。キャパシタ電圧 $V_{cap1}$ 及び $V_{cap2}$ に不均衡が生じると、電力変換器100xの上側のスイッチング素子Q11のオンと、補助変換器200xの上側のスイッチング素子Q21のオンとが重なったタイミングにおいて、出力端子T11及びT21間に電圧差が発生し、当該電圧差がリアクトルL1に印加される電圧に重畳されることにより、ヒステリシスコンバータ300の動作(電流制御)に影響を及ぼすことが懸念される。

#### 【0084】

従って、本実施の形態に係る試験システム1aでは、上述したような問題点を回避して、動作開始時から定常状態への移行期間の動作を安定化するために、以下に説明する制御処理を実行する。

#### 【0085】

図9は、本実施の形態に係る試験システム1aでの実施の形態1に係る試験時の制御処理を説明するフローチャートである。

#### 【0086】

図9を参照して、制御回路2は、試験システム1aでの電力変換器100xの試験が開始されると、還流ステップS1、及び、電圧制御開始ステップS2を実行する。

#### 【0087】

還流ステップS1は、電力変換器100xのスイッチング素子Q11(上側)をオフに固定し、スイッチング素子Q12(下側)をオンに固定するステップS1Aを含む。更に、還流ステップS1は、補助変換器200xのスイッチング素子Q21(上側)をオフに固定し、スイッチング素子Q22(下側)をオンに固定するステップS1Bを含む。例えば、図6又は図7において、 $CTRL_n = 「0」$ とし、図8において、 $GATE_n = 「1」$ とすることで、 $G11 = G21 = 「0」$ 、かつ、 $G12 = G22 = 「1」$ に設定することが可能である。或いは、図4、図6又は図7、及び、図8とは別個に、還流ステップS1において、直接、 $G11 = G21 = 「0」$ 、かつ、 $G12 = G22 = 「1」$ に設定

10

20

30

40

50



する構成を設けることも可能である。

【0088】

還流ステップS1は、動作開始時 ( $t = 0$ ) から、図5に従って推移する  $I_{ac}^*$  及び  $I_{dc}^*$  から設定された基準電流指令値  $I_{arm}^*$  に従ってヒステリシスコンバータ300を動作させるステップS1Cを更に含む。例えば、時刻  $t_0$  において、 $HYS_n$  を「0」から「1」に変化することで、ステップS1Cの処理が実現される。以降では、電力変換器100xの試験時を通じて、 $HYS_n = 「1」$  に維持される。尚、ステップS1A～S1Cは、便宜上、別個のステップとして順次実行されるように表記されているが、実際には、並列に実行される。

【0089】

ステップS1A～S1Cによる還流ステップS1では、ヒステリシスコンバータ300からのアーム電流  $I_{arm}$  は、端子T31 - 出力端子T11 - スwitchング素子Q12 - 配線110 - スwitchング素子Q22 - 出力端子T21 - 端子T32の経路により、蓄電素子C1及びC2を充電することなく還流される。

【0090】

制御回路2は、還流ステップS1の実行時には、電圧制御開始ステップS2へ移行についての判定ステップJ1を実行する。判定ステップJ1では、ヒステリシスコンバータ300からのアーム電流  $I_{arm}$  の直流成分が、判定値  $I_r$  まで上昇したか否かが判定される。判定値  $I_r$  は、例えば、図5における  $I_{dcs}$  に対応させて、予め定められる。

【0091】

判定ステップJ1では、アーム電流  $I_{arm}$  の直流成分として、図5に従って設定された、当該時点における直流電流指令値  $I_{dc}^*$  (基準電流指令値  $I_{arm}^*$  の直流成分) と、上記判定値  $I_r$  とを比較することができる。或いは、基準電流指令値  $I_{arm}^*$  の交流成分が0となる位相でのアーム電流  $I_{arm}$  の検出値 (センサCT1) と、上記判定値  $I_r$  とを比較することも可能である。

【0092】

アーム電流  $I_{arm}$  の直流成分が判定値  $I_r$  に達するまでの間は、判定ステップJ1がNO判定とされて、還流ステップS1が継続される。一方で、制御回路2は、アーム電流  $I_{arm}$  の直流成分が、判定値  $I_r$  に達したタイミングで (判定ステップJ1のYES判定時)、電圧制御開始ステップS2を実行する。例えば、図5での時刻  $t_s$  のタイミングにおいて、判定ステップJ1がYES判定とされる。上述のように、 $HYS_n = 「1」$  に維持されるので、以降でも、ヒステリシスコンバータ300による基準電流指令値  $I_{arm}^*$  に従ったアーム電流  $I_{arm}$  の出力は継続される。

【0093】

電圧制御開始ステップS2は、電力変換器100x及び補助変換器200xの蓄電素子C1, C2の電圧制御を開始するステップS2Aと、電力変換器100x及び補助変換器200xによるPWM制御を開始するステップS2Bとを含む。例えば、図8のGATE  $n = 「1」$  に維持したままで、図6又は図7のCTRL  $n$  を「0」から「1」に変化することにより、ステップS2A及びS2Bの処理が実現される。

【0094】

このタイミングでは、蓄電素子C1及びC2のキャパシタ電圧  $V_{cap1}$  及び  $V_{cap2}$  の間には電圧差が無いため、電力変換器100xでのスウィッチング素子Q11及びQ12のオンオフ制御によるスウィッチング動作、及び、補助変換器200xでのスウィッチング素子Q21及びQ22のオンオフ制御によるスウィッチング動作が開始されても、当該電圧差に起因する電流が発生することがない。

【0095】

この状態から、図5に示された蓄電素子電圧指令値  $V_{cap}^*$  と、キャパシタ電圧  $V_{cap1}$ ,  $V_{cap2}$  との電圧差に基づいて出力電圧指令値  $V_{cell1}$ ,  $V_{cell2}$  が設定されることにより、蓄電素子C1及びC2は徐々に充電される。更に、判定ステップJ2のYES判定後の定常状態では、MMCの実際の運転時における電力変換器100x

10

20

30

40

50

単体の動作を模擬するように設定された基準出力電圧指令値  $V_{cell}^*$  に従って、定常状態の基準電流指令値  $I_{arm}^*$  に従ったアーム電流  $I_{arm}$  が通過している下で、電力変換器 100x のスイッチング動作が実行される。

【0096】

尚、定常状態以降では、センサ誤差、及び、損失の発生に起因して、実際には電力変換器 100x の出力電圧と、補助変換器 200x の出力電圧とは、蓄電素子  $C_1$  ,  $C_2$  の電圧制御に従って異なる値とされることがある。

【0097】

又、電圧制御開始ステップ  $S_2$  では、ステップ  $S_2A$  及びステップ  $S_2B$  を段階的に起動することも可能である。即ち、蓄電素子  $C_1$  ,  $C_2$  の電圧制御のみを開始（ステップ  $S_2A$ ）して、キャパシタ電圧  $V_{cap1}$  ,  $V_{cap2}$  が蓄電素子電圧指令値  $V_{cap}^*$  に制御されてから、電力変換器 100x 及び補助変換器 200x による PWM 制御を開始する（ステップ  $S_2B$ ）ことも可能である。この場合には、ステップ  $S_2B$  が実行されるまでの期間では、基準出力電圧指令値  $V_{cell}^*$  は、一定値（例えば、 $V_{cell}^* = 0$ ）に固定することができる。

【0098】

以上説明したように、実施の形態 1 に係る試験システムによれば、アーム電流  $I_{arm}$  の直流成分が定常状態レベルまで上昇してから、蓄電素子電圧指令値  $V_{cap}^*$  に従う蓄電素子  $C_1$  ,  $C_2$  の電圧制御が開始される。このため、電力出力装置（ヒステリシスコンバータ）300 から、電力変換器 100x 及び補助変換器 200x に流入する有効電力が、蓄電素子  $C_1$  ,  $C_2$  の電圧制御による電力のみとなるので、蓄電素子  $C_1$  ,  $C_2$  の電圧が急激に不均衡となることを回避して、試験開始時における回路動作を安定化することができる。

【0099】

又、試験対象となる電力変換器 100x と配線 110 によって接続された補助変換器 200x を配置して、電力変換器 100x と同様に補助変換器 200x を動作させることで、電力変換器 100x の出力電圧と、補助変換器 200x の出力電圧の差を常時ほぼ 0 とすることができる。これにより、リアクトル  $L_1$  に印加される電圧は、ヒステリシスコンバータ 300 のスイッチング動作によって発生される正又は負のパルス電圧が支配的となる。この結果、ヒステリシスコンバータ 300 の動作を安定化することで、電力変換器 100x（試験対象）を流れるアーム電流  $I_{arm}$  の制御安定度が向上するので、電力変換器 100x の試験を更に安定的に実行することができる。

【0100】

実施の形態 2 .

実施の形態 2 では、還流ステップ  $S_1$  の前に、蓄電素子  $C_1$  及び  $C_2$  をプリチャージする充電ステップ  $S_3$  が実行される制御処理を説明する。

【0101】

図 10 は、実施の形態 2 に係る試験時の制御処理を説明するフローチャートである。

図 10 を参照して、充電ステップ  $S_3$  は、電力変換器 100x のスイッチング素子  $Q_{11}$  ,  $Q_{12}$  及び補助変換器 200x のスイッチング素子  $Q_{21}$  ,  $Q_{22}$  をオフするステップ  $S_3A$  を含む。例えば、図 8 において  $GATE_{on} = '0'$  に固定することで、ステップ  $S_3A$  の処理を実行することができる。

【0102】

充電ステップ  $S_3$  は、基準電流指令値  $I_{arm}^* = 0$  としてヒステリシスコンバータ 300 を動作させるステップ  $S_3B$  を更に含む。従って、充電ステップ  $S_3$  では、ヒステリシスコンバータ 300 は、上限電流指令値  $I_{armh}^* = I_{arm}$ 、及び、下限電流指令値  $I_{arml}^* = -I_{arm}$  の間で上昇及び下降を繰り返すように、アーム電流  $I_{arm}$  を発生する。

【0103】

図 11 には、充電ステップ  $S_3$  における動作波形図の一例が示される。

図11を参照して、上限電流指令値  $I_{armh}^*$  及び基準電流指令値  $I_{arm}^* (= 0)$  の差（絶対値）と、下限電流指令値  $I_{arml}^*$  及び基準電流指令値  $I_{arm}^* (= 0)$  の差（絶対値）とは等しい。従って、上限電流指令値  $I_{armh}^*$  及び下限電流指令値  $I_{arml}^*$  が0を基準に正負対称であるので、アーム電流  $I_{arm}$  は、 $I_{arm} > 0$  の期間と、 $I_{arm} < 0$  との期間とが周期的に現れる、0を基準に正負対称な交流電流（平均値 = 0）に制御される。

【0104】

図12には、 $I_{arm} > 0$  の期間における電力変換器100x及び補助変換器200xの動作を説明する回路図が示される。

【0105】

図12を参照して、充電ステップS3では、スイッチング素子Q11, Q12, Q21, Q22がオフに固定されるため、アーム電流  $I_{arm}$  の経路は、各スイッチング素子の逆並列ダイオードによって確保される。

【0106】

$I_{arm} > 0$  の期間では、端子T31から出力端子T11に向かって流入するアーム電流  $I_{arm}$  は、スイッチング素子Q11の逆並列ダイオードD11 - 蓄電素子C1 - スwitchング素子Q22の逆並列ダイオードD22の経路で、出力端子T21から端子T32へ流れる。これにより、ヒステリシスコンバータ300の蓄電素子C3の電圧（VDC）と蓄電素子C1のキャパシタ電圧  $V_{cap1}$  との電圧差（ $VDC - V_{cap1}$ ）に依存して生じるアーム電流  $I_{arm}$  により、蓄電素子C1が充電される。

【0107】

図13には、 $I_{arm} < 0$  の期間における電力変換器100x及び補助変換器200xの動作を説明する回路図が示される。

【0108】

$I_{arm} < 0$  の期間では、端子T32から出力端子T21に向かって流入したアーム電流  $I_{arm}$  は、スイッチング素子Q21の逆並列ダイオードD21 - 蓄電素子C2 - スwitchング素子Q12の逆並列ダイオードD12を経由して、出力端子T11から端子T31へ流れる。これにより、蓄電素子C3の電圧（VDC）と蓄電素子C2のキャパシタ電圧  $V_{cap2}$  との電圧差（ $VDC - V_{cap2}$ ）に依存して生じるアーム電流  $I_{arm}$  により、蓄電素子C2が充電される。

【0109】

再び図11を参照して、 $I_{arm} > 0$  の期間と、 $I_{arm} < 0$  の期間とが交互に現れるため、蓄電素子C1と蓄電素子C2は交互にほぼ均一に充電されていく。この際に、アーム電流  $I_{arm}$  が上昇する期間では、アーム電流の傾きは、 $(VDC - V_{cap1}) / L1$  に比例し、アーム電流  $I_{arm}$  が低下する期間では、アーム電流の傾きは、 $-(VDC - V_{cap2}) / L1$  に比例する。

【0110】

従って、キャパシタ電圧  $V_{cap1}$ ,  $V_{cap2}$  の上昇に応じて、アーム電流  $I_{arm}$  の傾きは徐々に小さくなり、交流電流の周期も徐々に長くなる。そして、キャパシタ電圧  $V_{cap1}$  又は  $V_{cap2}$  が、ヒステリシスコンバータ300の蓄電素子C3の電圧（VDC）まで上昇すると、アーム電流  $I_{arm} = 0$  となる。

【0111】

この状態に至ると、ヒステリシスコンバータ300は、スイッチング素子Q31~Q34のスイッチングが切り替わらない状態となるので、充電ステップS3によって、蓄電素子C1及びC2をこれ以上は充電できなくなる。図11の例では、 $V_{cap1} = VDC$  に到達することで、蓄電素子C1及びC2の充電が終了される。この時点では、リアクトル  $L1$  にエネルギーが蓄積されている状態で、ヒステリシスコンバータ300のスイッチング動作が停止される。このため、キャパシタ電圧  $V_{cap1}$  及び  $V_{cap2}$  の間には、当該蓄積エネルギー分に相当する電圧差が生じている。

【0112】

10

20

30

40

50

再び、図10を参照して、制御回路2は、充電ステップS3の実行時には、充電ステップの終了条件についての判定ステップJ2を実行する。例えば、キャパシタ電圧 $V_{cap1}$ 及び $V_{cap2}$ が蓄電素子C3の電圧( $V_{DC}$ )の近傍まで上昇したとき、又は、充電ステップS3の開始から予め定められた時間が経過したときに、判定ステップJ2をYES判定とすることができる。一方で、キャパシタ電圧 $V_{cap1}$ 及び $V_{cap2}$ の上昇、又は、予め定められた時間の経過が検出されるまでの間、判定ステップJ2はNO判定とされる。

#### 【0113】

或いは、判定ステップJ2では、図11に示した、蓄電素子C1、C2の充電終了に応じたアーム電流 $I_{arm}$ の消滅( $I_{arm} = 0$ )を検出することも可能である。例えば、 $|I_{arm}| < (0)$ の状態が予め定められた時間継続すると、制御回路2は、 $I_{arm} = 0$ を検出して、判定ステップJ2をYES判定とすることができる。一方で、 $I_{arm} = 0$ が検出されるまでの間、判定ステップJ2はNO判定とされる。

10

#### 【0114】

判定ステップJ2がNO判定の間、還流ステップS1への移行は待機されて、充電ステップS3は継続される。一方で、判定ステップJ2がYES判定とされると、制御回路2は、実施の形態1(図9)と同様の、還流ステップS1、判定ステップJ1、及び、電圧制御開始ステップS2を実行する。即ち、判定ステップJ2のYES判定後での試験システム1aの動作は、実施の形態1と同様であるので、詳細な説明は繰り返さない。尚、実施の形態2では、図5に示された、蓄電素子電圧指令値 $V_{cap*}$ について、電圧制御が開始される時刻 $t_s$ において、直流電圧 $V_{DC}$ 相当の値に設定されるように変形することが必要である。

20

#### 【0115】

以上説明したように、実施の形態2に係る試験システムでの試験時の制御処理によれば、充電ステップS3を加えることで、還流ステップS1の終了後に電圧制御開始ステップS2に移行した際に、蓄電素子C1及びC2が略均一の電圧まで予め充電されているため、蓄電素子C1、C2のキャパシタ電圧 $V_{cap1}$ 、 $V_{cap2}$ に不均衡が発生することを防止しつつ、電圧制御の開始後に、蓄電素子C1、C2のキャパシタ電圧 $V_{cap1}$ 、 $V_{cap2}$ が基準出力電圧指令値 $V_{cell*}$ に達するまでの時間を短縮することができる。

30

#### 【0116】

特に、電圧制御開始ステップS2後の電圧制御(図4)では、蓄電素子C1、C2は、充放電を繰り返しながら、徐々に充電されていく。このため、電圧制御単独で、キャパシタ電圧 $V_{cap1} = V_{cap2} = 0$ の状態から、キャパシタ電圧 $V_{cap1}$ 、 $V_{cap2}$ を基準出力電圧指令値 $V_{cell*}$ まで上昇させるのには、ある程度の時間を要することが理解される。

#### 【0117】

これに対して、上述の充電ステップS3では、蓄電素子C1、C2が放電される期間を設けることなく、蓄電素子C1、C2が充電される。従って、充電ステップS3を経由することによって、蓄電素子C1、C2の充電に要する時間は、電圧制御単独での充電と比較して、短縮できることが理解される。この様に、実施の形態2に係る試験時の制御処理によれば、試験開始から定常状態に至るまでの時間も短縮されるので、より効率的に試験を行うことも可能となる。

40

#### 【0118】

実施の形態3 .

実施の形態3では、実施の形態2で説明した充電ステップS3の変形例を説明する。

#### 【0119】

図11で説明したように、実施の形態2の充電ステップS3の終了時には、蓄電素子C1及びC2のキャパシタ電圧 $V_{cap1}$ 及び $V_{cap2}$ の間に、リアクトルL1の蓄積エネルギー分に相当する電圧差が生じている。実施の形態3では、このような電圧差を抑制す

50

るための充電ステップS3を説明する。

【0120】

図14は、実施の形態3に係る試験時の制御処理を説明するフローチャートである。

図14を参照して、実施の形態3においても、制御回路2は、図9で説明した還流ステップS1に先立って、充電ステップS3を実行する。充電ステップS3は、図10と同様のステップS3Aと、ヒステリシスコンバータ300を一定デューティで動作させるステップS3Cとを含む。即ち、実施の形態3に係る充電ステップS3では、基準電流指令値 $I_{arm}^* = 0$ としてヒステリシスコンバータ300を動作するステップS3Bに代えて、ステップS3Cが実行される。

【0121】

ステップS3Cにおいて、制御回路2は、一定のスイッチング周期の下で、スイッチング素子Q31及びQ34をオンするとともに、スイッチング素子Q32及びQ33をオフする第1の期間と、スイッチング素子Q32及びQ33をオンするとともに、スイッチング素子Q31及びQ34をオンする第2の期間とが、一定の周期の下で、一定の期間長の比(デューティ)に従って交互に設けられるように、ヒステリシスコンバータ300を制御する。

【0122】

例えば、第1の期間の長さ $T_1$ 、及び、第2の期間長さ $T_2$ の比( $T_1 : T_2$ )は、蓄電素子C1及びC2のキャパシタンスの比( $C_1 : C_2$ )に従う一定値に設定される( $T_1 : T_2 = C_1 : C_2$ )。例えば、上記一定デューティに従うスイッチングパターンによってスイッチング素子Q11, Q21, Q22, Q22をオンオフするためのゲート信号G11, G21, G22, G22の信号パターンを、充電ステップS3専用に予め生成することによって、ステップS3Cの処理を実現することが可能である。

【0123】

図15には、実施の形態3に係る充電ステップS3における動作波形図の一例が示される。

【0124】

図15を参照して、 $C_1 = C_2$ のときには、 $T_1 : T_2 = 1 : 1$ 、即ち、デューティは50(%)に設定される。これにより、ヒステリシスコンバータ300が端子T31及び端子T32の間に正の電圧パルスを出力することによりアーム電流 $I_{arm}$ が上昇する第1の期間(Q31, Q34がオン、Q32, Q33がオフ)と、ヒステリシスコンバータ300が端子T31及び端子T32の間に負の電圧パルスを出力することによりアーム電流 $I_{arm}$ が低下する第2の期間(Q32, Q33がオン、Q31, Q34がオフ)とが、1:1の時間長で交互に設けられる。

【0125】

尚、図15の動作例では、アーム電流 $I_{arm} = 0$ ( $t = 0$ )から、アーム電流 $I_{arm}$ が正負で対称となるように、初回の第1の期間の長さを調整(通常の半分の長さ)する初期位相調整が行われた例が示される。この結果、アーム電流 $I_{arm}$ は、試験開始時( $t = 0$ )より、正負対称な波形となる。

【0126】

これにより、図12の電流経路によって蓄電素子C1が充電されて、キャパシタ電圧 $V_{cap1}$ が上昇するアーム電流 $I_{arm} > 0$ の期間と、図13の電流経路によって蓄電素子C2が充電されて、キャパシタ電圧 $V_{cap2}$ が上昇するアーム電流 $I_{arm} < 0$ の期間とが、等時間長ずつ交互に設けられる。この結果、蓄電素子C1及びC2は、交互に均等充電される。

【0127】

アーム電流 $I_{arm}$ は、スイッチング素子Q31~Q34のスイッチング周波数が固定されてヒステリシスコンバータ300がスイッチング動作するため、キャパシタ電圧 $V_{cap1}$ ,  $V_{cap2}$ の上昇に応じて徐々に減衰する。従って、最終的に、蓄電素子C3の電圧 $V_{DC}$ (図12, 図13)と、キャパシタ電圧 $V_{cap1}$ ,  $V_{cap2}$ との差が無く

10

20

30

40

50

なって充電が終了される時のリアクトル  $L_1$  での蓄積エネルギーも小さくなる。この結果、充電終了時におけるキャパシタ電圧  $V_{cap1}$  及び  $V_{cap2}$  の電圧差を、実施の形態 2 (図 11) と比較して大幅に低減することができる。

【0128】

図 16 には、図 15 で説明した初期位相調整を行わずに充電ステップを実行したときの動作波形図が他の例として示される。

【0129】

図 16 を参照して、初期位相調整を実行しない場合には、充電ステップ  $S_3$  の開始直後において、アーム電流  $I_{arm}$  は正負対称にはならないため、蓄電素子  $C_1$  又は  $C_2$  の一方に偏って充電が進行する。これにより、キャパシタ電圧  $V_{cap1}$  及び  $V_{cap2}$  の間には、ある程度の不均衡が発生する。

10

【0130】

しかしながら、ヒステリシスコンバータ 300 が一定デューティ制御されるため、蓄電素子  $C_1$  及び  $C_2$  の充電の進行とともにアーム電流  $I_{arm}$  が減衰していく。これに伴い、リアクトル  $L_1$  に印加される電圧が小さくなることで、キャパシタ電圧  $V_{cap1}$  及び  $V_{cap2}$  の電圧差も徐々に小さくなる。

【0131】

この結果、充電ステップ  $S_3$  による充電終了時点では、初期位相調整が行われた図 15 と、初期位相調整が行われない図 16 との間で、電圧及び電流の挙動に大きな差異は発生しない。即ち、実施の形態 3 に係る充電ステップにおいて、一定デューティ制御を開始する際の初期位相の調整は、必須ではないことが理解される。

20

【0132】

再び、図 14 を参照して、制御回路 2 は、充電ステップ  $S_3$  の実行時には、充電工程の終了についての判定ステップ  $J_2$  を実行する。図 15 及び図 16 に示されるように、実施の形態 3 の充電ステップ  $S_3$  においても、蓄電素子  $C_1$ 、 $C_2$  の充電終了時には、アーム電流  $I_{arm}$  の消滅 ( $I_{arm} = 0$ ) が検出される。このため、図 14 の判定ステップ  $J_2$  についても、図 12 の判定ステップ  $J_2$  と同様の処理とすることができる。尚、実施の形態 3 においても、図 5 に示された蓄電素子電圧指令値  $V_{cap*}$  について、電圧制御が開始される時刻  $t_s$  において、直流電圧  $V_{DC}$  相当の値に設定されるように変形することが必要である。

30

【0133】

図 14 においても、判定ステップ  $J_2$  が  $NO$  判定の間、充電ステップ  $S_3$  は継続される一方で、判定ステップ  $J_2$  が  $YES$  判定とされると、制御回路 2 は、実施の形態 1 (図 9) と同様の、還流ステップ  $S_1$ 、判定ステップ  $J_1$ 、及び、電圧制御開始ステップ  $S_2$  を実行する。図 14 (実施の形態 3) においても、判定ステップ  $J_2$  の  $YES$  判定後での試験システム 1a の動作は、実施の形態 1 と同様であるので、詳細な説明は繰り返さない。

【0134】

以上説明したように、実施の形態 3 に係る試験システムでの試験時の制御処理によれば、実施の形態 2 で説明した効果に加えて、充電ステップ  $S_3$  での蓄電素子  $C_1$  及び  $C_2$  の充電終了時におけるキャパシタ電圧  $V_{cap1}$  及び  $V_{cap2}$  の不均衡を抑制することができる。この結果、電圧制御開始の動作を更に安定化することが可能である。

40

【0135】

最後に、図 1 に示された試験システム 1a の構成の変形例について説明する。

図 17 は、本実施の形態に係る試験装置を含む試験システムの構成の第 1 の変形例を説明する回路図である。

【0136】

図 17 を参照して、第 1 の変形例に係る試験システム 1b では、配線 110 は、電力変換器 100x の蓄電素子  $C_1$  と、補助変換器 200x の蓄電素子  $C_2$  との正極同士間を接続するように配置される。このようにしても、試験対象となる電力変換器 100x と、補助変換器 200x とを含むアーム電流  $I_{arm}$  の経路を確保することが可能である。試験

50

システム 1 b のその他の部分の構成は、試験システム 1 a ( 図 1 ) と同様であるので、詳細な説明は繰り返さない。

【 0 1 3 7 】

図 1 7 の試験システム 1 b においては、電力変換器 1 0 0 x のスイッチング素子 Q 1 1 をオンするとともにスイッチング素子 Q 1 2 をオフし、補助変換器 2 0 0 x のスイッチング素子 Q 2 1 をオンするとともにスイッチング素子 Q 2 2 をオフすることで、還流ステップ S 1 を実現することができる。又、実施の形態 2 及び 3 での充電ステップ S 3 では、電力変換器 1 0 0 x のスイッチング素子 Q 1 1 及び Q 1 2 をオフするとともに、補助変換器 2 0 0 x のスイッチング素子 Q 2 1 及び Q 2 2 をオフすることで、 $I_{arm} > 0$  の期間で蓄電素子 C 2 を充電する一方で、 $I_{arm} < 0$  の期間では蓄電素子 C 1 を充電することが

10

【 0 1 3 8 】

或いは、図 1 8 に示されるように、試験対象となる電力変換器及び補助変換器の構成についても、図 1 での例示に限定されるものではない。

【 0 1 3 9 】

図 1 8 は、本実施の形態に係る試験装置を含む試験システムの構成の第 2 の変形例を説明する回路図である。

【 0 1 4 0 】

図 1 8 を参照して、第 2 の変形例に係る試験システム 1 c では、図 1 及び図 1 7 に示された、いわゆるハーフブリッジ構成の電力変換器 1 0 0 x 及び補助変換器 2 0 0 x に代えて、電力変換器 1 0 0 y 及び補助変換器 2 0 0 y を備える点で異なる。

20

【 0 1 4 1 】

試験対象である電力変換器 1 0 0 y は、電力変換器 1 0 0 x ( 図 1 ) の構成に加えて、直列接続されたスイッチング素子 Q 1 3 及び Q 1 4 を更に備える。スイッチング素子 Q 1 3 及び Q 1 4 の直列接続体は、蓄電素子 C 1、及び、スイッチング素子 Q 1 1 及び Q 1 2 の直列接続体と並列に接続される。電力変換器 1 0 0 y は、いわゆるフルブリッジ構成を有する。スイッチング素子 Q 1 3 及び Q 1 4 は、制御回路 2 からのゲート信号 G 1 3 及び G 1 4 に応答して、ゲート駆動回路 G d 1 3 及び G d 1 4 によりオンオフ駆動される。スイッチング素子 Q 1 3 及び Q 1 4 は「第 3 及び第 4 の主スイッチング素子」に対応する。

【 0 1 4 2 】

30

同様に、補助変換器 2 0 0 y は、補助変換器 2 0 0 x ( 図 1 ) の構成に加えて、直列接続されたスイッチング素子 Q 2 3 及び Q 2 4 を更に備える。スイッチング素子 Q 2 3 及び Q 2 4 の直列接続体は、蓄電素子 C 2、及び、スイッチング素子 Q 2 1 及び Q 2 2 の直列接続体と並列に接続される。スイッチング素子 Q 2 3 及び Q 2 4 は、制御回路 2 からのゲート信号 G 2 3 及び G 2 4 に応答して、ゲート駆動回路 G d 2 3 及び G d 2 4 によりオンオフ駆動される。スイッチング素子 Q 2 3 及び Q 2 4 は「第 3 及び第 4 の補助スイッチング素子」に対応する。

【 0 1 4 3 】

配線 1 1 0 は、スイッチング素子 Q 1 3 及び Q 1 4 の接続ノードと、スイッチング素子 Q 2 3 及び Q 2 4 の接続ノードの間を接続するように配置することによって、試験対象となる電力変換器 1 0 0 y と、補助変換器 2 0 0 y とを含むアーム電流  $I_{arm}$  の経路を確保する。試験システム 1 c のその他の部分の構成は、試験システム 1 a ( 図 1 ) と同様であるので、詳細な説明は繰り返さない。

40

【 0 1 4 4 】

図 1 8 の試験システム 1 c においては、電力変換器 1 0 0 y のスイッチング素子 Q 1 2 , Q 1 4 をオンするとともにスイッチング素子 Q 1 1 , Q 1 3 をオフし、補助変換器 2 0 0 y のスイッチング素子 Q 2 2 , Q 2 4 をオンするとともにスイッチング素子 Q 2 1 , Q 2 3 をオフすることで、還流ステップ S 1 を実現することができる。又、実施の形態 2 及び 3 での充電ステップ S 3 では、電力変換器 1 0 0 x のスイッチング素子 Q 1 1 ~ Q 1 4 をオフするとともに、補助変換器 2 0 0 y のスイッチング素子 Q 2 1 ~ Q 2 4 をオフする

50

ことで、アーム電流  $I_{arm}$  の全波整流により、 $I_{arm} > 0$  の期間及び  $I_{arm} < 0$  の期間を通じて、直列接続された蓄電素子  $C_1$  及び  $C_2$  を充電することが可能である。

【0145】

図17、及び、図18に示された試験システム1b、1cの各々においても、試験対象となる電力変換器100x、100yと配線110によって接続された補助変換器200x、200yを配置して、電力変換器100x、100yと同様に、補助変換器200x、200yを動作させることで、電力変換器100x、100yの出力電圧と、補助変換器200x、200yの出力電圧の差を常時ほぼ0とすることができる。この結果、実施の形態1で説明したのと同様に、ヒステリシスコンバータ300の動作を安定化して、電力変換器100x、100y（試験対象）を流れるアーム電流  $I_{arm}$  の制御安定度が向上することができるので、試験システム1b、1cの動作を安定化することができる。

10

【0146】

このように、本実施の形態に係る試験システムにおいて、試験対象とされる電力変換器と、補助変換器の各々は、スイッチング素子の直列接続体と、当該直列接続体と並列接続された蓄電素子を含む構成であり、還流ステップにおいて蓄電素子を含まない電流経路を形成可能であれば、任意の回路構成とすることができる。

【0147】

又、試験対象となる電力変換器100xの実際の運転時を模擬するアーム電流  $I_{arm}$ （試験用電流）を出力するための「電力出力回路」として、ヒステリシスコンバータ300及びリアクトルL1による構成を例示したが、「電力出力回路」は、基準電流指令値  $I_{arm}^*$  に従ったアーム電流  $I_{arm}$  を出力する機能を有する限り、任意の構成とすることができる。

20

【0148】

例えば、ヒステリシスコンバータ300及びリアクトルL1の代わりに、制御応答性の高い電流源を用いて「電流出力回路」を構成することも可能である。この場合にも、当該電流源が、0を基準に正負対称な交流電流を出力する状態下で、電力変換器100x、100y及び補助変換器200x、200yの各スイッチング素子をオフ固定することによって、逆並列ダイオードによる蓄電素子  $C_1$ 、 $C_2$  の充電電流経路を形成することができる。即ち、実施の形態2及び3での充電ステップS3を同様に実現することが可能である。

30

【0149】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。これらの新規な実施の形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施の形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0150】

1a、1b、1c 試験システム、2 制御回路、10 電圧制御部、11 出力電圧指令値生成部、11a 第1演算部、11aA、11bA 偏差演算部、11aB、11bB ローパスフィルタ、11aC、11bC 比例制御部、11aD、11aF、11bD、11bF 乗算部、11aE 加算部、11b 第2演算部、11bE 減算部、12、13 PWM制御部、12a 電圧比較器、20 ヒステリシス制御部、100x、100y 電力変換器、110 配線、200x、200y 補助変換器、300 ヒステリシスコンバータ、301 第1レグ、302 第2レグ、 $C_1 \sim C_3$  蓄電素子、 $CT_1$ 、 $VT_1$ 、 $VT_2$  センサ、 $CTRL_{on}$  電圧制御実行指令、 $D_{11}$ 、 $D_{12}$ 、 $D_{21}$ 、 $D_{22}$  逆並列ダイオード、 $G_{11} \sim G_{14}$ 、 $G_{21} \sim G_{24}$ 、 $G_{31} \sim G_{34}$  ゲート信号、 $G_{d11} \sim G_{d14}$ 、 $G_{d21} \sim G_{d24}$ 、 $G_{d31} \sim G_{d34}$  ゲート

40

50



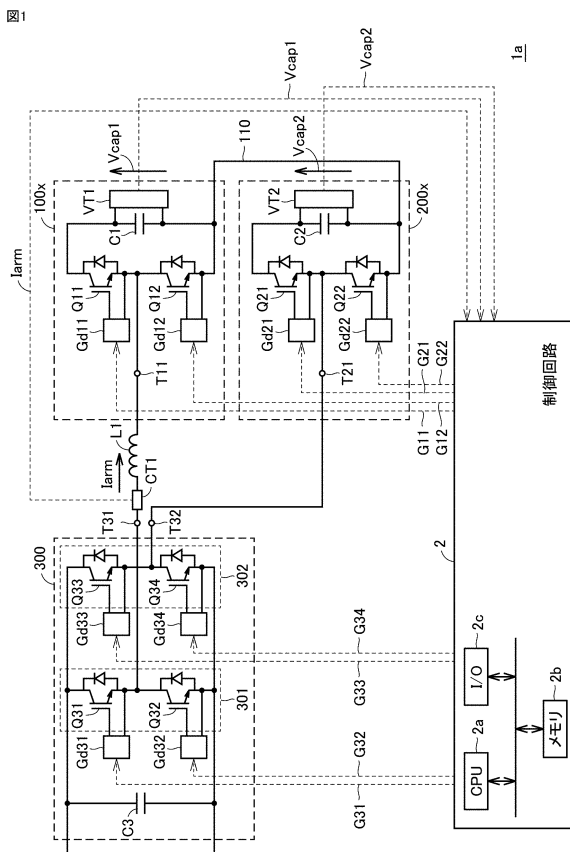
駆動回路、 $I_{arm}$  アーム電流（試験用電流）、 $I_{arm}^*$  基準電流指令値、 $I_{armh}$  上限電流指令値、 $I_{arml}$  下限電流指令値、 $I_{dc}^*$  直流電流指令値、 $I_r$  判定値、 $J_1, J_2$  判定ステップ、 $L_1$  リアクトル、 $Q_{11} \sim Q_{14}, Q_{21} \sim Q_{24}, Q_{31} \sim Q_{34}$  スwitching素子、 $S_1$  還流ステップ、 $S_2$  電圧制御起動ステップ、 $S_3$  充電ステップ、 $T_{11}$  出力端子（電力変換器）、 $T_{21}$  出力端子（補助変換器）、 $T_{31}, T_{32}$  端子（ヒステリシスコンバータ）、 $V_{c1}, V_{c2}$  電圧制御指令値、 $V_{cap1}, V_{cap2}$  キャパシタ電圧、 $V_{cap}^*$  蓄電素子電圧指令値、 $V_{carr}$  キャリア電圧、 $V_{cell1}, V_{cell2}$  出力電圧指令値、 $V_{cell}^*$  基準出力電圧指令値。

【要約】

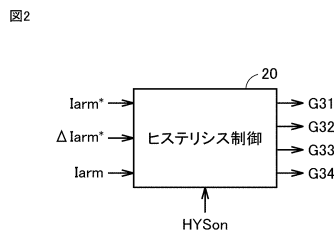
10

試験対象である電力変換器（100x）は、配線（110）によって補助変換器（200x）と接続状態で、ヒステリシスコンバータ（300）から試験用のアーム電流（ $I_{arm}$ ）を供給される。交流成分及び直流成分が重畳された基準電流指令値に従うアーム電流（ $I_{arm}$ ）の出力開始後に、アーム電流（ $I_{arm}$ ）の直流成分が予め定められたレベルに達するまでの間、電力変換器（100x）及び補助変換器（200x）では、蓄電素子（ $C_1, C_2$ ）を迂回した電流経路が、電力変換器（100x）の出力端子（ $T_{11}$ ）及び補助変換器（200x）の出力端子（ $T_{21}$ ）の間に形成される、還流動作が実行される。環流動作の実行後、電力変換器（100x）及び補助変換器（200x）では、蓄電素子（ $C_1, C_2$ ）及び出力端子（ $T_{11}, T_{21}$ ）の電圧制御が開始される。

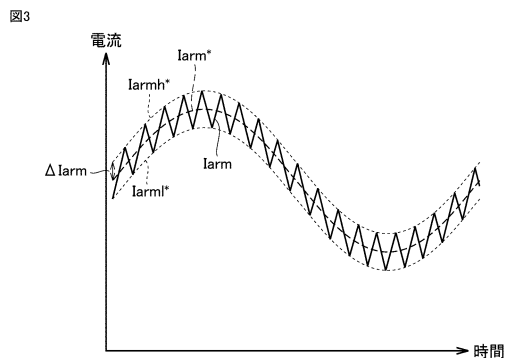
【図1】



【図2】

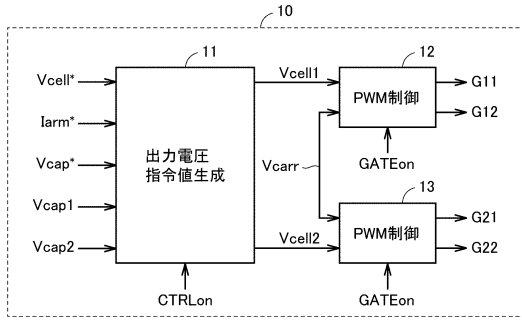


【図3】



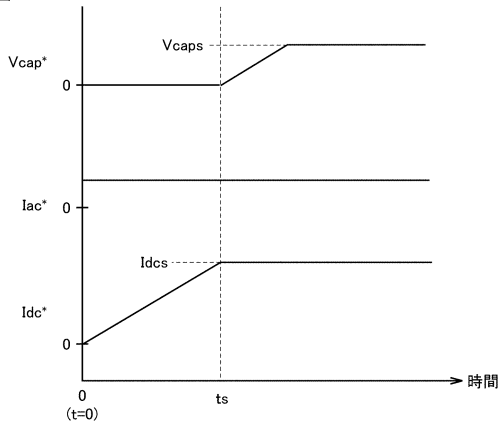
【図4】

図4



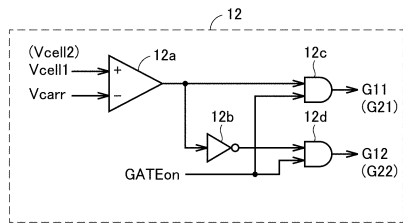
【図5】

図5



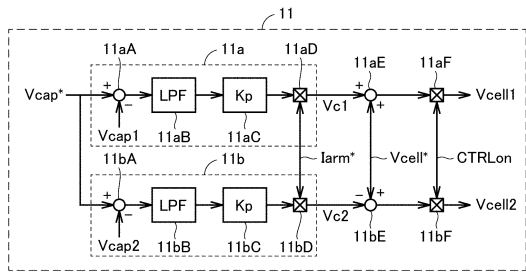
【図8】

図8



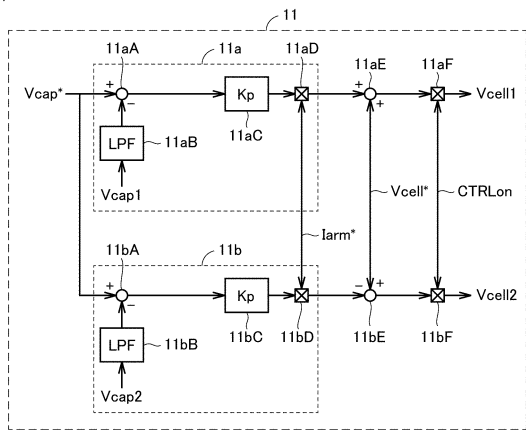
【図6】

図6



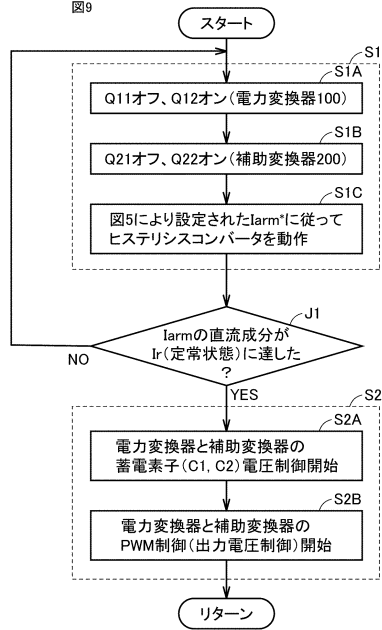
【図7】

図7

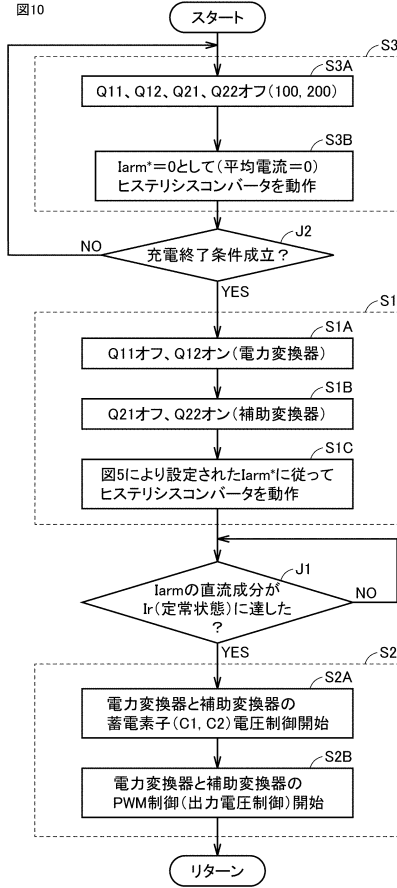


【図9】

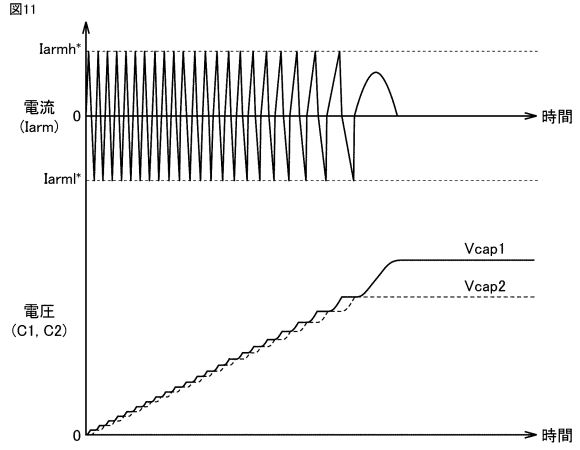
図9



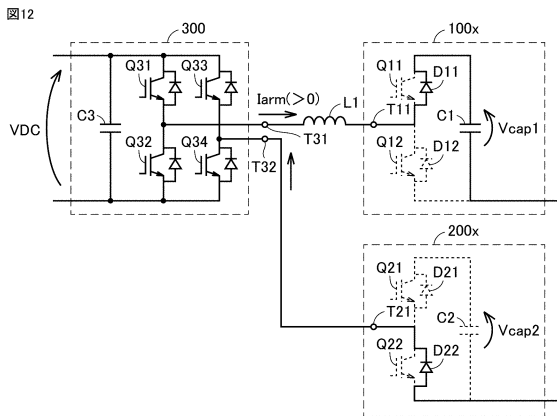
【図10】



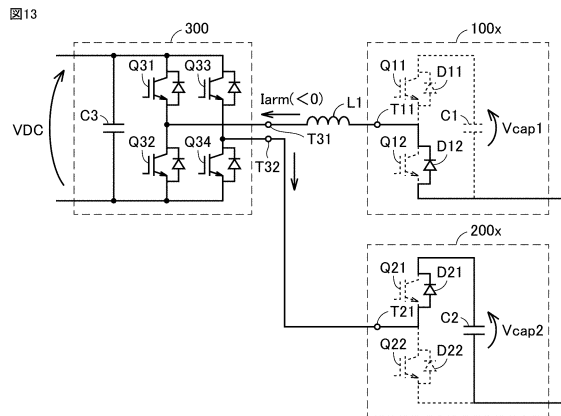
【図11】



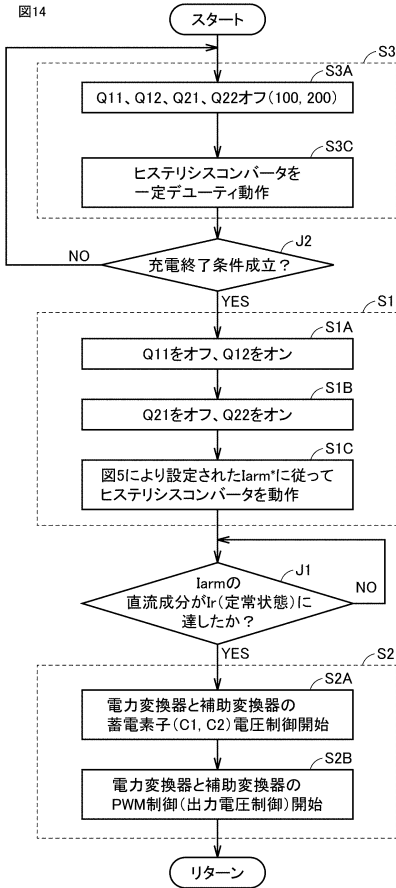
【図12】



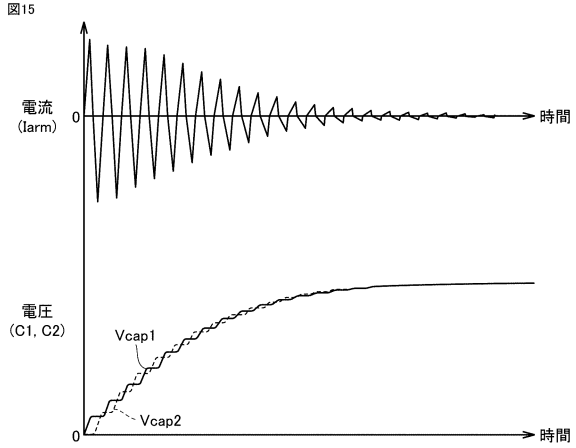
【図13】



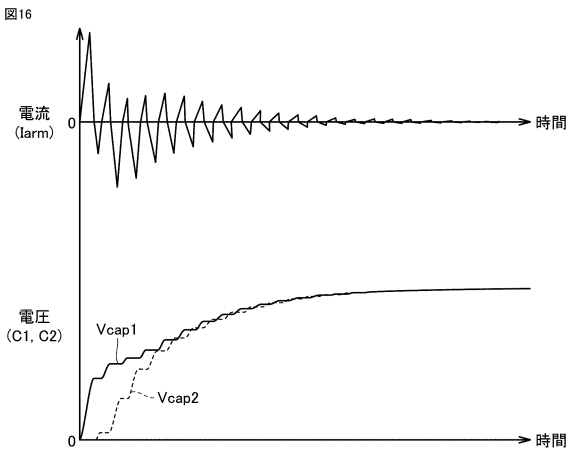
【図14】



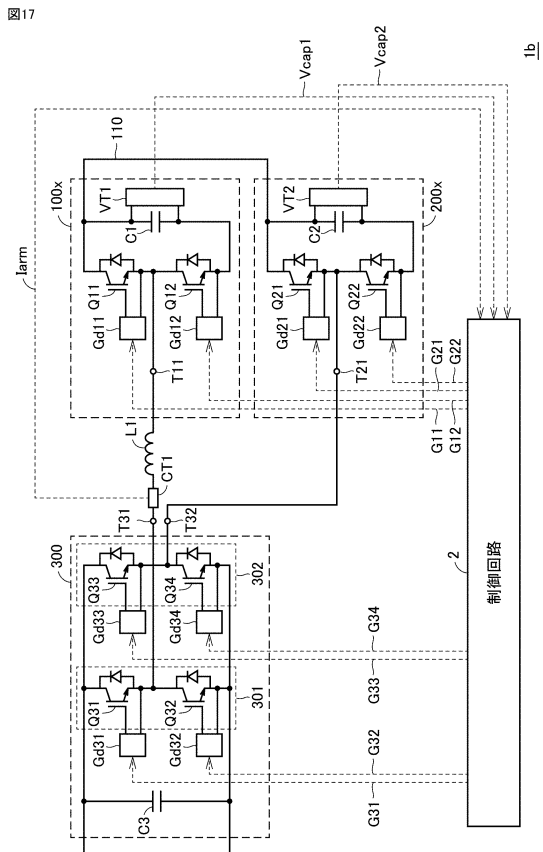
【図15】



【図16】

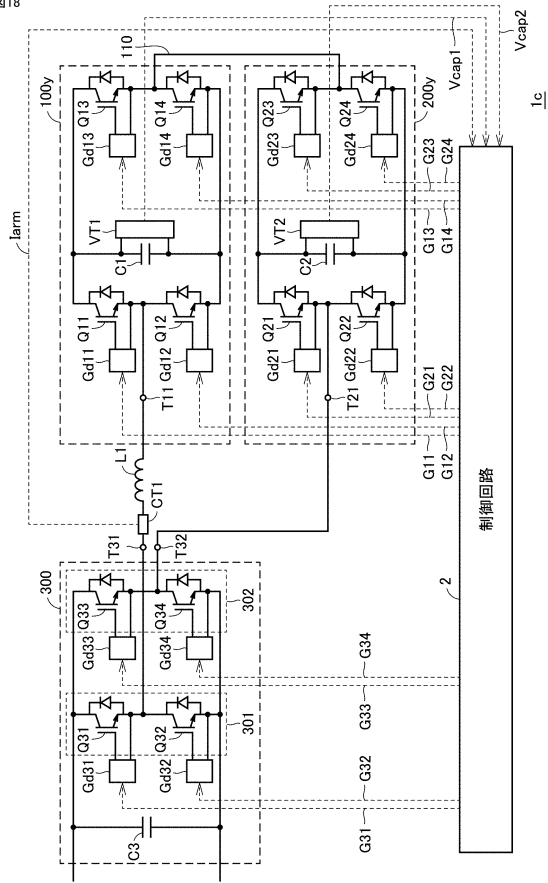


【図17】



【 18 】

图18



---

フロントページの続き

審査官 柳下 勝幸

(56)参考文献 YUAN,Tang et al. , Improved testing capability of the model-assisted testing scheme for a modular multilevel converter , IEEE TRANSACTIONS ON POWER ELECTRONICS , 米国 , IEEE , 2 0 1 6 年 , VOL.31, NO.11 , pages 7823-7836

YUAN,Tang et al. , Design and control of a compensated submodule testing scheme for modular multilevel converter , 2016 IEEE Applied Power Electronics Conference and Exposition (APEC) , 米国 , IEEE , 2 0 1 6 年 3 月 2 0 日 , pages 2645-2651

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 7 / 4 8 3

H 0 2 M 1 / 0 0