



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

231437

(11) (B1)

(51) Int. Cl.³

H 03 K 13/17

(22) Přihlášeno 28 12 82

(21) (PV 9914-82)

(40) Zveřejněno 16 04 84

(45) Vydáno 15 06 86

(75)

Autor vynálezu

DOSTÁL JIŘÍ ing., PRAHA

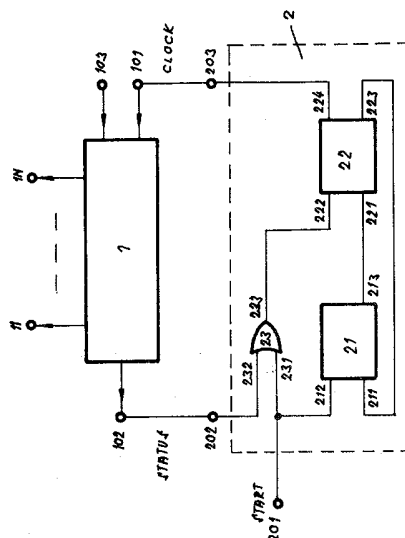
(54) Řadič analogově číslicového převodníku

Vynález je použitelný pro konstrukci analogově číslicových převodníků pracujících na principu postupné aproximace a určených pro vstupní analogové jednotky mikropočítačů.

Předmětem zapojení podle vynálezu je řadič analogově číslicového převodníku s postupnou aproximací, který obsahuje aproximační registr a řízený generátor hodinových pulsů sestavený ze dvou monostabilních klopných obvodů. Tento řadič vyše po spuštění N+1 hodinových pulsů koherentních se spouštěcím pulsem, kde N značí počet bitů aproximačního registru.

Dosahuje se toho řízením generátoru hodinových pulsů ze stavového výstupu aproximačního registru tak, že náběžná hrana spouštěcího pulsu nuluje paralelní výstupy aproximačního registru a nastavuje jeho stavový výstup a závěrná hrana spouštěcího pulsu uvolňuje generátor hodinových pulsů.

Tento sled spouštěcích, nulovacích a hodinových pulsů umožňuje nezávislé řízení okamžiku sejmутí vzorku vstupního analogového napětí a okamžiku jeho vlastního analogově číslicového převodu, a to volbou délky spouštěcího pulsu.



OB. 1

Vynález se týká zapojení číslicového řadiče, vhodného pro řízení činnosti analogově číslicového převodníku s postupnou aproximací.

Analogově číslicový převodník pracující na principu postupné aproximace neznámé vstupní analogové veličiny sadou odstupňovaných analogových vah, v dalším textu zkráceně A/D převodník s postupnou aproximací, je nejpoužívanějším typem analogově číslicového převodníku s dobou převodu od 1 do 100 μ s.

V obvyklém provedení sestává A/D převodník s postupnou aproximací z číslicové analogového převodníku, analogového komparátoru a číslicového řadiče, zapojených ve zpětno-vazebním uspořádání.

Činnost A/D převodníku s postupnou aproximací spočívá v postupném porovnávání kumulovaných testovacích analogových vah, generovaných na výstupu číslicové analogového převodníku řízeného číslicovým řadičem, a neznámé vstupní analogové veličiny.

Výsledek porovnání, zjištěný analogovým komparátorem a indikovaný číslicovým stavem na jeho výstupu, představuje výsledek testu dílčí analogové váhy. Výsledky testů dílčích analogových vah se ukládají do aproximačního registru obsaženého v řadiči.

Číslicová informace, uložená v aproximačním registru, představuje postupně zpřesňované číslicové přiblížení, tj. číslicovou aproximaci, vstupní analogové veličiny.

Řadič A/D převodníku s postupnou aproximací v obvyklém známém provedení obsahuje řízený aproximační registr a řídicí generátor hodinových pulsů. Jedním nedostatkem řadiče v obvyklém známém provedení je inkohherentnost hodinových pulsů s vnějším spouštěcím pulsem řízeného analogově číslicového převodu. Tato inkohherentnost způsobuje obtíže při použití převodníku v synchronních systémech sběru a přenosu analogových dat.

Uvedený nedostatek řadiče v obvyklém známém provedení se odstraňuje zapojením řadiče analogově číslicového převodníku podle vynálezu. Dosahuje se toho odvozením fáze hodinových pulsů od fáze spouštěcího pulsu prostřednictvím pomocných výstupů aproximačního registru.

Dostatečnou předností řadiče analogově číslicového převodníku podle vynálezu v systémových aplikacích je možnost nezávislého řízení okamžiku sejmutí vzorku vstupní analogové veličiny a okamžiku spuštění jejího analogově číslicového převodu, a to volbou doby trvání spouštěcího pulsu.

Předmětem zapojení podle vynálezu je řadič analogově číslicového převodníku, který obsahuje aproximační registr s hodinovým vstupem a stavovým výstupem a řízený generátor hodinových pulsů se spouštěcím vstupem a hodinovým výstupem spojeným s hodinovým vstupem aproximačního registru, kde řízený generátor hodinových pulsů obsahuje kombinační logický obvod a dva monostabilní klopné obvody, přičemž výstup prvního monostabilního klopného obvodu je spojen s prvním vstupem druhého monostabilního klopného obvodu a výstup druhého monostabilního klopného obvodu je spojen s prvním vstupem prvního monostabilního klopného obvodu, spouštěcí vstup řízeného generátoru hodinových pulsů je spojen s druhým vstupem prvního monostabilního klopného obvodu, hodinový výstup řízeného generátoru hodinových pulsů je spojen s jedním z výstupů jednoho z obou monostabilních klopných obvodů a první vstup kombinačního logického obvodu je spojen se spouštěcím vstupem řízeného generátoru hodinových pulsů, charakterizovaný tím, že druhý vstup kombinačního logického obvodu je spojen s řídicím vstupem řízeného generátoru hodinových pulsů a jeho výstup je spojen s druhým vstupem druhého monostabilního klopného obvodu.

Příklad zapojení řadiče analogově číslicového převodníku podle vynálezu je znázorněn na výkrese na obr. 1. Na obr. 2 je znázorněn časový diagram spouštěcích, hodinových a stavových signálů řadiče podle obr. 1.

Na obr. 1 je znázorněn N-bitový aproximační registr 1, který má hodinový vstup 101, stavový vstup 102, datový vstup 103 a sadu prvního 11 až N-tého 1N datového výstupu. Na obr. 1 je dále znázorněn řízený generátor hodinových pulsů 2, který má spouštěcí vstup 201, řídicí vstup 202 a hodinový výstup 203.

Hodinový výstup 203 řízeného generátoru 2 je spojen s hodinovým vstupem 101 aproximačního registru 1. Řídicí vstup 202 řízeného generátoru 2 je spojen se stavovým vstupem 102 aproximačního registru 1.

Řízený generátor hodinových pulsů 2 na obr. 1 je vytvořen z prvního monostabilního klopného obvodu 21, který má první a druhý vstup 211 a 212 a výstup 213, z druhého monostabilního klopného obvodu 22, který má první a druhý vstup 221 a 222 a první a druhý výstup 223 a 224, a ze součtového hradla 23, které má první a druhý vstup 231 a 232 a výstup 233.

Výstup 213 prvního monostabilního klopného obvodu 21 je spojen s prvním vstupem 221 druhého monostabilního klopného obvodu 22. První výstup 223 druhého monostabilního klopného obvodu 22 je spojen s prvním vstupem 211 prvního monostabilního klopného obvodu 21.

Druhý vstup 212 prvního monostabilního klopného obvodu 21 je spojen s prvním vstupem 231 součtového hradla 23 a se spouštěcím vstupem 201 řízeného generátoru 2. Druhý vstup 222 druhého monostabilního klopného obvodu 22 je spojen s výstupem 233 součtového hradla 23.

Druhý výstup 224 druhého monostabilního klopného obvodu 22 je spojen s hodinovým výstupem 203 řízeného generátoru 2. Druhý vstup 232 součtového hradla 23 je spojen s řídicím vstupem 202 řízeného generátoru 2.

Na obr. 2 jsou znázorněny časové průběhy číslicových signálů ve vyznačených uzlech řadiče analogově číslicového převodníku podle obr. 1: spouštěcího signálu START přivedeného ke spouštěcímu vstupu 201 řízeného generátoru 2, hodinového signálu CLOCK na hodinovém výstupu 203 řízeného generátoru 2 a stavového signálu STATUS na stavovém výstupu 102 aproximačního registru 1.

Činnost řadiče analogově číslicového převodníku podle vynálezu je popsána na jeho příkladném zapojení podle obr. 1, s přihlédnutím k časovým průběhům číslicových signálů podle obr. 2.

Popis činnosti vychází z ukončené předcházející sekvence aproximačního analogově číslicového převodu. Číslicové signály START, CLOCK a STATUS jsou v nízkém stavu. Oba monostabilní klopné obvody 21, 22 jsou ve svých základních, stabilních stavech.

Analogově číslicový převod se spustí spouštěcím pulsem START přivedeným ke spouštěcímu vstupu 201 řízeného generátoru 2. Přechodem spouštěcího signálu START do vysokého stavu se zablokuje první monostabilní klopný obvod 21.

Spouštěcí signál START projde ze spouštěcího vstupu 201 přes první vstup 231 součtového hradla 23 na druhý vstup 222 druhého monostabilního klopného obvodu 22. Náběžná hrana spouštěcího signálu START překlopí druhý monostabilní klopný obvod 22 do nestabilního stavu.

Jeho první výstup 223 přejde na dobu t_{W2} do nízkého stavu a po jejím uplynutí přejde zpět do stabilního vysokého stavu. Jeho druhý výstup 224 přejde na tutéž dobu t_{W2} do vysokého stavu a po jejím uplynutí přejde zpět do stabilního nízkého stavu.

Náběžná hrana takto vytvořeného nulovacího hodinového pulsu CO vynuluje obsah aproximačního registru 1, uvede jeho datové výstupy 11 až 1N do výchozích stavů a převede jeho

stavový výstup 102 do vysokého stavu. Je-li doba trvání t_{START} spouštěcího pulsu delší než doba trvání t_{w2} nestabilního stavu druhého monostabilního klopného obvodu 22, oscilace řízeného generátoru 2 až na další ustanou.

V tomto výchozím vynulovaném stavu setrvá řadič libovolně dlouhou dobu, určenou trváním spouštěcího pulsu START.

Přechodem spouštěcího signálu START na spouštěcí vstup 201 do nízkého stavu se spustí vlastní sekvence aproximačního analogově číslicového převodu. Závěrná hrana spouštěcího pulsu START překlápí první monostabilní klopný obvod 21 do nestabilního stavu.

Jeho výstup 213 přejde na dobu t_{w1} do vysokého stavu a po jejím uplynutí přejde zpět do stabilního nízkého stavu. Přechodem výstupu 213 prvního monostabilního klopného obvodu 21 do nízkého stavu se překlápí druhý monostabilní klopný obvod 22 do nestabilního stavu.

Jeho první výstup 223 přejde na dobu t_{w2} do nízkého stavu a po jejím uplynutí přejde zpět do stabilního vysokého stavu. Jeho druhý výstup 224 přejde na tutéž dobu t_{w2} do vysokého stavu a po jejím uplynutí přejde zpět do stabilního nízkého stavu.

Náběžná hrana takto vytvořeného prvního hodinového pulsu C1 ukončí první aproximační krok a zahájí druhý aproximační krok aproximační sekvence. Přechodem prvního výstupu 223 druhého monostabilního klopného obvodu 22 do vysokého stavu se překlápí první monostabilní klopný obvod 21 do nestabilního stavu.

Jeho výstup 213 přejde na dobu t_{w1} do vysokého stavu a po jejím uplynutí přejde zpět do stabilního nízkého stavu. Postup vzájemné excitace prvního 21 a druhého 22 monostabilního klopného obvodu se opakuje za současného postupu aproximačního registru 1 sledem prvního až N-tého aproximačního kroku.

Aproximační sekvence se ukončí N-tým hodinovým pulsem tímto způsobem:

Druhý monostabilní klopný obvod 22 se překlápí do nestabilního stavu. Jeho druhý výstup 224 přejde na dobu t_{w2} do vysokého stavu a po jejím uplynutí přejde zpět do stabilního nízkého stavu.

Náběžná hrana takto vytvořeného N-tého hodinového pulsu CN ukončí N-tý aproximační krok a převede stavový výstup 102 aproximačního registru 1 do nízkého stavu. Přechodem stavového signálu STATUS na stavovém výstupu 102 do nízkého stavu přejde do nízkého stavu také výstup 233 součtového hradla 23 a zablokuje se druhý monostabilní klopný obvod 22.

První monostabilní klopný obvod 21 vykoná ještě jeden přechod do nestabilního stavu a zpět, ale nezpůsobí překlápění zablokováného druhého monostabilního klopného obvodu 22. Aproximační sekvence se ukončí.

Nízkou úroveň stavového signálu STATUS se signalizuje ukončení převodu a uvolňuje se platnost paralelních datových výstupů 11 až 1N aproximačního registru 1.

Z popisu vynálezu v příkladném zapojení podle obr. 1 a z vysvětlení jeho činnosti je zřejmé, že podstata vynálezu zůstane zachována i při spojení hodinového výstupu 203 řízeného generátoru hodinových pulsů 2 s výstupem 213 prvního monostabilního klopného obvodu 21 místo s druhým výstupem 224 druhého monostabilního klopného obvodu 22.

Z popisu vynálezu v příkladném zapojení podle obr. 1 a z vysvětlení jeho činnosti je dále zřejmé, že podstata vynálezu zůstane zachována i při spojení hodinového výstupu 203 řízeného generátoru hodinových pulsů 2 s prvním výstupem 223 druhého monostabilního klopného obvodu 22 nebo případným dalším výstupem prvního monostabilního klopného obvodu 21.

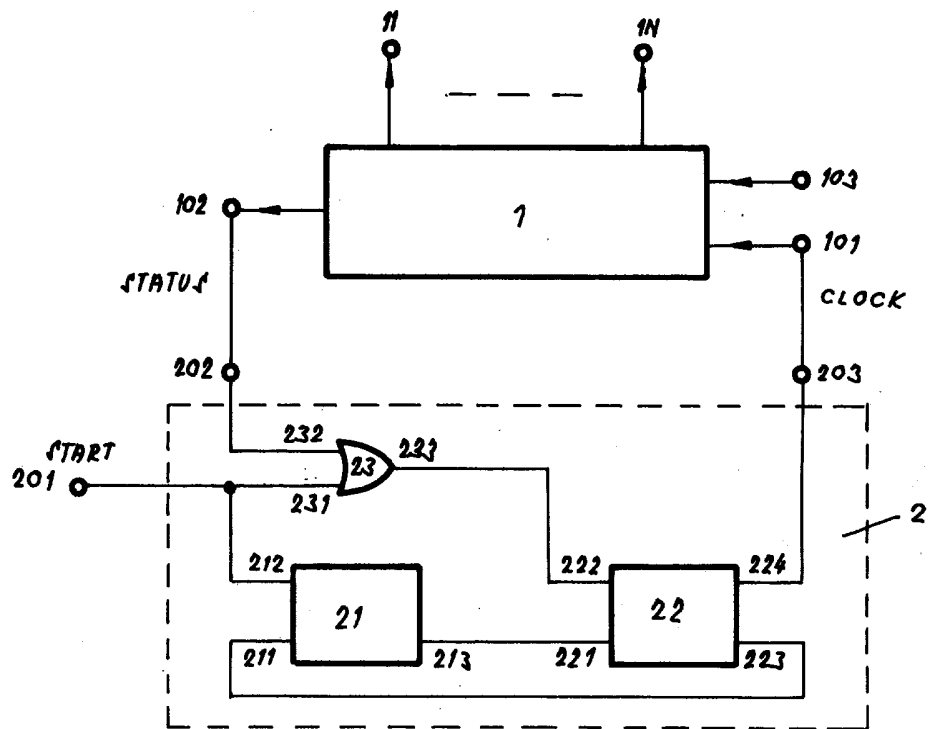
Z popisu vynálezu v příkladném zapojení podle obr. 1 a z vysvětlení jeho činnosti je konečně zřejmé, že podstata vynálezu zůstane zachována i při zařazení jiného dvouvstupového kombinačního logického obvodu na místo součtového hradla 23.

Ze všeho až dosud uvedeného je dostatečně zřejmé, že řadič analogově číslicového převodníku podle vynálezu generuje po výchozím nulovacím hodinovém pulsu sérii N aproximačních hodinových pulsů koherentních s vnějším spouštěcím pulsem. Takový řadič je vhodný ke konstrukci systémů pro sběr a přenos analogových dat, pracujících v synchronním režimu.

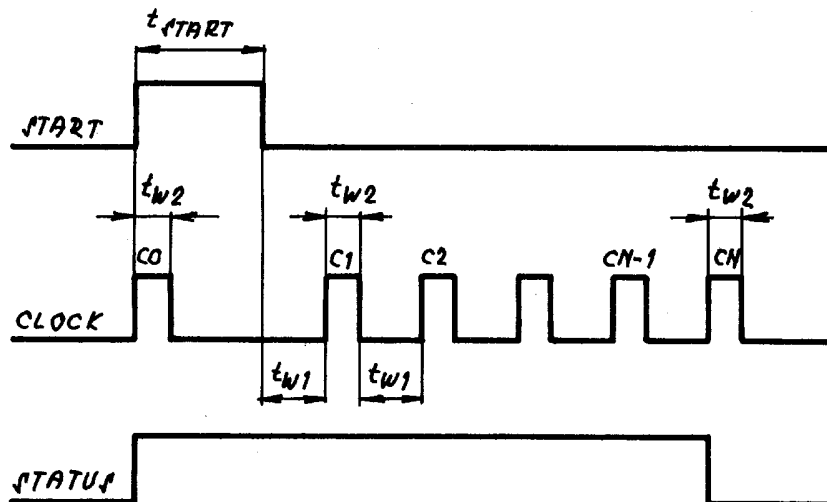
PŘEDMĚT VYNÁLEZU

Řadič analogově číslicového převodníku, který obsahuje aproximační registr s hodinovým vstupem a stavovým výstupem a řízený generátor hodinových pulsů se spouštěcím vstupem a hodinovým výstupem spojeným s hodinovým vstupem aproximačního registru, kde řízený generátor hodinových pulsů obsahuje kombinační logický obvod a dva monostabilní klopné obvody, přičemž výstup prvního monostabilního klopného obvodu je spojen s prvním vstupem druhého monostabilního klopného obvodu a výstup druhého monostabilního klopného obvodu je spojen s prvním vstupem prvního monostabilního klopného obvodu, spouštěcí vstup řízeného generátoru hodinových pulsů je spojen s druhým vstupem prvního monostabilního klopného obvodu, hodinový výstup řízeného generátoru hodinových pulsů je spojen s jedním z výstupů jednoho z obou monostabilních klopných obvodů a první vstup kombinačního logického obvodu je spojen se spouštěcím vstupem řízeného generátoru hodinových pulsů, vyznačený tím, že druhý vstup (232) kombinačního logického obvodu (23) je spojen s řídicím vstupem (202) řízeného generátoru (2) hodinových pulsů a jeho výstup (233) je spojen s druhým vstupem (222) druhého monostabilního klopného obvodu (22).

231437



OBR. 1



OBR. 2