(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4017186号
(P4017186)
(45)発行日　平成19年12月5日(2007.12.5)　(24)登録日　平成19年9月28日(2007.9.28)

(51)Int.Cl.　F I
H01L 25/18 (2006.01)　H01L 25/04

請求項の数 10　(全 62 頁)

(21)出願番号	特願平7-503127
(86)(22)出願日	平成6年6月24日(1994.6.24)
(65)公表番号	特表平9-504908
(43)公表日	平成9年5月13日(1997.5.13)
(86)国際出願番号	PCT/US1994/007238
(87)国際公開番号	WO1995/001087
(87)国際公開日	平成7年1月5日(1995.1.5)
審査請求日	平成13年6月25日(2001.6.25)
審判番号	不服2005-6918(P2005-6918/J1)
審判請求日	平成17年4月18日(2005.4.18)
(31)優先権主張番号	082,328
(32)優先日	平成5年6月24日(1993.6.24)
(33)優先権主張国	米国(US)

(73)特許権者　595034134
サン・マイクロシステムズ・インコーポレイテッド
Ｓｕｎ　Ｍｉｃｒｏｓｙｓｔｅｍｓ，　Ｉｎｃ．
アメリカ合衆国　カリフォルニア　９５０５４，　サンタ　クララ，　ネットワーク　サークル　４１５０
(74)代理人　100082005
弁理士　熊倉　禎男
(74)代理人　100067013
弁理士　大塚　文昭
(74)代理人　100086771
弁理士　西島　孝喜

最終頁に続く

(54)【発明の名称】集積回路を非導電的に相互接続する方法及び装置

(57)【特許請求の範囲】
【請求項１】
伝送線と該伝送線のためのグランドプレーンとを含む基板と、
デジタル回路と金属化層とを含むモノリシック集積回路チップと、
上記チップに給電する手段と、
一部が上記基板に一部が上記チップの金属化層に取り付けられた、上記チップと上記基板との間でデジタル信号を容量性結合する手段と、
を備え、
上記基板は半導体材料又は誘電体材料から成っており、
上記容量性結合手段は第１及び第２の接続された半キャパシタを備え、上記第１の半キャパシタは上記チップの一部でありそして上記第２の半キャパシタは上記基板の一部であり、上記第１及び第２の接続された半キャパシタは、ギャップで分離された効果的に重畳する導電性領域を備えており、
上記容量性結合手段のキャパシタンスは、上記導電性領域間の有効重畳面積を変えることによって変更することができる、
ことを特徴とするモジュラー電子システム。
【請求項２】
上記チップに給電する手段は、上記チップと基板との間の導電性接続手段を含む請求項１に記載のモジュラー電子システム。
【請求項３】

上記チップに給電する手段は、上記基板に配置された配電ネットワークを含む請求項１に記載のモジュラー電子システム。
【請求項４】
熱を消散する手段を更に備えた請求項１に記載のモジュラー電子システム。
【請求項５】
上記熱を消散する手段は、エラストマ材料、共融材料、半田、金属、グリース、ワックス、オイル又はダイヤモンドより成る群から選択された材料を含む請求項４に記載のモジュラー電子システム。
【請求項６】
上記熱を消散する手段は、冷却すべきモジュールに比べて高い熱伝導率を持つ材料を含む請求項４に記載のモジュラー電子システム。
【請求項７】
上記伝送線は、ストリップライン、マイクロストリップ又はスロットラインを含む請求項１に記載のモジュラー電子システム。
【請求項８】
上記ギャップは、誘電体で少なくとも部分的に充填される請求項１に記載のモジュラー電子システム。
【請求項９】
第２のチップと、
上記第２のチップと上記基板との間の容量性結合手段とを更に備えた請求項１に記載のモジュラー電子システム。
【請求項１０】
上記基板は、更に、上記チップと上記基板との間の上記容量性結合手段と、上記第２のチップと上記基板との間の上記容量性結合手段とに接続された伝送線を含む請求項９に記載のモジュラー電子システム。
【発明の詳細な説明】
【０００１】
発明の分野
本発明は、一般的にはエレクトロニック及びマイクロエレクトロニックパッケージングの分野に関し、より詳しくはマルチチップパッケージに、そのようにパッケージされたシステムを組立て、試験し、修復する方法に、そしてそのようにパッケージされた回路間で容量性結合を介して通信する方法に関する。特に関心のある分野はデジタルシステム、即ちマルチステートもしくはバイナリ論理の規則に従って動作する重要な構成要素を含むシステムである。
【０００２】
関連出願との相互参照
本出願は1993年６月24日付本願発明者らによる米国特許出願S/N08/082,328号“集積回路を非導電的に相互接続する方法及び装置”の部分継続である。上記'328号出願は本明細書に参照されている。
【０００３】
発明の背景
パッケージング技術
エレクトロニックシステムは通常、成分の階層的なパッケージとして実現されている。抵抗器及びトランジスタのような受動的な、もしくは能動的な電子素子及びそれらの配線は、典型的にはメモリもしくは論理ユニットに組合わされ、それらが回路及びデバイスに組合わされ、それらがより大きい機能ユニットに組合わされる等々によってシステムのレベルまで組合わされて行く。
【０００４】
各々のより高い階層レベルは設計者に、より大きい生産性を与えるが、パッケージを論理的にも物理的にも接続するための費用に関しては妥協を余儀なくされている。これらのレ

ベルにおいてデバイス間でデータを通信し、タイミングをとるためにはパッケージが提供する信号相互接続手段が必要である。パッケージは電力手段をも提供し、また物理的な支持、熱除去及び保護のような他の要求をも満たしている。

【０００５】

協定によればパッケージングレベルには０－４の５つの段階が存在するが、これらのレベルは明確に定義されてはいない。ハードウェアシステムの段階の基準となる例は、裸の半導体ウエーハであり、これは、未切断の（すなわちダイとして切り出されていない）“レベル０”のパッケージと呼ばれることもある。たとえ爾後に基板がサブユニットに分割されても、製造段階中に多くの成分が同時に共通の基板上に形成される。例えば、配線、メモリもしくは論理ゲートを半導体ウェーハの表面に集積回路として形成した後に、個々のダイに切断することができる。ダイの例は、半導体材料上に実現されたマイクロエレクトロニックデバイス、ジョセフソン接合を担持する超電導体、及び他の量子干渉デバイスを担持する材料を含む。

【０００６】

典型的には個々のダイが取り付けられて“レベル１”パッケージが形成され、このパッケージは機械的安定性、保護、冷却及び熱消散、電力及び接地、及び他のパッケージへの信号ライン（クロッキングを含む）の相互接続を提供する。例には、ＤＩＰ、セラミック、表面取付けされた及びソケット取付けされたパッケージが含まれる。

【０００７】

“レベル２”パッケージは、１つもしくはそれ以上のレベル１もしくはレベル０のパッケージを担持し、それらの信号及び電力配線を相互接続するモジュールである。これは、典型的には印刷回路板（ＰＣＢ）、印刷配線板（ＰＷＢ）、もしくは熱伝導モジュールからなり、これらの目的のために１つもしくはそれ以上の相互接続されたパッケージをクラスタ化することができる。“レベル３”組立体は、典型的にはバックプレーンを用いてレベル１及びレベル２のパッケージを更に編成したものであるが、概念的にはレベル２もしくはレベル１のパッケージと異なることはない。“レベル４”パッケージは、低レベルのパッケージを、電源、環境システム、機械的システム、周辺装置等々と標準的に結合してシステム機能を与える。

【０００８】

マルチチップモジュール（“ＭＣＭ”もしくは“レベル11/2”パッケージ）は複数のダイ及び／または関連相互接続部を保持及び相互接続するためにレベル２もしくはレベル３のようなパッケージとしてのモジュラー機能を与える。少なくともＭＣＭは信号を分配し、また通常は電力もＭＣＭによって分配される。ＭＣＭはまた、もしくは単に、その構成ダイを古いレベル１もしくはレベル０のパッケージとしてカプセル封じし、それによって保護を与える。またＭＣＭは、ダイとヒートシンク用基板とを通じさせ、それによって熱を消散させる。

【０００９】

厳格に言えば、ＭＣＭは、その相互接続トポロジによって実際に定義される段階のどのようなレベルのパッケージとしても処理することができる。産業界では“チップ”という用語をレベル０ダイ及びレベル１パッケージの両方に互換的に使用していることに注目されたい（例えば、通常マルチ「チップ」モジュールと称せられているものは、実際にはマルチダイモジュールである）。本明細書において使用するチップという用語は、特記されていない限り、レベル０パッケージかもしくはダイを意味している。本明細書において使用する“モジュール”もしくは“サブモジュール”という用語は総体的であることを意図しており、例えば１つもしくはそれ以上のレベル０ダイ、１つもしくはそれ以上のレベル１もしくはレベル０のチップ（パッケージされていようと、いまいと）、及び、勿論よりさらに高いレベルの集合のような、どのパッケージレベルを指すこともできる。

【００１０】

現在のＭＣＭ技術

ＭＣＭは、裸であろうとカプセル封じされていようと、それに取付けられ導電的に結合さ

れている２つもしくはそれ以上のダイを含む。ＭＣＭは電力及びダイ間信号配線を提供する。若干りＭＣＭ技術では、ダイは基板に物理的に結合され、周辺に位置決めされている接点（例えばピン）にワイヤボンドされたリードがダイとマルチチップ基板との間の導電性接続を供給する。他の技術は、ダイのリードが周辺に、またはダイ領域の殆どにわたっての何れかに位置決めされ（ピン格子アレイ（ＰＧＡ）または半田の盛り上がりのように）、マルチチップ基板上のそれぞれの接点に半田付けその他によって結合されている“フリップチップ”構成を使用している。

【００１１】

現在、マルチチップパッケージング技術の幾つかのファミリーが標準にされている。いわゆるＭＣＭ－Ｌ技術は積層された有機的な基板を使用し、この基板にダイがフリップチップ、テープ自動ボンディング（ＴＡＢ）、もしくはワイヤボンディングによって結合される。ＭＣＭ－Ｃ技術においては、ダイはセラミック厚膜基板にフリップチップによって直接、もしくは予めパッケージされたキャリヤ内に間接的に取付けられる。セラミック基板は印刷及び焼成プロセスによるか、もしくはスクリーン済みのグリーンシートを積層して順次相互挿入することによって順次に形成される。ＭＣＭ－Ｄ技術は沈積された薄膜基板を使用し、ＭＣＭ－Ｃにおけるようにしてこの基板にダイを取付ける。これら３つの基本ＭＣＭ技術にはバリエーションも存在している。例えば、あるバリエーションではプラスチックパッケージを使用し、コンパウンドのモールディングを含み、そしてリードフレームはいわゆるマルチチッププラスチッククワッドパックス（ＭＣＭ－Ｐ）技術である。ＭＣＭ－ＤＣもしくはＭＣＭ－ＣＤと呼はれる別の最新のバリエーションはセラミックマルチチップ基板上に沈積された薄膜を使用し、典型的には沈積されたポリマ・金属薄膜層内のダイ間信号配線と、共同焼成されたセラミック厚膜化基板内の電力／接地配線とを提供する。これらの技術の全ては産業界及び大学における多くの研究及び発明の対象である（1992年12月のProc. of the IEEEに所載のRao R. Tummalaの論文“Multichip Packaging-A Tutorial”を参照されたい）。

【００１２】

高密度マルチチップモジュールの構成に多くのアプローチが提唱されている。ＩＢＭ　Ｃ４技術は、ダイを伏せた形態でフリップチップ内のマルチチップモジュールに取付ける。この配列はパッケージリードの寄生インダクタンスを最小にし、ダイの内部のどの点にもパッドを配置可能にする。典型的には、ダイはリフロー半田アプローチを使用してモジュールに取付けられる。ダイは、直径10乃至200ミクロンの半田球に続く幾つかの保護金属化層を各パッドに結合することによって盛り上がる。次いで複数のダイをマルチチップモジュール上に正確に位置決めし、その位置にリフロー半田付けされる。半田付けの検査はサーモグラフィもしくはラジオグラフィ技術を用いて遂行できるが、それ以外では困難であろう。パッドの位置は最早ダイ周辺に制限されることはなくなるが、シリコンとモジュールとの間の熱膨張係数が一致しないために、ダイの中心部分のある半径内に位置するように制約されることが多い。修復はモジュールを加熱し、ダイを取り除き、そして交換するダイをリフロー半田付けすることによって遂行する。

【００１３】

“チップス・ファースト”で上向きにワイヤボンディングする、すなわち、最初にシリコンダイを同一平面に上向きに基板上に配置した後シリコンダイの間をワイヤボンディングして、高密度シリコン、セラミック、もしくは銅・ポリイミドのモジュールを形成するのは、普通のハイブリッド製造技術に類似しており、再加工及び結合の歩留りの悪さが伴う。ＧＥ／ＴＩプロセスは、平坦な表面上に伏せて配置された選択された自由なダイの集まりから平らなウェーハ状のモジュールを形成し、次いでそれをポリイミドキャリや内にカプセル封じする。硬化させた後に、このキャリヤを裏返し、平坦化し、そして更なる金属化（たぶん多層の金属化）のためのモジュールとして使用する。ダイの平らな集合の頂部を金属化することの主たる長所には、精密なリトグラフィが達成可能であること、及び相互接続の寄生が極めて小さくなることが含まれる。

【００１４】

プロセスは、ダイを３Ｄにスタックすることに概括することもできる。アービン（Irvine）センサアプローチでは、電気的に絶縁された裏面を有するダイは、ある縁に沿って整列されたパッドに接触するようにファンアウトされたリードを有し、パッドを精密に整列させた側がスタックされるように設計される。次いで露出された側が清潔にされ、研磨され、そして相互接続ラインの上が金属化される。このパッケージは極めて高密度であり熱量消散は制約され得るが、それでもリードは上記の縁まで走って他のダイへの経路へ戻さなければならない。

【００１５】

クレイコンピュータアプローチにおいては、ダイのスタックに格子状に孔をあけ、めっきしてダイバイアス（vias）との導電性接触を形成し、次いでこれらの孔にねじった金電垂線を通し、ダイを僅かに分離してそれらを支持する。このパッケージは極めて高密度で概念的には平凡であるが、製造は極めて困難である。

【００１６】

ＭＣＭ技術に対する要望

現在の技術では、オンダイ（on-die）に留まるよりは、オフダイ（off-die）信号伝送の方が（電力、待ち時間、性能、及び回路面積に関して）遥かに費用がかさむ。オフダイ信号伝送は、同一のダイもしくは異なるダイ上の２点間でオフダイ配線を使用して通信することを意味している。従って、現在の技術における主たる設計の目的は、各ダイ上の回路の数を増加させてその回路の高価なオフダイ相互接続に対する比を増加させることである。しかしながら、ダイのサイズがある経済的に、そして技術的に実行可能な限界に接近すると、ランダムに発生する製造欠陥によって受容できないダイを発生する確率がポアソン分布で指数的に上昇するようになる。ダイが僅かに大きくなると歩留りはかなり低い率になるから、このいわゆる“表面対体積”（通信対計算）比によって、製造歩留りは大幅に制約され、従って、正常ダイ当たりの費用も大幅に制約される。

【００１７】

マルチチップ技術に対する要望の大部分は、受容できる歩留りで任意に大きい半導体ダイを製造することができないことから発している。ダイのサイズが所与の技術によって実際に制限されるために、システム設計者は大きいデジタルシステムを複数のダイに分割することを余儀なくされている。不幸にも、典型的にはダイ間通信はパッケージング費用を数十乃至数百パーセント膨張させるから、これらの分割はシステム性能に劇的な衝撃を与える。

【００１８】

マルチチップ技術は、近代的なＣＭＯＳ技術におけるダイ内通信の費用を低下させる可能性をも提供する。もしオフダイ信号伝送が現在よりも若干でも安価になれば、ある点で、オフダイ信号伝送の方が、若干のダイ内通信についてのオンダイ配線よりも好ましくなる。今日のＭＣＭ技術の従事者によって認識されているこの要望が暗示するのは以下の通りである。即ち、非通信ゲート当たりの相互接続が大きいことを犠牲にしても、ダイはより小さくすべきである。ダイがより小さくなれば歩留りは大幅に向上し、面積当たりの費用が低下する。従ってもしより安価なＭＣＭ上のダイ内通信を使用することが可能になれば、設計者はサブユニットとして小さい、極めて歩留りの高いモノリシック集積回路ダイ（及びそれらのモジュール）を使用してあたかも単一の巨大なエレクトロニックデバイス（それらの相互接続を含む）の集合であるかのようにマルチチップモジュールを平易に処理することが可能になる。これは設計者にとって極めて有用であり、また半導体業者にとって費用効果が大きい。

【００１９】

ダイ内信号にＭＣＭを使用することは、同一ダイ上の点間の低インピーダンス（従って低分散）信号にとって極めて魅力的でもある。低分散同報はクロック分配にとって不可欠であり、２点間低分散は一般的にも有用である。

【００２０】

マルチチップ技術の別の応用は、オンダイ相互接続をカストマイズ（もしくは個別化）す

る、もしくは変更パッドを巧みに処理することにある。特殊化された機能を一つにまとめたり、性能を試験したり、欠陥を削除したり、システムの基本接続を再限定したり、または変更パッドを巧みに処理する機能を遂行するために、相互接続を実験用組立盤によって、全ウェーハサイズまでのダイ内を、もしくはダイの集合の間をカストマイズすると有用である。現在では、カストマイズするには長い（ほぼ６週間）論理アレイマスキングプロセス、配線接合の信頼できないレーザ溶融／破壊、配線の微小組立て（マイクロファブリケーション）におけるかなりの費用、大規模（例えばワイヤラップ）組立て、耐久性の欠如（例えば、手動ワイヤード応急処理）、もしくはこれらの組合わせを必要とするのが一般である。ＭＣＭを適切に設計することにより、カストマイゼーションの大きい恩恵を享受することができる。

【００２１】

ダイ間信号技術は、要求ＭＣＭ技術に向かっている。信号経路を短くすると遅延が短くなりクロックレートを高速に（即ち、秒当たりの演算を多く）することができ、同期命令を幅広く（即ち、クロックチック当たりの動作を多く）することができるから、性能を高めるのに直接寄与することになる。ダイは一般的に平坦であるから、最長の信号経路がその直径として、もしくは大まかにその面積の平方根として概算される。平坦なＭＣＭは、縁及び裏面へ走行するための配線オーバヘッドが少なくて済むから、小さ目のダイを使用してより高密度に製造することができる。原則的にエレクトロニックデバイスにおいてはそれを有用ならしめるダイを容積的に配置することができるが、オンダイ配線及びスタックにされたキャパシタを除いて現在の技術では普遍的ではない。ＭＣＭは原則的に空間充填技法で製造されるので、容積パッキングは平面パッキングよりも高密度であり、従って信号経路は遥かに短く（例えば、もしパッケージがその面積に比して薄ければチップパッケージ容積の立方根に比例して）保持される。

【００２２】

信号ラインのための相互接続ネットワークの費用は、一般に、面積の関数（即ち、システムの面積の代理）及び層の数（即ち、密度及びレイアウト効率）として基準化され、目標として線形基準化が使用される。ある面積内のリードの数もしくはチップの数は、ワイヤボンドを使用する技術のような多くのパッケージング技術において大幅に費用を膨張させる。たとえある技術がリードの数として基準化することを回避したとしても、もしその技術がパッケージを形成するために半田盛り上げ導電性結合のような事前処理を必要とするならば、その技術は費用のかかる試験／修復サイクルを処理し、償還することによって、及び勿論経常費用及び資本費用のために歩留りが悪くなるので高価になる。

【００２３】

たとえある大きいシステム及び小さいシステムにおいて、各平均平方インチ内で出入りする電線の数が同数であるとしても、大きい方のシステム内の電線は、平均よりも長く走行するので、小さい方のシステム内の電線よりもシステム密度の割合がより大きくなる。これが周知の“数の法則”であって、最少数の金属化層に抑えるようにレイアウトする際に考慮すべき重要な問題であり、金属化層の数は、一般的に、大きなチップの方が小さなチップに比べて大きくなる、すなわちチップの面積に比例して大きくなる。チップの機能のほとんど全てが意図した処理機能以外の通信に使用されるような漸近密度を越えると、原則的に、大きい高性能システムの製造可能性を抑制する。ＭＣＭは回路板に比べて高い相互接続密度に対する要求を満たすので、ＭＣＭが回路板に取って変わることができる。それによって、チップを三次元にわたってパッキングと共に三次元にわたる相互接続を行うことによりマンハッタン距離を短くすることができる。

【００２４】

マルチチップに対するさらなる要望は、各々の特性を活用するためにハイブリッド材料を組合わせる費用と複雑さから発している。例えば、どのように大きい安価なシリコンＣＭＯＳチップでもＧａＡｓの速度及び光学特性には及ばず、また他方の材料の上の一方の材料を成長させることはそれらを別々に形成させるよりも本質的に複雑である。

【００２５】

さらなる要望は、パッケージジング階層の耐久値から発しており、マイクロプロセッサのような十分に記述された成分を有する標準化パッケージが、成分もしくは完全システムレベルパッケージングに比して種々の利点を持って市販されている。これらの階層を使用することの重要な利点には、低い価格、モジュールの高級化の可能性、十分に特色付けされた挙動、及び多重原始化が含まれる。設計者は階層の競合する便益及び費用を平衡させる。そのため、システム設計の自由度が必然的に制約されるが、複雑なシステム相互作用及び障害モードが比例的に減少する。

【００２６】

さらなる要望は、パッケージ製造自体の困難さから発している。加工もしくは製造の複雑さ、プロセス要求、及びパッケージ費用がダイのそれに接近するかもしくはそれを超えるので、パッケージの費用及びターンアラウンドタイムはダイのそれら程に膨大になり得る。

【００２７】

現在のＭＣＭ技術の問題点

過去数年にわたる種々の研究努力にも拘わらず、今日のＭＣＭ技術は未だに費用、性能、設計、製造可能性、信頼性及び修復性、並びに上述した要望に対する欠点に関する重大な問題を抱えている。

【００２８】

現在のＭＣＭ技術は、既存の集積回路（“ＩＣ”）組立ラインに対して重大な再編成及び／または再方向付けを必要とする。ＭＣＭパッケージングの費用の長所を実現するためには高容量を必要とするが、ＭＣＭ技術を利用するように既存の生産システム（高容量要求は既に存在している）を再実現するには、典型的に広範囲なシステム規模の再設計が必要である。システム販売者はこのような努力に合理的に抵抗し、その代わりに若干のＩＣのクラスタを特定用途ＩＣ（ＡＳＩＣ）として実現することを選択している。これは一般的に、レベル２基板及びレベル１チップの局部的な再設計だけを含むものである。従って、ＭＣＭ実現の直截的な費用が比較的高くなり、大きい容積を演繹的に予測することができないようなシステムに対してＭＣＭ技術を使用する勇気が挫かれている。（1992年12月のProc. of the IEEEに所載のBalde, J.W.の論文“Crisis in Technology：The Questionable U.S. Ability to Manufacture Thin-Film Multichip Modules.”を参照されたい。）

【００２９】

ＴＡＢの電気的性能、細いライン、もしくは半田盛り上げ導電性相互接続は導電性相互接続に関してはワイヤボンディングよりは遥かに良好にすることは可能であり、パッドカウントに対する制約は幾分少ないが、従来の技術のＭＣＭプロセスは、半田球を配置するために組立てるか、もしくは組立てのための金属結合位置を製造する前にウェーハもしくはダイの特別な処理を必要とすることが多い。これらのプロセスは、特注ツール、及び標準ウェーハもしくはパッケージングラインに必要とされるよりも実質的に精緻なウェーハ製造事後処理をも必要とする。

【００３０】

現在のＭＣＭ技術には修復可能性及びダイ取付け歩留りの問題も、主としてダイの取り外し及び交換の困難さの故に存在している。ＭＣＭを完全に組立てる（及びその代金の支払を受ける）前にＭＣＭ内のダイを試験することは、試験リグを犠牲にするか、もしくは中間接続のために時間を費やす必要があり、また動作速度で試験するために寄生を補償する費用を必要とするので、典型的には発送したＭＣＭの数十パーセントの費用がかかる。顕微鏡プローブもしくはプローブのリグと物理的に接触させることは遅い動作であり、プローブ点に機械的な力を加えることは不揃い、疲れ、及び磨耗をもたらす。もしダイをレベル０から離してパッケージすれば、相互接続の一部だけが見えるようになる。それにも拘わらず、モジュールを再加工する（もしくは不可能であることを見出す）費用のためにモジュール組立ての前に、加工するダイを完全に選択すべきである。本質的には分解及び再組立を伴う修復方法は極めて困難であり、通常は、本質的に始めにＭＣＭを製造するのに使用されるのと同一の精巧な、費用のかかる組立て技術が要求される。

【００３１】
マルチチップモジュール設計の困難さ、機械的制約、及び費用は、導電性信号自体の欠点によって大きく助長される。導電性信号は現在の技術の従事者の間では不可避であることが殆ど世界的に理解されている（1993年のVan Nostrand Reinhold版、Daryl Ann Doane及びPaul D. FranzonのMultichip Module Packaging Technology and Alternativesを参照されたい）。一般に、導体は互いに接触し合う面を露出させなければならず、これらを遮蔽もしくは不活性化層の後ろに隠すことはできない。もし電気的経路内に（再）移動可能な構成要素が存在すればそこには露出された表面が存在し、そして露出された表面に若干の材料（例えば、貴金属）を使用しない限り（若干の非金属導体は酸化の問題を回避するが）導体は酸化を受けることになる。厄介な表面化学の複雑さには、機械的安定性（例えば、ホイスカリング）、有限の導電性（例えば、電荷担体飽和）、及び時間に依存する材料もしくは層変化（例えば、金属間化合物）が含まれる。非金属導体は他の化学的な問題を抱えている。もし経路全体が連続的に結合してあれば、修復及び試験には物理的に頑丈な材料が必要になる。導電的に結び合ったダイ、チップもしくはモジュールを修復／交換のために取り外すには、機械的な連係を切断し、半田、金属・金属結合の除去、ソケットからピンを抜く等が含まれ得る。このような破断は材料に疲れ（即ち、将来の障害モードの恐れを増加させ）と、導電性の塵挨による汚染とをもたらしかねない。導体・導体接合は、後刻再整列及び復旧を必要とする。半田付け（もしくは半田除去）による強い局所化された熱応力も含まれる。交換方法は、エレクトロニックシステム内の導電的に結合された成分の設計及び製造に苛酷な制約を提起する。

【００３２】
たとえこれらの、もしくは他のアプローチが製造面で実現されたとしても、これらのアプローチは全て、導電性信号伝送路における直列インダクタンスによる性能の損失を受ける。半田盛り上げもしくはワイヤボンドされたダイで達成可能な性能の改善は、基本的には半田盛り上げもしくはワイヤボンドされた相互接続の過大な直列インダクタンスによって制限される。最新のＭＣＭ技術でも、現在の表面取付けＩＣ技術と殆ど同じ性能限界が継続している。両技術のファミリーは、ダイと基板（ＭＣＭの場合）もしくはレベル２パッケージ（表面取付けＩＣの場合）との間に信号を導電的に結合するためにボンディングワイヤ、半田盛り上げ、ＴＡＢ、もしくはそれらの同等品を必要とするが、これらは不可避的に寄生直列インダクタンスを付与するものである。50－1000ｐＨ（ピコヘンリ）の寄生インダクタンスが典型的であり、オフチップを信号するためにかなりな待ち時間、周波数制約、及び電力要求を導入する。現在使用可能な最良ＭＣＭ技術は、表面取付けＩＣ技術に関して因習的に引用される10対１比に比較してオンダイ及びオフダイ通信間の格差を減少させるが、普通のＭＣＭ上のダイ間信号に関連付けられた重大なペナルティが残されている。現在のＭＣＭ技術は、機械的及び熱的問題、設計及び組立て制限、電力費用、複雑さ及び出費を欠点としている。

【００３３】
現在の技術的状態は、導電的に信号する技術自体は現在のＭＣＭに伴う多くの問題に対して直接責任がある。それはキャリヤ内のＭＣＭパッケージもしくは構成ダイに取付けられた信号リードの密度、数、及び配列に機械的な及び費用限界を付与し、一般にさらなる費用を必要とし、しかもより多くの容積を、チップパッケージからのリードをレベル２回路基板、もしくはマルチチップキャリヤモジュール及び全ての局レベルにおけるパッケージングに取付けて相互接続するために必要とする。接触パッド及び取付けられたリードは離間させる必要があり、またＭＣＭは同様に面積の要求を膨張させることから、一般にダイ及びその導電性リードを保持する典型的なレベル１パッケージは、含んでいるレベル０ダイの能動面積よりも遥かに大きい。各ダイ上では、導電性リードのファンアウト（接触パッドを簡単に試験し、配線するための）がチップ面積を処理する。十分な数の、十分に大きい、そして十分に分離した導電性パッドに関する実際の要望が、典型的にはチップの面積の数十パーセントという原因になっているが、数分の１パーセントからチップの面積の本質的に全てまでの範囲にわたることができる。若干のＭＣＭ技術では、印加される接触

プローブ圧力もしくは他のプロセス段階が回路を破壊する恐れがあるので、パッド結合位置を能動回路の上に重ねることはできないから、パッドは有用エレクトロニクスデバイスを犠牲にして面積を専有する。この浪費される面積は金銭を必要とする（約＄10－1000／平方インチ）。現在のアプローチは、配線長を最小にするためにダイの能動領域の周縁に（もしくは熱膨張の不一致を最小にするためにダイの中心に）パッドを配置することを強調し、またパッドカウントはダイの使用可能な周縁結合密度によって制限されることが多いので、多くの設計者は“パッド制限され”、チップ面積を浪費し、そして／または“ピン制限され”ているために、大きい高価なパッケージを開発している。ピンの代わりに使用することができる他のリードには半田、共融、もしくは軟金属（例えば、金）盛り上げ、ポリイミドもしくはテープ上にリトグラフされた導電性電線（例えば、銅、銀、もしくはアルミニウム）、及び先の尖ったプローブニードルが含まれる。

【００３４】

現在のＭＣＭ技術は、異なる電圧レベルで動作するダイを相互接続するための特別な回路を必要とする。ＣＭＯＳとＧａＡｓのように、異なる材料で作られたダイは一般に異なる電圧レベルを使用する。Ｓｉ ＴＴＬとＳｉ ＥＣＬのように、たとえ同一材料であっても異なる回路技術で設計されたダイは一般に異なる電圧レベルを使用する。たとえ同一の技術で作られたダイであっても、シリコンのＣＭＯＳが5.0Ｖと3.3Ｖで動作するように、異なる電圧レベルを使用することさえある。

【００３５】

回路を支援する信号は、ウェーハ製造中の製造変動に感応する。製造プロセスに応じて、１つのウェーハにまたがるもしくはウェーハ間の基本的な物理パラメータ（例えば、インピーダンス、キャパシタンス、インダクタンス）に、絶対的な及び空間的な変動が発生する。この変動のために、回路は異なるスペクトルの波形を発生させられ、形状及びスキューが影響され、振幅が異なるようになり、しきい値、雑音感受性、電力要求及び終端特性が影響を受ける。波形スペクトル及び振幅が信頼できないことは、ダイの歩留りがベル曲線分布に従い、高い周波数で動作できるのは極めて僅かであることを意味する。従って、設計者は性能範囲を補償するために保守的な設計原則を採用してきた。

【００３６】

システム内のエレクトロニクスデバイスがＭＣＭ内にパッケージされていようと、他のどのようなレベルにパッケージされていようとも、デバイスへ電力は供給しなければならない。殆ど全ての先導ＭＣＭ設計は、電力リード及び信号リードをレベル１において同一に扱うが、これは空間を浪費し、信号ラインの密度を増加させる重要な機会を失う。

【００３７】

要約すれば、モジュラーエレクトロニックシステム内のモジュール間に信号を結合するために、現在のＭＣＭ技術に伴う上述した諸問題のもしくはそれ以上を軽減する改善された方法及び装置に対する大きい要望が未だに存在している。ＭＣＭ技術は重要な応用ドメインを表しているが、後述するように本発明は、ダイ、ウェーハ、基板、ＭＣＭ、システム等のような全てのレベルのエレクトロニックパッケージング及び相互接続に広く適用される。従って、発明者らは本発明を狭意に見ることなく、または好ましいＭＣＭ実施例の説明にとらわれない（但し、説明が明確に他を指示している場合を除く）ことを意図している。

【００３８】

発明の目的

本発明の目的は、上述した従来技術の欠点の１もしくはそれ以上を軽減する、モジュールを相互接続する方法及び装置に関する。

【００３９】

本発明の別の目的は、上述した従来技術の欠点の１もしくはそれ以上を軽減する、モジュール間で信号を結合する方法及び装置に関する。

【００４０】

本発明の別の目的は、極めて高速でモジュール間に信号を結合する方法及び装置に関する

。
【００４１】
本発明の別の目的は、費用のかかる、もしくは奇異な製造技術を必要とすることなく改善されたモジュール内及びモジュール間信号結合を提供する方法及び装置に関する。
【００４２】
本発明の別の目的は、短い信号経路を有するモジュラーエレクトロニックシステム、及びこのようなシステムの製造方法に関する。
【００４３】
本発明の別の目的は、２つのダイ間、２つの基板間、もしくはダイと基板間の信号の少なくとも若干が容量性結合を介して通信するようなモジュラーエレクトロニックシステムに関する。
【００４４】
本発明の別の目的は、２つのダイ間、２つの基板間、もしくはダイと基板間の信号の少なくとも若干が磁気結合を介して通信するようなモジュラーエレクトロニックシステムに関する。
【００４５】
本発明の別の目的は、モジュールが他のモジュールに容量的に及び導電的に結合されでいるようなモジュラーエレクトロニックシステムに関する。
【００４６】
本発明の別の目的は、モジュールが他のモジュールに磁気的に及び導電的に結合されているようなモジュラーエレクトロニックシステムに関する。
【００４７】
本発明の別の目的は、モジュラーデジタルシステム内の他のモジュールに容量的にもしくは磁気的に結合されるようになっているモジュールに関する。
【００４８】
本発明の別の目的は、物理的に両立できない材料のモジュールをモジュラーエレクトロニックシステム内へ統合し、容量性もしくは磁気的手段を介して信号を近くの物理的に両立できないモジュール間に結合する方法及び装置に関する。
【００４９】
本発明の別の目的は、成分間の化学、導通状態、波の位相、製造技術、クロックレート、電圧レベル、論理状態の数、熱膨張特性、動作温度、周囲圧力、もしくは環境要求の差を補償するための付加的な手段を必要とせずに、２もしくはそれ以上のモジュール間に信号を結合する方法及び装置に関する。
【００５０】
本発明の別の目的は、超電導モジュールから、もしくは該モジュールへ信号を結合する方法及び装置に関する。
【００５１】
本発明の別の目的は、幾つかの異なる製造技術によって形成された複数のダイを備えたモジュール、及びこのようなモジュールを組立て、試験する方法に関する。
【００５２】
本発明の別の目的は、単一のダイ上に経済的に保持することができるよりも多くの技術もしくはデジタルを備えたモジュール、及びこのようなモジュールを設計し、レイアウトする方法に関する。
【００５３】
本発明の別の目的は、ダイ間、もしくはダイと基板との間の接続を容易に反転できるモジュール、及びこのような接続を可逆的に形成し、破る方法に関する。
【００５４】
本発明の別の目的は、相互接続配線を破壊することなくサブモジールを修復し、交換する方法に関する。
【００５５】

本発明の別の目的は、ダイを導入するプロセスも、もしくはダイを取り外すプロセスも、ダイもしくは基板の何れをも破損することがないＭＣＭに関する。

【００５６】

本発明の別の目的は、モジュラーエレクトロニックシステム内の望ましくないモジュールを識別し、交換する方法及び装置に関する。

【００５７】

本発明の別の目的は、モジュラーエレクトロニックシステム内のモジュールを全速パラメトリック試験することによって、システムの性能を改善する方法に関する。

【００５８】

本発明の別の目的は、モジュラーエレクトロニックシステム内のモジュールを全速試験することによって、システムの歩留りを改善する方法に関する。

【００５９】

本発明の別の目的は、組立ての前にチップ及び大きいモジュールを全速試験することによって、ＭＣＭの歩留りを改善する方法に関する。

【００６０】

本発明の別の目的は、モジュラーエレクトロニックシステム内のモジュールを選択的に交換することによって、システムの性能を改善する方法に関する。

【００６１】

本発明の別の目的は、ＭＣＭ基板の電気的特性と実質的に同一の電気的特性を有する試験機器で試験することによって選択された良好であることが既知の複数のモジュールを備えたＭＣＭに関する。

【００６２】

本発明の別の目的は、システム性能を修正もしくは改善するために、モジュールが選択的に交換されるＭＣＭに関する。

【００６３】

本発明の別の目的は、ＭＣＭ内に取付ける前に全速試験するようになっているモジュール、及びこのようなモジュールを試験し、取付ける方法に関する。

【００６４】

本発明の別の目的は、半田もしくはワイヤボンディングを使用せずにモジュールが基板に取付けられるＭＣＭに関する。

【００６５】

本発明の別の目的は、クロック信号が極めて低い分散で分配されるＭＣＭもしくは他のモジュラーデジタルシステム、及びこのようなシステムにおいて極めて低い分散でクロック信号を分配する方法に関する。

【００６６】

本発明の別の目的は、デジタル信号が基板上の伝送線を介してダイ間で通信され、これらの伝送線が容量的に、もしくは磁気的にダイに結合されているＭＣＭに関する。

【００６７】

本発明の別の目的は、伝送線を容量的に信号する手段に結合する装置及び方法、及びこのような結合を終端する方法及び装置に関する。

【００６８】

本発明の別の目的は、容量的に信号する２つの手段の間に接続され、２つの分離したモジュール間に容量性経路を提供する伝送線に関する。

【００６９】

本発明の別の目的は、結合された伝送線によって２つの分離したモジュールを容量的にもしくは磁気的に接続する方法及び装置に関する。

【００７０】

本発明の目的は、モジュール間のデジタル信号の改善された信号対雑音比と高速伝送とを有するモジュラーエレクトロニックシステムにある。

【００７１】

本発明の別の目的は、ダイ間接続の実質的な数がオフダイ信号経路を介して経路指定されるダイ、及びこのようなダイを設計する方法に関する。

【００７２】

本発明の別の目的は、構成するモジュール間の信号の改善された経路指定、バシング（bu sing）、ネットワーキング、もしくはスイッチングを有するモジュラーエレクトロニックシステムにある。

【００７３】

本発明の別の目的は、如何なるサイズのデバイス、回路、ブロック、及びモジュール間の相互接続をも最適化することを伴う、モジュラーエレクトロニックシステムをレイアウトする方法、及びそのように実現されるシステムに関する。

【００７４】

本発明の別の目的は、複数の小さい高歩留りのダイに分割されたモジュラーエレクトロニックシステム、及び低費用、高性能なダイ内接続の設計に関する。

【００７５】

本発明の別の目的は、設計、製造、組立て、または動作の不整合の負の効果が実質的に軽減されるモジュール、及びこれらの効果を絶縁する方法に関する。

【００７６】

本発明の別の目的は、長い範囲の物理的整列の必要性を排除するようにモジュラーエレクトロニックシステムを設計し、製造し、組立て、もしくは動作させる方法に関する。

【００７７】

本発明の別の目的は、モジュラーエレクトロニックシステムを電気的に、もしくは論理的に自己整列させる方法及び装置に関する。

【００７８】

本発明の別の目的は、モジュラーエレクトロニックシステム内に低費用で、欠陥に寛容な、ウェーハスケール相互接続を提供する方法及び装置に関する。

【００７９】

本発明の別の目的は、製造欠陥には関係なくウェーハスケールモジュールを動作させる方法に関する。

【００８０】

本発明の別の目的は、所与の複雑さのモジュラーシステムに必要とされるパッケージング階層の数を減少させる方法及び装置に関する。

【００８１】

本発明の別の目的は、モジュールの多くの階層的な層を支援するモジュラーエレクトロニックシステムに関する。

【００８２】

本発明の別の目的は、より大きいシステムに対してビルディングブロックとして働く標準化された相互接続を使用するモジュラーエレクトロニックシステムに関する。

【００８３】

本発明の別の目的は、階層的なモジュラーエレクトロニックシステム内のモジュールの組立て、及びモジュール間のインタフェースを標準化する方法及び装置に関する。

【００８４】

本発明の別の目的は、モジュラーエレクトロニックシステムのパッケージ処理及び製造の費用を減少させる方法及び装置に関する。

【００８５】

本発明の別の目的は、モジュラーエレクトロニックシステムを実験用組立盤上に組立てる、もしくはプロトタイプするターンアラウンドタイム、及び費用を減少させる方法及び装置に関する。

【００８６】

本発明の別の目的は、標準化された部品のキットからモジュラーエレクトロニックシステムを組立てる方法及び装置に関する。

【００８７】
本発明の別の目的は、モジュラーエレクトロニックシステムのパッケージ処理及び製造量のターンアラウンドタイム、及び費用を減少させる方法及び装置に関する。
【００８８】
本発明の別の目的は、高速、低電力、安価、もしくはより多くの論理要素を有するシステムを設計し、製造し、組立て、そして動作させる方法、及びそのように実現されたシステムに関する。
【００８９】
本発明の別の目的は、好ましいパッケージ（例えば、密度が高めで、小さめで、軽めで、平坦もしくは容量的制約に寛容な）を有するシステムを設計し、製造し、組立て、そして動作させる方法、及びそのように実現されたシステムに関する。
【００９０】
本発明の別の目的は、高密度の、もしくは複数の信号相互接続を有するモジュラーエレクトロニックシステム、及びこのようなシステムを製造する方法に関する。
【００９１】
本発明の別の目的は、エレクトロニックデバイスのウェーハ上の面積を、従来技術において使用される方法で得られるよりも多く再利用する製造及び設計方法、及びそのように実現されたシステムに関する。
【００９２】
本発明の別の目的は、極めて大きい端子容量及び比較的低い費用を有する多層コネクタに関する。
【００９３】
発明の概要
上述した目的の１もしくはそれ以上、並びに他の目的及び長所は、本発明のモジュラーエレクトロニックシステム及びその多くの用途によって提供される。
【００９４】
要約すれば、本発明の一面は、少なくとも２つのモジュール（これらのモジュールの少なくとも一方は給電されている）と、非導電的に（例えば、容量的に、もしくは磁気的に）これらのモジュール間を通じさせる手段とを備えているジュラーエレクトロニックシステムに関する。
【００９５】
本発明の別の面は、２もしくはそれ以上のダイが非導電性信号手段を介して通信するようなＭＣＭに関する。ＭＣＭは基板を備え、この基板はその上に固定された複数のダイを有していることが好ましい。非導電的に信号する手段は結合された半キャパシタを備えていることが好ましい。一方の半キャパシタ板をダイ上に配置し、他方は基板もしくは別のダイ上に配置し、ダイ及び基板もしくは他のダイはこれらの半キャパシタ板を結合するように位置決めする。
【００９６】
本発明の更に別の面は、本発明の非導電的信号技術に基づいてモジュラーエレクトロニックシステム、もしくはＭＣＭを組立て、試験し、そして修復する方法及び装置に関する。
【００９７】
本発明の更に別の面は、素子間の相互接続が非導電的であり、従って直接的な物理接触を必要としないようなモジュラーエレクトロニックシステム、もしくはＭＣＭに関する。このモジュラーシステム、もしくはＭＣＭは、システム内の熱応力を受け入れる、もしくは消散させるために非導電性接合の柔軟さを利用することが好ましい。
【００９８】
本発明の更に別の面は、非導電的に相互接続されたモジュラーシステム内に組立てられるようになっており、外部からアクセス可能な半キャパシタ板と、好ましくは複数のエレクロトニックデバイスとを含むダイ、チップもしくはモジュールに関する。
【００９９】

本発明の更に別の面は、各々が基板に取付けられている複数の異成分からなる素子を備え、基板内の伝送線もしくは電線に信号を非導電的に結合する手段を有しているＭＣＭに関する。

【０１００】

本発明の更に別の面は、エレクトロニック素子間で非導電的に信号する手段と、種々の誘電性、接着性、弾力性、及び他の材料を組合わせて使用することに関する。

【０１０１】

本発明の更に別の面は、非導電性相互接続を使用するモジュラーシステムを形成するために、高歩留りの、良好であることが既知のユニットを組立てることによってモジュラーエレクトロニックシステムの製造歩留りを増加させて費用を低下させ、またもし必要ならば、選択された素子を交換することによってシステムを修復もしくは最適化する方法に関する。

【０１０２】

本発明の更に別の面は、非導電性手段を介してモジュラーシステム内の素子間で区別して信号する方法、及びこのような信号方法を実現する受信器（レシーバ）及び送信器（トランスミッタ）に関する。

【０１０３】

本発明の更に別の面によれば、極めて高い周波数信号が伝送線結合によってモジュール間で通信される。この結合は平行にもしくは垂直に重なったマイクロストリップもしくはストリップラインセグメントで実現することが好ましい。モジュラーマイクロ波及びミリメートル波システムが、伝送線結合を介して通信するように好ましく組立てられる。

【０１０４】

本発明の更に別の面は、極めて大きい端子容量を有し、同様容量の普通のコネクタに比して比較的低費用の多層コネクタに関する。このコネクタは、各々が複数の半キャパシタを有する少なくとも２つの基板を備え、基板の一方の一部が他方より遠くへ伸びるように前後に取付けられる。伸びている基板から、及び／または該基板へ、信号を輸送するためにスペーサが使用され、多層コネクタ組立体のために均一な、平坦な足跡を提供する。これらのコネクタは、データバス用コネクタのような接続性の高い用途に使用するために事前組立てされた、規格部品として提供されることが好ましい。

【０１０５】

以上の、及び他の本発明の面を、以下の詳細な記述で説明する。この記述は本発明の種々の好ましい実施例を説明するものであり、以下の図面と共に読まれることを意図するものである。

【０１０６】

発明の詳細な説明

図１を参照する。図１は本発明によるモジュラーエレクトロニックシステム１の一実施例の例示部分を示す。図示のように、システム１は基板１０、ダイ１１、及び基板１０とダイ１１との間に容量性信号経路を提供する容量的に信号する手段１３を備えている。容量的に信号する手段１３は、例示的に“半キャパシタ”１４及び１５として示されている２つの電磁的に通信する領域を備えている。半キャパシタ１４と１５との間の間隙を部分的に、もしくは完全に充填するために誘電体１７を使用することが好ましい。誘電体１７は、容量性信号手段１３の容量を増加させるために、ダイ１１もしくは基板１０の不活性化を行うために、ダイ１１と基板１０との間の熱伝導度を高めるために、そして／または基板１０及びダイ１１を機械的に結合もしくは支持するために使用することができる。

【０１０７】

図１に示すように、ダイ１１はダイの活動表面上に実現されている複数のエレクトロニックデバイス１２と、ダイの表面に導電性接点１６として示されているダイに給電する手段をも含んでいる。

【０１０８】

ダイ１１は、普通の低費用プロセスによって製造されたデジタル集積回路であることが好

ましい。システム１は、後の図に示されているような容量的に信号する手段及び付加的なダイを含むことが好ましい。例えば、システム１はＭＣＭを備えることができる。このようなシステムでは、ダイ１１はエレクトロニックデバイス１２が表面上に製造されたＣＭＯＳシリコンダイであることができ、基板１０はＧａＡｓで製造されたダイであることができる。

【０１０９】

後述するように、このようなシステムにおいて容量性信号手段１３を使用することにより、普通の代替アプローチよりもかなりな利点が得られる。ダイを独立的にパッケージし、次いでそれらを導電的に一緒に配線するか、もしくは他方の領域上に一方の材料の結晶を成長させるような普通のアプローチは、本発明により製造される同一性能の対比的なシステムよりもかなり高価である。更に、これらの普通のシステムは、熱膨張応力が原因で一般に歩留りが低く、動作の信頼性が低い。

【０１１０】

ダイ１１は、エレクトロニックデバイス１２に給電するための１もしくはそれ以上の導電性接点１６を含むことが好ましい。普通のシリコンＣＭＯＳダイ１１の場合、導電性接点１６はシリコンＣＭＯＳダイ上にリトグラフで形成された金属アルミニウム領域である。若干の応用では、腐食に対して保護するために、このアルミニウム領域の外面を金めっきすることが望ましいかも知れない。図示の例では、電力は基板１０もしくは異なる基板に導電的に接続されている金属ファズ（fuzz）ボタンによって供給される。ファズボタン電力接続は、結合された半キャパシタ信号接続１４及び１５と組合って、ダイ１１を連続的に基板１０取付け、非破壊的に基板１０から取り外すことを可能にし、それにより破壊的なアプローチに比して試験、修復もしくは性能最適化について重要な長所を提供する。このような非破壊的な取付け／取り外しサイクルに伴う容量的に信号する手段にまたがる力、トルク、もしくはエネルギ変動は実質的に零である。

【０１１１】

基板１０は、高速信号を容易ならしめるために低誘電係数材料で製造することが好ましい。基板は受動であることも、能動であることもできる。受動基板の例は印刷配線基板であり、半キャパシタ１５はリトグラフで画定された基板１０の銅領域からなることが好ましい。能動基板の例は能動及び／または受動半導体デバイス及び配線の集まりである。典型的な能動要素に関しては後述する。

【０１１２】

超電導基板は、ダイ１１と超電導基板１０との間に何等の金属接触も存在しないことから、結合された半キャパシタの使用に特に適している。そのようにしなければ砕け易い高温超電導セラミック層に半田付けもしくは結合する際に発生するかも知れない材料問題は排除される。超電導伝送線（特に低分散）の伝播の利点の全ては保持される。終端抵抗器製造は潜在的に難しいが、これは転移温度以上にラインを局部的に加熱するか、十分に強い直流磁場を印加して超電導体を常規の抵抗領域にすることによって行うことができる。これらの技術は、事後製造段階において、加熱したり磁場を誘起させる電流を調整することによって終端抵抗の値を調整する手段をも提供する。

【０１１３】

例示してあるように、半キャパシタ１４及び１５は導電性の板からなる。ダイ半キャパシタ１４は、ＣＭＯＳシリコン集積回路１１上にリトグラフで画定されたアルミニウム金属パッドからなることができる。集積回路の上側レベルの金属化されたダイ半キャパシタ１４と、高密度基板１０上に対向板を形成させて他方の半キャパシタ１５として使用することにより十分な容量を実現することができる。

【０１１４】

結合された半キャパシタは、１３のように１対１に結合された配列に、もしくは代替として１対多数もしくは多数対多数を結合する構造に形成することができる。結合された半キャパシタを介して信号を送ったり、受信したりする回路は、対応する半キャパシタの下もしくは横に有利に設けることができる。従って、板自体は使用可能なチップ面積を犠牲に

してリトグラフする必要はない。現在の技術に比して、本発明は高性能ダイ内信号回路を実現するのに必要な面積について重要な利点を提供する。

【０１１５】

結合された半キャパシタは、半キャパシタ１４及び１５が実効的に重なるように基板１０に固定されたダイ１１によって形成することが好ましい。重要なことに、従来のチップスファースト、半田付け、もしくはワイヤボンドされた接続を行う代わりに結合された半キャパシタを使用すると、高精密に整列させる必要性が実質的に緩和される。実際に、半キャパシタ１４及び１５のサイズもしくは形状は同一である必要はなく、製造公差、組立て誤差、もしくは熱的不揃いを原因とするような予測された不揃いの高価を軽減するように有利に最適化することができる。

【０１１６】

結合された半キャパシタのための回路のチップ面積／ビットは、導電的に結合されたオフダイ信号のための接続よりも実質的に少なくて済む。ドライバ及び受信器回路は、対応する半キャパシタ板の下に製造するように十分に小さい。板は現在の技術の接触パッド及びファンアウトリードよりも小さく、Ｉ／Ｏに関連していない回路を含む他の能動回路に重ねることができる。板はパッドよりも遥かに高密度にパックすることができ、主としてダイの周縁ではなく、ダイの表面のどの部分を占めても差し支えない。

【０１１７】

ダイの頂部上の金属化された70ミクロン×70ミクロンの板を使用すると、セパレータの誘電係数がＫ＝112（ＴｉＯ2セラミック）であり、また板の間隔が3.5ミクロンであるものとすれば、約１ピコファラドの結合された半キャパシタを実現することができる。これは１平方インチ当たり約10^5のリード線に等しいＩ／Ｏ表面密度を表している。二酸化チタンの100倍大きい誘電係数を有する配向されたチタン酸バリウム結晶のような代替誘電体材料を使用すれば、Ｉ／Ｏ密度を更に増加させることができる。しかしながら、一旦半キャパシタ板サイズがドライバ／受信器回路よりも小さくなり始め、ダイがＩ／Ｏパッドによって制限されているのではなく回路によって制限されている場合には、板が電気的に及び論理的に一緒に連動する複数の小板からなる場合、板を交流給電で使用する場合、もしくはアクセス可能な他の表面が表面空間と競争する光送信器／検出器のように機能する場合のような若干のシナリオの場合を除いて板のサイズを更に減少させる小さい点が存在する。

【０１１８】

標準半導体プロセスによって、能動回路を金属半キャパシタ板の下に実現することができる。これに対して、能動回路を導電性接触パッドの下に実現することは、この接触パッドに加わる機械力が下にあるドメインの電子的挙動を非可逆的に変更するので望ましくない。

【０１１９】

半キャパシタ１４及び１５は同一の材料で作る必要はなく、化学的に両立できない材料で形成することさえできる。半キャパシタは、単一のもしくは複数の層もしくはドメインとして、どのような均一なもしくは複合材料（金属、高Tcを含む超電導体、半導体、半金属、インピーダンスが変化するもしくはコンダクタンスが変化する材料を含む）から、どのような手段によって形成しても差し支えない。これらは、気体、気化した材料、液体、液化した材料、固体、凝固した材料、複合材、スラリ、ゲル、懸濁液、マトリクスその他を含む、物質のどのような状態もしくは形状で作ることもできる。

【０１２０】

半キャパシタ板のコンダクタンス、もしくは電荷担持能力は典型的にはかなり高いから、実効的な板と板の重なり及び分離、及び誘電体１７の特性が結合された半キャパシタ１３の性能を主に決定する。キャパシタ板を形成する方法はマイクロエレクトロニックス産業においては公知であるが、従来技術ではそれらをＭＣＭ及び他のモジュラー相互接続計画に適用することは認識されていない。

【０１２１】

半キャパシタ１４及び１５の板間の間隙は高誘電性材料で充填することも、もしくは空のままにしておく（空気もしくは真空で充填）こともできる。図示例では、誘電体１７はエチレングリコールのような高誘電係数の流体である。誘電体１７は各板上の一連の不活性化層（もしあれば）と中間絶縁体（もしあれば）との間に配置することができる。このような不活性化層は、金属化層の酸化物から及び／または高誘電軸に沿って配向された二酸化チタン、結晶質チタン酸バリウム、その他の電気化学の分野においては公知の、そして市販されている材料のような、エマルジョン被膜を塗布することから、安価に且つ容易に形成させることができる。

【０１２２】

板間の間隙を均一に維持することが重要な応用においては、ダイ１１と基板１０との間に、約５×25ミクロンの硝子棒であることが好ましい複数のスペーサ（スタンドオフ）を導入することが望ましいかも知れない。これらのスペーサはダイ１１と基板１０の固定されたＺ高さ領域の間に配置することが好ましく、また能動回路の間に配置することは好ましくない。固定されたＺ高さ領域が電源デカップリングキャパシタを備え、それによってスペーサを支持するのに使用される浪費領域を排除乃至は減少させると有利である。製造に際してこれらのスペーサが、後述する全速試験プロセス中のダイ１１と基板１０のＺ位置を維持する。もし組立体試験に成功すれば、強い紫外線による短時間の露光を行って組立体を結合する。成功しなければ、最終的な潜在的に非可逆的な結合段階の前に、整列を洗練させることができるが、もしくはダイを交換または修復する（例えば、冗長資源を使用するように再構成することによって）ことができる。

【０１２３】

誘電体１７を選択する際に、誘電体の温度の関数としての既知の腐食特性、きれいさ、及び粘度が、その誘電係数と共に極めて重要である。高誘電係数の固体のコロイド状懸濁液（例えば、スラリ内に適用されたセラミック状二酸化チタン）、並びにフルオリナート（Fluorinerts）のような無腐食性の低誘電係数の液体を充填材料として使用することができる。誘電体は、熱輸送特性、きれいさ、もしくは機械的安定性を活用するために、エチレングリコール、プロピレングリコール、グリセリン、もしくはニトロベンゼンのような絶縁用液体、六フッ化ウランのようなガス、もしくは混合相懸濁材もしくはゲルであってよい。これらの材料の吸湿性が重要度なのであり、従って1,1,1トリクロロエチレンのような若干の（より低い誘電係数の）疎水性材料が好ましい。振動に対する、及び粘度もしくは誘電係数の変化に対する吸湿性及び温度依存感性が実現を複雑にするが、それらの処理は当分野においては公知である。被膜を適用する若干のプロセスはまた研磨段階を必要とする。

【０１２４】

液体誘電体は、部分的には、もしチップを移動させなければならなくとも剪断力が伝わらないこと、また部分的には、誘電体が耐掻き傷性であることから、若干のシステムにおいては有用である。チップ表面上のスペーサが高誘電液状グリセロールの面前で一定の分離を確保するが、短絡の恐れが無ければ必要としない。液体誘電体の場合、表面張力がダイ及び基板を互いに他に対して保持するのに十分である。

【０１２５】

１もしくは複数の中間絶縁体は、もし使用していれば、熱膨張を受け入れるように少なくとも一方の側上を滑るべきであり、例えば接着剤を使用してダイ、基板もしくはモジュールの一つに結合するか、もしくは何れにも結合されていないセロハンのようなモノリシック材料として維持することができる。液体誘電体、エラストマ、もしくは熱膨張を受け入れるように注意深く加工されたシステムを除いて、両表面への結合は避けるべきである。

【０１２６】

誘電係数の温度及び周波数依存性は、加工上重大な問題である。殆ど全ての既知の材料はそれらの誘電係数に複雑な周波数依存性を呈し、これが、結合された半キャパシタ間隙内へのそれらの使用の範囲を実効的に制限している。勿論、乾燥した空気もしくは真空はこの原則に対する例外を表しているが、それらの低い誘電係数及び圧縮可能性がそれらを魅

力ないものにしている。

【０１２７】

ＭＣＭ設計の分野においては、信号は取り囲んでいる誘電係数の平方根で光速を除した値より低い速度で配線内を伝播するので、一般に高誘電材料は回避されている。（例えば、1991年のIEEE Pressに所載のRobert Johnson, Robert Teng及びJohn Baldeの論文“Multi chip Modules Systems Advantages, Major Constructions and Materials Technologies.”を参照されたい。）ＭＣＭ分野における認識とは逆に、本発明では高誘電材料が中心的役割を有している。

【０１２８】

しかしながら高誘電材料の１つの欠陥は、それらが対向する半キャパシタの間の領域の外側へ電場を広げることであり、必然的に隣接する板の配置が広がることである。因みに、低誘電材料は隣接する板を密にパックすることを可能にするが、相応して電圧もしくは板の面積の増加もしくは板の分離の減少が犠牲になり、複雑さが伴うようになる。誘電体が均一で、板寸法が分離距離よりも遥かに大きいシステムの場合には、隣接する板は重大なクロストーク問題に直面することなく垂直分離のほぼ２倍の分離でパックすることができる。対向する板間の間隙の外側で誘電係数が低くされているようにパターン化された誘電体を使用すれば、板の単位面積当たりの半キャパシタのパッキング密度を僅かに密にすることは可能であるが、製造上の複雑さが増大する。誘電体は、対をなしている半キャパシタ間のしきい値上で容量を可能化／不能化するように加工することもできる。印刷配線基板を製造するための極めて低費用プロセスが印刷／複写産業（例えば、リトグラフィ）から公知であり、相互接続を実効的に画定する誘電体パターンを実現するために類似的に使用することができる。

【０１２９】

１対の結合された半キャパシタは容量的に信号する好ましい手段ではあるが、他のそのような手段も使用可能である。例えば、多層の容量的に結合された構造を構成して１もしくはそれ以上の中間導電性領域を２つの端半キャパシタの間に（好ましくは誘電体領域内に）配置し、実効的に２もしくはそれ以上のキャパシタの直列接続されたチェーンを形成することができる。重要なのは、このような多層構造は２つの端半キャパシタ間にどのような重なりをも必要としないことである。例えば、３層構造では、底板と中央導体との間、及び頂板と中央導体との間だけを重ねれば頂板と底板との間に容量的に信号する手段を実現するのに十分である。これらの構造を安価に形成するために、印刷／複写プロセス（例えば、ゼログラフィ）を適用することができる。

【０１３０】

図２を参照する。図２は、基板１０上の１対の伝送線３２及び３３から、１対の結合された半キャパシタ１３を横切って、ダイ１１上の１対の伝送線３４及び３７へ、信号が区別されて結合されるようになっているモジュラーエレクトロニックシステムの例示部分を示している。伝送線３２及び３３を終端する手段が、ライン３１ａによって接地面に接続されている終端抵抗器３１ｂ及び３１ｃによって基板１０上に設けられている。

【０１３１】

有利なのは、伝送線３４及び３７が、ダイ１１の若干のエレクトロニックデバイス１２として実現されているオンダイドライバ及び／または受信器回路に接続されていることである。伝送線３２及び３３は、基板１０上に実現されているドライバもしくは基板に、付加的な結合された半キャパシタを介して他のチップ、モジュールもしくは基板に、もしくは外部導電性リードに接続することができる。伝送線３２及び３３はマイクロストリップ、ストリップライン、もしくはスロットライン伝送線として実現することが好ましい。勿論若干の応用においては、通常の終端されていない金属もしくはポリシリコン相互接続でも十分である。

【０１３２】

図３を参照する。図３はダイ１１と基板１０との間に容量性及び導電性相互接続の両方を含むモジュラーエレクトロニックシステムの例示部分の部分分解図である。例示した導電

性接触パッド４５、４６及び４７は電力、接地、及び複数のＩ／Ｏ信号を基板１０から受ける。導電性接続は、導電性接続手段４１、４２及び４３がそれぞれの接点４５、４６及び４７に接触するようにダイ１１を基板１０に取付けることによって達成される。重要なのは、これによってダイ１１が基板１０から非破壊的に取り外すことができることであり、それによって本発明に基づくモジュラーシステムのために実質的な製造、試験及び修復の利点が提供されるのである。

【０１３３】

導電性接続手段は、Cinch, Inc.製のCinapse（登録商標）のような金属ファズボタンからなることが好ましい。金属ファズボタン４１、４２、４３を受け入れる基板１０内の孔は、ダイ１１が基板１０に対して座するのをボタンが干渉しないようにするために、円錐形にテーパしていることが好ましい。代替導電性手段には、半田球、テープもしくはフィルム上の配線、結合された電線、接触プローブ、水銀のような液体金属、ガリウムのような低融点金属、及び特定の加工状況に適切であることができるような他の高コンダクタンス媒体が含まれる。

【０１３４】

有利なのは、導電性接続を選択されたファズボタンを減ずる（例えば、除去、腐食、もしくは駆逐）もしくは付加することによってカストマイズし、それによって選択されたファズボタンとそれぞれの接触パッドとの間の導電性接続を不能化もしくは可能化できることである。

【０１３５】

典型的には、導電性接続４５、４６、４７は容量性結合より遥かに大きくすることができる。それは、電力供給が信号供給よりも稀であり、より大きいリードの低い抵抗の便益が得られるからである。しかしながら導電性接点は比較的極めて高価であり、結合された半キャパンタに比して障害を起こし易い。従って、信号のための経路に容量的に結合されている多くの広帯域幅の本発明の長所を維持しながら、直流電力リードだけの導電性接点の比較的粗な技術を使用することが有利である。

【０１３６】

ファズボタンのための接触パッドは、好ましい実施例ではそれぞれ0.3ｍｍ^{2}を占める。これに対して、容量性結合を駆動するための回路は、１ミクロンＣＭＯＳプロセスでは約0.04ｍｍ^2／半キャパシタを占める。複数の冗長接触パッドにより機械的接点の比較的低い信頼性を有利に補償することができる。

【０１３７】

図４を参照する。図４は、本発明により製造されたＭＣＭの例示部分を示している。ＭＣＭは、基板１０、第１のダイ１１、及び第２のダイ６１を備えている。（第１のダイ１１及び第２のダイ６１は単一のダイの異なる部分を表すこともできる。）終端された伝送線３３は基板１０上の半キャパシタ１５及び６５を相互接続しているので、第１のダイ１１上の半キャパシタ１４と第２のダイ６１上の半キャパシタ６４との間に信号経路が得られる。

【０１３８】

伝送線３３は、半キャパシタ６５と１５との間に効率的な通信を提供している。重要なことには、半キャパシタ６４（第２のダイ６１上の）から伝送線３３を介して半キャパシタ１４（第１のダイ１１上の）へ信号を結合するのに要する電力が、伝送線３３の長さ５１には実質的に無関係なことである。合理的に短い距離を超える通信に対しては、オフダイ経路指定（伝送線３３を介して）が、同一信号の等価オンダイ経路指定よりも潜在的に優れた性能を提供する。これに対して、ダイと基板との間の導電性信号相互接続に基づく従来の技術のＭＣＭにおける基板を介しての信号のオフダイ結合は、導電性ダイ／基板接続の過大な寄生インダクタンスが原因で実質的な性能ペナルティを含む。しかしながら伝送線及び終端してない配線の両方が経路にわたって統合された正味の直列抵抗から制約を受け、本発明は短い配線経路が達成され得ない限りこの問題を回避することはできない。この問題を、信号分散ではなく電力減衰の１つに制限するのに、以下に説明するモデム信号

コーディング技術が有用である。
【０１３９】
第１のダイ１１及び第２のダイ６１は、基板１０から電力を受けるための導電性接触パッド５２をも含んでいる。
【０１４０】
有利なことに、ダイ１１及び６１は異なる、もしくは両立できない材料から形成することができる。例えば、第１のダイ１１は低価格のＣＭＯＳ集積回路からなることができ、一方第２のダイ６１は光Ｉ／Ｏデバイスを含むＧａＡｓ集積回路からなることができる。ダイと基板との間の間隔５０及び６０は、ダイ１１及び６１の電子的もしくは物理的要求を受け入れる必要に応じて、同一にすることも、または異ならせることもできる。同様に、ダイ１１及び６１をそれぞれ基板１０に結合する半キャパシタ内に類似の、または異なる誘電体１７及び６７を使用することができる。
【０１４１】
容量性相互接続の熱膨張に対する寛容さは、普通のＭＣＭに対する本発明の重要な長所を表している。ダイ１１及び６１が大きい（例えば、ウェーハスケールの）ダイの異なる部分を表している場合には、熱膨張の不一致に起因する不揃い誤差が発生し、特に厄介になり得る。導電的に結合された従来技術のＭＣＭにおいては、熱膨張問題により基板材料を特定ダイ材料（典型的にはシリコン）の熱膨張特性にできる限り精密に整合させるように、基板材料を選択する必要があった。これに対して本発明によれば、少なくとも穏当なサイズのダイに関しては、熱膨張制約から実質的に解放されて共通基板上に異種のダイもしくはモジュールを集積することが可能である。ダイ６１と基板１０との間の容量性相互接続の不揃い及び／または熱膨張に対する寛容さを増すためには、半キャパシタ６５を半キャパシタ６４よりも大きいサイズにすることが有利である。
【０１４２】
ダイのサイズが大きい場合には、基板１０の熱膨張をダイの熱膨張に整合させることが主要な問題になる。大きいサイズのダイ及び基板がそれらの隣接する表面に沿って滑ることができるようにしてなければ、もしくは熱膨張係数を十分に一致させてない限りは、誘電体内に剪断応力が誘起されるようになる。更に、支持されていない標準ウェハーは70°の温度上昇で50ミクロン程度曲がり、基板、誘電体、及び大きいサイズのダイが従順でない限り、縁・縁熱を数℃以内で制御する必要があることを示唆している。
【０１４３】
図５を参照する。図５は図４と類似してＭＣＭの例示部分を示しているが、信号基板１０とは区別される電力基板７０、並びにヒートシンクを含んでいる。
【０１４４】
電力基板７０は、接地プレーン７４、電力プレーン７５、及びそれらの間に接続されているデカップリング容量７９を含むことが好ましい。電力基板７０上に素子７６、７７及び７８で示されている複数の端子は、ダイ１１上のそれぞれの端子に導電的に接続されていて、それぞれダイ１１への接地、電力、及び複数の外部Ｉ／Ｏリードをなしている。
【０１４５】
接地プレーン７４、電力プレーン７５，及びそれらに関連する電力／接地配線は、低解像度リトグラフプロセスを使用して形成することが好ましい。電力基板７０は、代替として金属、セラミック、有機ポリマ、シリコン、無機ポリマ、硝子、非晶質固体、結晶質固体、多結晶質固体、複合材料、異種多層材料等々のような材料から形成することができる。
【０１４６】
電力基板７０は、応用に依存して堅い、もしくは柔軟な材料で作ることができ、また例えばチップ８５上の光Ｉ／Ｏデバイス８２からの及び該デバイスへの外部光Ｉ／Ｏ経路８３を受入れる孔もしくは類似のパターン化された機能を含むことができる。有利なことに、電力基板７０上の外部電力、接地、及びＩ／Ｏ端子７１、７２、及び７３は、適切に構成されたピンもしくは他の外部リードにワイヤボンドすることができ、それによって普通のレベル１、11/2、２、もしくは３パッケージリードアウトを適切に設けることができる。

【０１４７】
電力基板７０上の端子７１、７２及び７３間の、及びチップ１１上の同様端子間の導電性接続はリフロー半田、液体金属もしくは他の導体、金属ファズボタン、ピン及びソケット、他の機械的に従順な可逆もしくは不可逆接点によって、もしくはワイヤボンドもしくは他の溶接技術によって形成することができる。
【０１４８】
代替として、電力は、直流の代わりに集積された電池もしくは高周波交流電流を使用してダイ１１もしくは他のダイへ供給し、それによって導電的に結合された接触点に対する如何なる要求をも不要にすることができる。電力を結合するのに光もしくは光に近い周波数を使用することは、それが伝送効率を増加させ、放射の分極が特にオンチップ回路を含む他の信号相互接続とのクロストーク干渉を減少させるので好ましい。代替として、メモリのような低電力（もしくは超電導）システムの場合、直流電力をダイ１１上のモノシリックコイルを介してダイ１１に誘導的に結合し、潜在的に何等かの直流接点の必要性を回避することができる。このようなモノリシックコイルは当分野においては公知であり、高性能磁気ディスクドライブのピックアップヘッドに広く使用されている。有利なことに、Ｉ／Ｏ（例えば、信号結合用半キャパシタ、半導体レーザ、光検出器等）に使用されるものを除く本質的に全てのダイの表面を電力の受信に使用することが可能である。
【０１４９】
図５は、ダイ１１及び８５からの熱を消散する手段をも示しており、この手段はヒートシンク８１と、ヒートシンク８１とダイ１１及び８５との間に位置決めされている熱エラストマ８０とを備えている。熱エラストマ８０は、窒化ホウ素で充填された有機エラストマのような高い熱伝導度を有する材料からなることが好ましい。代替として、ダイ１１及び８５とヒートシンク８１との間を良好に熱接触させる他の公知の方法を使用することもでき、これにはダイとヒートシンクとを物理的に密着させ続けること、熱伝導性のグリースもしくはエポキシを使用すること、ヒートシンクとダイとを半田付けもしくは共融結合させること等が含まれる。
【０１５０】
異なるバルク電位で動作しているダイが同一のヒートシンクを共有している限り、熱エラストマが電気絶縁体であるか、導体であるかは通常は問題にはならない。しかし、この、及び他の理由から、電気絶縁体であることが好ましい。酸化アルミニウムもしくは（好ましくは）窒化ホウ素を含むセラミックをロードしたエラストマがこのようなアプローチの１つである。
【０１５１】
ヒートシンク８１は、伝導、対流もしくは放射転送を含む標準の冷却技術で、もしくはヒートパイプにおけるように適当な材料の相変化によって冷却することができる。
【０１５２】
好ましくは、ヒートシンク８１は圧力板８４をも備えている。圧力板８１を通して加えられる力８４がダイ１１及び８５と基板１０及び７０との間の、及びダイ１１及び８５とヒートシンク８１との間を密着させる。圧力によってダイ及び基板を互いに他に対して位置決めすると、ＭＣＭ組立体を可逆的に組立てたり、分解したりする（例えば、修復、検査、試験、性能向上等のために）ことについて重要な利点が得られる。有利なことに、再形成可能なエラストマ８０の使用がこれらの可逆性利点に更に寄与する。
【０１５３】
もし配線及び電力を担持するのに２つの別個の基板１０及び７０を使用するのであれば、熱膨張を整合させなければならない。しかしながらこの制約は、別個の電力及び信号基板を広く使用している普通のＭＣＭ設計が当面している制約と異なることはない。従って、基板１０及び７０の熱膨張を整合させる、もしくは補償する適切な技術は当分野においては公知である。
【０１５４】
信号基板１０上に相互接続を形成することは極めて迅速であり、大量生産に従順である。

基板１０内の信号ラインは、マイクロストリップ、ストリップラインもしくはスロットラインとして形成すると有利である。一般に、配線密度の典型的な幾何学的増加を補償するように、基板１０のサイズ（及び１もしくは複数のダイの数もしくはサイズ）が大きくなるにつれて、基板１０上により多くの層が必要になる。有利なことに、基板１０上にリトグラフで形成された伝送線の優れた電気的特性によって、レイアウト配線の密集を救済するためにロンガーザンミニマル（longer-than-minimal）指定経路を使用することができる。伝送線を終端している抵抗がリトグラフで形成されたものとすれば、基板１０を製造する費用は面積の関数としてほぼ線形であるか、もしくは悪くとも緩やかに成長する幾何学的関数である。重要なのは、導電性信号に必要な多くの普通の接触接合の場合と同様に、製造費用が基板と１もしくは複数のダイとの間の信号相互接続の数に比例しないことである。残余の成分、即ち、電力基板７０、ヒートシンク８１、圧力板８４、及び熱エラストマ層８０の費用は、面積に伴ってほぼ線形に増減し、またダイ／基板信号相互接続の数には無関係である。

【０１５５】

図５には、ダイ１１及び８５のための２つの例示不活性化層構成も示されている。不活性化層８６（ダイ１１を覆う）及び層８７（ダイ８５を覆う）は、二酸化シリコン、窒化シリコン、ポリイミド、ホウ珪酸硝子、もしくは類似材料の薄い保護層であることが好ましい。例示したように、不活性化層８７はダイ８５の能動表面全体を覆い、一方不活性化層８６はパターン化されていて半キャパシタ板１４を覆ってはいない。共通の不活性化材料は、誘電体１７の好ましい実施例に使用することを企図した多くの材料より遥かに低い誘電係数を有している。従って、好ましくは不活性化材料を半キャパシタ板上に使用すべきではなく、もし使用するのであれば、実際的な高い誘電係数を有するべきである。

【０１５６】

不活性化層８６は、チップ製造プロセス中に除去されるその不活性化層のリトグラフで画定された領域によってパターン化し、次いでこれらの領域を選択的に除去する。有利なことに、リトグラフで画定された領域は、不活性化層が板に部分的に重なる半キャパシタを取り囲む境界領域を提供するように、半キャパシタ板よりも小さくすることができる。半キャパシタ板１４の一部だけが不活性化されずに露出しているので、化学的汚染の流入が効率的に妨害される。

【０１５７】

これに対して、不活性化層８７は半キャパシタ板６４を覆っている。このアプローチは典型的に、結合された半キャパシタの使用可能な容量を減少させるが、露出された板境界における考え得る汚染の問題を排除する。

【０１５８】

何れの不活性化層構成においても、導電性接触５２は現在の製造技術におけるように不活性化されていない。有利なことに、酸化もしくは腐食を回避するために貴金属接点が有用である。

【０１５９】

図５は、また、同程度の信号連系数と同様な密度のモジュラー・システムを形成する場合に、本発明にもとづくモジュラー・システムの製造および組立てのほうが、なぜ現在の技術によるものより簡単なのかを示している。半キャパシタ板と不動態化層の製造例では、標準的な半導体製造法が用いられ、誘電体自身をモジュラー・システムをまとめて保持するための接着剤とすることができ、また、ヒート・シンクと熱エラストマーが、主たる標準的横成要素となっている。同様に、基板（および、使用する場合には電力基板）も現在の技術で容易に大量生産することができる。ＣＡＤレイアウト・ツールを用いる場合には若干の変更が必要となるが、ダイの上で半キャパシタ相互接続板を他の信号線のすぐ上に配置できる柔軟性のために、レイアウトの問題を簡単にすることができる。

【０１６０】

図５の実施形態を使用する場合には、相互接続の信頼性はきわめて高くなる。ファズ・ボタンは、信頼できる電気的コンタクトの確保に関してはプレス形成の金ワイヤやＴＡＢに

匹敵する。ただし、いずれも、ハンダあるいはリソグラフィーによる金属接合ほどには機械的に頑丈ではない。しかし、現在、ファズ・ボタンは、修理／交換作業を処理するためのこれら導電性コンタクト手段の中では最も容易で最も信頼できるものである。容量性信号方式のためのこれらの手段は、誘電体を正しく選択したと仮定して、デザインによって、熱で生じる剪断応力を有意な量だけ減らすことができる。いずれにせよ、表面に対して垂直な熱応力と力は、導電性ボンドがいっしょに押されあるはハンダ付けされる従来のモジュラー・システムの場合より有意に低くなるであろう。

【０１６１】

信号方式のために容量性結合を用いることは、必要な導電性コンタクトの数が大幅に少なくなることを意味する（例、電力用、接地用、またはオフ・モジュールＩ／Ｏ用）。したがって、故障を予想するポアソンの統計が必要となる機械的構成要素の数は、導電性結合信号方式と比較してきわめて少ない。一般に、ＭＣＭレベル・モジュラー・システムでの重大な故障の形態には、ハンダの変形、電気移動、および金属－金属腐食が含まれる。ＭＣＭを組み立てる通常の方法では、モジュールが繰り返してダイに取り付けられまた取り外される。従来の製造方法では、これらの工程の間のダイへの導電性接続に関連するような形の故障によって収量が大きく減少ししたがって信頼性が損なわれる。このような収量量の損は、導電性接続の数と強く相関している。したがって、従来のＭＣＭ技術よりきわめて少ない導電性接続しか用いない本発明は、製造／組立収量、信頼性、補修性、コストの面でかなり有利である。これらの単純化の結果、また、設計および使用に関してもメリットが得られる。

【０１６２】

次に図６Ａ－Ｄを参照して、これらの図は、図５のダイ１１からダイ８５へ結合されまた３－状態論理によって適当に支持された３－状態デジタル信号のための波形例を示す。

【０１６３】

図６Ａは、高速デジタル・システムにおける代表的なデジタル波形を示す。この波形は、特定のクロック周期２９の間の波形のレベルによって定義される一連の状態からなる。例えば、周期２１の間の波形は、デジタル「１」をあらわす。周期２２では、波形はデジタル「０」をあらわす。３－状態システムの場合、周期２３の間の波形は、「－１」で示される状態をあらわす。波形は、ダイ１１上のエレクトロニックデバイス１２からつくられるデジタル回路によって生成される。

【０１６４】

容量性信号手段１３を通る送信の前に、ダイ１１上の送信回路は、図６Ａのデジタル波形を図６Ｂに示すパルス状波形に変換する。この例では、３－状態送信器は、２－状態（２進）送信器では好ましいことに生じない後縁の遷移を抑制することに注意が必要である。送信器によって生成されるパルス状波形の例としては、クロック周期の特定部分の期間の論理状態をあらわすパルス２４を挙げることができる。パルス状波形は、半キャパシタ１４へあたえられ、そこから第一の半キャパシタ１５、終端された伝送線３３、および基板１０上の第二の半キャパシタ６５を経由して半コンデサー６４まで移動する。

【０１６５】

図６Ｃは、半キャパシタ６４上で受信されたパルス状波形を示すが、この受信は、半キャパシタ１４から電気的距離を伝わる伝送の有限速度のために時間的にずれ、また電気の通路の一連の非ゼロのインピーダンスによって減哀したものとなっている。高速では、半キャパシタ板１４および６４の間のパルス状波形の伝送で、同じ電力で使用する従来の導電性相互接続よりはるかによい信号対ノイズ比を得ることができる。

【０１６６】

半キャパシタ６４が受信した信号は、ダイ８５上の受信回路に結合される。この受信回路は、図６Ｄに示すデジタル出力信号を生成する。この例では、３－状態受信器は、タイミング回路すなわちクロック信号へのアクセスを有し、したがって、「０」状態２２ならびに送信器によって抑制された後縁を認識して復元することができる。明らかなように、図６の波形は、図６Ａに示す最初のデジタル入力波形が遅延して復元されたものを示す。

【０１６７】
図６Ａ－Ｄに示す波形は、単なる例に過ぎない。無数の信号方式が可能であり、その多くは、図６Ａ－Ｄに示す簡単な非符号化３－状態信号終了方式より好ましいものである。とくに、差動２進信号方式は、ノイズのない点で大きく有利である。
【０１６８】
結合半キャパシタを横切る信号は、図６Ａ－Ｄに示すパルス状デジタル信号モードを利用する必要はなく、代わりに、位相、周波数、振幅、および／または信号対ノイズ比のいくつかを組み合せた任意の変調を用いることができる。一例として、パルス幅変調（ＰＷＭ）がある。信号は、結合半キャパシタを横切るＤＣ成分の結合を必要としない任意の形式をとることができる。信号は、２進あるいは多状態符号化を含むものとすることができ、また、一群の半キャパシタ接合の場合には、チャンネルとして一以上の半キャパシタからの信号を包含する多ビット符号化をあらわすものとすることができる。
【０１６９】
現在の好ましい実施形態では、各々が１ビットをあらわし、結合半キャパシタ接合の「差動対」を横切って送られるパルスが用いられる。これは、基本的には、図６Ａ－Ｄに示す手法を２進差動方式に用いたものである。電気通信事業で帯域幅が限られた通信路を用いてデジタル情報を通信する方法の多くは、ＤＣ成分がなく、したがって、本発明に関連して用いれば有利である。この種の方法として注意すべきものには、交互マーク反転コード（alternate mark inverse code）すなわちＡＭＩ符号および１０Ｂ８コードがある。さらに、ナスの方法のように（ほぼ）一定数のゼロおよび１ビットをベースにした符号化方式は、限られた所与の電力に対してとくにすぐれた信号対ノイズ比を示す。周波数キー・シフト、位相符号化、および振幅符号化等、限られた帯域幅のために考案された多くのモデム手法も、ＱＰＳＫ等のハイブリッド符号化方式として有用である。一以上の信号チャンネルにまたがる符号化状態のための多次元球パッキング、リード・ソロモン・コード、トレリス・コード、その他のアルゴリズムを用いれば、チップ間信号帯域幅を、そのシステムに関するシャノンの限界まで最大限に広げることができ、それがクロック周波数より高くなる場合もある。とくに興味深いのは、帯域幅が限られた場合の符号化方式は、指数的にテーパの付いたストリップライン伝送線変圧器を通る信号伝送に用いることができ、結合半キャパシタの一部として高電圧スイングで低電流対低インピーダンスの伝送線での信号の整合を可能にするのでとくに興味深い。帯域幅を制限することによって、拡散性ラインから生じる困難な問題を効果的に避けることができる。このような拡散の主たる原因には、ラインの誘電係数の周波数依存性、周波数依存的誘電損、表皮効果、および電源抵抗から生じる損失が含まれる。
【０１７０】
次に図７を参照して、同図は、ダイが二つの基板にまたがるモジュール電子システムの一部分を例示したものである。架橋ダイ８９は、少なくとも二つの半キャパシタ１４ａ－ｂを含み、その各々が誘電体１７ａ－ｂを介して異なる基板１０ａ－ｂ上の半キャパシタ１５ａ－ｂに結合されている。架橋ダイ８９は、好ましくは、そのエレクトロニックデバイス１２上に実装された複数の能動性電子素子を含む。基板１０ａおよび１０ｂは、構造が同じでもあるいは異なっていてもよい。同様に、半キャパシタ１４ａ－ｂおよび１５ａ－ｂも、好ましくは、予想される熱膨張および／または機械的ずれに対応できる寸法とされる。
【０１７１】
架橋ダイ８９上の受動性または能動性信号通路は、半キャパシタ１４ａおよび１４ｂを接続する。好ましくは、基板１０ａおよび１０ｂの上の非両立性の信号波形、タイミング、および／または符号化の間の変換を行なうために能動性信号通路が用いられる。
【０１７２】
架橋ダイ８９は、好ましくは、多数の基板が、架橋モジュール（この例では、ダイ）によって結合されたきわめて大きいシステムの一部をなすものである。マイクロエレクトロニック素子および／または配線を搭載した多数の基板は、図５および７に示すもののように

主として平面である必要はなく、またきわめて大きいものとすることができる。本発明を用いれば、バーン・ドア・スケール・インテグレーションが可能である。図９、１０、１３、および３９－４０は、本発明を拡張可能な非平面および平面構成に広げた例である。

【０１７３】

架橋モジュールによって重ねられた縁部には、とくに振動が多い環境では座屈が生じるおそれがある。このような曲げあるいは膨張によって、構成可能なシステムの直径が大きく制限されるおそれがある。幸い、これらの問題は、実施者によく理解されており、好ましい実施形態にあっては、しなやかで機械的に振動を減衰させる誘電体または取付材料を組み合わせること、及び、容量性結合の大きさの変化を補償可能な程大きい半キャパシタと、デジタル信号レベルについて緩やかなスレッショルドを有する回路とを用いて改善することができる。

【０１７４】

次に図８を参照して、同図は、複数のダイ１１、９２、９５、および基板１０、９０、９３を含むモジュラー電子システムの一部分を図示したものである。図８において、ダイ１１は、基板１０に容量性結合されている。ダイ１１を（誘電体１７ｘおよび１７ｙの中にモノリシックにつくられたものとして例示してある導体１４ｙを介して）基板１０に結合する容量性信号通路の複数階構造は、「実質的に重ねられて」いない板である半キャパシタ１４ｘおよび１５ｘの間に「効果的な重なり」を生成するものである。９４ａおよび１５のような実質的に重ねられた半キャパシタは、事実上、効果的に重ね合わされている。

【０１７５】

基板１０は、また、基板９０に容量性結合されている。基板９０ないでは、配線９１が複数の半キャパシタ９４ａを複数の半キャパシタ９４ｂに接続し、それによって基板１０と基板９３の間および基板１０とダイ９２の間にＡＣ信号通路を形成している。基板９３は、また、基板９３上で複数の導電性パッド９６に接着された複数の導電性リード線９７を介してダイ９５に導電性接続されている。

【０１７６】

例として、基板１０は、プリント配線盤で構成することができ、基板９０は、多層セラミック基板で構成することができる。基板９３は、プラスチック裂キャリヤ・パッケージ９８内でカプセル化することができ、またこのパッケージでは、ダイ９５もカプセル化することが好ましい。モジュール９２および１１は、異なるダイをあらわす場合もあるし、同じダイまたはウェーハの異なる部分をあらわす場合もある。

【０１７７】

当業者には、本発明の手段によって単一または複数のダイが単一のまたは複数の基板に結合された多くの他の構成が可能なことが理解されよう。そのような他の構成を適当に選んで、特定の適用システムの特定の物理的、機械的、電気的、温度的、および経済的制約に対応することができる。すべての構成要素の－ダイまたは基板上での、より高度なレベルのモジュールとしては、熱・環境システム、機械的シャーシ等の上での－配分およびコストは、全システム的レベル０－４のパッケージの最適化の中で検討することができる。例えば、相互接続の方向に対して直角に容量性コンタクトを搭載した基板は、図１６に示すようなバックプレーンまたはカード・ケージと同様なレベル３のパッケージの組立てを容易にすることができる。適用可能な物理的構成の数をさらに増やすためには、可撓性または連接式基板を使用することもできる。図９－１０に示すように、大きいシステムの中で信号、クロック等を結合するためには、当接式または部分的重なり式基板を使用することもできる。電力があたえられたマイクロエレクトロニック素子を搭載した領域を他の領域または配線を搭載した基板に連系させるために容量性結合用の手段を用いれば、本発明から、タイル、格子、またはクラスター構を含む他の規則的または不規則的形状が得られることは明らかであろう。このような領域を組織的に集めた構成、例えばダイおよび／または基板を集めてモジュラー構成とすることも、同様の本発明からただちに得られることである。その種の他のシステム構成に特許請求の範囲に記載の本発明を用いる場合にも、そのような構成は、本発明の範囲に入ると考えるべきである。

【０１７８】
次に図９を参照して、同図は、本発明にもとづいて組み立てられた大規模モジュラー・システムの一部分を例示したものである。図９は、いわゆる「リープフロッグ（跳び蛙）」の形状を示す。信号は、第一のモジュールから第二のモジュールへ該第一および第二のモジュールを部分的に重ねる架橋モジュールを介して「跳ぶ」。このリープフロッグ・アセンブリー手法を用いてれば、大規模システムをきわめて経済的に組み立てることができる。
【０１７９】
図９において、ダイ１１５の一部分は基板１２３に重なっており、それによって半キャパシタ１１１および１１３が心合わせされて基板１２３とダイ１１５の間に容量性信号通路を形成する。このリープフロッグ構成は、基板１２４とともに続き、この基板は、結合半キャパシタ１２５および１１６を介してダイ１１５と部分的に重なりまた容量性結合される。同様に、基板１４０は、基板１２４と部分的に重なりまた容量性結合され、それによってリープフロッグ構成が延長される。好ましくは、このリープフロッグ手法を用いて電力が一つのダイ／基板から例えば前に述べたファズ・ボタン接続によって次のダイ／基板に分散される。
【０１８０】
図９には、また、複数の能動性素子をもちまた複数の結合半キャパシタ１１７を介して基板１２４に結合非架橋ダイ１１９（リープフロッグ構成の一部ではない）が示されている。同様に、非架橋ダイ１３６は、例えばオフ・ダイ通路（基板１４０内の）を用いて半キャパシタ１３３および１３５に近い能動性表面１３８上の回路に結合される。
【０１８１】
リープフロッグ構成にはいくつか特筆に値する利点がある。第一に、例えば単一の基板とダイが組み合わされる同程度の大きさのシステムと比較して熱膨張の負の作用が大きく低減される。すなわち、ダイ１１５がきわめて高温で使用されて半キャパシタ１１６および１２５の間にわずかなずれが生じたとしても、半キャパシタ１１７および１２８と半キャパシタ１２０および１３０の心合わせはほとんど影響を受けない。
【０１８２】
リープフロッグ構成の他の利点は、補修の容易さである。上端レベルのモジュール１２３、１２４、および１３６は、欠陥が生じても、システムをさらに分解することなく個々に交換することができる。下端のモジュール１１５、１１９、および１４０を交換する場合でも、多数のモジュールを有するシステムを比較的わずかしか分解する必要がない。
【０１８３】
リープフロッグ構成のさらに地の利点は、そのダイ間接続の高性能にある。すでに述べたように、結合半キャパシタ（または結合伝送線）は、同程度の大きさの導電性接続と比較して寄生インダクタンスが低い。さらに、リープフロッグ構成の中ではモジュールが重なるため、信号通路の長さも、例えば表面実装ダイを有するＰＣ盤あるいはＭＣＭ等の周辺に分散したピンを利用する従来技術の場合より短くなる。このような短い信号通路と低い寄生インダクタンスを組み合わせることによって、システム全体の性能を大きく高めることができる。
【０１８４】
リープフロッグ構成は、また、従来の平面パッケージ法より密度を高めることができる。したがって、クロック・スキューの問題も有意に低減することができる。好ましくは、クロック信号は、リープフロッグ集積システム内の中央に配置されたモジュールから、各々が結合半キャパシタによって連系される一以上の伝送線部分からなる複数のクロック分配通路を介して放送される。このようなクロック分配通路は、好ましくは、回復論理（例、送信および／または受信回路）を含まず、したがってクロック信号に不必要なゲート遅延をもち込まないものとする。
【０１８５】
従来のＭＣＭシステムでは、信号伝搬速度は誘電係数の平方根に逆比例するため、基板材

料の誘電係数を低減させるために大きな努力が払われた。本発明のリープフロッグ構成は、信号通路の長さを低減するもので、信号伝搬時間を比較的に改善するため、有利である。したがって、本発明を用いれば、新規な低誘電係数の基板をもとめる必要なく、待ち時間の低減をはかることができる。

【０１８６】

リープフロッグ構成のさらに他の利点は、それによって、異質の両立性のないモジュールの集積が可能になることである。半導体ダイ１１５、ダイ１１９、およびダイ１３６の間で、電圧レベル、材料等は異なっていてもよく、それによって、システム・デザイナーは、高密度に集積されたシステム内部に各種の異なる技術の特殊な利点を活用することができる。同様に、基板１２３、１２４、および１４０の性質も、性能、信頼性、補修性、コスト、および他の要因を改善するために適当に選ぶことができる。例えば、ダイ１１５はカスタマーグレードのシリコンＣＭＯＳとし、ダイ１１９はダイヤモンド上のマイクロエレクトロニックを搭載し、ダイ１３６はジョセフィン接合をもつ高温超電導材料であり、基板１２３はＦＲ４などのラミネート材料であり、基板１２４はチップ第一面上にリソグラフィーで形成された線などの薄膜からなる能動性基板であり、基板１４０はゼログラフィーで形成された厚膜とすることもできる。

【０１８７】

相互接続の安価さと異質の集積への適応性は、部分的または専門的機能を支持するために小さなダイあるいはモジュールを使用できることを意味する。これに対して、従来の技術は、一般的に、ダイ以外の信号方式のコストを理由に多数の機能的サブシステムを束ねて大規模集積回路にしようとするものであり、製造コストを増し、性能を犠牲にする場合が多かった（特定の構成要素のために最適でない例えばアナログ等の技術を使用するため）。容量性結合マルチ・チップ・システムが含む重要な構成要素の例としては、論理素子（例、フィールド・プログラマブル論理アレー）、（フィールド・プログラマブル）ゲート・アレー、プロセッサ、算術演算装置、ビット式操作装置（例、セルラー・オートマタ）、置換装置、連系ネットワーク、メモリー、非機械式アクチュエーター、センサー、部分的アナログまたはデジタル構成要素のアレー（例、各種の寸法の抵抗）等を挙げることができる。

【０１８８】

次に図１０を参照して、同図は、すべてダイからつくられたリープフロッグ集積システムの一部分を例示したものである。基板１２３、１２４、および１４０（図９）をダイ１６３、１６４、および１８０で置換することで、論理および多の回路のより高密度な集積ならびに熱膨張係数のより完全な整合が可能になる。それ以外では、図１０のダイ－ダイ－ダイ・リープフロッグ構成の性質と利点は、図９のダイ－基板－ダイ・リープフロッグ・アセンブリーあるいは図７の基板－ダイ－基板アセンブリーのそれと同様であり、したがって、ここではその説明を省略する。この種のシステムでは、電力は、ダイを通る孔またはダイに拡散されたコンタクトではなくダイの間の隙間を通って分配され、また、専用の電力基板および圧力板を用いることができ有利である。

【０１８９】

次に図１１Ａ－Ｂを参照して、同図は、容量性結合モジュラー・システム内のキャパシタ版の間のずれの作用を示す図である。図１１Ａは、容量性結合システムの一部分を示し、ダイ２５１、２５２、２５３、および２５４は完全に心合わせされ、半キャパシタ板の寸法と同じ重なり領域２５５、２５６、および２５７が画定されている。この理想的な構成では、容量性信号結合が最大化され、のぞまない漏話が最小化される。

【０１９０】

図１１Ｂは、同じ部分を示すものであるが、ずれたダイ２６２がダイ２５２（図１１Ａの）にとって代わっている。ダイ２６２のずれは、領域２６５および２５６の面積を減少させ、ずれたダイの半キャパシタの重なりをあらわしている。したがって、ダイ２６２とダイ２５１および２５３の間の信号結合の大きさは減少する。ダイ２６２の半キャパシタと他の近接の導電性信号ラインまたは半キャパシタとの間の漏話も同じく増大するであろう

。しかし、重要なことは、ダイ２６２のずれが、ダイ２６２に直接結合されていない他のダイ、例えばダイ２５４などの間の結合あるいは心合わせに影響しないことである。

【０１９１】

特定のダイのずれが予想されう場合には（例、ダイがきわめて高温で使用される）、その補償のためにそれらの特定のダイに関連する半キャパシタの寸法を大きくすることが好ましい。重要なことは、問題のダイに関連する特定の半キャパシタのみを多くくする必要があることである。したがって、システム中のオフ・ダイ接続の全体の密度の有意な減少は生じない。結合半キャパシタ接合の低コストあるいはそのずれに対する本体的な許容性のために、この種の接合は、マルチ・チップ・モジュールのみではなく異なる他の多くの用途で有用である。例えば、半キャパシタ接続を利用したケーブルは、従来のケーブルに比較して、コスト、信頼性、寸法、および性能の面で有利である（図２１、３９－４０を参照）。同様に、ピン数の多いモジュラー式消費者用製品、例えばドッキング可能なラップトップ・コンピュータなども、本発明を用いて効果を挙げることができる。パッドが制限されたチップは、通常、本発明を用いて実装することができて有利である。この種のチップは、通常、信号経路選択ネットワーク、許容される同時１－０または０－１遷移の数によって寸法が制限される２進集積回路、および多くのきわめて小さいチップを構成する。

【０１９２】

次に図１２Ａ－Ｂを参照して、同図は、ずれの影響を最小限に抑えるために寸法の大きい半キャパシタ板を用いた例を示す。図１２Ａ－Ｂで、半キャパシタ２７２は、意図的に半キャパシタ２７３より大きくつくられている。これによって、ダイ２７４は、半キャパシタ板の重なりの面積に影響をあたえることなく（例２７０対２７１）、かなり膨張することができる（図１２Ｂに示されるように）。

【０１９３】

さらに、２７２などの半キャパシタ板の寸法を大きくして用いれば、さもなければ近くの構造体に終端することになるより小さい半キャパシタ板からの端フィールド線のいくつかを終端させることができる。これによって、より小さい半キャパシタ板２７３から受ける漏話の量を低減することができて有利である。

【０１９４】

次に図１３を参照して、同図は、異質な集積システムの一部分を例示し、また、本発明にもとづくモジュール集積のための各種の方法を説明した図である。

【０１９５】

図１３のシステムは、実質的な空間充填パッケージ内に配置された二つの階層レベルを示す。ただし、同図に例示した集積技術には、２Ｄまたは３Ｄの階層的カプセル化という高いレベルの技術を用いた拡張可能なシステムが示されている。このシステムは、モジュール２００、２１１、および２１９を含む。モジュール２００は、容量性結合チップ２０１および２０４からなる。モジュール２１１は、容量性結合チップ２０８および２１０からなる。モジュール２１９は、容量性結合チップ２１５および２１９ａからなる。

【０１９６】

図１３は、本発明にもとづいてモジュール２００、２１１、および２１９を結合するための各種手段を例示したものである。ケーブル２１４は、モジュール２００チップ２０４をモジュール２１１のチップ２０８へ結合する。モジュール２００のチップ２０２とモジュール２１１のチップ２１０の間には、半キャパシタ２０３、半キャパシタ２０５、連係基板２０６、半キャパシタ２０７、および半キャパシタ２０９を経由する容量性信号通路が配設される。

【０１９７】

チップ２１５および２１９ａのモジュール２１９への実装は、例示してある外部的にあたえられる形状的要件に対応するためにスペーサー２１２に対して角度を付けて行なわれる。モジュール２１１のチップ２０８とモジュール２１９のチップ２１５の間の容量性信号通路２１７は、可撓性連系基板２１６によって完成するが、この基板は、好ましくは非平面の形状的要件に対応するように可撓性材料でつくられる。モジュール２１９のチップ２

１５は、さらに、外部の導体または光の接続部２１８からも入力を受ける。
【０１９８】
部分分解図の形で示してあるが、図１３に示す部分的システムが実質的には空間充填アセンブリーを形成することは明らかであろう。すなわち、図１３に示す空間充填アセンブリーは、それ自身、より大きいモジュラー式電子システムの一つのモジュラー部分となり得るものである。容積的に高密度な３Ｄ空間充填パッケージは、通常、２Ｄ実装より比較的短い平均通路長とより速いクロック周波数を有する。
【０１９９】
図１３には、ヒートシンクは明確に示されていないが、本明細書の他の部分で説明するように容易に配置することができる。スペーサー２１２は、外部的にあたえられる形状的要件を満たすための機械的支持構造となるばかりでなく、チップ２１０および２１９ａから熱を伝導する効果がある。
【０２００】
次に図１４を参照して、同図は、可撓性のあるいは等高の基板上にオプションの複数の超電導素子が一つの相として実装されている本発明一実施形態を示す。各々が複数のマイクロエレクトロニック素子を搭載した予め製造されたダイ２３１および２３９が単一の基板２３０の対向する面に取り付けられている。ダイ２３１と２３９の間の容量性信号方式は、やはり基板２３０の対向する面に実装されあるいは取り付けられた結合半キャパシタ２３２および２３８によってあたえられる。これらの半キャパシタは、平面である必要はないので好都合である。
【０２０１】
材料的な制約面で許されれば、両マイクロエレクトロニック素子および半キャパシタは、モノリシックは製造方法によって基板２３０に実装することが好ましい。例えば、材料の領域を基板２３０上に堆積させるかあるいは他の方法（例、イオン注入）で処理して生成する。好ましくは、基板２３０上に塗装または他の方法で堆積させた（好まし高Ｔｃ）超電導薄膜内にジョセフィン接合素子を実装する。
【０２０２】
基板２３０は、半キャパシタ２３２および２３８の間で適当な容量性結合を行なうように輪郭を形成される。図示の例では単純なＵ字形であるが、基板２３０には、ら旋状あるいは同軸円筒状など他の形状を使用することもできる。
【０２０３】
ダイ２３１および２３９、ならびに半キャパシタ２３２、２３８、光センサー２４０、および電力コンタクト・パッド２４１は、好ましくは、基板２３０の変形に先立って製造される。基板２３０は、可撓性の材料から製造中に二以上の個別の部分を接着または他の方法で結合させて形成するか、あるいは、製造中に熱または他の適当な処理によって変形させた剛性材料の単一の部分から形成する。
【０２０４】
電源および接地は、電力パッド２４１への導電性または放射性（例、容量性、誘導性、および／または光学性）コンタクトによって、あるいは盤上バッテリーによってあたえられる。超電導および地の低電カシステムでは、とくにＡＣ電力手段２３５が機械的コンタクトの必要なしにパッド２４１に電力を伝えることができて好ましい。
【０２０５】
外部信号方式は、好ましくは、誘電体２３７を通って光センサー（またはドライバ）２４０に光学的に結合された光導体２３４によってあたえられる。あるいは、他の箇所で説明するように、容量性または磁気性手段を用いることもできる。
【０２０６】
次に図１５を参照して、同図は、各種の寸法とパッケージ・レベルのモジュールを結合するための均一な容量性インタフェースを示すものである。図１５では、モジュール２７４上に均一な容量性インタフェース２７６をまたモジュール２７７ａ－ｃ上に均一な容量性インタフェース２７５を用いることによって、モジュール２７４へのモジュール２７７ａ

－ｃの互換可能な接続が可能となる。

【０２０７】

容量性インタフェース２７５および２７６は、それぞれ、単一の半キャパシタと接着された誘電性部分を有する半キャパシタとして図示されている。実際のシステムでは、この種の容量性インタフェースは、好ましくは規格化されたフットプリント内に配置された複数の半キャパシタ（および光電導コンタクト）を有するものである。好ましくは、容量性インタフェース２７６は、インタフェース２７５に結合されるより多くの半キャパシタを有し、インタフェース２７６上の残りの半キャパシタは、テスト・モジュールへの結合、設計変更等に対応するために用いられる。

【０２０８】

図１５には、他にも接続可能なモジュール２７７ａ－ｃが示されており、これらは、パッケージ階層内の異なるレベルをあらわしている。図示の例では、モジュール２７７ａは、レベル－０の非パッケージ・ダイを有する。モジュール２７７ｂは、レベル－２のパッケージ・モジュールを有する。また、モジュール２７７ｃは、レベル－２またはレベル－３のパッケージ・モジュールを有する。

【０２０９】

本発明にもとづいて規格化された容量性インタフェース２７５および２７６を使用することで、製品および／またはシステムの改良のために改善された方法を用いることが容易となる。製品の改良に関しては、当初、標準あるいは半特注部品（例、モジュール２７７ｂまたは２７７ｃ）の半特注アセンブリーを用いてあたえられたモジュールを実装する。製品が成熟し生産量が増大した段階で、モジュールを特注ＡＳＩＣダイ（例、モジュール２７７ａ）として再実装し、より高いレベルでの修正を必要とせずに製品に導入することが好ましいであろう。他の製品改良の方法、例えば、モジュール２７７ｃを２７７ｂと交交換する、あるいはレベル１－１／２ＭＣＭ実装と交換する、などの方法も本発明の範囲内で可能である。

【０２１０】

本発明を、システム改良の面から説明すると、モジュール２１７ａ－ｃをきわめて平行的なコンピュータの機能ブロックの異なる実装と見ることもできる。特定のアプリケーションの要件に応じて、コンピュータ・メーカーは、低性能モジュール２７７ａ、中間性能モジュール２７７ｂ、あるいは高性能モジュール２７７ｃを選択的に導入することができる。同様に、この種の機能的モジュールは、現場の変化に応じて特定のシステムの全体的な要件に合わせてクルードアップすることも可能である。

【０２１１】

先行技術のデザインを階層的に分解する場合に当面する問題としては、高レベルの機能を区分した後に、低レベルのモジュールをあたえられた技術では効果的に実装できないことが明らかになり、さらにその後に、最適でない（例、きわめて費用のかかる）技術の混ぜ合わせを避けるために再び高いレベルでの再区分を行なう必要が生じるような事態が想定される。本発明によって得られる改良された製品およびシステムの基礎には、本発明によって、パッケージの階層のすべてのレベルに均等に、共通の高密度で高性能のインタフェースを実装できることがある。階層的分解デザインの実施には、本発明にもとづく各サブモジュールごとの均一なインタフェースと機能的仕様を利用することができる。本発明は、共通のインタフェースを支持するもので、それによって、デザインの初期の段階で指定されたサブモジュールを、その機能を実施するために複数のダイと異なる技術が必要な場合でも、後の段階で実装することが可能となる。すなわち、本発明では、階層的システム内の特定のモジュールの実装が必ずしもモジュール間のインタフェースによって制約されないために、デザイナーが階層的分解の機能を利用する能力を大幅に高めるものである。実装が進行して、予想された技術がサブモジュールの実装に不適当であることが明らかとなった場合でも、通常は、高い次元の区分の作業をやり直す必要なく、他の技術またはＭＣＭを使用して実装を進めることができる。

【０２１２】

次に図１６を参照して、同図は、モジュール・システムを図示したものであり、そのモジュールシステムでは、複数のモジュールが、バックプレーンとして図示された支持シャーシに取り付けられた基板に容量性結合している。基板２７８が、そのバックプレーンを含み、さらに、複数のモジュール取付け用支持構造体２７９ａ－ｃを含む。支持構造体２７９ａ－ｃは、好ましくは、熱伝導性の高い材料で製造し、そこに取り付けられたモジュール２８０ａからの熱の拡散を高めるようにする。各バックプレーンのスロット２８１は、好ましくは、支持構造体２７９ａ上に取り付けられ支持構造体２７９ｂに隣接して分解図で示すモジュラー・サブシステム２８２を収容する。

【０２１３】

モジュラー・サブシステム２８２は、複数のダイ２８０ａ－ｂおよび架橋基板２８０ｃを含む。ダイ２８０ａは、ダイ２８０ｂに容量性相互接続される。導電性電力接続部は図示されていないが、これらは、図４－６に示したものと同様に実装することができる。架橋基板は、ダイ２８０ａと基板２７８の間の容量性信号通路を提供する。基板２７８は、好ましくは、各種モジュラー・サブシステム２８２を相互接続する複数の終端された伝送線（図示しないが図５に全体的に示す）を含む。

【０２１４】

次に図１７Ａを参照して、同図は、先行技術のレベル１パッケージを上から見た斜視図である。単一のダイ２８９ｍは、通常はシリコンで形成され、通常はエポキシまたはセラミック材料で形成される基板２８９ｎによって支持される。複数の電力リード線２８９ｇおよび信号リード線２８９ｅは、通常はアルミニウム支柱から形成される。電力リード線２８９ｇは、ワイヤボンド２８９ｈを介して電力／接地コンタクト・パッド２８９ｉに導電性接触している。接地および電力レール２８９ｋは、電圧をダイ２８９ｍ上に実装された回路に分配する。信号リード線２８８ｅは、低抵抗ファンアウト２８８ｂ、コンタクト・パッド２８８ｃ、およびワイヤボンド２８８ｄによってＩ／Ｏ回路２８８ａに導電性結合されている。

【０２１５】

図１７Ａは、先行技術の基本的欠点を示している。ダイ２８９ｍの有用な不動体は、他のチップおよび／または他のパッケージ・レベルへの導電性信号方式を支持するために消費されている。図１７Ａで、信号方式のためのこの種の不動体は、コンタクト・パッド２８８ｃ、該パッドへの低抵抗ファンアウト２８８ｂ、およびドライバ／受信器２８８ａを含んでいる。不動体を過度に利用することによるコストに加えて、先行技術は、さらに、ボンド・ワイヤ２８８ｄおよびパッケージ自身２８８ｎを必要とする。パッド２８８ｃがダイ２８９ｍの周辺に限定されている（それによってファンアウト２８８ｂを短くしている）場合には、ｐ@あっどを収容するための十分な周囲部分を用意するために付加的な不動体が必要となる。すなわち、高密度のＩ／Ｏ端末を必要とするデザインは、さらに、浪費されるチップの不動体部分を増大させることになる。最後に、基板２８９ｎが存在することによって、パッケージ・パーソナル全体の寸法を裸のダイ２８９ｍのそれより何倍も大きくなる。

【０２１６】

図１７Ａは、また、先行技術で通常生じる信頼性および性能上の問題がどこから生じるかを示している。コンタクト接合２８８ｂ－２８８ｃおよびボンド・リード線２８８ｄの直列インダクタンスは、通常、きわめて高く（例、０５－１０ｎＨ）、低域フィルターとして機能し、それにより、高いクロック周波数で信号ラインを駆動するためにより多くの電力が必要となる。導電性コンタクトは、主として論理ゲートに関係し、クロック周波数が増大しまたリソグラフィーの寸法が減少してものぞましいレベルにならない。最後に、導電性コンタクト接合は、機械的コンタクトをともない、それによって接続部をダイ２８９ｍと組み合わせまた分解する能力を制限し、その接続部の信頼性を低下させる。

【０２１７】

次に図１７Ｂを参照して、同図は、本発明にもとづいて実装されたフリップ－チップ・レベル１モジュラー・システムの分解図である。基板２８９ｆは、ダイ２８９ｃと組み合わ

され、また、好ましくは、終端された伝送線として実装される信号連系２８９ｂを構成する。電力／接地コンタクト・パッド２８９ｉは、導電性ファズ・ボタン２８９ｃ可逆的に組み合わされ、基板２８９ｆとダイ２８９ｅの間の可逆的導電性連系を構成する。あるいは、基板２８９ｆは、コンタクト・パッド２８９ｉがハンダの突起、ワイヤボンド、ピン、またはボール・グリッド・アレーなどの従来の導電性コンタクト手段と組み合わされるように構成することもできる。ファンアウト２８９ｋは、ダイ２８９ｅ上に実装された各種回路に電力を分配する。好ましくは、パルス信号方式を利用し半キャパシタ板２８９ａの下に実装された一以上のドライバおよび／または受信器２８８ａが、ギャップを横切って整合する半キャパシタ板２８９ａ－ａａの間の信号を送受信する。このギャップは、好まし高い誘電率を有する材料で充填される。

【０２１８】

本発明の単一ダイ・システム（図１７Ｂ）を先行技術の代表的な単一ダイ・システム（図１７Ａ）と比較すると、本発明が、ファンアウト２８８ｂおよびコンタクト・パッド２８８ｃの専用とされていた不動体の大部分を解放し、この部分を図１７Ｂに示すような回路の実装に利用できるようにしたことがわかる。さらに、本発明は、ボンドワイヤ２８８ｃと外部信号リード線２８８ｄを有する要素に関連するコストをなくし、したがって、本発明の導電性電力コンタクト・パッド２８９ｃのためのコストは、先行技術の電力ボンドワイヤ２８９ｇとリード線２８９ｈのコストの合計より少なくなると思われる。

【０２１９】

基板２８９ｆおよび関連する誘電体の一インチ平方当たりコストは、基板２８９ｎのそれにほぼ匹敵する。しかし、基板２８９ｎは、通常、基板２８９ｆより小さいため、本発明によって基板のコストも低減される。本発明のシステム（図１７Ｂ）は、通常、先行技術のシステムより高密度であるため、本発明では短い信号ラインしか必要とせず、それによって待ち時間および減衰損が減少する。

【０２２０】

ある種の先行技術のフリップ－チップでは、ハンダの突起等によってボンドワイヤ２８８ｂおよびリード線２８８ｃに必要な不動体が減らされている。しかし、このような先行技術でも、導電性連系に関連するのぞましくない直列インダクタンスが導入される。さらに、寸法の小さい結合半キャパシタ接合によって、多数の接合を安価で密度にしかも高収量で製造することが可能となる。さらに、本発明によって得られる簡単な組み合わせ法によって、鋳造工場でダイをＭＣＭに組み込むことが可能になり、ＭＣＭあるいは盤の製造のためにダイを他の場所に出荷する必要がなくなった。

【０２２１】

次に図１８Ａ－Ｃを参照して、同図は、本発明にもとづくＭＣＭ（例を図４－５に示す）の組立てのいくつかの工程を示す。多くの方法を用いることができるが、図１８Ａ－Ｃは、組立て中に真空据付け法を用い方法を示している。

【０２２２】

図１８Ａを参照して、複数のダイ５０３は、誘電体５０２でコーティングされた高解像度基板５０３と光学的フィードバックおよびダイおよび基板両者の上の基準マークを用いて心合わせされる。これらの基準マークは、ダイの下の基板に開けられた穴を用いるかあるいはシリコンウェーハを通る赤外線影像を用いて追跡することができる。ダイと基板の間の見当の違いの程度を確認するために余分の基準マークを配設しておいてもよい。ダイ５０３の見当合わせは、選ばれた対のダイと基板の半キャパシタの間の容量を測定しまたそれを最大にすることによって確認し、心合わせの程度を微調整することができる。ピックンプレース式装置を用いた干渉計測法を用いることもできる。

【０２２３】

すべてのダイの心合わせがすんだら、－真空チャンバー５０５、真空ホース・アタッチメント５０６、およびＯ－リング５０４を用いて－基板５０１の下を真空にし、ダイ５０３を所定の位置にしっかりと据え付ける。

【０２２４】

次に図１８Ｂを参照して、次に、エラストマー熱導体５１１および圧力いた／ヒートシンク５１０を所定の位置に置気、ボルト５１２とナット５１３で固定させてダイ５０３の裏側と接触させ、それによってしっかりとしたアセンブリーを形成する。

【０２２５】

次に図１８Ｃを参照して、しっかりしたアセンブリーを逆立ちさせ、導電性コンタクト５２１を高解像度基板５０１の中に配置する。電力基板５２０はコンタクトの上に配置する。ボルト５２２とナット５２３を用いてこの電力基板を圧力板に押し当てて圧縮させることによってモジュールの組立てが完成する。

【０２２６】

他の好適な組立て法は、紫外線硬化性接着剤を用いるものである。この方法では、基板は、誘電材料でコーティングされ、紫外線硬化性接着剤が塗布され、次にダイが個々に配置され心合わせされ、さらに紫外線放射が行なわれて接着剤が硬化される。

【０２２７】

次に図１９を参照して、同図は、全体の利得を調節するための手段を含む容量性信号通路を示す。利得の調節の必要性は、半キャパシタ板の横方向および／または角度のずれ（組立てまたは熱膨張による）、送信器または受信器に影響する加工処理のばらつき、誘電体内のばらつき、等を含む多くの要因から生じる。

【０２２８】

モジュール２８６上では、信号ライン２８６ｂ上の入力信号に応答して、送信器２８６ａが半キャパシタ２８６ｃ上で信号を生成する。モジュール２８７上では、半キャパシタ２８７で受信した信号に応答して、受信器２８７ａが信号ライン２８７ｂ上に出力信号を生成する。

【０２２９】

図１９は、入力２８６ｂと出力２８７ｂの間の信号対ノイズ比を最適にするために容量性結合された信号道路の全利得を調節するいくつかの手段を示。すなわち、（１）送信器２８６ａの利得を調節する、（２）トリム板（ａ／ｋ／ａ「小板」）２８６ｄを半キャパシタ２８６ｃと平行連動させるかまたは半キャパシタ２８６ｃから切断する、（３）トリム板２８７ｄ－ｄｄを半キャパシタ２８７と、平行連動させるかまたは半キャパシタ２８７から切断し、また／または受信器２８７ａの利得を調節する、である。

【０２３０】

送信器構成手段２８６ｅは、送信器２８６ａの利得および／またはトリム板２８６ｄと半キャパシタ２８６ｃの間の接続を制御する。同様に、受信器構成手段２８７ｅは、受信器２８７ａの利得および／または取り向いた２８７ｄ－ｄｄと半キャパシタ２８７ｃの間の接続を制御する。このような構成手段を使用することによって、差動信号通路も容易に生成することができる。

【０２３１】

容量性信号通路の利得の調節は、静的にもあるいは動的にも行なうことができる。静的調節は、好ましくは、組立て（すなわち、２８６と２８７の組合わせ）の前に行ない、ダイ２８６と２８７の製造の偏差を補償する。その目的は、とくに弱い送信器がとくに弱い受信器と対に組み合わされるのを避けることにある。ダイ２８６の静的調節は、ダイ２８５を特性が明確なテスト・ダイに一時的に取り付けることを含む。テスト・ダイは、ダイ２８６からパルスを受信し、送信器構成手段２８６ｅのプログラムに用いられるフィードバックを提供し、それによって送信器２８６ａの利得を通常の公差内に収まるように構成する。ダイ１８７の静的調節は、同様な手順を含み、一時的に取り付けられたテスト・ダイが特性の明確なパルスをダイ２８７にあたえ、受信器コスト手段２８７ｃの適当なプログラミングを可能にする。

【０２３２】

動的構成は、モジュール２８６および２８７の製造中または組み立てられたシステムの使用中に生じる利得偏差を補償する。動的構成は、好ましくはシステムの使用中に行ない、送信器構成手段２８６ｅおよび／または受信器構成手段２８７ｅを調節して容量性信号通

路生横切る信号対ノイズ比が最適になるようにする。電気通信業界では、このような構成を行なうためのさまざまな方法が知られている。このような動的調節を行なう必要のある周期は、温度の変動、機械的応力、その他の周囲の環境条件に応じて、パワーアップ時に一回のみから毎秒数回まで大きな幅がある。

【０２３３】

構成手段２８６ｃと２８７ａの間および大きなシステムでは素子の間で情報をリレーすることが好ましい。大きいシステムでは、好ましくは、記憶手段、分析およびデータ削減手段、診断手段、および報告および監査手段、ならびに他のサービスが提供される。大きいシステムでは、好ましくは、構成手段２８６ｅおよび２８７ｅ内の各種設定値が、好ましはセンサー・データを含む両者からのデータに応じて共に最適化される。

【０２３４】

次に図２０Ａ－Ｂを参照して、同図は、本発明にもとづいてアプリケーションに固有のサブモジュール（ＡＳＳＭ）から構成されたアプリケーションに固有のモジュール（ＡＳＭ）の例を示す図である。公知のように、ＣＡＤ技術の進歩によってアプリケーションに固有の集積回路（ＡＳＩＣ）の利用が爆発的に増大し、システムの記憶されている記載内容が、集積回路マスクの特注ＣＡＤシステムによって自動的に実装され、このマスクが次に製造されて標準レベル１パッケージに包装されるようになっている。従来の技術では、パッケージおよび復数ダイの相互接続の高いコストおよび性能上の限界から、アプリケーションに固有の複数ダイ・システムの実装（例、ＭＣＭ）は、単一のダイＡＳＴＣよりはるかにコストが高く付いた。しかし、本発明は、複数ダイ連系のコストおよび性能の限界の多くを除去するもので、それによって、アプリケーションに固有の複数ダイ・システム、ＡＳＳＭ、あるいはＡＳＭの実装化を経済的に有利に行なうことが可能となった。

【０２３５】

図２０Ｂは、ハンダの突出部１８８を通る電力の導電性結合および誘電体１８９を通る容量性信号を行なうＡＳＳＭ１８６ａおよび１８６を含むＡＳＭの例を示す。本発明のアセンブリー／試験方法を用いれば、高信頼性ＡＳＭ１２９の製造をきわめて低コストにまた高い収量で行なうことができる。

【０２３６】

図２０Ａは、組合わせ前のＡＳＳＭ１８６ａおよび１８６を示す。ＡＳＳＭ１８６は、一部分しか示されていない。ＡＳＳＭは、好適に一以上の他のＡＳＳＭ１８６ａと組み合わせることができる。ＡＳＳＭ１８６およびＡＳＳＭ１８６ａは、いずれか一方または両方を、ＡＳＩＣににた方法を利用して特注で製造することもできるし、また／または特注の（フィールド）プログラマブルな論理部品に用いられる方法を用いて個人化することができる。

【０２３７】

構造的には、ＡＳＳＭ１８６ａおよび１８６は、各々が好ましはそれぞれ複数の電子装置１８４ａおよび１８４ｂを含む。導電性コンタクト・パッド１８１ａおよび１８１ｂは、ハンダ・ボール１８８等を収容する構成とされ、ＡＳＳＭ１８６からＡＳＳＭ１８６ａに動力を供給する手段を提供する。素子１８４ａと１８４ｂの間の容量性信号方式は、配線１８５ｂ、ドライバ／受信器１８３、結合半キャパシタ１８２ｂおよび１８２ａ、ドライバ／受信器１８３ａ、および配線１８５ａによってあたえられる。ＡＳＳＭ１８６は、付加的なＡＳＳＭを収容するために、オプションとして、付加的な配線１８５ｃ、ドライバー／受信器１８３ｃ、および半キャパシタ１８２ｃを含むものとすることができる。本発明にもとづくＡＳＭ設計のパラダイムを使用すれば、アプリケーションに固有の実装技術の範囲を、単一のダイ上で実装するには大きすぎて許容できる収量が得られないシステムにも広げることが可能となる。

【０２３８】

次に図２１を参照して、同図は、本発明の容量性インタフェースを利用したケーブル・インタフェースを示す。ケーブル４１０は、適当に選ばれた誘電性内側媒体４１９内に配置された複数の伝送線４１３を収容する外披４１８を有する。伝送線４１３は、各々が、好

ましは、インタフェース４１２で半キャパシタ４１４に接続されて他の容量性終端されたケーブルまたはソケットと組み合わされるように構成された標準インタフェースを形成する。インタフェース４１４は、好ましくは、他のケーブルまたはコネクター・ソケットに取り付ける４１０ための手段４１５を含み、該手段は、ケーブル４１０を他の素子のインタフェースに配置して保持するための機械的案内、光学的配置、見当マーク、または他の手段をともなう。インタフェース４１４は、心合わせの安定性を高めるために平坦またはパターン化されたものとすることができる。ケーブル４１０は、さらに、インタフェース４１４で導電性連系を行なう構成とされた一以上のラインを含むものとすることができる。

【０２３９】

本発明にもとづく半キャパシタ・ケーブル・インタフェースを使用することによって、従来のケーブル接続に比較して多くの利点が得られる。結合半キャパシタによって、インタフェースでは、従来の導電性インタフェースよりインピーダンスがかなりすぐれた整合を行なうことができる。さらに、本発明によって、インタフェースで、かなり高密度の連系が可能となる。また、容量性ケーブル・インタフェースは、従来の導電性ケーブル接続より製造が簡単で信頼性が高い（汚染腐食に対する抵抗力の面から）。

【０２４０】

次に図２２を参照して、同図は、モジュラー電子システムの一部を例示したもので、基板が、チップ間およびチップ内両方の容量性信号通路を提供する例である。チップ間容量性信号通路４０２は、チップ４０１ａおよび４０１ｂを相互接続する。チップ内容量性信号通路４０３ｂは、伝送線および基板４０４上の二つのキャパシタを介してチップ４００ａ上の二点を相互接続する。チップ内容量性信号通路４０３ａも、同様に、チップ４００ｂ上の二点を相互接続する。信号通路は、単にチップ間またはチップ内である必要はないことに留意が必要である。例えば、基板４０４上の伝送線のパターンは、異質信号通路を実装した分岐を含み、チップ間およびチップ内相互接続両方を行なうものであってもよい。

【０２４１】

チップ４００ａおよび４００ｂは、基板４０４からそれぞれ導電性電力接続部４０１ａおよび４０１ｂによって電力が供給されるものとして例示されている。

あるいは、４０１ｂのような電力供給手段は、チップ４００ｂ、基板４０４、またはシステムの他の場所に配設されたバッテリーに接続できるようにして、外部電力接続部の必要性をなくすこともできる。電子装置に電力を供給するための手段は、多くのものが当業者には知られており、本発明のねらい添って好適に使用することができる。

【０２４２】

次に図２３Ａを参照して、同図は、本発明にもとづいて構成されたテスト・モジュール用装置の例を示す。テストされるモジュール２９６は、テスト・モジュール２９７に容量性結合を行ない、該テスト・モジュールは、テスト・ベクトルを駆動してテスト信号を受信する（また、オプションとしてテスト信号の評価も行なう）。テストされるモジュールまたはテスト・モジュールには、テスト・パターンおよび／またはテスト結果を記憶するための複数のラッチを配設することができる。重要なことは、テストされるモジュール２９６の視点から、テスト・モジュール２９７への電気的インタフェースが、実際のシステムに導入されたときにテストされるモジュール２９６が見るインタフェースと基本的に同じにつくられていることである。したがって、テストされるモジュール２９６は、テスト用取付け具の高次の寄生成分を収容できるように、そのドライバをデザインし直す必要なしに高速でテストできることが必要である。装置は、モジュール２９内でテストされている回路が、基本的に寄生成分なしに全速力で操作される。待ち時間を除けば、テスト信号は、第二の「実際の」モジュールに結合されたときに見られるものとほぼ同じにすることができ、また、待ち時間は、任意に小さくすることができる。

【０２４３】

テスト信号の容量性検出は、先行技術によって知られている。例えば、米国特許第５２７４３３６号「容量性結合されたテスト・プローブ」を参照されたい。

この特許は、参考のため本出願文書に添付してある。

【０２４４】

従来のテスト法は、ダイ上の各コンタクト点とテスト用取付け具上の対応するプローブの間の実際の接触を含むものであった。それに対して、本発明は、好ましくは、テストされるモジュール２９６またはテスト・モジュール２９７の上の同調した回路が用いられ、テストされるモジュール２９６とテスト・モジュール２９７の上の一定の半キャパシタの間での容量性の極端化のサーボ制御（したがって心合わせ）が行なわれる形で、容量性心合わせを利用するものである。このような容量性心合わせによって、費用のかかる光学的心合わせ機器の必要性が軽減される。米国特許第４９８２３３３号「部品の容量案内式組立て」は、先行技術の容量性心合わせを記載している。この特許は、参考のために本出願文書に添付してある。しかし、このような方法は、特別の心合わせ用回路のためにダイの面積を浪費する必要性を軽減する本発明と組み合わせてもちればはるかに好適である。もちろん、心合わせの処理を容易にするために他の回路を利用することもできるが、同調回路は、その目的に有利であり、また、容量性手段は、すでに利用可能であるので好ましい。

【０２４５】

テスト中、テストされるモジュール２９６は、テスト・モジュール２９７に対し相対的に配置され、信号が複数のそれぞれに結合された半キャパンタ２９６ａおよび２９７ａの間を通過できるように組み合わされる。それぞれの導電性接続部２９６ｂおよび２９７ｂによって、テスト・モジュール２９７は、テスト中およびできれば微調整中、テストされるモジュール２９６に電力を供給する。

【０２４６】

テスト・アセンブリー２９６－２９７は、耐久性があり、モジュール２９６および２９７を組立て分解する工程によって、信号接合部２９６ａ－２９７ａを横切る正または負の力またはエネルギーの変化を用いる必要なく組み立てることが好ましい。また、犠牲的テスト・リグあるいは導体－導体信号接合部の分離あるいは接合を必要としないことがのぞましい。

【０２４７】

再び図２３Ａを参照して、テストされるモジュール２９６およびテスト・モジュール２９７のいずれかまたは両方は、ダイス状にされないウェーハを有することが好ましい。テスト・モジュール２９７は、各々が特定の一以上の半キャパシタ２９７ａに関連し、該特定の半キャパシタでテスト信号を生成しまた／または評価するように構成された複数のテスト回路を含むことが好適である。このようなテスト回路がテスト・モジュール２９７の能動的表面（好ましくは半キャパシタ２９７ａの近くまたは下）に実装されると、テスト用の帯域幅を大きく増大させることができる。欠陥のあるテスト回路の存在を補償するためには、二以上の異なるテスト・モジュール２９７を用いてあたえられた一つのテストされるモジュール２９６を順次テストし、それによって、テストされるモジュール上の各回路（またはダイ）が、少なくとも一つのテスト・モジュール上で、確実に、少なくとも一つの作動するテスト回路によってテストされるようにする。

【０２４８】

ウェーハスケールテストモジュール２９７は、多くの構成要素が複数チップモジュールに組み立てられるときにマイクロメーター・カリパスとして使用され、それによって有効な長距離基準マークを提供することが好適である。

【０２４９】

テスト対象モジュール２９６を受動化する必要はない。もちろん、製造コストを下げ、テストを簡素化するためには、高誘電率材料を半キャパシタ２９６ａ上ではなく、複数の半キャパシタ２９７ａ上に配置してもよいことが利益である。設計よりも低い誘電率または大きな分離を使用することによって信頼性の低いドライバまたはレシーバの識別を助けることができるのが利益である。同様に、設計よりも高い誘電率または小さな分離を使用することによって超強力な通信回路をシミュレーションできることも利益である。パラメータテスト中のテスト対象モジュール２９６とテストモジュール２９７間の分離および／ま

たはアライソメントを様々な環境極値のシミュレーションに使用することもできる。その結果として、クロック速度、温度、電圧等の極端な差異の置換を行うことによって、フルパラメータテストを簡単に行うことができる。

【０２５０】

先行技術では、テスト対象モジュール２９６に給電を行う手段が数多く知られている。好ましくは、テスト対象モジュール２９６には、可逆ファズボタン、コンプライアンス性導電性材料（すなわち、加熱時の共融はんだ、軟質もしくは弾性金属、又は硬化前の導電性ペーストのような良好な導電性を示す機械的に柔らかい材料）またはAMPATAR（tm）に似たスプリング式接点から形成された個々の接点２９６ｂと２９７ｂとの間の導電性接続によって給電を行う。

【０２５１】

図２３Ａ、２５および２６に関して検討したテストプロトコルは、非ダイシング半導体ウェーハのテストの場合の実例ではあるが、上記の比較的高レベルのモジュールがこの発明と関連した容量性インタフェースを採用する限りは、これらのテストプロトコルは実装階層のあらゆるレベルに対して適用可能である。

【０２５２】

この発明によって構成されたモジュールのテストには、従来の導電性相互接続モジュールのテストに比べて大きな利益がある。１つの利益はテスト固定具（例えばテストモジュール２９７）のコストの大幅削減である。従来のテストのコストは固定具とテスト対象モジュールとの間の導電性接続の数に大きく左右される。従来のシステムは、刺激されている各ノード毎および観察されているノード毎に導電性信号接続を必要とし、さらに、電源およびアースにも接続を必要とする。この発明の場合は、電源およびアース用のもの（例えば２９６ｂおよび２９７ｂ）を除いたこれら全ての導電性接続が不要になる。裏側２９６ｃのネットワークを通じて電力およびアースをテスト対象モジュール２９６に適用し、それによって、テスト対象モジュール２９６とテストモジュール２９７との間の導電性接続を完全に不要にできることも利益である。いずれの場合にも、不導性結合テストモジュール２９７のコストの方が一般的には匹敵する導電性結合固定具のコストよりも大幅に低くなる。

【０２５３】

固定具とテスト対象モジュールとの間に非常に高密度の相互接続を必要とする場合は、この発明の不導性相互接続２９６ａ－２９７ａの使用によって、テスト対象モジュール２９６とテストモジュール２９７との間の信号接続の数を大幅に増やすことが可能になる。従って、この発明はテスト対象モジュール２９６の可制御性および可観察性を大幅に向上させる。テスト対象モジュール２９６とテストモジュール２９７との間の相互接続密度を非常に高めるこの能力は非常に小さなモジュール（例えばシリコンダイ）のテストの際に特に真価を発揮し、試験方式の能力向上およびコスト低下の結果として上記のモジュール上に従来よりも大型および／または高密度の回路を経済的に製造できるようになる。既知良品ダイの確認がMCMの高歩留まり組立の経済性にとっては決定的に重要である。（ハッゲ他「ノウン・グッドICによるマルチチップモジュールの高歩留まり組立と効果的テスト戦略」、IEEE会報、1992年12月、および「既知良品ダイ」、国際マルチチップモジュール会議1993年度会報、国際ハイブリッドマイクロエレクトロニクス協会、バージニア州レストン1993年を参照）。MCMへの組立の前に欠陥ダイを確認する能力が現在のテスト技法には欠けていることによって、現在のMCMのコストの約50パーセントが生じている（タイ他、「MCM技術の探求と進展」、IEEEマルチチップモジュール会議MCMC-93、カリフォルニア州サンタクルスを参照）。この発明は、これらのコストを劇的に削減する新規性のあるテスト方法を提供する。これらの方法は、（典型的にはセクリフィカルテストリグ内へのダイの実装および不完全突き合わせまたは不完全特性化渦流の許容を必然的に伴う）既知良品ダイの確認の問題を、半導体製造関係者が対処の仕方を熟知している既知良品チップの問題に変えてしまう。さらに、モジュールを開き、疑いのあるチップの上に重なっている高解像度信号基板またはその他のチップのいくつかを取り外すだけで、モジュールへの組立

後にも実装されたチップをテストできる。元の位置のチップまたは取り外し後のチップのいずれかに、専用テストリグを直接適用できる。

【０２５４】

さらに図２３Ａに関しては、テストモジュール２９７が、テスト対象モジュール２９６からのテストデータを半キャパシタ２９７ａを通じて適用し、および／または受け取り、評価するために動作可能なテスト回路（図示してな）を組み込んでいることが利益である。上記の組み込みテスト回路は実質的に「内蔵自己テスト」（“BIST”）能力を提供するが、従来のアプローチが有していた不利益はなくなっている。従来の内蔵自己テストの場合は、テスト回路を作るために、テスト対象モジュール上の相当の面積を使用しなければならず、それがコストを上昇させ、テスト対象モジュールの性能お応歩留まりを低下させる。この発明の場合は、（テスト対象モジュールではなく）テストモジュール上にテスト回路を作ることが可能なので、従来の内蔵自己テストが有していたこれらの問題が解消するとともに、テスト機器および手順の低コスト性、高い可観察性／可制御性、広いテスト帯域幅等の利益は維持される。従って、この発明によるテストモジュール２９７へのテスト回路の組み込みは、モジュラー式電子システムのテスト、検査および修理に関する様々な新規性のあるアプローチを可能にするのである。自己テスト回路は内蔵させることはできるが、内蔵させる必要はない。このテスト方法が、電子ビームによる検査である境界走査法の使用またはテスト用プラズマの使用に不利益を与えたり、その使用を不可能にしたりすることはないが、比較によってその必要性が小さくなる。

【０２５５】

先行技術の場合は、内蔵自己テスト回路への変更のためには、コストが非常にかかるテスト対象モジュールのマスク交換が必要になる。上記のマスク交換はコストのかかる新たな故障モードおよび軽視できない副作用を持ち込むことが多く、その結果、さらなる技術変更が必要になり、市場までの時間が伸びることもある。この発明の場合は、通常は製造中の部品（つまりアスト対象モジュール２９６）に全く変更を加えなくても、内蔵テストハードウエア（つまりテストモジュール２９７上のテスト回路）に変更を加えることができ、それによって、生産部量のテスト作業中の変更に伴うコストおよびリスクが大幅に低下する。さらに、軍事用、高速民生用または低コスト民生用のような異なる仕様に対してテスト対象モジュール２９６を適合させるために、異なるテストモジュル２９７を採用できることも利益である。

【０２５６】

この方法および装置はあらゆるモジュール２９７をテストまたは検査することができ、従って製造可能なあらゆるモジュールをテストできることになる。先行技術、特にクロック速度が比較的速い場合は、完全にシステムに組み立てるまではテストすることができないダイまたはサブモジュールを作ることが可能であるが、組み合わせの点で非常に高価なものになることがある。（DEC社の36ビットジュピター機はテスト不能であることが判明し、従ってその理由で製造不能になり、DEC社の36ビット機シリーズは中止された。この発明によれば、テスト対象モジュールの実装の前にテストが行われるのが利益であり、先行技術の場合はそれが不可能なことが多い。

【０２５７】

さて次に、本発明による故障許容ウェーハスケールモジュラー電子システムのインプリメンテーションのための組み合わせ非ダイシングウェーハの使用を図示した図２３Ｂについて説明する。重要な実例としては、ブレッドボード（オプションとして経路ネットワークを含む）用、ウェーハスケール集積自体用、およびウェーハスケール以下のマルチダイシステム内での用途がある。

【０２５８】

ブレッドボードは、カスタマイジングが容易な経路ネットワークの提供のような、この分野の関係者には周知の目的に役立つ。この発明を利用すれば、ウェーハスケールモジュールに容量性結合された相互結線基板３９７上の相互接続をカスタマイジングすることによって、切り出されていないウェーハスケールモジュール３９６のオフ・ダイ接続性を定義

することもできる。上記のパーソナル化相互接続は、実験室内で取り扱うだけではなく、「出荷」に耐えるだけの耐久性を持たせることができる。容量性結合を使用するブレッドボード状相互接続基板３９７によって、ワイヤ巻き結合の用途および利点の大部分を活用することができ、しかも、ワイヤ巻きの使用によるサイズ、出力、信頼性、耐久性、部品数またはその他の点でハンディキャップを負うこともない。プログラマブル論理装置（PLD）の使用によって、相互接続基板３９７上の相互接続が電気的に構成可能にしてあるのが利益である。

【０２５９】

相互接続基板３９７上の相互接続のマトリックスを、リード線の数に比例した時間で配線するのではなく、平板印刷または一体化組立できるために、上記のように、この発明を利用すれば、ウェーハスケールシステムのパーソナル化は簡単である。従来のブレッドボードとは違って、上記の相互接続基板は機械的に安定しており、商業産生に適したコンパクトさを有している。それに加えて、３９７上に示された相互接続ネットワークを交換、再構成または別の形で変更することによって、サブモジュールを簡単にスワップインまたはスワップアウトすることもできる。

【０２６０】

メンテナンス戦略に応じて、切り出されていないウェーハスケールモジュール３９６上の不要な良品ダイには給電することもしないこともできる。適応配置または目標にするコンパイラ出力によって、機能の良好な余分なユニット、いわゆる「ホットスペア」を活用できるのも利益である。例えば、超長命令語（VLIW）コンパイラ技法を使用して、ウェーハスケールモジュール２９６上の、良好とされた回路のカスタム配置に最適なオブジェクトコードを生成することができる。

【０２６１】

再び図２３Ｂに戻ると、上記のウェーハスケールモジュラーシステムのパーソナル化は、モジュール３９７上の半キャパシタ３９７ａをプログラム可能に相互接続する経路ネットワークからなる相互接続基板３９７の使用によっても実現することができる。経路ネットワークは組み合わせカップル２９７ａ及び３９７ａを再定義するための一般的手段を提供する。テストの際に、経路ネットワークを使用してモジュール２９７の配置の再構成を行うことが利益であり、それによって、第１テスト段階で見落としたテスト対象モジュール２９６上の回路をテストする第２テスト段階において、欠陥テスト回路に関連した半キャパシタ２９７ａからの信号を他の機能し得るテスト回路に再経路指定する。

【０２６２】

相互接続基板３９７上の相互接続は、ハードウェア配置または組み込まれた経路ネットワークのソフトウェアプログラミングのいずれかによってパーソナル化することができる。ハードウエア側では、低解像度基板のカスタマイジングには、様々な技法を使用するリード線間相互の接続の開閉を必然的に伴う。接続を切るのが最も簡単である。高解像度基板のカスタマイジングは、リード線の金属化、レーザによるヒューズの開閉またはボーティングを含む多数の方法によって行うことができる。カスタマイズした多層の高解像度相互接続基板を迅速に形成するために、様々なゼログラフィーまたは通常のフォトレジスト方式を採用することもできる。

【０２６３】

ソフトウエア側では、製造後まで故障の正確なパターンが不明である場合にダイ間の通信を調停するための経路ネットワークまたはバスの使用方法を分析した大量の文献がある。通信に大きなコストがかかる場合に望ましいのであるが、ウェーハ上の個々のダイを大きくしなければならない場合は、その歩留まりは大きく低下し、良品ダイの相互接続が全く一般的な問題になる可能性がある。さらに悪い場合は、先行技術によるウェーハ集積の努力の多くの失敗が実証しているように、導電性接続による故障の除去に充当される面積が、ウェーハスケール製造によって得られた密度の利得を簡単に無くしてしまう可能性がある。

【０２６４】

バスまたは経路ネットワークは、詳細故障マップとは無関係に、有界故障密度について完全に一般的なものにすることができる。バスまたは経路ネットワークは劇的に再構成することもでき、スペアダイによるホットリスタートが可能になる。故障許容経路ネットワークまたはバスを、２９６のようなウェーハの全面積の重要で主要でさえある部分とすることもできる。モジュールレベルではないにしても、システムレベルでは、故障許容相互接続機構がコンポーネント数の多いシステム中では重要になる。上記の方式のインプリメンテーションの詳細は公刊されている文献から知ることができる。局所故障許容クラスタを開発し、比較的長距離の相互接続をできれば故障不許容にしておくことによって、大域相互接続方式を避けることができる。例えば、悪いユニットを隠蔽する完全な局所回路によって、９つの加算機構を、８つを必要とするクラスタに組み立てることもできる。その場合は、相互接続配線の外部カスタマイジングは不要である。

【０２６５】

次に、現在の技術（図２４）によるMCMの製造とこの発明による（図２５）によるウェーハスケールモジュールの製造とを比較した図２４および２５について説明する。

【０２６６】

図２４に関しては、先行技術組立方式は典型的には初期連続段階４２０ａ、４２０ｂ、４２０ｃおよび４２０ｄを必然的に伴い、それらの段階からの出力は個々には分離されている既知良品ダイの集合体である。段階４２０ｂと４２０ｃの順序を交換する方法もいくつかある。MCMへの組立は典型的には２つの方式のいずれかによって行われる。チップ・第１方式（段階４２０ｅ～ｆ）では、良品ダイをプレーナー化ウェーハ状モジュールに組み立て、それに続いて、写真製版法を使用してインターチップ配線を行う。あるいはまた、より一般的なチップ・最終MCM組立方式（段階４２０ｇ～ｈ）では、フリップ・チップ、ワイヤ接合またはTABによって既知良品ダイを上に接合するMCM基板に配線を行う。いずれの方式の場合も、既知良品ダイには、ダイを良品であると確認した初期段階４２０ｂテストの後に、相当の高温および／または機械応力を受ける加工が行われる。従って、多ダイシステムの動作を保証するためには、組み立てられたシステム（段階４２０ｉ）の完全な機能テストが望ましい。

【０２６７】

次に、初期のステップ４２１ａ～４２１ｂでは従来の製造方法と同じ手順であるこの発明によるウェーハスケールシステムの組立を示した図２５について説明する。（しかしながら、段階４２１ｂにおけるテストが上記の図２３に関して検討した方法を利用することが利益である）。しかしながら、ウェーハスケールモジュールが個々のダイに分離されることはない。むしろ、段階４２１ｅにおいては、既知良品ダイを相互接続し、給電を行う相互接続、半キャパシタおよび／または電源接続のパターンを実現し、希望のシステムを形成するために、段階４２１ｂの結果に応じて、相互接続基板３９７をパーソナル化する。段階４２１ｆにおいては、ウェーハスケールモジラーシステムを実現するために、切り出されていないウェーハスケールモジュール３９６をパーソナル化相互接続基板３９７と組み合わせる。ステップ４２１ｉはオプションで最終システムテストを行う。

【０２６８】

図２５に示したウェーハスケール組立法の場合は、既知良品ダイが高温またはその他の物理的応力を受ける加工段階の対象とならないことが利益となる。従って、段階４２１ｂで良品であると確認されたダイが最終段階４２１ｉテストで故障する確率は図２４の従来の方法に比べて劇的に低下する。さらに、たとえ上記の故障が起こったとしても、この発明による再加工の方がずっと簡単である。というのは、変更が相互接続基板３９７だけに限定され、切り出されていないウェーハスケールモジュール３９６を変更する必要がなく、いずれも損傷せずに、切り出されていないウェーハスケールモジュール３９６との組み合わせを簡単に変更できるからである。

【０２６９】

相互接続基板の低解像度の電源基板部分からの既知粗悪品ダイに応じて、電源および／またはアース接点、好ましくは金属突起３９７ｋのようなファズボタンを選択的に削除する

ことによって、相互接続基板のパーソナル化を行うことが利益である。従って、粗悪品ダイには給電が行われず、粗悪品ダイ内のショートまたはその他の欠陥はシステムから絶縁される。切り出されていないウェーハの欠陥が点欠陥であれ領域欠陥であれ、電源および／またはアースへの接続を削除することによって欠陥を除去するこの方式は、欠陥ダイの切り出しと同じように効果的に粗悪品ダイを絶縁する。既知良品ダイに対してだけ電源接続を行うこともできる。

【０２７０】

再び図２３Ｂに戻ると、相互接続基板３９７は、かつて教えられたものを含めた多数の方法によって製造することができる。切り出されていないウェーハスケールモジュール３９６と同じサイズでもよいし、サイズがもっと小さな規則または不規則タイル張り部分から構成されたものでもよい。１つまたは複数のウェーハあるいはダイ自体から構成されたものでもよい。リード線は導電性結合システムの場合と同じコストでファズボタンを通じて外側に出し、伝統的な方式でその他のコンポーネントにブレッドボードまたは接続することができる。

【０２７１】

切り出されていないウェーハスケールモジュール３９６のダイシングを行わないことによって、製造段階の節約になり、面積の消費量が減少する。ダイを分離するためには電気的に空のガターがまだ必要であるが、現在の技術では隣接ダイはわずか10ミクロン分離するだけでよく、これは現在のステッピングカメラ技術を考えれば現実的であり、ダイ上の隣接半キャパシタの分離に匹敵する。これは、２mm^2ダイ用面積の１パーセント未満に相当する。（注意：これよりもはるかに小さな分離（例えばｈ＝１ミクロン）によって容量性結合を設計した場合は、ガターの幅もライン幅のいくつかの標準偏差よりも大きいはずであるので、ライン幅は最適な状態であると考えなければならないであろう）。比較してみると、ダイの切り出しをしなければならない場合に必要なガターは典型的には幅が３００～９００ミクロンであり、典型的には長方形格子内にウェーハを横断する共通縁突き合わせコードを有するように制限されている。上記の実施態様の場合は、共直線性が要求されることなく、その結果、非長方形レイアウトから長方形ダイを形成するためにパッドアウトされた面積が利用可能になり、先行技術ではガター内に平板印刷するのが典型的であった製造工程制御セルのプレースメントが簡単になる。切り出されていないウェーハスケールモジュール３９６のダイシングを行わないことによって、ハンドリング、切り出しまたは穿孔による応力誘発故障の発生も避けられ、これが歩留まりを高める。さらに、ウェーハスケールモジュールを形成するために使用されるアクティブダイの全てが単一のウェーハから派生しているという利益があるために、デバイスパラメータのウェーハ間での相違は無関係になる。

【０２７２】

次に、この発明によるウェーハスケールまたは類似のモジュラーシステムの組立、テストおよび再加工の一般的な流れを示した図２６について説明する。モジュール４３１が既存の先行製造ストック（例えばコンフィギュレーション可能アレイ等）から当初に提供されるか、製造手段４３０によって製造される。その実性能の記述４３４を行うために、テスト手段４３３によってモジュール４３１の特性記述を行う。性能記述４３４に応じて、レイアウト生成手段が周知のCAD技法を使用して、相互接続基板の形状寸法記述４３６を生成する。形状寸法記述４３６に応じて、基板生成手段４３７が相互接続基板４４２をパーソナル化する。

【０２７３】

次に、組立手段４３２が基板４４２およびウェーハ４３１を（潜在的に動作可能な）モジュール４４３に組み立てる。システムテスト手段４４０がモジュール４４３の挙動を希望のシステム挙動の記述と比較する。もしモジュール４４３がテストに合格した場合は、システムテスト手段４４０はそのモジュールを既知良品モジュール４４１と認定する。一方、もしモジュール４４３の性能に問題があることを確認した場合は、システムテスト手段４４０は基板生成手段４３７に対する再加工指令を出し、その場合は、新または再加工相

互接続基板が作られ、テストを受ける。

【０２７４】

様々な新規性のあるウェーハスケールシステムのテストおよび組立方法がこれまでに検討されてきた。この発明は、上記のモジュラーシステムの修理、最適化および／または再加工についても利益をもたらしてくれる。配線が組み合わせモジュール上に配置されることが利益であるために、先行技術による導電性結合システムの場合のテスト交換サイクルにおいて必要であるよりもはるかに少ない分解度で粗悪品であることが確認されたダイまたはサブモジュールを識別およびスワップアウトし、再組立することができる。この発明による非破壊組立および分解によって、テスト用に全システムを組み立て、サブモジュールに事実上損傷を与えずに修理用に分解できることが利益である。特に隣接にダイに対する衝撃が無く、アラインメン澄録のミスが許容され、金属疲労が無く、テストが簡単であるために、修理が簡単にできるのである。

【０２７５】

性能欠陥を修正できるように、再加工はモジュラーシステムの分解、およびモジュールの修理または交換を含んでいる。重要であるのは、再加工を動作不能モジュールの修理または交換だけではなく、すでに動作可能なシステムの性能を向上させるために低速またはその他の部分最適モジュールの修理または交換にも利用できることである。

【０２７６】

この発明によれば、容量性信号接続点の形成または切り離しの際に、あらゆる結合半キャパシタ対を横断する力、せん断力、トルク、エネルギー変化が実質的にゼロであることが利益である。上記の組立および分解には、信号接続点における温度上昇または低下がなく、信号接続点における温度の適用または除去がなく、信号接続点における導体間リード線の切断または結合がなく、信号接続点における溶融、凝固またはその他の相変化がなく、および／または信号接続点における液体、固体、ペースト、気体、プラズマ、溶剤、懸濁液またはそれらの組み合わせがないという利益がある。当業者は、様々な先行技術の分解方法のこれらの要件の全てを不要にしたことによって得られたコスト利益および複雑性利益を了承するであろう。

【０２７７】

次に、典型的な半導体製造工程における良品ダイスの歩留まりをダイサイズの関数として示した図２７について説明する。１平方センチあたり平均１個の故障の場合は、点局在欠陥のポアソン分布は、０．１０cm^2のダイの場合は約９０％、１．０cm^2のダイの場合は約３７％、３cm^2のダイの場合は約５％の無欠陥歩留まりを予測しており、これは、一定の成熟したVLSI方式の場合については現実的な数字である。これらの条件の下では、６０cm^2ウェーハから、平均で、３cm^2サイズの良品ダイが約１個、１cm^2サイズが約２１個、１０mm^2サイズが約５４０個製造されることになる。１０cm^2の良品ダイは平均でウェーハ２２平方フィートあたり１個しか得られず、従って、実用的な設計目標にはならない。

【０２７８】

上記の歩留まり制約条件があるとすれば、平均故障密度（この実例では１．０cm^2）よりもはるかに大きなシステムを、それ自体も大幅に歩留まりを向上させることができるサブユニット（例えばダイ）に分割してもよいことが利益となる。

【０２７９】

高度に抽象化すれば、サイズの選択は基本的にはシステムコストとシステム性能のトレードオフであると考えることができる。これらのシステム区分問題を分析する技法は従来の導電性相互接続システムについては周知であるが、この発明の容量性相互接続システムについての上記のトレードオフの分析には異なる歩留まりおよび異なるモデルが必要である。容量性相互接続システムについての典型的な歩留まりモデルを以下に示す。

【０２８０】

次に、典型的な容量性相互接続システムについてのダイサイズの関数としてのシステムコストのいくつかのグラフを示した図２８について説明する。図２８は、この発明を用いて大型ダイをより小さなダイに分割し、それらを結合することの価値を示している。信号線

を接続するための基板のコストはダイ自体のコストよりもはるかに大幅に小さいと仮定され、従って、第１近似値まで無視することができる。一定量（例えば有効回路用には１０cm^2）のシリコン面積を必要とするシステムは、１０cm^2のもの１個、１．０cm^2のもの１０個または０．１cm^2のもの１００個、その他というように、様々な形に設計することが考えられる。１０cm^2の有効回路に加えて、追加面積をどんな場合にも電源およびアース用に用意しなければならないし、さらに、各分割ダイ上には、ドライバ、レベル・パルスコンバータ、パルス・レベルコンバータおよび／またはレシーバを含めた、単一ダイ内では不要であったダイ間通信のための「オーバヘッド」回路用にも、追加面積を用意しなければならい。図２８では、各ダイ上の通信面積は、図解のために、下記のように数種類のスケールで評価してある。図形２９９ａでは定数として（つまり、総個数とは無関係）、図形２９９ｅでは個数の一定倍数として（つまり、１個おきに通信を行うための回路のユニット）、図形２９９ｂ、２９９ｃおよび２９９ｄではそれぞれ１／４、１／２および３／４を中間累乗した個数の一定倍数として評価を行ってある。リアルシステムのトレードオフはこれらの標準曲線の１つにほぼ類似することになる。さらに、典型的にはダイ２５mm^2あたり０．５mm^2を占有するＤＣ給電用接触パッドは、たとえダイがそのサイズの倍数ではなく、面積のステップ関数を採用したとしても、備える必要はなく、このことは曲線のセグメンテーションとして観察可能である。実例は、有効回路用の１０．０cm^2および電源パッド用の０．２cm^2を有するシステムを実際に図示してある。

【０２８１】

例えば、通信回路が０．５mm^2とシステムの１０．０cm^2が実装されているダイの数の平方根との積であると仮定される図形２９９ｃを考えてみよう。

・有効回路が各５mm^2の２００個のダイから構成されたシステム内では、各ダイは１対の電源・アース（０．５mm^2）および７．１mm^2（＝０．５×２００1/2）の通信回路を必要とし、従って実際は１２．６mm^2のダイになる。１２．６mm^2のダイの歩留まりは９５パーセントであり、従って、全システムの「コスト」は約（２００×１２．６／０．９５）＝２６．５cm^2のウェーハ、つまり、上記の１０．２cm^2のシステムの２．６倍になる。非常に小さなダイはその電源パッドの「表面積対体積」サイズおよびダイ間通信用回路によって支配され、従って、たとえ歩留まりが高くても不十分である。

・有効回路が各２０mm^2の５０個のダイから構成されたシステム内では、各ダイはやはり１対の電源・アースおよび３．６mm^2（＝０．５×５０1/2）の通信回路を必要とし、従って実際は２４．１mm^2のダイになる。２４．１mm^2のダイの歩留まりは８２パーセントであり、従って、全システムの「コスト」は約１４．７cm^2のウェーハ、つまり、上記の１０．２cm^2システムの１．４倍になる。電源パッド、信号回路および有効回路のシミュレーション用に選択した特定のモデルの場合は、約２０mm^2のダイが最もコスト有効性の高いビルディングブロックを提供する。

・有効回路が各１．０mm^2の１０個のダイから構成されたシステム内では、各ダイは４対の電源・アース（２．０mm^2）および１．６mm^2（＝０．５×１０1/2）の通信回路を必要とし、従って実際は１０３．６mm^2のダイになる。１０３．６mm^2のダイの歩留まりは３７パーセントであり、従って、全システムの「コスト」は約２８．０cm^2のウェーハ、つまり、上記の１０．２cm^2のシステムの約１１／４倍になる。大きなダイの場合は、設計効率の点での利益よりも製造歩留まりの点での損失の方が大きく、非常に大きなダイの場合は、有効回路とオーバヘッド回路の割合の点で魅力が大きいとはいえ、歩留まりはゼロに近い。

【０２８２】

次に、この発明による設計の流れを示した図２９について説明する。システム記述４５１がCAD手段４５０に提供され、モジュラーシステム用の最適化設計を行うために、CAD手段４５０が入手可能または製造可能サブモジュール用の性能、歩留まり、信頼性およびコストモデルを利用するのが利益であり、この最適化設計は、ストックまたは製造手段４５２には部品リスト４６１として、実装および組立手段４５６には寸法形状の定義４５４として、テスト手段４５９にはシステムの予想挙動の定義４５３として提供される。

【０２８３】
部品４５５はストックまたは製造手段４５２から実装および組立手段４５６に提供される。モジュール４５８が組み立てられ、テスト手段４５９に提供され、テスト手段４５９はそのモジュールを既知良品モジュール４６０として認定するか、あるいは再加工または連続サイクル４５７を開始するかどうかを決定する。
【０２８４】
CAD手段４５０がモジュラーシステムのモジュールへの分割を最適化することが利益である。この発明によって標準パッドファンアトおよびワイヤボンディングへの依存の必要性が無くなるために、システム分割のサイズ（例えばダイサイズ）を相当程度柔軟に選択することが可能になる。従って、上記の図２８に例示したような歩留まりモデリングがCAD手段４５０に組み込まれていることが利益であり、この発明に基づく半カスタムシステム用の設計工程の不可分の一部となっている。
【０２８５】
この発明によって、（異なる製造技術によってそれぞれが潜在的に実現される）複数のモジュールからなる不均質システムの低コスト集積が簡単になったことから、容量性相互接続システムの実現を最適化する際にCAD手段４５０が使用できる歩留まりモデルのライブラリを提供するために、上記の歩留まりモデルが全ての利用可能製造工程からの曲線近似データから導き出されることが利益である。上記の歩留まりモデルに加えて、CAD手段４５０が容量性相互接続システムのモジュールを実現するために利用可能な様々な技術の電気的性能特性およびその他の物理的性能のモデルを利用することも利益である。様々な技術資源のコスト、歩留まり、性能および物理特性のモデルを備えているので、CAD手段４５０は半カスタム容量性相互接続システムの分割および実現を最適化するための周知のアルゴリズムを利用する。上記の最適化には好ましくは（１）システムの構成に使用されるモジュールのタイプおよびサイズの選択、（２）実現のための特定のモジュールへのシステムの論理サブコンポーネントの割り当て、および／または（３）システムを実現するためのモジュールの容量性相互接続用のパターン基板または類似の手段の設計が含まれる。
【０２８６】
次に、この発明によるオフダイ容量性信号経路のブロックダイヤグラムを示した図３０について説明する。図３０に示した信号経路内では、デジタルデータ３０２は（１）トランスミッタ３００に入力され、（２）伝送線またはワイヤ３２ａを通じてダイ半キャパシタ１５ａに結合され、（３）伝送線またはワイヤ３４を通じて基板半キャパシタ１４ａから基板半キャパシタ１４ｂに結合され、（４）伝送線またはワイヤ３２ｂを通じてダイ半キャパシタ１５ｂからレシーバ３０１に結合され、（５）レシーバ３０１からデジタル信号３０４として提供される。
【０２８７】
トランスミッタ３００およびレシーバ３０１は同じダイ１１（イントラダイ・オフダイ信号経路）上で実現してもよいし、異なるダイ（インターダイ信号経路）上で実現してもよい。トランスミッタ３００およびレシーバ３０１は好ましくはダイ１１のアクティブ表面上の、好ましくはそれぞれ半キャパシタ１５ａおよび１５ｂのすぐ下で実現する。
【０２８８】
トランスミッタ３００はデジタル入力信号３０２を容量性信号経路上での伝送に適した形に変換する。上記の変換は、例えば、レベルシフト、エッジ率修正、適当なキャリアの位相、周波数または振幅変調、非ゼロ復帰（NRZ）または代替マーク逆転（AMI）方式を使用するデータのコーディング等を含んでいることがある。
【０２８９】
デジタル出力信号を生成するために、レシーバ３０１は好ましくは半キャパシタ３０１から受け取った信号を逆変換する。好ましくは、レシーバ３０１は、検出、識別またはパルススライシング方式、あるいはNRZまたはAMIデータの回復によって、基板半キャパシタ１４ｂから結合された変調信号をデジタルデータに変換する。好ましい実施態様においては、ライン３２ｂ上のレシーバに結合される波形はパルス波形またはレベル波形である。

【０２９０】
図３０には図解のために単端容量性信号経路が示してある。しかしながら、後の図面に示したような差分信号方式が好ましいと考えられていることに注意すべきである。レシーバまたはドライバを複数の半キャパシタに接続できること、しかも、レシーバとドライバの両方を１つの半キャパシタまたは容量性結合手段の集合体に接続できることにも注意すべきである。さらに、伝送線３４が単なる例示であることにも注意すべきである。レシーバおよび／またはトランスミッタは基板１１上に直接実現でき、好ましくは半キャパシタ１４ａおよび／または１４ｂの下方または近くに実現する。
【０２９１】
次は、トランスミッタ３００の好ましい実施態様の最終段階を示した図３１Ａおよび３１Ｂについて説明する。図３１Ａでは、トランスミッタは、出力信号３２ａを２つの電圧レベル３１２と３１３に迅速に切り換える手段３００ａを含んでおり、この迅速切換手段は、制御信号３１４ａおよび３１４ｂによってそれぞれ制御されるスイッチ３１０および３１１からなる。制御信号３１４ａおよび３１４ｂは、トランスミッタに入るデジタルデータ３０２によって決定される。
【０２９２】
図３１Ｂは、CMOSインバータ３００ｂからなる迅速切換手段の好ましい実施態様を示したものである。インバータ３００ｂは単一の制御信号３１４しか必要とせず、この信号がPMOSスイッチ３１５とNMOSスイッチ３１６の両方を制御する。
【０２９３】
トランスミッタ３００の切換装置３００ａは、出力３２ａが電圧レベルを切り換えた場合には、基板半キャパシタ１４ａ（および伝送線３４）に波形を与える。もし伝送線３４が端末処理されている場合は、与えられた波形はパルスになる。もし配線が端末処理されていない場合は、波形はレベル電圧になる。
【０２９４】
次は、差分容量性信号経路をドライブするようにした切換手段の好ましい実施態様を示した図３２について説明する。差分切換手段３００ｃは制御信号インバータ３２１および４つのスイッチ３２２～３２５からなる。制御信号３１４の状態に応じて、電圧レベル３１２および３１３の一方が出力ライン３２ａに結合され、もう一方の電圧レベルが出力ライン３２ａａに結合される。半キャパシタ１５ａおよび１５ａａは差分破壊を各基板半キャパシタ（図示してない）に与えるが、各基板半キャパシタに与えられる波形の極性は逆である。もし基板伝送線が端末処理されている場合は、与えられた波形はパルスになり、もし基板伝送線が端末処理されていない場合は、波形はレベル波形になる。
【０２９５】
次に、例示切換手段３００と端末処理伝送線３３０の間のインタフェースの簡略化電気モデルを示した図３３について説明する。レベル波形３３３が切換手段３３０ａに適用され、この切換手段は類似波形をダイ半キャパシタ１５ａに結合する。それに応じて、パルス波形３３４が基板伝送線３３０に与えられる。伝送線３３０とＡＣアース３３２の間に接続された端末処理抵抗３３１が伝送線３３０を端末処理する。
【０２９６】
次に、例示切換手段３００と非端末処理基板配線ライン３３０ｂの間のインタフェースの簡略化電気モデルを示した図３４について説明する。レベル波形３３３が切換手段３３０に適用され、この切換手段は類似の波形をダイ半キャパシタ１５ａに結合する。それに応じて、レベル波形３３５が基板伝送線３３０ｂに与えられる。キャパシタ３３６は非端末処理配線３３０ｂとＡＣアース３３２の間の寄生キャパシタンスに相当する。キャパシタ３３６ならびに結合半キャパシタ１５ａおよび１４ａによって、電圧分割器が形成される。従って、波形３３５は波形３３３の減スイングバージョンに相当する。
【０２９７】
次に、この発明による好ましい差分オフダイ信号経路を示した図３５について説明する。図３５に示した経路内では、デジタルデータ３０２は（１）トランスミッタ３００ａに入

力され、（２）配線ワイヤ３４ａおよび３４ａａを通じてダイ半キャパシタ１５ａおよび１５ａａに差分結合され、（３）配線３４ａおよび３４ｂを通じてそれぞれ基板半キャパシタ１４ａおよび１４ａａから基板半キャパシタ１４ｂおよび１４ｂｂに差分結合され、（４）伝送線３２ｂおよび３２ｂｂを通じてダイ半キャパシタ１５ｂおよび１５ｂｂからレシーバ３０１ａに差分結合され、（５）レシーバ３０１ａからデジタル信号３０４として提供される。

【０２９８】

差分トランスミッタ３００ａおよびレシーバ３０１ａは同じダイ１１（イントラダイ・オフダイ信号経路）上で実現してもよいし、異なるダイ（インターダイ信号経路）上で実現してもよい。トランスミッタ３００ａおよびレシーバ３０１ａは好ましくはダイ１１のアクティブ表面上の、好ましくはそれぞれ半キャパシタ１５ａ～１５ａａおよび１５ｂ～１５ｂｂのすぐ下で実現する。例えば半キャパシタ１４ａａ、１５ａａ、１４ｂｂおよび１５ｂｂを拡大することによって、差分信号経路の片側を「基準ライン」として採用できることが利益である。

【０２９９】

単端容量性信号経路に関しては、伝送線３４ａおよび３４ｂ上の波形が好ましくはトランスミッタ３００ａとレシーバ３０１ａの間で情報を伝送する。しかしながら、この発明による差分容量性信号経路を通じてデータを伝送するためには、振幅、位相、周波数またはSN比の変調に基づくその他の差分信号技術を使用することもできる。パルス波形とレベル波形の一定の組み合わせによって、トランスミッタが単端パルスをドライブし、レシーバが差分信号を読み取り、優先接地されたレベル波形を差分の他方の側として受け取るコンフイギュレーションのような、利益の大きな実現が可能になる。

【０３００】

次に、図３０に示した信号経路内での使用互換性のある例示した単一端のレシーバ３０１の概略図である図３６について説明する。レシーバ３０１は、半キャパシタ１５ｂによって受け取られ、配線３２ｂを通じて結合されたパルス波形をデジタル出力３０４に変換する。レシーバ３０１は、入力ライン３２ｂに結合されたバイアシング手段３６０、同様に入力ライン３２ｂに結合されたスライシング手段３６１、および、スライシング手段に結合されたパルス・レベルコンバータ３６２からなる。

【０３０１】

バイアシング手段３６０は、入力ライン３２ｂに結合された抵抗手段３６３、および抵抗手段に結合された電圧発生器手段３６４からなる。抵抗手段は好ましくはMOSトランジスタ３６５からなる。電圧発生器手段３６４は好ましくはフィードバック接続CMOSインバータからなり、この場合、希望のバイアス電圧が提供されるように、PMOSトランジスタ３６６とNMOSトランジスタ３６７の相対サイズが選択される。通常のインバータの切換閾値とほぼ等しいバイアス電圧が提供されるように、好ましくは、このトランジスタサイズ比率は所与の方式における通常のインバータのトランジスタサイズ比と同じである。抵抗装置３６３および電圧発生器装置３６４はプロセス変動をトレースするような設計になっている。複数の半キャパシタプレート１５ｂをバイアスさせるために、単一の電圧発生器手段３６４を複数の抵抗手段３６３と組み合わせて使用してもよいことも利益である。

【０３０２】

スライシング手段３６１は図示されているように高閾値インバータ３６８および低閾値インバータ３６９からなり、両インバータとも入力ライン３２ｂに結合されている。高閾値インバータ３６８は好ましくは、PMOSとNMOSのサイズ比が電圧発生器３６４の場合よりも大きいCMOSインバータからなる。スライシング手段は、パルスまたはレベル波形として半キャパシタ１５ｂから結合された信号によって入力ライン３２ｂに与えられた電圧の偏差を検出する。インバータ３６８および３６９の切換閾がプロセス変動をトレースするのが利益である。

【０３０３】

パルス・レベルコンバータ３６２は、インバータ３７２およびクロス結合NANDゲート３７

３～３７４を含んだR-Sフリップフロップからなり、全てが好ましくはCMOS内で実現される。パルス・レベルコンバータ３６２は、半キャパシタ１５ａ上のトランミッタ３００によってドライブされたデジタル波形を効果的に再構成する（図３０を参照）。スライシング手段３６１からの出力３７０はパルス・レベルコンバータ３６２のセット入力をドライブし、それによって、正のパルスまたはレベル変化が入力ライン３２ｂに与えられた場合は、デジタル出力３０４を低くドライブする。同様に、スライシング手段３６１からの出力３７１はパルス・レベルコンバータ３６２のリセット入力をドライブし、それによって、負のパルスまたはレベル変化が入力ライン３２ｂに与えられた場合は、デジタル出力３０４を高くドライブする。パルス・レベルコンバータ３６２は好ましくは、トランスミミッタ３００におけるデジタル入力波形３０２と実質上同じタイミングを有するデジタル出力波形３０４を提供するために、R-Sフリップフロップのセット経路とリセット経路内のタイミングが実質上同じなるように設計してある。

【０３０４】

次に、図３５に示した信号経路内での使用互換性のある例示差分レシーバ３０１ａの概略図である図３７について説明する。差分レシーバは、バイアシング手段３８０、信号調整手段３８４、スライシング手段３６１およびパルス・レベルコンバータ３６２からなる。レンーバ３０１ａは差分パルスまたはレベル波形入力を半キャパシタ１５ｂ～１５ｂｂから受け取り、デジタル出力３０４を提供する。

【０３０５】

バイアシング手段３８０は、電圧発生器手段３８３、第１抵抗手段３８１および第２抵抗手段３８２からなる。電圧発生器手段３８３は好ましくは通常サイズのフィードバック接続CMOSインバータからなる。第１抵抗手段３８１は、電圧発生器手段３８３と入力ライン３２ｂｂの間に接続された適正サイズのNMOSトランジスタからなる。第２抵抗手段も同様に、電圧発生器手段３８３と入力ライン３２ｂｂの間に接続された適正サイズのNMOSトランジスタからなる。バイアシング手段３８０がプロセス変動をトレースするのが利益である。

【０３０６】

信号調整手段３８４は差分入力をライン３２ｂ～３２ｂｂから受け取り、単端出力３９０を提供し、それによって、入力ライン３２ｂおよび３２ｂｂ上のコモンモードノイズまたはその他の信号の除去を強化する。信号調整手段３８４は図示されているようにDMC差分増幅器からなり、しかも、NMOS電流源３８５および負荷デバイスのゲート３８８および３８９が差分増幅器の１つの出力によってセルフバイアス化され、ライン３２ｂおよび３２ｂｂからの差分入力がNMOS差分対３８６および３８７をドライブする。（チャッペル他、IEEEソリッドステート回路ジャーナル、１９８８年２月を参照）。この差分増幅器の設計によって、プロセス、温度および供給電圧の全体にわたっての公称NMOSインバータの入力閾値による素晴らしいトラッキング、ならびに良好なコモンモードおよび給電除去が可能になることが利益である。従って、信号調整手段３８４は、入力３２ｂおよび３２ｂｂが同じである場合は、通常のCMOSインバータの切換閾値にほぼ等しい出力３９０を提供する。

【０３０７】

信号調整手段３８４からの単端出力はスライジング手段３６１に供給され、デジタル信号３０４を提供するために、スライジング手段３６１はパルス・レベルコンバータ３６２のセットおよびリセット入力３７０～３７１をドライブする。スライジング手段３６１およびパスル・レベルコンバータ３６２については、図２６に関してすでに説明済みである。

【０３０８】

次に、図３８Ａ～Ｂについて説明する。図３８Ａは、モジュール４７０上の伝送線４７１およびモジュール４７３上の並列伝送線４７４を含めたモジュラーシステムの分解図である。結合された伝送線４７１および４７４が、モジュール４７０と４７４の間に非導電性信号手段を提供する。図３８Ｂは代替配置の分解図であり、この場合、モジュール４７０上の伝送線４７１およびモジュール４７６上の垂直伝送線４７７が磁力によって結合し、

それによって、モジュール４７０と４７６の間に非導電性信号手段を提供する。信号手段４７２はトランスミッタからなり、信号手段４７５はレシーバからなっており、その逆でもよい。

【０３０９】

容量性結合を利用する好ましい実施態様に関してこの発明の図解を行ってきたが、この発明によるモジュラーシステムを構成するためには、図３８に示したような、他の非導電性相互接続モードを使用することもできる。「予備埋め込み極超高周波数集積回路のセルの間の相互接続デバイス」のタイトルを有する米特許明細書Ｎｏ．５，０１２，３２１には、予備埋め込み極超高周波数集積回路上にカスタム相互接続層を実現するための技法としての重なりマイクロストリップの間への伝送線結合の使用が開示されている。米特許明細書とこの発明には少なくとも２つの重要な相違点がある。（１）米明細書は、モジュラーシステム内の異なるモジュールの間の信号インターチップへの伝送線結合の使用、あるいは、明白な容量性結合基板を通じてのチップの２つのユニットの間の場合のような、オフチップ経路を通じてのイントラチップへの伝送線結合の使用を開示していない。（２）米明細書は「低周波数で動作する．．．シリコン上の集積回路」を明白に除外している。

【０３１０】

この発明による非導電性信号手段を実現するためには、誘電率を十分な高さにすることによって、上記の半キャパシタ結合法の代わりに、図３８に示した伝送線結合を使用することも可能であり、従って、上記の代替信号手段をCMOSのようなシリコンベースシステムにも使用できることを、我々は発見している。

【０３１１】

特に、モジュラーマイクロ波およびミリ波システムが、システム内のモジュール間の非導電性信号手段として伝送線結合を採用できることが利益である。さらに、クロック信号等を結合伝送線を通じて分布させることも利益であるかもしれない。これらの環境および類似の環境においては、伝送線結合および容量性結合が代替非導電性信号手段となる。従って、この発明は、モジュールの少なくともいくつかが結合半キャパシタ、結合伝送線またはその両方を通じて通信を行うモジュラー電子システムを含んでいる。

【０３１２】

次に、（上部および下部表面５０９および５１２を有する）上部基板５０７、（上部および下部表面５０４および５０３を有する）下部基板５０２ならびに２つのスペーサ５１４および５２１からなる例示多層コネクタ５０１を示している図３９について説明する。基板５０７および５０２は、５２９によって示されているように、好ましくは細長い。基板５０７および５０２は、上部基板５０７の延長部分５１３および５２０が下部基板５０２を超えてのび、下部基板５０２に隣接しないような位置に配置されている。スペーサ５１４および５２１は、下部基板５０２の下部表面と実質上整列している平面容量性インタフェースを提供するために、上部基板５０７の延長部分に接した状態で配置されている。コネクタ５０１は好ましく標準品として提供され、高性能容量性相互接続を提供するために、１つまたは複数のモジュール５２７と接する位置にある。

【０３１３】

信号配線５０６および５１１は両方の基板上で（基板が３つ以上の場合は、全ての基板上で）実現することができるので、コネクタは類似の先行技術構造の場合よりも低コストでより高密度の配線を提供する。特定の基板上に多くのレベルの配線を実現することも可能ではあるが、一般的には追加層は第１の数層の場合よりもコストがはるかに高くなる。従って、多くの配線層を有する高密度コネクタを必要とする場合は、単一の多層基板上に配線を実現するよりは、複数の基板の間に層を分散させる方がコストがずっと安い。

【０３１４】

下部基板５０２上の半キャパシタ５０５間の接続には、基板５０２上の配線５０６を利用する。上部基板５０７上の配線を通じての接続のために、信号がスペーサ５１４の下部表面５１８上の半キャパシタ５１６とスペーサ５２１の下部表面５２５上の半キャパシタ５２３の間の容量性信号経路に沿って伝わる。信号経路は図示されているように導体５１９

、半キャパシタ５１５、誘電体５２８、半キャパシタ５１０、導体５１１、半キャパシタ５２２ａ、誘電体５２２ｂ、半キャパシタ５２２および導体５２６を含む。スペーサを横断する容量性信号経路と関連した半キャパシタ例えば半キャパシタ５１６、５１５、５２２、５２３、およびその整合プレートーは、好ましくは、下部基板だけを横断する容量性信号経路と関連したもの、ー例えば半キャパシタ５０５等ーよりもサイズが大きい。
これが、容量性分割器として効果的に働くスペーサによって生じる信号振幅の損失を補償する。

【０３１５】

スペーサ５１４および５２１は、現在の技術を使用すれば簡単かつ安価に製造することができる。特に、上記のスペーサは、異方性導体と絶縁ストランドの密充填集合体を焼き鈍し、導体（つまり半キャパシタ５１５、５１６、５２２および５２３）の希望のパターンを露出させるために焼き鈍しされた集合体を切断することによって形成することもできる。スペーサ５１４および５２１は上部基板５０７と容量性整列させて、接合しても他の方法で固定してもよく、好ましくは標準品コネクタ５０１を形成する。

【０３１６】

次に、図３９の２層コネクタの場合と類似の方法で構成した例示３層コネクタを示した図４０について説明する。３層コネクタは、延長部分およびその上に実現された半キャパシタを有する追加上部基板５４１を含んでいる。２レベルスペーサ５４２は、最下部基板の下部表面と実質上整列しているー半キャパシタ５５２からなるー平面容量性インタフェースを提供する。半キャパシタ５４９（モジュール５４７上）と半キャパシタ５２２（コネクタ上）とを容量性接続するために、モジュール５４７はこのインタフェースに隣接して配置されている。スペーサ５４３は、半キャパシタ５５３（基板上）と半キャパシタ５５０（モジュール上）の間に容量性信号経路を提供する。

【０３１７】

２レベルスペーサ５４２および５４３は、シングルピースユニットからなっていてもよいし、接着剤５５０によって接合されたツーピースユニットからなっていてもよい。標準品コネクタを形成するために、スペーサは好ましくは接合または他の方法で基板に固定する。コネクタ内における追加相互接続レベルは、追加基板５４４およびスペーサ５４５～５４６を使用して実現することもできる。

【図面の簡単な説明】

【図１】本発明によるモジュラーエレクトロニックシステムの一実施例の例示部分を示す図である。

【図２】信号が、基板上の１対の伝送線から、１対の結合された半キャパシタと、ダイ上の１対の伝送線とに区別されて結合されるようになっているモジュラーエレクトロニックシステムの例示部分を示す図である。

【図３】ダイと基板との間の容量性及び導電性の両方の相互接続を含むモジュラーエレクトロニックシステムの例示部分の部分拡大図である。

【図４】本発明により製造されたＭＣＭの例示部分を示す図である。

【図５】図４と類似のＭＣＭの例示部分であるが、信号基板とは別個の電力基板、及びヒートシンクを含む図である。

【図６】図６Ａ－Ｄは、本発明によりダイから基板へ容量的に結合されるデジタル（もしくはマルチステート）信号の例示波形を示す図である。

【図７】ダイが２つの基板を容量的に相互接続（“ブリッジ”）しているようなモジュラーエレトロニックシステムの例示部分を示す図である。

【図８】複数のダイ及び基板を含む非平坦モジュラーエレクトロニックシステムの例示部分を示す図である。

【図９】いわゆる“リープフロッグ”形状を使用している本発明により製造された大規模モジュラーシステムの例示部分を示す図である。

【図１０】全体がダイから作られた“リープフロッグ”集積システムの例示部分を示す図である。

【図１１】図１１Ａ－Ｂは、容量的に結合されたモジュラーシステム内のキャパシタ板間の不揃いの効果を示す図である。
【図１２】図１２Ａ－Ｂは、容量的に結合されたシステム内の不揃いの影響を最小にするためにオーバサイズの半キャパシタ板の使用を示す図である。
【図１３】本発明により製造された大規模の、異種集積されたモジュラーエレクトロニックシステムの例示部分を示す図である。
【図１４】柔軟な基板上に複数の（任意選択的に超電導の）エレクトロニックデバイスが実現されているモジュラーエレクトロニックシステムを示す図である。
【図１５】サイズ及びパッケージングレベルが変化するモジュールを結合するのに本発明による均一な容量性インタフェースの使用を示す図である。
【図１６】複数のモジュールをバックプレーンに容量的に結合するモジュラーシステムを示す図である。
【図１７Ａ】従来技術の接続方法を示す図である。
【図１７Ｂ】本発明の接続方法を示す図である。
【図１８Ａ】本発明によるＭＣＭ（図４－５に示すようなＭＣＭ）の組立ての１つの段階を示す図である。
【図１８Ｂ】本発明によるＭＣＭ（図４－５に示すようなＭＣＭ）の組立ての１つの段階を示す図である。
【図１８Ｃ】本発明によるＭＣＭ（図４－５に示すようなＭＣＭ）の組立ての１つの段階を示す図である。
【図１９】総合利得を調整する手段を含む容量性信号経路を示す図である。
【図２０Ａ】本発明により製造された特定用途向けモジュール（ＡＳＭ）の一例を示す図である。
【図２０Ｂ】本発明により製造された特定用途向けモジュール（ＡＳＭ）の一例を示す図である。
【図２１】本発明の容量的に結合する技術を使用したケーブルインタフェースを示す図である。
【図２２】基板がチップ内及びチップ間容量性信号経路を提供するモジュラーエレクトロニックシステムの例示部分を示す図である。
【図２３Ａ】本発明により製造された試験モジュールの例示装置を示す図である。
【図２３Ｂ】本発明により製造されたウェーハスケールのモジュラーシステムを示す図である。
【図２４】現在の技術におけるＭＣＭの製造を示す図である。
【図２５】本発明によるウェーハスケールのモジュールの製造を示す図である。
【図２６】本発明によるウェーハスケールもしくは類似モジュラーシステムの組立て、試験、及び再加工の総合的な流れを示す図である。
【図２７】典型的な半導体製造プロセスにおける良好なダイの歩留りをダイサイズの関数として示す図である。
【図２８】例示の容量的に相互接続されたシステムのシステム費用の幾つかをダイサイズの関数としてプロットして示す図である。
【図２９】本発明により製造されたモジュラーシステムの設計サイクルの流れを示す図である。
【図３０】本発明によるオフダイ容量性信号経路のブロック線図である。
【図３１Ａ】送信器の好ましい実施例の最終段を示す図である。
【図３１Ｂ】送信器の好ましい実施例の最終段を示す図である。
【図３２】差動容量性信号経路を駆動するようになっているスイッチング手段の好まし実施例を示す図である。
【図３３】例示スイッチング手段と終端された基板伝送線との間のインタフェースの簡易電気モデルを示す図である。
【図３４】例示スイッチング手段と終端されていない基板配線ラインとの間のインタフェ

ースの簡易電気モデルを示す図である。
【図３５】好ましい差動オフダイ信号経路のブロック線図である。
【図３６】図３０に示す信号経路との使用に両立可能な単一端の受信器の一例を示す回路図である。
【図３７】図３５に示す信号経路との使用に両立可能な例示作動受信器回路図である。
【図３８Ａ】平行及び垂直結合された伝送線によるモジュール間の非導電性信号を示す図である。
【図３８Ｂ】平行及び垂直結合された伝送線によるモジュール間の非導電性信号を示す図である。
【図３９】本発明により製造された例示２層コネクタを示す図である。
【図４０】本発明により製造された例示３層コネクタを示す図である。

【図１】

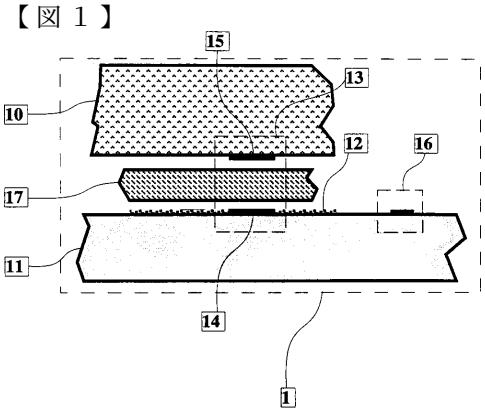


Fig. 1

【図２】

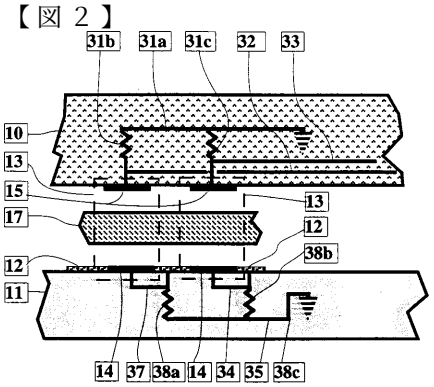


Fig. 2

【図３】

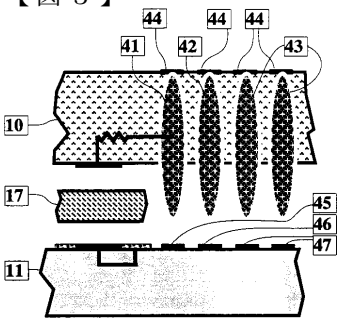


Fig. 3

【図４】

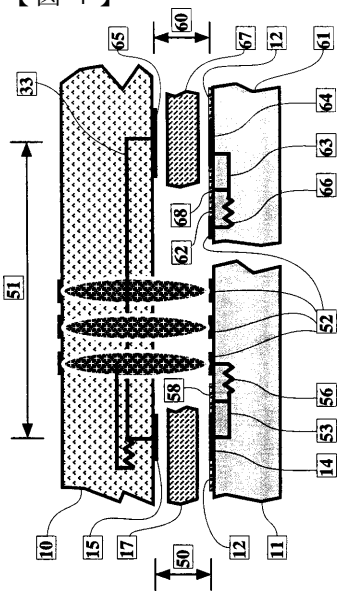


Fig. 4

【図５】

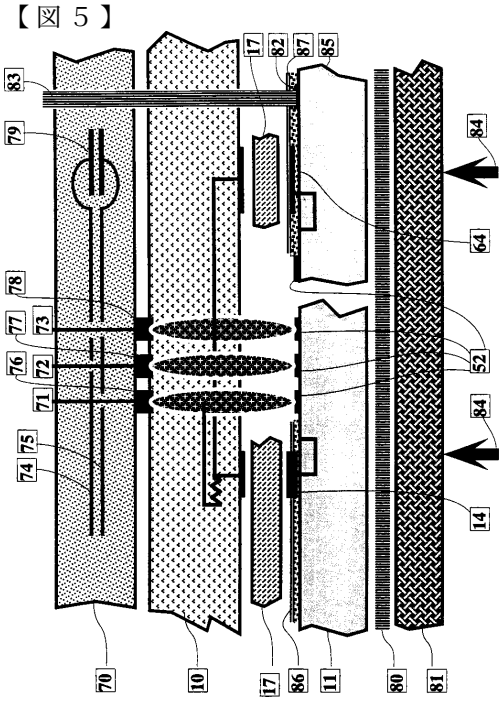
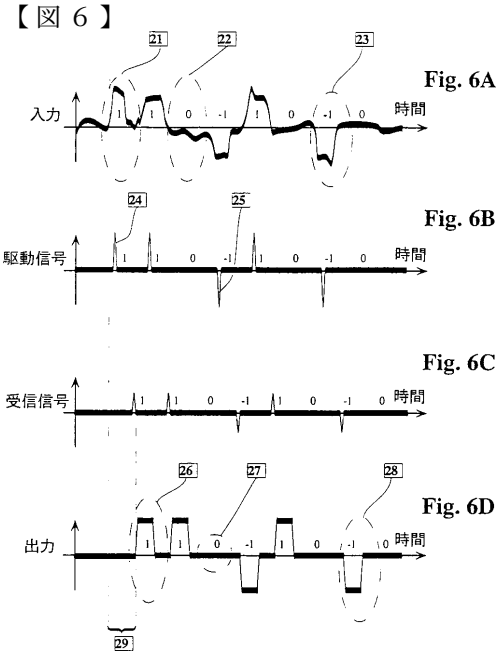


Fig. 5

【図６】



【図７】

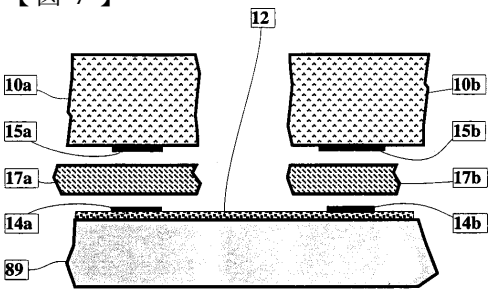


Fig. 7

【図８】

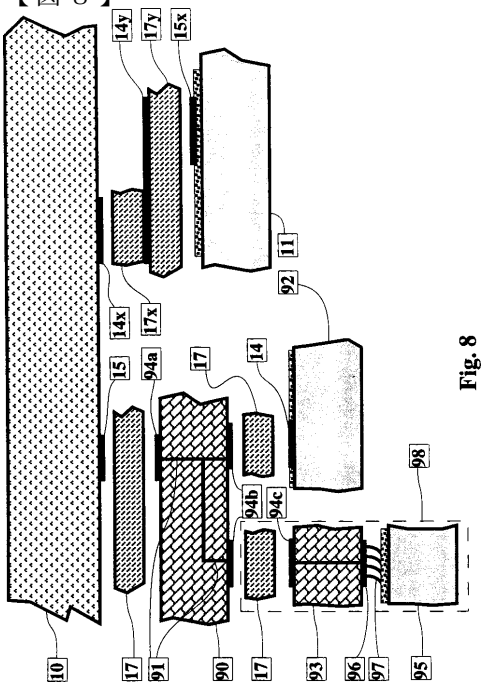


Fig. 8

【図９】

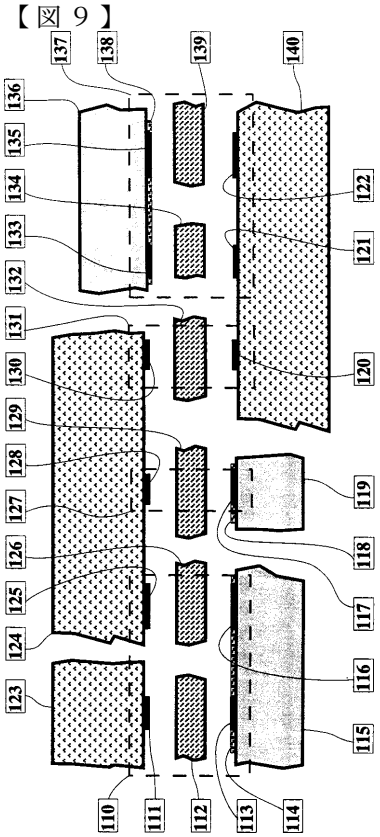


Fig. 9

【図１０】

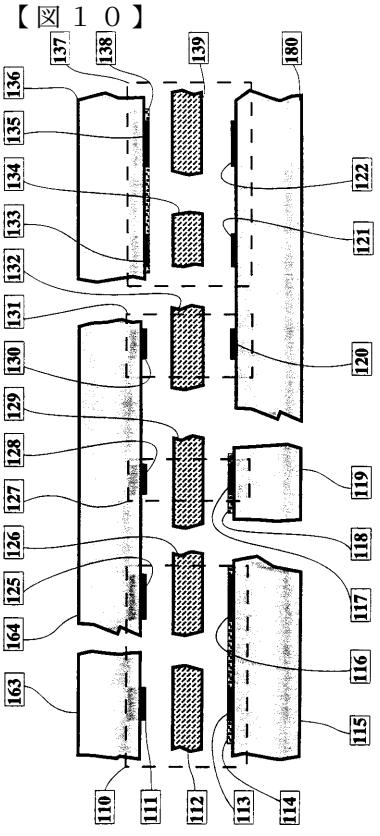


Fig. 10

【図１１】

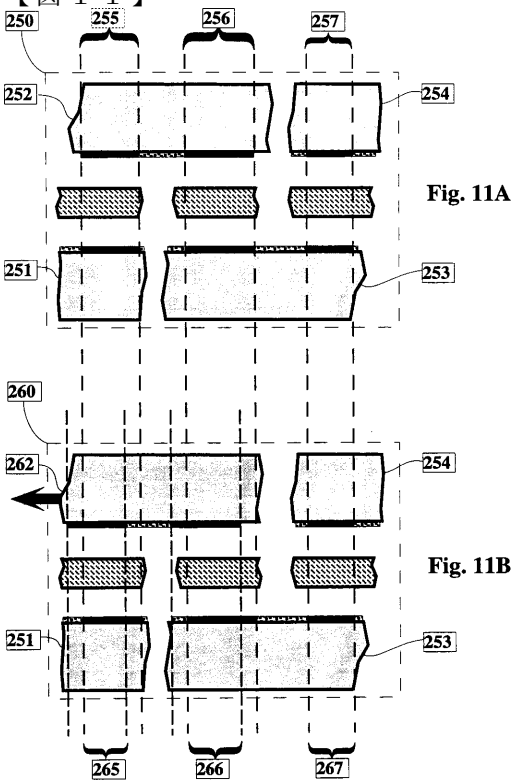


Fig. 11A

Fig. 11B

【図１２】

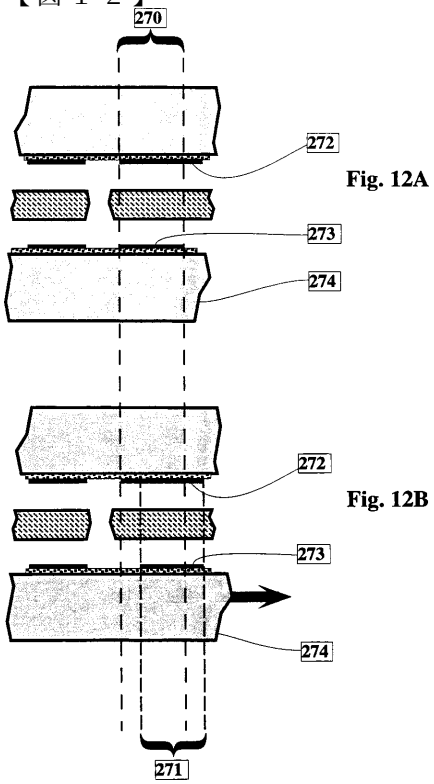


Fig. 12A

Fig. 12B

【図１３】

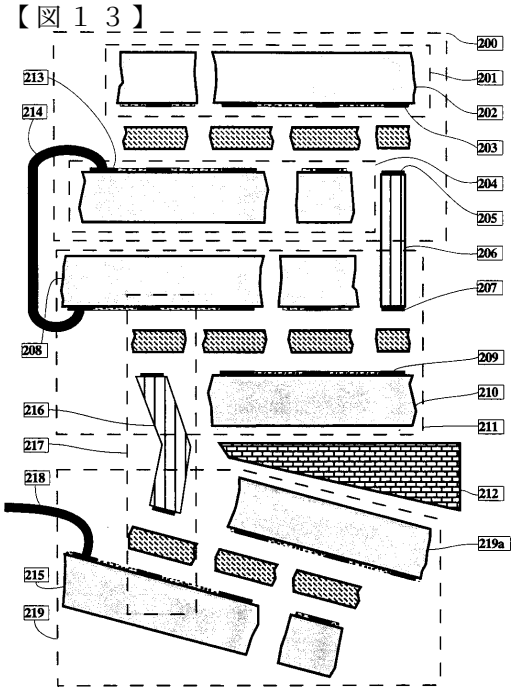


Fig. 13

【図１４】

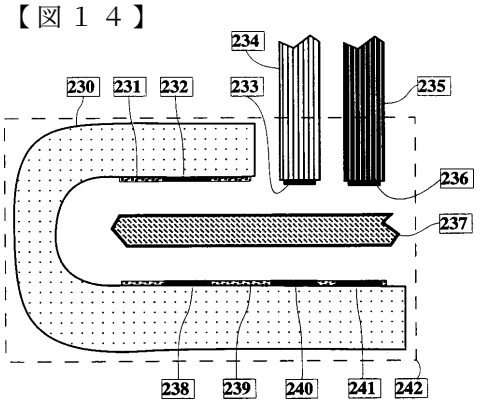


Fig. 14

【図１５】

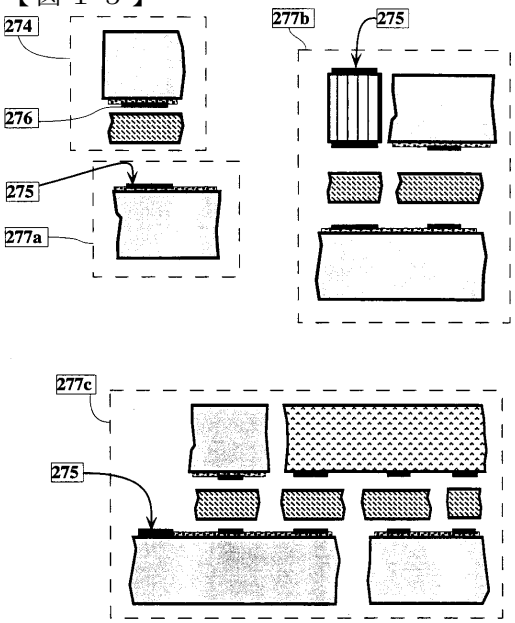


Fig. 15

【図１６】

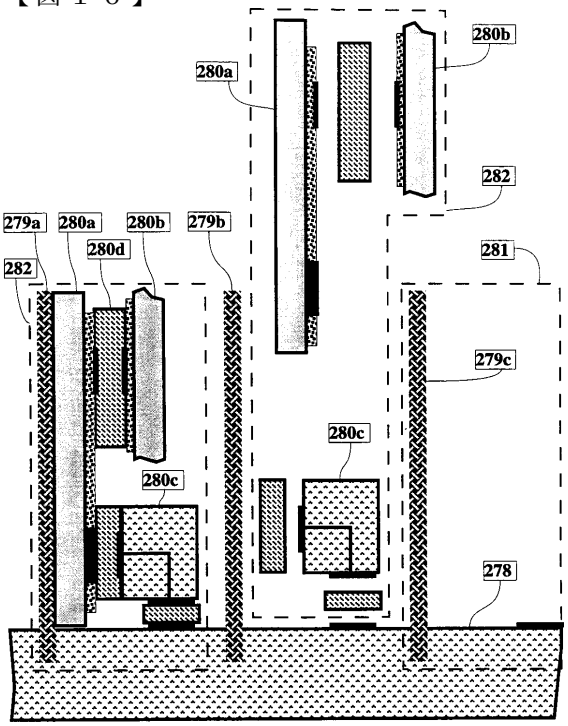


Fig. 16

【図１７Ａ】

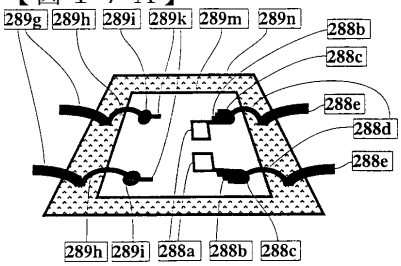


Fig. 17A
（従来例）

【図１７Ｂ】

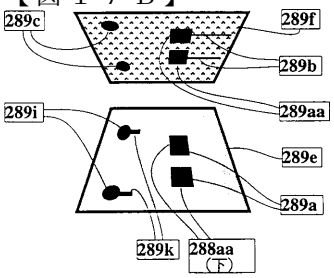


Fig. 17B

【図１８Ａ】

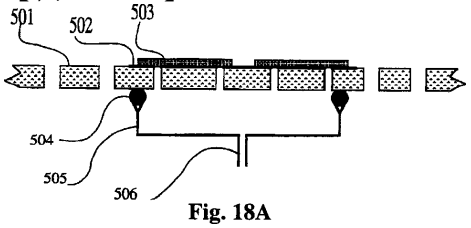


Fig. 18A

【図１８Ｂ】

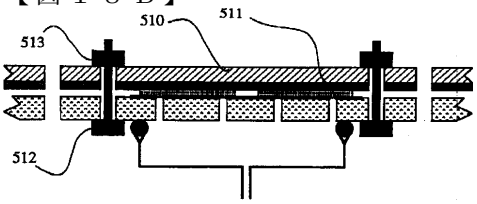


Fig. 18B

【図１８Ｃ】

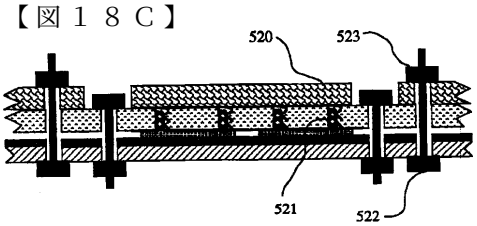


Fig. 18C

【図１９】

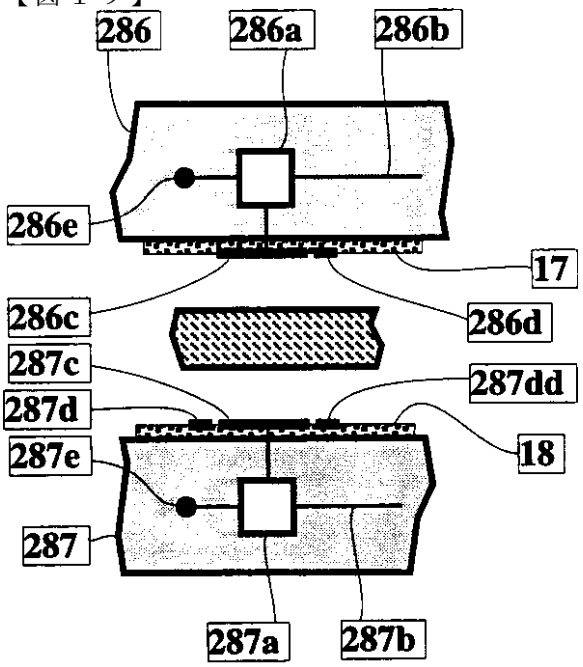


Fig. 19

【図２０Ａ】

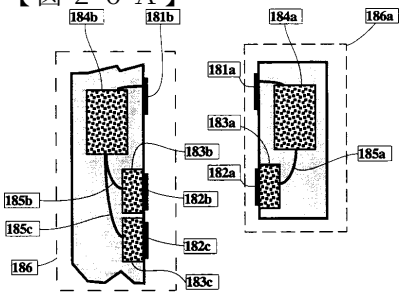


Fig. 20A

【図２０Ｂ】

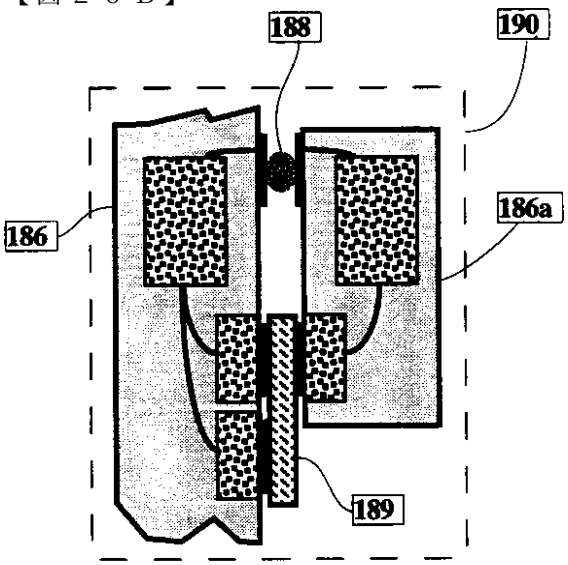


Fig. 20B

【図２１】

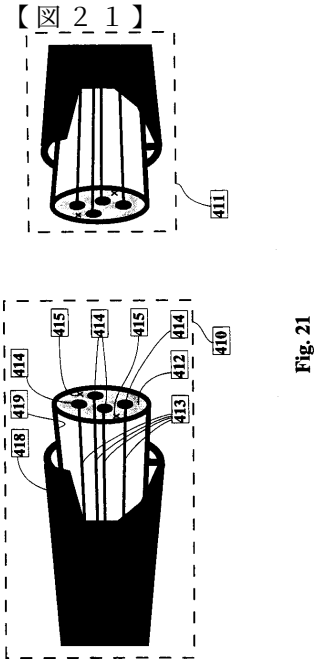


Fig. 21

【図２２】

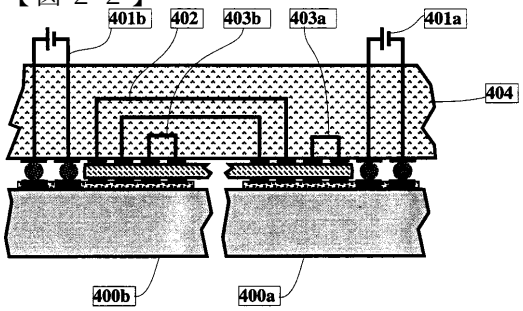


Fig. 22

【図２３Ａ】

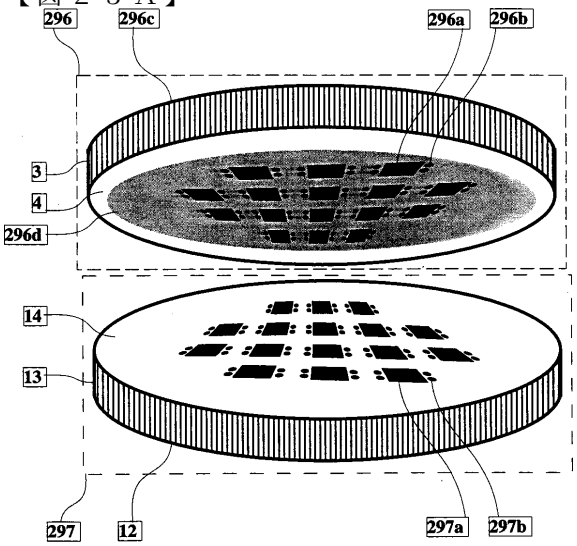


Fig. 23A

【図２３Ｂ】

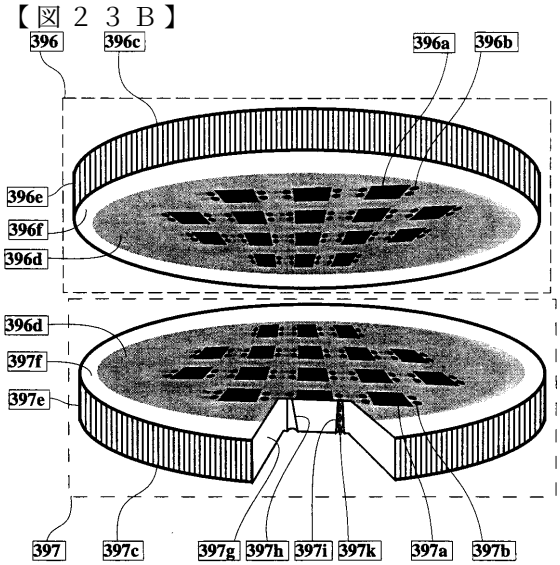


Fig. 23B

【図２４】

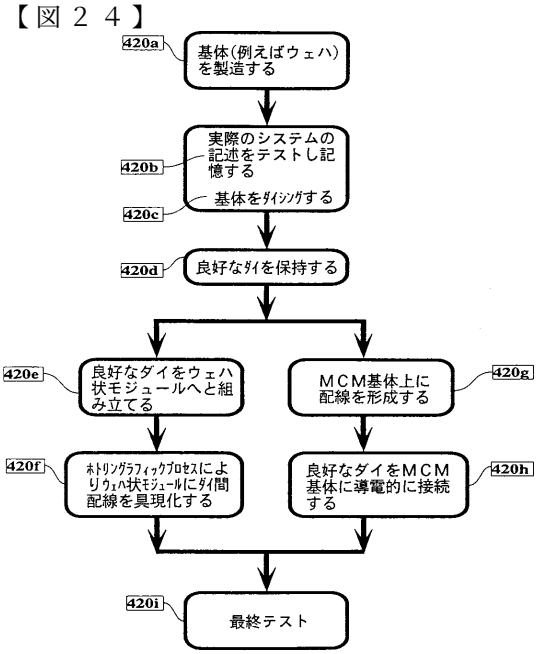


Fig. 24
（従来例）

【図２５】

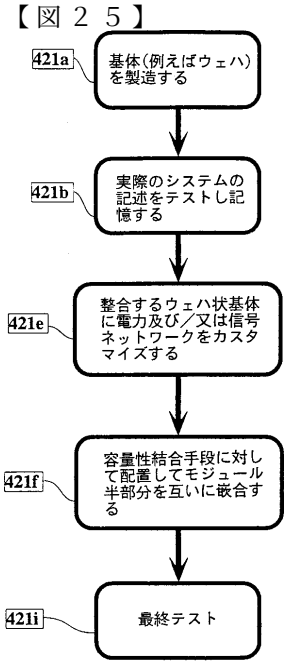


Fig. 25

【図２６】

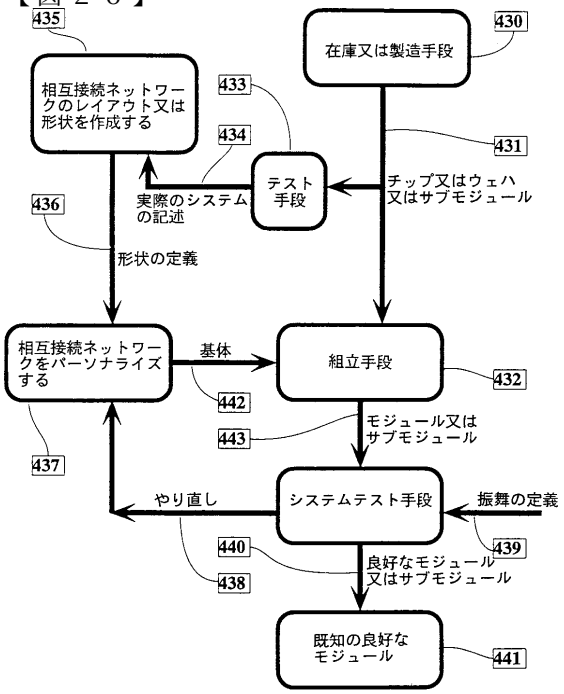


Fig. 26

【図２７】

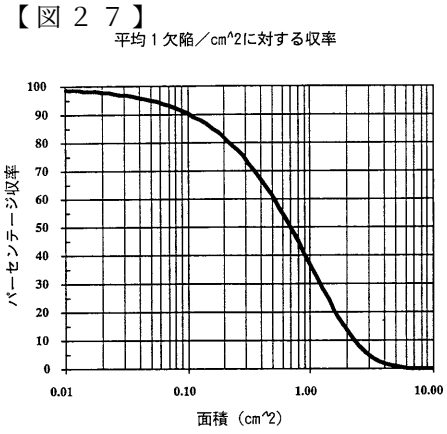


Fig. 27

【図２８】

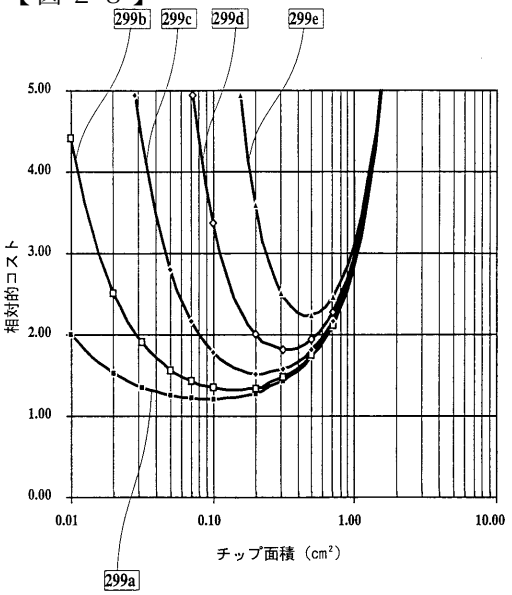


Fig. 28

【図２９】

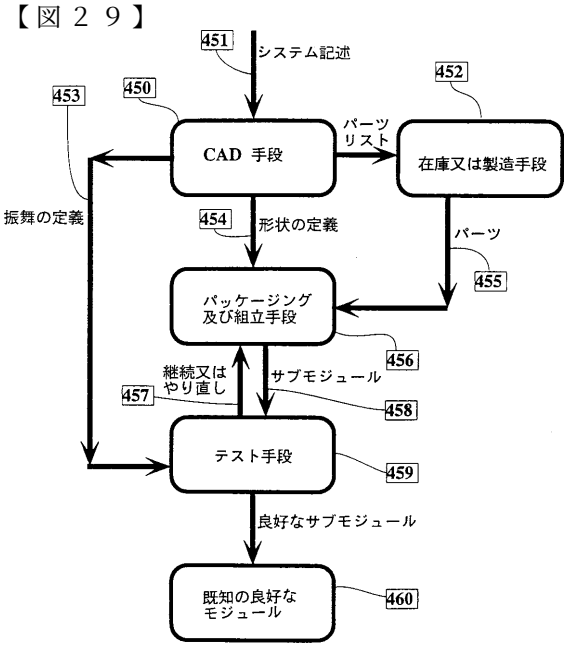


Fig. 29

【図３０】

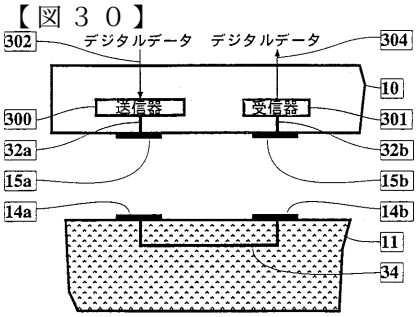


Fig. 30

【図３１Ａ】

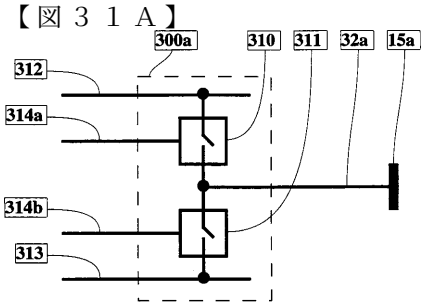


Fig. 31A

【図３１Ｂ】

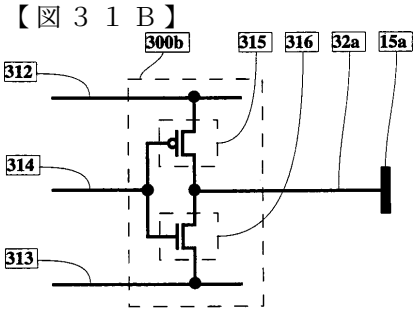


Fig. 31B

【図３３】

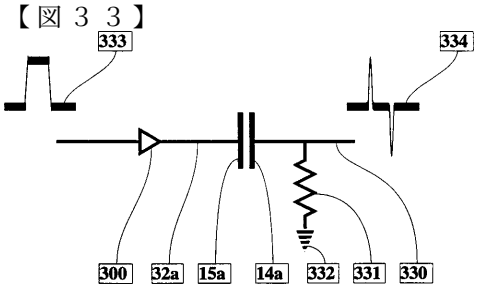


Fig. 33

【図３２】

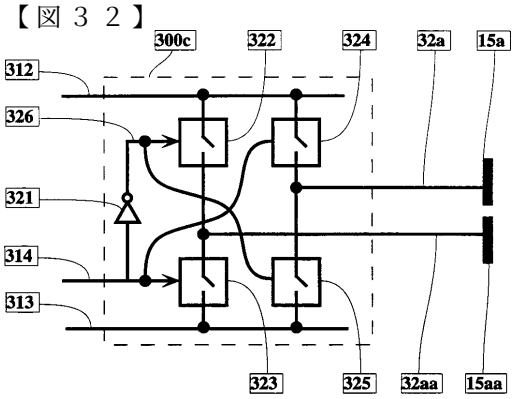


Fig. 32

【図３４】

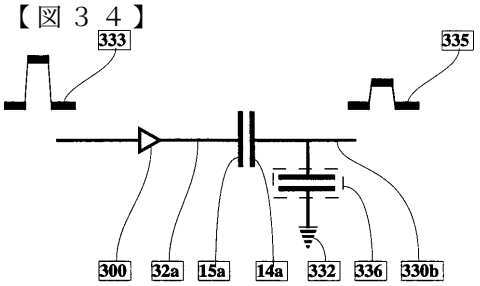


Fig. 34

【図３５】

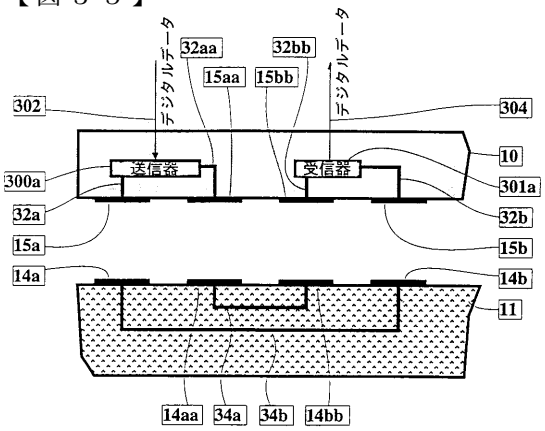


Fig. 35

【図３６】

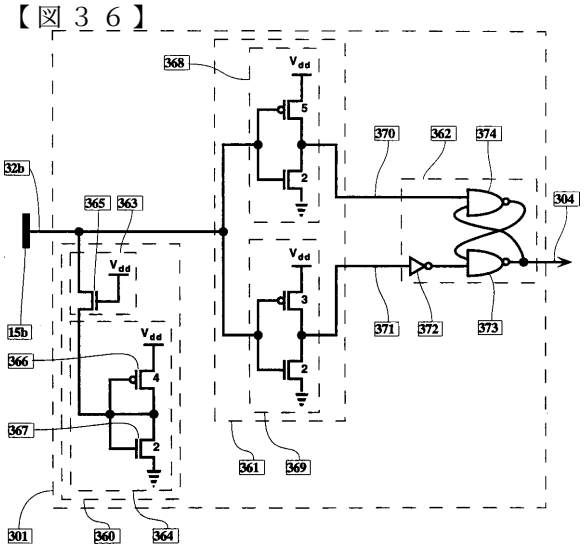


Fig. 36

【図３７】

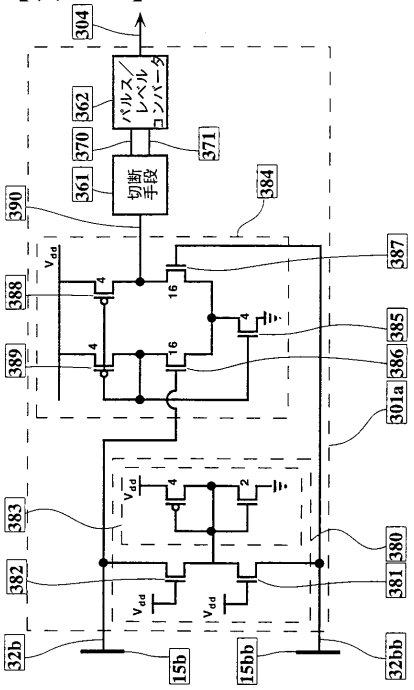


Fig. 37

【図３８Ａ】

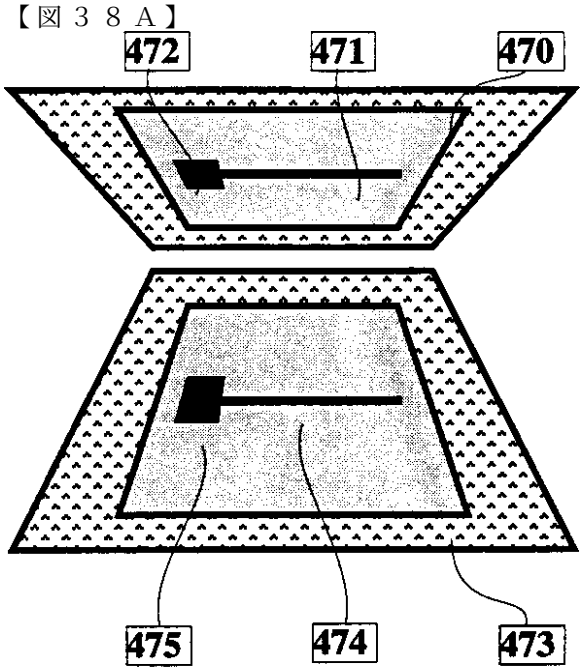


Fig. 38A

【図３８Ｂ】

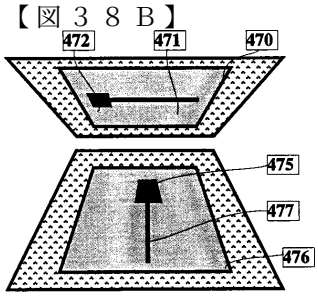


Fig. 38B

【図３９】

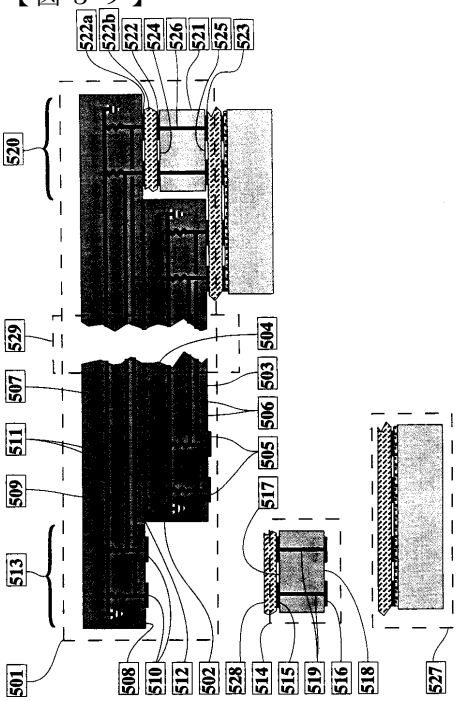


Fig. 39

【図４０】

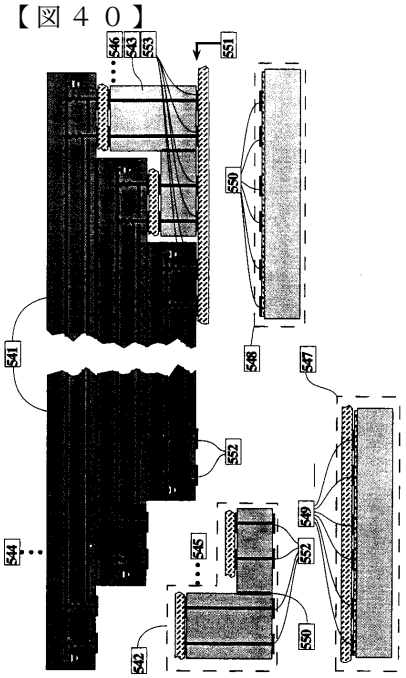


Fig. 40

フロントページの続き

(74)代理人 100109070
弁理士 須田 洋之
(72)発明者 ナイト トーマス エフ
アメリカ合衆国 マサチューセッツ州 ０２１７８ ベルモント ダグラス ロード ５８
(72)発明者 ザルツマン ディヴィッド ビー
アメリカ合衆国 ニューヨーク州 １００２１ ニューヨーク セカンド アベニュー １４２９ スイート ３

合議体
審判長 岡 和久
審判官 正山 旭
審判官 綿谷 晶廣

(56)参考文献 特開昭５６－２６６２（ＪＰ，Ａ）
特開昭６２－２０３６２（ＪＰ，Ａ）
特開昭６２－１４７７５６（ＪＰ，Ａ）